

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年1月18日(18.01.2018)



(10) 国際公開番号

WO 2018/012294 A1

- (51) 国際特許分類:
H01P 1/208 (2006.01) *H05K 1/18* (2006.01)
- (21) 国際出願番号: PCT/JP2017/023828
- (22) 国際出願日: 2017年6月28日(28.06.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-138959 2016年7月13日(13.07.2016) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 Kyoto (JP).
- (72) 発明者: 尾仲 健吾(ONAKA, Kengo); 〒6178555
京都府長岡京市東神足 1 丁目 1 0 番 1 号 株
式会社村田製作所内 Kyoto (JP). 黒田 克人
(KURODA, Katsuhito); 〒6178555 京都府長岡
京市東神足 1 丁目 1 0 番 1 号 株式会社村田

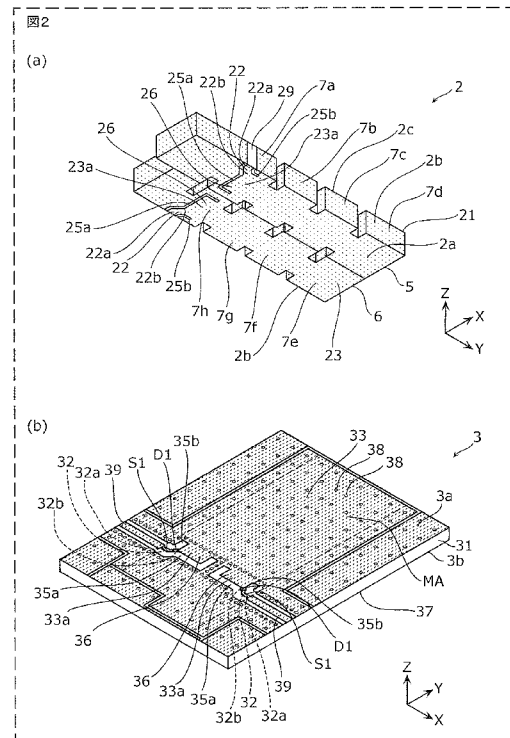
製作所内 Kyoto (JP). 多田 斉(TADA, Hitoshi);
〒6178555 京都府長岡京市東神足 1 丁目 1
0 番 1 号 株式会社村田製作所内 Kyoto (JP).
松平 実(MATSUDAIRA, Makoto); 〒6178555 京
都府長岡京市東神足 1 丁目 1 0 番 1 号 株
式会社村田製作所内 Kyoto (JP).

(74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et
al.); 〒5320011 大阪府大阪市淀川区西中島 5 丁
目 3 番 1 0 号 タナカ・イトーピア新大阪ビル
6 階新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: WAVEGUIDE FILTER CIRCUIT, MOUNTING SUBSTRATE FOR WAVEGUIDE FILTERS AND WAVEGUIDE FILTER

(54) 発明の名称: 導波管フィルタ回路、導波管フィルタ用実装基板および導波管フィルタ



(57) Abstract: A waveguide filter circuit (1) which is obtained by mounting a waveguide filter (2) on a mounting substrate (3), and wherein: the waveguide filter (2) is provided with an input/output electrode (22) that is formed on a mounting surface (2a) and a ground electrode (23) that is formed on the mounting surface (2a); and the mounting substrate (3) is provided with an input/output pattern (32) and a ground pattern (33). The input/output pattern (32) and the input/output electrode (22) are connected to each other via a first solder part (S1). A dam part (D1) is provided between the input/output pattern (32) and the ground pattern (33) and/or between the input/output electrode (22) and the ground electrode (23).

(57) 要約: 導波管フィルタ (2) が実装基板 (3) に実装された導波管フィルタ回路 (1) であって、導波管フィルタ (2) は、実装面 (2 a) に形成された入出力電極 (2 2) と、実装面 (2 a) に形成されたグランド電極 (2 3) とを備え、実装基板 (3) は、入出力パターン (3 2) と、グランドパターン (3 3) とを備える。入出力パターン (3 2) と入出力電極 (2 2) とは、第 1 はんだ部 (S 1) を介して接続されている。入出力パターン (3 2) とグランドパターン (3 3) との間、および、入出力電極 (2 2) とグランド電極 (2 3) との間のうち少なくとも一方には、ダム部 (D 1) が設けられている。

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：

導波管フィルタ回路、導波管フィルタ用実装基板および導波管フィルタ 技術分野

[0001] 本発明は、導波管フィルタが実装された実装基板を備える導波管フィルタ回路、導波管フィルタ用実装基板、および、導波管フィルタに関する。

背景技術

[0002] 従来、TE (T r a n s v e r s e E l e c t r i c) モードの導波管共振器を複数結合して、所望の周波数特性を得る導波管フィルタが知られている。

[0003] 特許文献1には、複数の誘電体共振器を有する導波管フィルタと、この導波管フィルタを実装する実装基板とを備える導波管フィルタ回路が開示されている。導波管フィルタは、実装基板側の主面である実装面に形成された一対の入出力電極と、実装面に形成されたグランド電極とを備えている。実装基板は、導波管フィルタの入出力電極に対応する形状を有する一対の入出力パターンと、グランドパターンとを備えている。

先行技術文献

特許文献

[0004] 特許文献1：特開2003-110307号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献1に記載された導波管フィルタでは、はんだを用いて導波管フィルタを実装基板に実装した際に、はんだが、入出力電極をつたってグランド電極およびグランドパターンへ流れ込む場合がある。はんだの流れ込み量が多くなると、入出力電極と入出力パターンとの間のはんだ量が不足し、導波管フィルタ回路の特性が劣化するという問題が起こり得る。

[0006] 本発明は、上記問題を解決するものであり、導波管フィルタの入出力電極

と実装基板の入出力パターンとの間のはんだ量不足を抑制し、導波管フィルタ回路の特性劣化を抑制することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明の一態様に係る導波管フィルタ回路は、導波管フィルタと、前記導波管フィルタが実装された実装基板とを備える導波管フィルタ回路であって、前記導波管フィルタは、前記実装基板側の主面である実装面に形成された入出力電極と、前記実装面に形成されたグラウンド電極と、を備え、前記実装基板は、前記入出力電極に対応する形状を有する入出力パターンと、グラウンドパターンと、を備え、前記入出力パターンと前記入出力電極とは、はんだ材料を含む第1はんだ部を介して接続され、前記入出力パターンと前記グラウンドパターンとの間、および、前記入出力電極と前記グラウンド電極との間のうち少なくとも一方には、ダム部が設けられている。

[0008] このように、ダム部が、入出力パターンとグラウンドパターンとの間、および、入出力電極とグラウンド電極との間のうち少なくとも一方に設けられているので、第1はんだ部のはんだ材料が、グラウンドパターン側へ流れ込むことを抑制することができる。これにより、入出力電極と入出力パターンとの間のはんだ量不足を抑制し、導波管フィルタ回路の特性劣化を抑制することができる。

[0009] また、前記ダム部は、前記第1はんだ部よりも、前記入出力パターン側から前記グラウンドパターン側へ向かう方角に位置し、前記第1はんだ部に接していてもよい。

[0010] このように、ダム部が、第1はんだ部よりも、入出力パターンからグラウンドパターン側へ向かう方角に位置し、第1はんだ部に接しているので、第1はんだ部のはんだ材料が、グラウンドパターン側へ流れ込むことを抑制することができる。これにより、入出力電極と入出力パターンとの間のはんだ量不足を抑制し、導波管フィルタ回路の特性劣化を抑制することができる。

[0011] また、前記ダム部は、前記入出力パターンと前記グラウンドパターンとの間

であって、前記入出力パターンおよび前記グランドパターンの信号伝送経路上に配置されていてもよい。

[0012] これによれば、第1はんだ部のはんだ材料が、信号伝送経路上をつたってグランドパターン側へ流れ込むことを抑制することができる。これにより、入出力電極と入出力パターンとの間のはんだ量不足を抑制し、導波管フィルタ回路の特性劣化を抑制することができる。

[0013] また、前記ダム部は、前記実装基板に形成されるレジストパターンの一部であってもよい。

[0014] このようにダム部をレジストで形成することで、実装時のはんだ材料の流れ込みを抑制することができる。また、実装基板へのレジストパターン形成と同時にダム部を形成することが可能となり、生産効率の低下を抑制することができる。

[0015] また、前記ダム部は、前記はんだ材料よりも融点が高くてもよい。

[0016] これにより、例えば、はんだリフローを行って、はんだ材料を溶融させた場合であっても、ダム部の固化状態を維持することができ、はんだの流れ込みを抑制することができる。

[0017] また、前記入出力パターンの幅よりも、信号伝搬方向において前記入出力パターンに接続する前記グランドパターンの幅のほうが大きくてもよい。

[0018] このように、入出力パターンよりも幅が大きいダム部を用いることで、はんだ材料の流れ込みをさらに抑制することができる。

[0019] また、前記入出力パターンまたは前記グランドパターンは、信号を、TEMモードからTEモードまたはTEモードからTEMモードに変換するモード変換部を有し、前記ダム部は、前記モード変換部に設けられていてもよい。

[0020] これによれば、モード変換部におけるはんだ量不足を抑制し、導波管フィルタ回路の特性劣化を抑制することができる。

[0021] また、前記グランド電極は、前記グランドパターンに、はんだ材料を含む複数の第2はんだ部を介して接続されていてもよい。

[0022] これによれば、導波管フィルタと実装基板との固着強度を向上することができる。

[0023] また、前記複数の第2はんだ部のそれぞれは、前記導波管フィルタの側面の一部領域および前記実装面の一部領域の前記グランド電極に接続するフィレット部と、前記フィレット部よりも、前記導波管フィルタの前記実装面の内側に位置する領域の前記グランド電極に接続する内側底部とを有していてもよい。

[0024] このように、第2はんだ部を、フィレット部および内側底部で構成することで、フィレット部における、実装面へのはんだの流れ込みを抑制しつつ、導波管フィルタを実装基板に固定することができる。また、内側底部をフィレット部と異なる箇所設けることで、導波管フィルタと実装基板との固着強度をさらに向上させることができる。

[0025] また、前記実装基板の前記グランドパターン上には、開口部を有するレジストパターンが形成され、前記開口部は、前記導波管フィルタが実装された前記実装基板を平面視した場合に、前記導波管フィルタの外縁と重なり、前記開口部には、前記第2はんだ部の前記フィレット部が形成されていてもよい。

[0026] このように、開口部を有するレジストパターンを形成し、開口部にフィレット部を形成することで、フィレット部の水平方向の位置が固定されるので、はんだの流れ込みを抑制することができる。

[0027] また、本発明の一態様に係る導波管フィルタ用実装基板は、入出力電極およびグランド電極を備える導波管フィルタを実装するための実装基板であって、前記導波管フィルタの前記入出力電極に対応する形状を有する入出力パターンと、グランドパターンと、前記入出力パターンと前記グランドパターンとの間であって、前記入出力パターンおよび前記グランドパターンの信号伝送経路上に配置されたダム部と、を備える。

[0028] これによれば、導波管フィルタを、はんだを用いて実装基板に実装した場合に、はんだ材料が、グランドパターン側へ流れ込むことを抑制することが

できる。これにより、導波管フィルタの入出力電極と入出力パターンとの間のはんだ量不足を抑制することができ、導波管フィルタ回路の特性劣化を抑制することが可能となる。

[0029] また、前記実装基板の前記入出力パターン上および前記グランドパターン上には、所定形状を有するレジストパターンが形成され、前記ダム部は、前記レジストパターンの一部であってもよい。

[0030] このようにダム部をレジストで形成することで、実装時のはんだ材料の流れ込みを抑制することができる。また、実装基板のレジストパターンと同時にダム部を形成することができるので、生産効率の低下を抑制することができる。

[0031] また、本発明の一態様に係る導波管フィルタは、実装面に形成された入出力電極と、前記実装面に形成されたグランド電極と、前記入出力電極と前記グランド電極との間であって、前記入出力電極および前記グランド電極の信号伝送経路上に配置されたダム部と、を備える。

[0032] この構造により、導波管フィルタを、はんだを用いて実装基板に実装した場合に、はんだ材料が、グランド電極側へ流れ込むことを抑制することができる。これにより、入出力電極と実装基板の入出力パターンとの間のはんだ量不足を抑制することができ、導波管フィルタ回路の特性劣化を抑制することが可能となる。

発明の効果

[0033] 本発明によれば、導波管フィルタの入出力電極と実装基板の入出力パターンとの間のはんだ量不足を抑制し、導波管フィルタ回路の特性劣化を抑制することができる。

図面の簡単な説明

[0034] [図1]図1は、実施の形態1に係る導波管フィルタ回路を示す外観斜視図である。

[図2]図2の(a)は実施の形態1に係る導波管フィルタを裏面から見た外観斜視図であり、図2の(b)は実施の形態1に係る実装基板の外観斜視図で

ある。

[図3]図3は、実施の形態1に係る導波管フィルタの底面図である。

[図4]図4は、実施の形態1に係る実装基板の平面図である。

[図5A]図5Aは、実施の形態1に係る実装基板の平面図であって、基板本体に入出力パターンおよびグランドパターンが形成された状態を示す図である。

[図5B]図5Bは、実施の形態1に係る実装基板の平面図であって、基板本体に、入出力パターン、グランドパターンおよびレジストが形成された状態を示す図である。

[図5C]図5Cは、実施の形態1に係る実装基板の平面図であって、基板本体に、入出力パターン、グランドパターン、レジストおよびはんだが形成された状態を示す図である。

[図6]図6は、実施の形態1に係る導波管フィルタ回路の一部の断面を模式的に示す図であって、図4のVⅠ-VⅠ線の位置の断面を示す図である。

[図7A]図7Aは、実施の形態1に係る実装基板の一部の断面を模式的に示す図である。

[図7B]図7Bは、図7Aに示す実装基板に、導波管フィルタを搭載した直後の状態を示す図である。

[図8A]図8Aは、実施の形態1の変形例1に係る実装基板の平面図である。

[図8B]図8Bは、実施の形態1の変形例2に係る実装基板の平面図である。

[図9]図9は、実施の形態1の変形例3に係る実装基板の平面図である。

[図10]図10は、実施の形態2に係る導波管フィルタを裏面から見た斜視図である。

[図11A]図11Aは、実施の形態3に係る高周波フロントエンド回路およびその周辺回路を示す回路図である。

[図11B]図11Bは、実施の形態3の変形例に係る高周波フロントエンド回路を示す回路図である。

[図11C]図11Cは、実施の形態3の他の変形例に係る高周波フロントエンド

回路を示す回路図である。

[図12A]図12Aは、実施の形態4に係るMassive MIMOシステムを示す回路図である。

[図12B]図12Bは、実施の形態4に係るMassive MIMOシステムのアンテナ装置の平面図である。

発明を実施するための形態

[0035] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態などは、一例であり、本発明を限定する主旨ではない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさ、または大きさの比は、必ずしも厳密ではない。

[0036] (実施の形態1)

[1. 1 導波管フィルタ回路の概要]

まず、導波管フィルタ回路の概要について説明する。

[0037] 図1は、実施の形態1に係る導波管フィルタ回路1を示す外観斜視図である。図2の(a)は、導波管フィルタを裏面(実装面)から見た外観斜視図であり、図2の(b)は、実装基板の外観斜視図である。

[0038] 実施の形態1に係る導波管フィルタ回路1は、図1に示すように、導波管フィルタ2と、導波管フィルタ2が実装された実装基板3とにより構成される。導波管フィルタ2は、はんだ材料を含む複数のはんだ部を介して、実装基板3に固定されている。

[0039] 導波管フィルタ2は、図2の(a)に示すように、実装面2aに形成された一対の入出力電極22と、一対の入出力電極22それぞれの一端(内側端部)22bと接続するように、実装面2aを含む外表面に形成されたグラウンド電極23とを備えている。グラウンド電極23は、入出力電極22の信号の

伝搬方向に配置され、入出力電極 2 2 に接続されている。

[0040] 実装基板 3 は、図 2 の (b) に示すように、導波管フィルタ 2 の一対の入出力電極 2 2 に対向し、一対の入出力電極 2 2 に対応する形状を有する一対の入出力パターン 3 2 と、一対の入出力パターン 3 2 それぞれの一端（内側端部） 3 2 b と接続するグランドパターン 3 3 とを備えている。グランドパターン 3 3 は、入出力パターン 3 2 の信号の伝搬方向に配置され、入出力パターン 3 2 に接続されている。

[0041] 実装基板 3 の入出力パターン 3 2 と導波管フィルタ 2 の入出力電極 2 2 とは、はんだ材料を含む第 1 はんだ部 S 1 を介して接続される。

[0042] 実装基板 3 の入出力パターン 3 2 またはグランドパターン 3 3 と、導波管フィルタ 2 の入出力電極 2 2 またはグランド電極 2 3 と、の間には、はんだ材料よりも融点が高いダム部 D 1 が設けられている。ダム部 D 1 は、第 1 はんだ部 S 1 よりも、入出力パターン 3 2 側からグランドパターン 3 3 側へ向かう方角に位置しており、第 1 はんだ部 S 1 に接している。

[0043] 実施の形態 1 に係る導波管フィルタ回路 1 では、ダム部 D 1 が、入出力パターン 3 2 とグランドパターン 3 3 との間、および、入出力電極 2 2 とグランド電極 2 3 との間のうち少なくとも一方に設けられているので、第 1 はんだ部 S 1 のはんだ材料が、グランドパターン 3 3 側へ流れ込むことを抑制することができる。これにより、入出力電極 2 2 と入出力パターン 3 2 との間のはんだ量不足を抑制し、導波管フィルタ回路 1 の特性劣化を抑制することができる。

[0044] [1. 2 導波管フィルタ回路の各構成の説明]

前述したように、導波管フィルタ回路 1 は、導波管フィルタ 2 と実装基板 3 とを備えている。

[0045] まず、導波管フィルタ 2 について説明する。図 3 は、導波管フィルタ 2 の底面図である。

[0046] 導波管フィルタ 2 は、図 1 および図 3 に示すように、複数の共振器 7 a、7 b、7 c、7 d、7 e、7 f、7 g、7 h を備えている。複数の共振器 7

a～7hは、図1に示す結合窓8を介して相互に結合されている。なお、本実施の形態における導波管フィルタ2は、4つの共振器7a～7dからなる第1共振部5と、4つの共振器7e～7hからなる第2共振部6とにより構成されている。第1共振部5および第2共振部6は、対向する側面電極（グランド電極）が、導電性接合材によって互いに接合されている。

[0047] 導波管フィルタ2は、フィルタ本体21と、一对の入出力電極22と、グランド電極23とを備えている。

[0048] フィルタ本体21は、水晶またはセラミックなどの誘電体材料を含む。一对の入出力電極22およびグランド電極23は、Agを主成分とする導体材料を含む。

[0049] 一对の入出力電極22は、導波管フィルタ2の実装面2a（実装時ににおいて実装基板3の第1主面3aと対向する主面）に形成されている。一对の入出力電極22は、幅が一定であり、長手方向の一部分で屈曲している。一对の入出力電極22は、共振器7a、7hそれぞれの中心から見て、外側に位置する外側端部22aと、外側端部22aよりも内側に位置する内側端部22bとを有している。外側端部22aは開放端であり、内側端部22bはグランド電極23に接続されている。

[0050] 以下、一对の入出力電極22のうち、共振器7aの入出力電極22を代表例に挙げて説明する。なお、共振器7hの入出力電極22も、共振器7aの入出力電極22と同様の構成を有している。

[0051] 共振器7aの側面2bには、導体膜が形成されていない露出側面部29が設けられている。入出力電極22の外側端部22aは、露出側面部29と実装面2aとにより形成される稜線（下の角）、または、この稜線からわずかに内側に入った位置を起点としている。入出力電極22は、外側端部22aからX方向（露出側面部29と垂直な方向）に引き出され、途中で共振器7aの中心方向に折れ曲がり、内側端部22bまで延びるように形成されている。

[0052] グランド電極23は、実装面2a、側面2b、天面2cからなる外表面の

うちの、入出力電極 2 2 以外の所定領域を覆うように形成されている。入出力電極 2 2 とグランド電極 2 3 との間には、導体膜が形成されずにフィルタ本体 2 1 が露出している第 1 ギャップ部 2 5 a および第 2 ギャップ部 2 5 b が設けられている。

[0053] 第 1 ギャップ部 2 5 a および第 2 ギャップ部 2 5 b のそれぞれは、入出力電極 2 2 の外側端部 2 2 a から内側端部 2 2 b に沿って形成され、さらに、グランド電極 2 3 の一部に切れ込むように形成されている。第 1 ギャップ部 2 5 a および第 2 ギャップ部 2 5 b に挟まれたギャップ間のグランド電極 2 3 a は、長方形形状であり、入出力電極 2 2 よりも幅が広い。具体的には、ギャップ間のグランド電極 2 3 a は、長方形形状をした角部が入出力電極 2 2 の内側端部 2 2 b に接続され、角部から長方形形状の中心に向かって、幅が徐々に広がっている。

[0054] ここで、第 1 ギャップ部 2 5 a および第 2 ギャップ部 2 5 b に挟まれた領域に存在する入出力電極 2 2 およびギャップ間のグランド電極 2 3 a を、モード変換部 2 6 と呼ぶ。導波管フィルタ 2 では、このモード変換部 2 6 にて、伝送信号が T E M モードから T E モードまたは T E モードから T E M モードに変換される。入出力電極 2 2 のはんだ接合ばらつきを小さくすることで、モード変換部 2 6 における信号変換が安定化し、導波管フィルタ回路 1 の特性劣化を抑制することができる。

[0055] 次に、実装基板 3 について説明する。図 4 は、実装基板 3 の平面図である。

[0056] 実装基板 3 は、図 2 の (b) および図 4 に示すように、基板本体 3 1 と、一対の入出力パターン 3 2 と、グランドパターン 3 3 と、第 1 はんだ部 S 1 と、ダム部 D 1 とを備えている。

[0057] 基板本体 3 1 は、Q 値が高い有機材料を含む。基板本体 3 1 は、有機材料に限られず、セラミック材料により形成されていてもよい。一対の入出力パターン 3 2、グランドパターン 3 3 およびビア導体 3 8 は、C u を主成分とする導体材料を含む。第 1 はんだ部 S 1 は、S n などを含むはんだ材料によ

り形成されている。ダム部D 1としては、例えばグリーンレジストのように、はんだ材料より融点が高い材料、また、はんだ材料に対する濡れ性が低い材料が用いられる。

[0058] 実装基板3は、コプレーナ構造を有し、第1主面3 aに形成された入出力パターン3 2と、入出力パターン3 2を囲むグラウンドパターン3 3とにより構成される。また、実装基板3は、第1主面3 aと背向する第2主面（裏面）3 bにもグラウンドパターン3 7を有している。第1主面3 aのグラウンドパターン3 3と第2主面3 bのグラウンドパターン3 7は、複数のビア導体3 8により接続されている。

[0059] 図5 Aは、実装基板3の平面図であって、基板本体3 1に入出力パターン3 2およびグラウンドパターン3 3が形成された状態を示す図である。

[0060] 一对の入出力パターン3 2は、導波管フィルタ2の入出力電極2 2に対応する形状を有している。すなわち、一对の入出力パターン3 2は、幅が一定であり、長手方向の一部分で屈曲している。一对の入出力パターン3 2は、導波管フィルタ2が実装される実装領域MAの中心から見て外側に位置する外側端部3 2 aと、外側端部3 2 aよりも内側に位置する内側端部3 2 bとを有している。外側端部3 2 aは外部機器と接続される伝送線路3 9に繋がっており、内側端部3 2 bはグラウンドパターン3 3に接続されている。入出力パターン3 2の長さは、例えば、導波管フィルタ回路1の使用周波数において、0. 1 λ 程度である。

[0061] 以下、一对の入出力パターン3 2のうち、共振器7 aの入出力電極2 2に対応する入出力パターン3 2を代表例に挙げて説明する。なお、共振器7 hの入出力電極2 2に対応する入出力パターン3 2も、同様の構成を有している。

[0062] 入出力パターン3 2の外側端部3 2 aは、伝送線路3 9と交差する実装領域MAの外縁部分MA 1、または、この外縁部分MA 1からわずかに内側に入った位置を起点としている。入出力パターン3 2は、外側端部3 2 aからX方向（伝送線路3 9の長手方向と同じ方向）に引き出され、途中で実装領

域MAの内部に向けて折れ曲がり、内側端部32bまで延びるように形成されている。

[0063] グランドパターン33は、第1主面3aのうちの、入出力パターン32以外の所定領域を覆うように形成されている。入出力パターン32とグランドパターン33との間には、導体パターンが形成されずに基板本体31が露出している第1ギャップ部35aおよび第2ギャップ部35bが設けられている。

[0064] 第1ギャップ部35aおよび第2ギャップ部35bのそれぞれは、入出力パターン32の外側端部32aから内側端部32bに沿って形成され、さらに、グランドパターン33の一部に切れ込むように形成されている。第1ギャップ部35aおよび第2ギャップ部35bに挟まれたギャップ間のグランドパターン33aは、長方形状であり、入出力パターン32よりも幅が広い。具体的には、ギャップ間のグランドパターン33aは、長方形形状をした角部が入出力パターン32の内側端部32bに接続され、角部から長方形形状の中心に向かって、幅が徐々に広がっている。ギャップ間のグランドパターン33aには、ビア導体38が直接接続されておらず、ギャップ間以外の領域のグランドパターン33にビア導体38が接続されている。

[0065] ここで、第1ギャップ部35aおよび第2ギャップ部35bに挟まれた領域に存在する入出力パターン32およびギャップ間のグランドパターン33aを、モード変換部36と呼ぶ。実装基板3では、このモード変換部36にて、伝送信号がTEMモードからTEモードまたはTEモードからTEMモードに変換される。入出力パターン32のはんだ接合ばらつきを小さくすることで、モード変換部36における信号変換が安定化し、導波管フィルタ回路1の特性劣化を抑制することができる。

[0066] 図5Bは、基板本体31に、はんだを除く、入出力パターン32、グランドパターン33およびレジスト(45°傾斜ハッチングで示す部分)が形成された状態を示す図である。図5Cは、図5Bに示す基板本体31に、さらに、はんだ(-45°傾斜ハッチングで示す部分)が形成された状態を示す

図である。図6は、導波管フィルタ回路1の一部の断面を模式的に示す図であって、図4のV1-V1線の位置の断面を示す図である。

[0067] 前述したように、本実施の形態に係る実装基板3は、第1はんだ部S1とダム部D1とを備えている。

[0068] ダム部D1は、図6に示すように、高さ方向（Z方向）において、実装基板3の入出力パターン32またはグランドパターン33と、導波管フィルタ2との間に設けられている。また、ダム部D1は、図5Bに示すように、水平方向（XY面に平行な方向）において、入出力パターン32の内側端部32b上に設けられている。

[0069] なお、ダム部D1が設けられる位置は、内側端部32b上に限られず、実装基板3の入出力パターン32とグランドパターン33との間であって、入出力パターン32およびグランドパターン33の信号伝送経路上であればよい。ここで、入出力パターン32とグランドパターン33の間とは、入出力パターン32およびグランドパターン33（ギャップ間のグランドパターン33a）を含み、入出力パターン32の外側端部32aを含まない領域であることを意味する。すなわち、ダム部D1は、外側端部32aを除くモード変換部36に設けられていればよい。

[0070] ダム部D1は、実装基板3に形成されるレジストパターンR1の一部である。ダム部D1の幅は、入出力パターン32の幅と同じ、または、入出力パターン32の幅よりも大きいことが望ましい。ダム部D1の高さ寸法は、実装基板3および導波管フィルタ2の間隔と同じであることが望ましい。ただし、ダム部D1の高さ寸法は上記の間隔に限られない。ダム部D1は、入出力パターン32上またはグランドパターン33上から導波管フィルタ2に向けて突出していればよい。また、ダム部D1は、上記のように実装基板3側に配置される場合に限られず、入出力電極22上またはグランド電極23上に設けられ、実装基板3に向けて突出していてもよい。

[0071] 第1はんだ部S1は、図5Cおよび図6に示すように、入出力パターン32と入出力電極22との間に位置し、入出力パターン32と入出力電極22

とを接続する。本実施の形態において、第１はんだ部Ｓ１は、内側端部３２ｂを除き、外側端部３２ａを含む入出力パターン３２上に形成されている。すなわち、第１はんだ部Ｓ１は、ダム部Ｄ１よりも、グランドパターン３３側から入出力パターン３２側へ向かう方角に位置し、ダム部Ｄ１に接している。換言すれば、ダム部Ｄ１は、第１はんだ部Ｓ１よりも、入出力パターン３２側からグランドパターン３３側へ向かう方角に位置し、第１はんだ部Ｓ１に接している。

[0072] [１． ３ 導波管フィルタ回路の製造方法]

次に、導波管フィルタ回路１の製造方法について説明する。図７Ａは、実装基板３の一部の断面を模式的に示す図である。図７Ｂは、図７Ａに示す実装基板３に、導波管フィルタ２を搭載した直後の状態を示す図である。

[0073] まず、図７Ａに示すように、実装基板３の入出力パターン３２とグランドパターン３３との間に、ダム部Ｄ１を形成する。本実施の形態では、ダム部Ｄ１は、入出力パターン３２の内側端部３２ｂ上に形成される。ダム部Ｄ１は、実装基板３に形成されるレジストパターンＲ１の一部であり、所定パターンを有するマスクを用いて印刷形成される。

[0074] なお、図７Ａに示す工程では、ダム部Ｄ１と同時に、外側レジストＲ２も形成している。外側レジストＲ２は、導波管フィルタ２の実装領域ＭＡの外縁の外側であって、入出力パターン３２に繋がっている伝送線路３９上に形成される。

[0075] 次に、実装基板３の入出力パターン３２上に、第１はんだ部Ｓ１となるはんだペーストＳ１ａを形成する。本実施の形態では、第１はんだ部Ｓ１は、内側端部３２ｂを除き、外側端部３２ａを含む入出力パターン３２上に形成される。はんだペーストＳ１ａは、所定パターンを有するマスクを用いて印刷形成される。

[0076] 次に、図７Ｂに示すように、実装基板３上に導波管フィルタ２を搭載する。その際、実装基板３の入出力パターン３２が、導波管フィルタ２の入出力電極２２に接続するように配置される。その後、導波管フィルタ２が搭載さ

れた実装基板 3 をリフローする。

[0077] リフロー後、図 6 に示すように、入出力パターン 3 2 と入出力電極 2 2 とが、第 1 はんだ部 S 1 を介して接合される。その際、加熱されたはんだペースト S 1 a は一旦熔融するが、隣接するダム部 D 1 に堰きとめられ、ダム部 D 1 よりもグラウンドパターン 3 3 側に移動しないようになっている。これにより、入出力電極 2 2 と入出力パターン 3 2 との間のはんだ量不足を抑制し、導波管フィルタ回路 1 の特性劣化を抑制することができる。

[0078] [1. 4 効果等]

本実施の形態に係る導波管フィルタ回路 1 は、導波管フィルタ 2 と、導波管フィルタ 2 が実装された実装基板 3 とを備え、導波管フィルタ 2 は、実装基板 3 側の主面である実装面 2 a に形成された入出力電極 2 2 と、実装面 2 a に形成されたグラウンド電極 2 3 と、を備えている。実装基板 3 は、入出力電極 2 2 に対向し、入出力電極 2 2 に対応する形状を有する入出力パターン 3 2 と、入出力パターン 3 2 の一端 3 2 b と接続するグラウンドパターン 3 3 と、を備えている。入出力パターン 3 2 と入出力電極 2 2 とは、はんだ材料を含む第 1 はんだ部 S 1 を介して接続される。入出力パターン 3 2 とグラウンドパターン 3 3 との間、および、入出力電極 2 2 とグラウンド電極 2 3 との間の少なくとも一方には、ダム部 D 1 が設けられている。また、ダム部 D 1 は、高さ方向において入出力パターン 3 2 またはグラウンドパターン 3 3 と、入出力電極 2 2 またはグラウンド電極 2 3 と、の間に設けられ、水平方向において第 1 はんだ部 S 1 よりも、入出力パターン 3 2 側からグラウンドパターン 3 3 側へ向かう方角に位置し、第 1 はんだ部 S 1 に接している。

[0079] この構造により、第 1 はんだ部 S 1 のはんだ材料が、グラウンドパターン 3 3 側またはグラウンド電極 2 3 側へ流れ込むことを抑制することができる。例えば、入出力電極 2 2 とグラウンド電極 2 3 とが繋がって接続されている場合、または、入出力パターン 3 2 とグラウンドパターン 3 3 とが繋がって接続されている場合のように、はんだの流出経路が存在する場合であっても、導波管フィルタ回路 1 がダム部 D 1 を有することで、はんだの流れ込みを抑制す

ることができる。これにより、入出力電極 2 2 と入出力パターン 3 2 との間のはんだ量不足を抑制することができる。入出力電極 2 2 と入出力パターン 3 2 との間のはんだ量を確保することで、例えば、入出力電極 2 2 の外側端部 2 2 a がオープンスタブとなるような不具合を解消することができる。これにより、導波管フィルタ回路 1 の特性劣化を抑制することができる。

[0080] また、本実施の形態に係る導波管フィルタ用実装基板 3 は、導波管フィルタ 2 の入出力電極 2 2 に対応する形状を有する入出力パターン 3 2 と、グランドパターン 3 3 と、入出力パターン 3 2 とグランドパターン 3 3 との間であって、入出力パターン 3 2 およびグランドパターン 3 3 の信号伝送経路上に配置されたダム部 D 1 とを備える。

[0081] この構造により、導波管フィルタ 2 を、はんだを用いて実装基板 3 に実装した場合に、はんだ材料が、グランドパターン 3 3 側へ流れ込むことを抑制することができる。これにより、導波管フィルタ 2 の入出力電極 2 2 と入出力パターン 3 2 との間のはんだ量不足を抑制することができ、導波管フィルタ回路 1 の特性劣化を抑制することが可能となる。

[0082] [1. 5 実施の形態 1 の変形例 1]

図 8 A は、実施の形態 1 の変形例 1 に係る実装基板 3 A の平面図である。

[0083] ダム部 D 1 は、図 8 A に示すように、入出力パターン 3 2 上の外側端部 3 2 a と内側端部 3 2 b との中間位置に設けられている。すなわち、ダム部 D 1 は、入出力パターン 3 2 とグランドパターン 3 3 との間であって、入出力パターン 3 2 およびグランドパターン 3 3 の信号伝送経路上に設けられている。この場合、第 1 はんだ部 S 1 は、ダム部 D 1 よりも外側に位置する入出力パターン 3 2 上に設けられる。

[0084] 変形例 1 に係る導波管フィルタ回路 1 においても、ダム部 D 1 により、はんだの流れ込みを抑制することができ、実施の形態 1 に準ずる効果を得ることができる。

[0085] [1. 6 実施の形態 1 の変形例 2]

図 8 B は、実施の形態 1 の変形例 2 に係る実装基板 3 B の平面図である。

[0086] ダム部D 1、図8 Bに示すように、ギャップ間のグラウンドパターン3 3 a上に設けられている。すなわち、ダム部D 1は、入出力パターン3 2とグラウンドパターン3 3との間であって、入出力パターン3 2およびグラウンドパターン3 3の信号伝送経路上に設けられている。この場合、第1はんだ部S 1は、ダム部D 1よりも外側に位置するギャップ間のグラウンドパターン3 3 a上および入出力パターン3 2上に設けられる。

[0087] 変形例2に係る導波管フィルタ回路1においても、ダム部D 1により、はんだの流れ込みを抑制することができ、実施の形態1に準ずる効果を得ることができる。

[0088] [1. 7 実施の形態1の変形例3]

図9は、実施の形態1の変形例3に係る実装基板3 Cの平面図である。

[0089] 導波管フィルタ2は、複数の第2はんだ部S 2によって実装基板3に固定されるが、変形例3に係る実装基板3では、第2はんだ部S 2の配置位置を以下の構成とすることで、固着強度を向上させている。

[0090] 変形例3に係る複数の第2はんだ部S 2のそれぞれは、フィレット部S 2 aと内側底部S 2 bという1組のはんだ部により構成されている。フィレット部S 2 aは、導波管フィルタ2の側面2 bの一部領域および実装面2 aの一部領域のグラウンド電極2 3に接続する部分である。内側底部S 2 bは、フィレット部S 2 aよりも、導波管フィルタ2の実装面2 aの内側に位置する領域のグラウンド電極2 3に接続する部分である。

[0091] この第2はんだ部S 2のフィレット部S 2 aおよび内側底部S 2 bは、レジストパターンR 1の開口に、はんだペーストを印刷することで形成される。

[0092] レジストパターンR 1の開口部R 3 aは、導波管フィルタ2が実装された実装基板3を平面視した場合に、導波管フィルタ2の外縁と重なっている。一方の開口部R 3 aには、フィレット部S 2 aが形成され、もう一方の開口部R 3 bには内側底部S 2 bが形成される。

[0093] 変形例3では、第2はんだ部S 2を、フィレット部S 2 aおよび内側底部

S 2 bで構成することで、フィレット部S 2 aにおける、実装面2 aへのはんだの流れ込みを抑制しつつ、導波管フィルタ2を実装基板3に固定することができる。また、内側底部S 2 bをフィレット部S 2 aと異なる箇所に設けることで、導波管フィルタ2と実装基板3との固着強度をさらに向上させることができる。また、開口部R 3 aを有するレジストパターンR 1を形成し、開口部R 3 aにフィレット部S 2 aを形成することで、フィレット部S 2 aの位置が固定されるので、はんだの流れ込みを抑制することができる。

[0094] (実施の形態2)

図10は、実施の形態2に係る導波管フィルタ2Aを裏面（実装面）から見た斜視図である。

[0095] 実施の形態2に係る導波管フィルタ2Aは、ダム部D 2が、実装基板3でなく、導波管フィルタ2に設けられている。

[0096] 導波管フィルタ2Aは、実装面2 aに形成された入出力電極2 2と、入出力電極2 2の一端2 2 bと接続するように、実装面2 aを含む外表面に形成されたグランド電極2 3とを備えている。そして、ダム部D 2が、入出力電極2 2の内側端部2 2 b上に設けられている。

[0097] なお、ダム部D 2が設けられる位置は、入出力電極2 2の内側端部2 2 b上に限られず、入出力電極2 2とグランド電極2 3との間であって、入出力電極2 2およびグランド電極2 3の信号伝送経路上であればよい。ここで、入出力電極2 2とグランド電極2 3の間とは、入出力電極2 2およびグランド電極2 3（ギャップ間のグランド電極2 3 a）を含み、入出力電極2 2の外側端部2 2 aを含まない領域であることを意味する。すなわち、ダム部D 2は、外側端部2 2 aを除くモード変換部2 6に設けられていればよい。

[0098] ダム部D 2としては、実装基板3に形成されるレジストパターンR 1と同じ材料が用いられる。ダム部D 2の幅は、入出力電極2 2の幅と同じ、または、入出力電極2 2の幅よりも大きいことが望ましい。ダム部D 2の高さ寸法は、実装基板3および導波管フィルタ2Aの間隔と同じであることが望ましい。ただし、ダム部D 2の高さ寸法は上記の間隔に限られない。

[0099] 実施の形態2では、導波管フィルタ2Aを、はんだを用いて実装基板3に実装した場合に、はんだ材料が、グランド電極23側（またはグランドパターン33側）へ流れ込むことを抑制することができる。これにより、入出力電極22と実装基板3の入出力パターン32との間のはんだ量不足を抑制することができ、導波管フィルタ回路1の特性劣化を抑制することが可能となる。

[0100] なお、導波管フィルタ2Aには、ダム部D2に加え、はんだ部が形成されていてもよい。すなわち、導波管フィルタ2Aのはんだ部が、ダム部D2よりも、グランド電極23側から入出力電極22側へ向かう方角に位置し、ダム部D2に接して形成されていてもよい。

[0101] （実施の形態3）

本実施の形態では、実施の形態1および2に係る導波管フィルタを備える高周波フロントエンド回路50A等について説明する。

[0102] [3. 1 高周波フロントエンド回路の構成]

図11Aは、実施の形態3に係る高周波フロントエンド回路50Aおよびその周辺回路を示す回路図である。同図には、高周波フロントエンド回路50Aと、アンテナ素子53と、RF信号処理回路91と、ベースバンド信号処理回路92とが示されている。

[0103] 高周波フロントエンド回路50Aは、フィルタ61、62および63と、スイッチ回路70と、パワーアンプ回路81と、ローノイズアンプ回路82とを備える。

[0104] パワーアンプ回路81は、RF信号処理回路91から出力された高周波送信信号を増幅し、スイッチ回路70およびフィルタ61を経由してアンテナ素子53に出力する送信増幅回路である。

[0105] ローノイズアンプ回路82は、アンテナ素子53、フィルタ61およびスイッチ回路70を経由した高周波信号を増幅し、RF信号処理回路91へ出力する受信増幅回路である。

[0106] フィルタ61は、アンテナ素子53に接続され、例えば、送信帯域および

受信帯域の高周波信号を選択的に通過させるアンテナフィルタである。フィルタ 6 2 は、パワーアンプ回路 8 1 と R F 信号処理回路 9 1 との間に配置され、送信帯域の高周波信号を選択的に通過させる段間フィルタである。フィルタ 6 3 は、ローノイズアンプ回路 8 2 と R F 信号処理回路 9 1 との間に配置され、受信帯域の高周波信号を選択的に通過させる段間フィルタである。

[0107] スイッチ回路 7 0 は、アンテナ素子 5 3 と送信信号経路および受信信号経路との接続を切り替えるスイッチである。

[0108] R F 信号処理回路 9 1 は、アンテナ素子 5 3 から受信信号経路を介して入力された高周波受信信号を、ダウンコンバートなどにより信号処理し、当該信号処理して生成された受信信号をベースバンド信号処理回路 9 2 へ出力する。R F 信号処理回路 9 1 は、例えば、R F I C (Radio Frequency Integrated Circuit) である。また、R F 信号処理回路 9 1 は、ベースバンド信号処理回路 9 2 から入力された送信信号をアップコンバートなどにより信号処理し、当該信号処理して生成された高周波送信信号をパワーアンプ回路 8 1 へ出力する。

[0109] ベースバンド信号処理回路 9 2 で処理された信号は、例えば、画像信号として画像表示のために、または、音声信号として通話のために使用される。

[0110] なお、高周波フロントエンド回路 5 0 A は、フィルタ 6 1、6 2 および 6 3、スイッチ回路 7 0、パワーアンプ回路 8 1、ならびにローノイズアンプ回路 8 2 の間に、他の回路素子を備えていてもよい。

[0111] 図 1 1 B は、変形例に係る高周波フロントエンド回路 5 0 B を示す回路図である。例えば、T D D (Time Division Duplex) 方式で通信を行う場合、高周波フロントエンド回路 5 0 B は、サーキュレータ 7 1 を有し、送信時にスイッチ回路 7 2 が 5 0 オームに終端され、受信時にスイッチ回路 7 2 がローノイズアンプ回路 8 2 側に接続される回路構成であってもよい。

[0112] 図 1 1 C は、他の変形例に係る高周波フロントエンド回路 5 0 C を示す回路図である。例えば、T D D 方式で通信を行う場合、高周波フロントエンド回路 5 0 C は、サーキュレータ 7 3 の第 3 ポートを終端してアイソレータと

する回路構成であってもよい。

[0113] ここで、本実施の形態に係る高周波フロントエンド回路50A、50B、50Cでは、フィルタ61、62および63として、実施の形態1および2ならびにその変形例に示された導波管フィルタを用いることができる。

[0114] 上記構成によれば、フィルタ61、62および63のいずれかにおいてフィルタ特性のばらつきが抑制されるので、高周波特性のばらつきが低減された高周波フロントエンド回路を実現することが可能となる。

[0115] (実施の形態4)

本実施の形態では、実施の形態1および2に係る導波管フィルタを備えるMassive MIMOシステムを例示する。

[0116] 5G（第5世代移動通信システム）で有望な無線伝送技術の1つは、ファントムセルとMassive MIMOシステムとの組み合わせである。ファントムセルは、低い周波数帯のマクロセルと高い周波数帯のsmallセルとの間で通信の安定性を確保するための制御信号と、高速データ通信の対象であるデータ信号とを分離するネットワーク構成である。各ファントムセルにMassive MIMOのアンテナ装置が設けられる。Massive MIMOシステムは、ミリ波帯等において伝送品質を向上させるための技術であり、各アンテナ素子から送信される信号を制御することで、当該アンテナ素子の指向性を制御する。また、Massive MIMOシステムは、多数のアンテナ素子を用いるため、鋭い指向性のビームを生成することができる。ビームの指向性を高めることで高い周波数帯でも電波をある程度遠くまで飛ばすことができるとともに、セル間の干渉を減らして周波数利用効率を高めることができる。

[0117] 図12Aは、実施の形態4に係るMassive MIMOシステムを示す回路図である。また、図12Bは、実施の形態4に係るMassive MIMOシステムのアンテナ装置の平面図である。

[0118] 図12Bに示されたアンテナ装置51は、図12Aに示されたMassive MIMOシステムで用いられる。アンテナ装置51は、行列状に配列

された複数のパッチアンテナ52を備える。図12Aは、アンテナ装置51を含む高周波フロントエンド回路50Dの構成を示す図である。この高周波フロントエンド回路50Dは、本実施の形態に係るMassive MIMOシステムである。パッチアンテナ52には、帯域通過型のフィルタ61a、61bおよび61cが接続されている。フィルタ61aとパワーアンプ回路81aおよびローノイズアンプ回路82aとの間には、スイッチ回路70aが接続されている。フィルタ61bとパワーアンプ回路81bおよびローノイズアンプ回路82bとの間には、スイッチ回路70bが接続されている。フィルタ61cとパワーアンプ回路81cおよびローノイズアンプ回路82cとの間には、スイッチ回路70cが接続されている。ローノイズアンプ回路82a、82bおよび82cは、ベースバンド信号処理回路92に接続されている。ベースバンド信号処理回路92とパワーアンプ回路81aとの間には、帯域通過型のフィルタ62aおよびミキサ94aが接続されている。ベースバンド信号処理回路92とパワーアンプ回路81bとの間には、帯域通過型のフィルタ62bおよびミキサ94bが接続されている。ベースバンド信号処理回路92とパワーアンプ回路81cとの間には、帯域通過型のフィルタ62cおよびミキサ94cが接続されている。ミキサ94a、94bおよび94cには、ローカルオシレータ93が接続されている。ローカルオシレータ93は、ミキサ94a～94cにおいて高い周波数へアップコンバート、低い周波数へダウンコンバートするための基準周波数を、ミキサ94a～94cへ出力する。アンテナフィルタのみで事足りて、段間フィルタが必要ない場合、Switch以下はRFICの中に取り込んで1つとしてもかまわない。或いは、図11Aのようにミキサ以下をRFICに取り込んで構わない。

[0119] フィルタ61a～61cは、送受信周波数帯域を通過させ、その他の周波数成分を除去する。スイッチ回路70a～70cは、送信信号と受信信号とを切り替える。フィルタ62a～62cは、送信信号の周波数帯域を通過させ、その他の周波数成分を除去する。

[0120] フィルタ61a～61cおよび62a～62cとして、実施の形態1、2

およびその変形例に係る導波管フィルタを用いることができる。

[0121] パッチアンテナ52に接続されるフィルタ61a～61cを、パッチアンテナ52が形成される基板の裏面に配置してもよい。これにより、フィルタ61a～61c付きのパッチアンテナ52を備えるアンテナ装置51が構成される。

[0122] 本実施の形態に係る高周波フロントエンド回路50A～50Dによれば、フィルタ61a～61cおよび62a～62cにおいてフィルタ特性のばらつきが抑制されるので、高周波特性のばらつきが低減されたMassive MIMOシステムを実現することが可能となる。

[0123] (その他の実施の形態など)

以上、本発明の実施の形態に係る導波管フィルタ回路等について、実施の形態および変形例を挙げて説明したが、本発明の導波管フィルタ回路等は、上記実施の形態および変形例に限定されるものではない。上記実施の形態および変形例における任意の構成要素を組み合わせ実現される別の実施の形態や、上記実施の形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本開示の導波管フィルタ回路等を内蔵した各種機器も本発明に含まれる。

[0124] 実施の形態1では、入出力電極22とグランド電極23とが連続的に繋がっている導波管フィルタ2、および、入出力パターン32とグランドパターン33とが連続的に繋がっている実装基板3を示したが、必ずしも連続的に繋がっていることに限られない。例えば、入出力電極22とグランド電極23とが連続的に繋がっており、入出力パターン32とグランドパターン33とが分断されていてもよい。また、入出力電極22とグランド電極23とが分断されており、入出力パターン32とグランドパターン33とが連続的に繋がっていてもよい。すなわち、本実施の形態の導波管フィルタ2は、入出力電極22と、入出力電極22の一端と接続または近接するグランド電極23とを備えていてもよいし、実装基板3は、入出力パターン32と、入出力パターン32の一端と接続または近接するグランドパターン33とを備えて

いてもよい。

[0125] なお、実施の形態およびその変形例に係る導波管フィルタは、誘電体導波管デュプレクサまたは誘電体導波管マルチプレクサとしても適用可能である。

産業上の利用可能性

[0126] 本発明の導波管フィルタ回路は、ミリ波帯移動体通信システムおよびMassive MIMOシステムなどの通信機器に広く利用できる。

符号の説明

- [0127]
- 1 導波管フィルタ回路
 - 2、2 A 導波管フィルタ
 - 2 a 実装面
 - 2 b 側面
 - 2 c 天面
 - 3、3 A、3 B、3 C 実装基板
 - 3 a 第1主面
 - 3 b 第2主面
 - 5 第1共振部
 - 6 第2共振部
 - 7 a、7 b、7 c、7 d、7 e、7 f、7 g、7 h 共振器
 - 8 結合窓
 - 21 フィルタ本体
 - 22 入出力電極
 - 22 a 入出力電極の外側端部
 - 22 b 入出力電極の内側端部（一端）
 - 23 グランド電極
 - 23 a ギャップ間のグランド電極
 - 25 a 第1ギャップ部
 - 25 b 第2ギャップ部

- 2 6 モード変換部
- 2 9 露出側面部
- 3 1 基板本体
- 3 2 入出力パターン
- 3 2 a 入出力パターンの外側端部
- 3 2 b 入出力パターンの内側端部（一端）
- 3 3、3 7 グランドパターン
- 3 3 a ギャップ間のグランドパターン
- 3 5 a 第1 ギャップ部
- 3 5 b 第2 ギャップ部
- 3 6 モード変換部
- 3 8 ビア導体
- 3 9 伝送線路
- 5 0 A、5 0 B、5 0 C、5 0 D 高周波フロントエンド回路
- 5 1 アンテナ装置
- 5 2 パッチアンテナ
- 5 3 アンテナ素子
- D 1、D 2 ダム部
- MA 実装領域
- MA 1 実装領域の外縁部分
- R 1 レジストパターン
- R 2 外側レジスト
- R 3 a、R 3 b 開口部
- S 1 第1 はんだ部
- S 1 a はんだペースト
- S 2 第2 はんだ部
- S 2 a フィレット部
- S 2 b 内側底部

61、61a、61b、61c、62、62a、62b、62c、63
フィルタ

70、70a、70b、70c、72 スイッチ回路

71、73 サークュレータ

81、81a、81b、81c パワーアンプ回路

82、82a、82b、82c ローノイズアンプ回路

91 RF信号処理回路

92 ベースバンド信号処理回路

93 ローカルオシレータ

94a、94b、94c ミキサ

請求の範囲

- [請求項1] 導波管フィルタと、前記導波管フィルタが実装された実装基板とを備える導波管フィルタ回路であって、
前記導波管フィルタは、
前記実装基板側の主面である実装面に形成された入出力電極と、
前記実装面に形成されたグランド電極と、
を備え、
前記実装基板は、
前記入出力電極に対応する形状を有する入出力パターンと、
グランドパターンと、
を備え、
前記入出力パターンと前記入出力電極とは、はんだ材料を含む第1はんだ部を介して接続され、
前記入出力パターンと前記グランドパターンとの間、および、前記入出力電極と前記グランド電極との間のうち少なくとも一方には、ダム部が設けられている、
導波管フィルタ回路。
- [請求項2] 前記ダム部は、前記第1はんだ部よりも、前記入出力パターン側から前記グランドパターン側へ向かう方角に位置し、前記第1はんだ部に接している、
請求項1に記載の導波管フィルタ回路。
- [請求項3] 前記ダム部は、前記入出力パターンと前記グランドパターンとの間であって、前記入出力パターンおよび前記グランドパターンの信号伝送経路上に配置されている、
請求項1または2に記載の導波管フィルタ回路。
- [請求項4] 前記ダム部は、前記実装基板に形成されるレジストパターンの一部である、
請求項1～3のいずれか1項に記載の導波管フィルタ回路。

- [請求項5] 前記ダム部は、前記はんだ材料よりも融点が高い、
請求項1～4のいずれか1項に記載の導波管フィルタ回路。
- [請求項6] 前記入出力パターンの幅よりも、信号伝搬方向において前記入出力パターンに接続する前記グランドパターンの幅のほうが大きい、
請求項1～5のいずれか1項に記載の導波管フィルタ回路。
- [請求項7] 前記入出力パターンまたは前記グランドパターンは、信号を、TEMモードからTEモードまたはTEモードからTEMモードに変換するモード変換部を有し、
前記ダム部は、前記モード変換部に設けられている、
請求項1～6のいずれか1項に記載の導波管フィルタ回路。
- [請求項8] 前記グランド電極は、前記グランドパターンに、はんだ材料を含む複数の第2はんだ部を介して接続されている、
請求項1～7のいずれか1項に記載の導波管フィルタ回路。
- [請求項9] 前記複数の第2はんだ部のそれぞれは、
前記導波管フィルタの側面の一部領域および前記実装面の一部領域の前記グランド電極に接続するフィレット部と、
前記フィレット部よりも、前記導波管フィルタの前記実装面の内側に位置する領域の前記グランド電極に接続する内側底部と、
を有する請求項8に記載の導波管フィルタ回路。
- [請求項10] 前記実装基板の前記グランドパターン上には、開口部を有するレジストパターンが形成され、
前記開口部は、前記導波管フィルタが実装された前記実装基板を平面視した場合に、前記導波管フィルタの外縁と重なり、
前記開口部には、前記第2はんだ部の前記フィレット部が形成される、
請求項9に記載の導波管フィルタ回路。
- [請求項11] 入出力電極およびグランド電極を備える導波管フィルタを実装するための実装基板であって、

前記導波管フィルタの前記入出力電極に対応する形状を有する入出力パターンと、

グラウンドパターンと、

前記入出力パターンと前記グラウンドパターンとの間であって、前記入出力パターンおよび前記グラウンドパターンの信号伝送経路上に配置されたダム部と、

を備える導波管フィルタ用実装基板。

[請求項12] 前記実装基板の前記入出力パターン上および前記グラウンドパターン上には、所定形状を有するレジストパターンが形成され、

前記ダム部は、前記レジストパターンの一部である、

請求項11に記載の導波管フィルタ用実装基板。

[請求項13] 実装面に形成された入出力電極と、

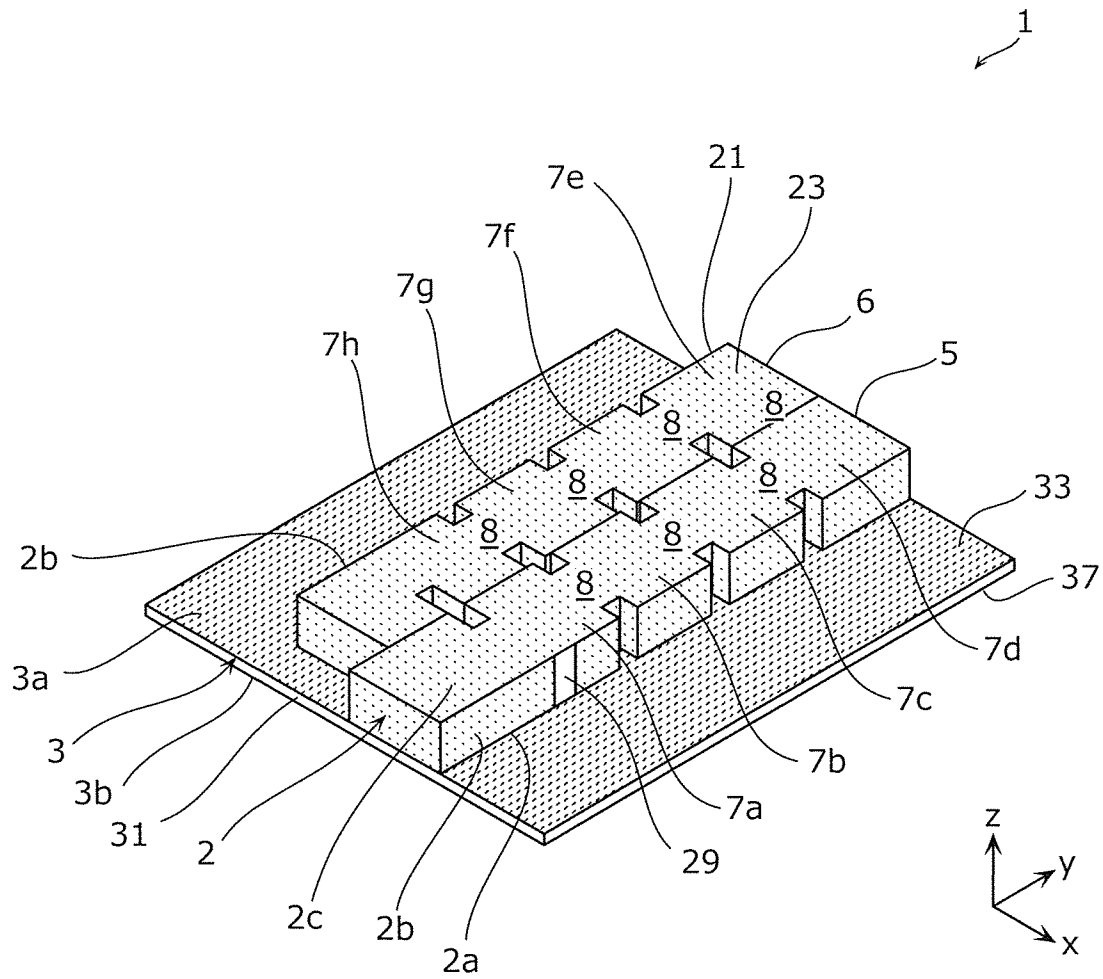
前記実装面に形成されたグラウンド電極と、

前記入出力電極と前記グラウンド電極との間であって、前記入出力電極および前記グラウンド電極の信号伝送経路上に配置されたダム部と、

を備える導波管フィルタ。

[図1]

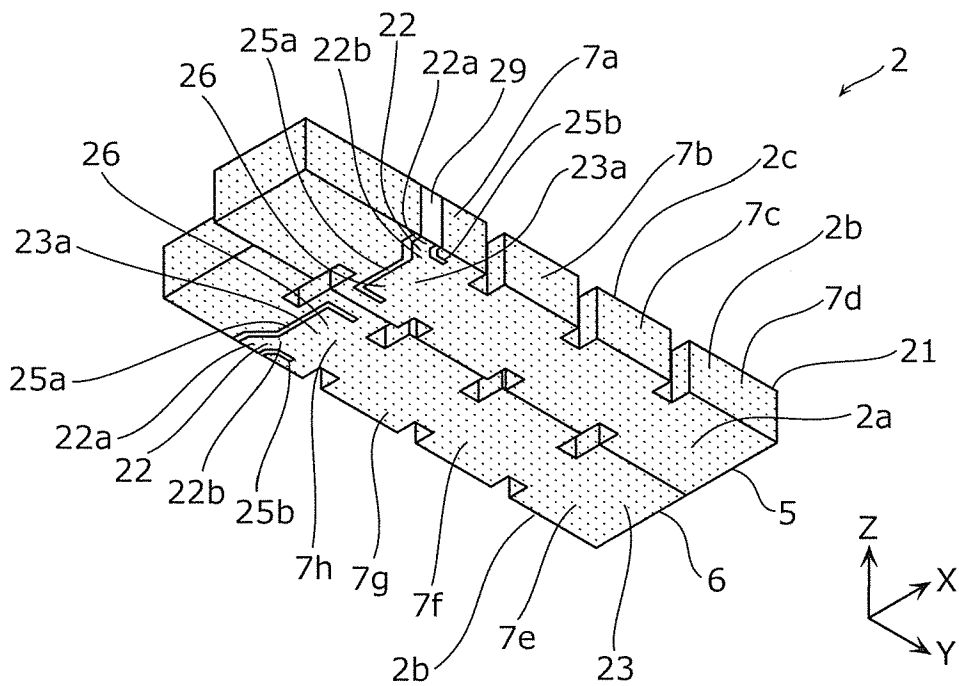
図1



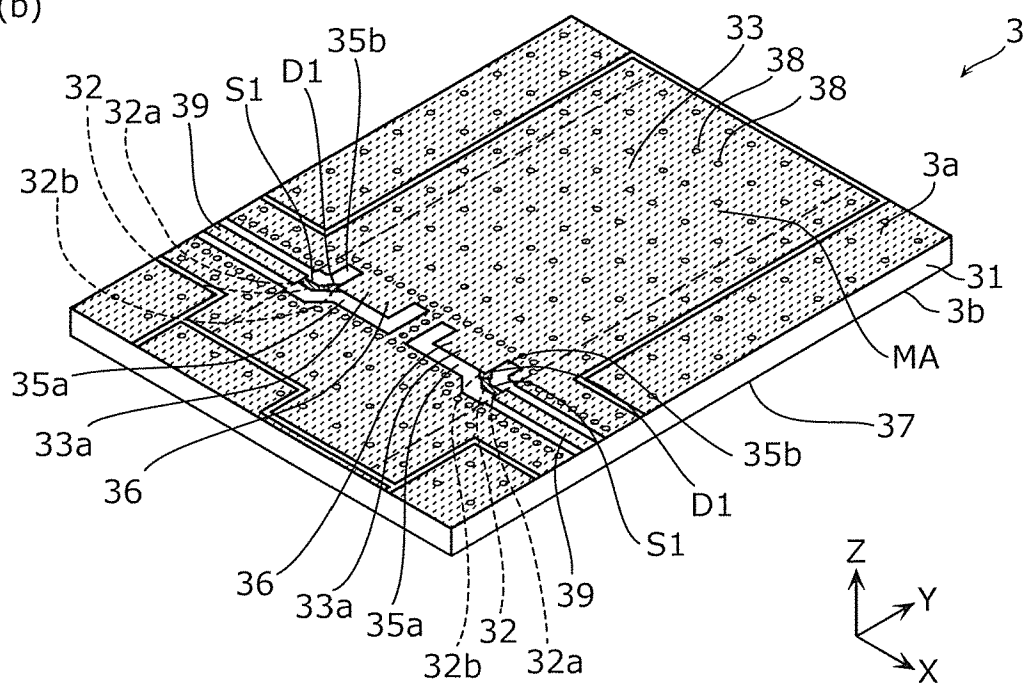
[図2]

図2

(a)

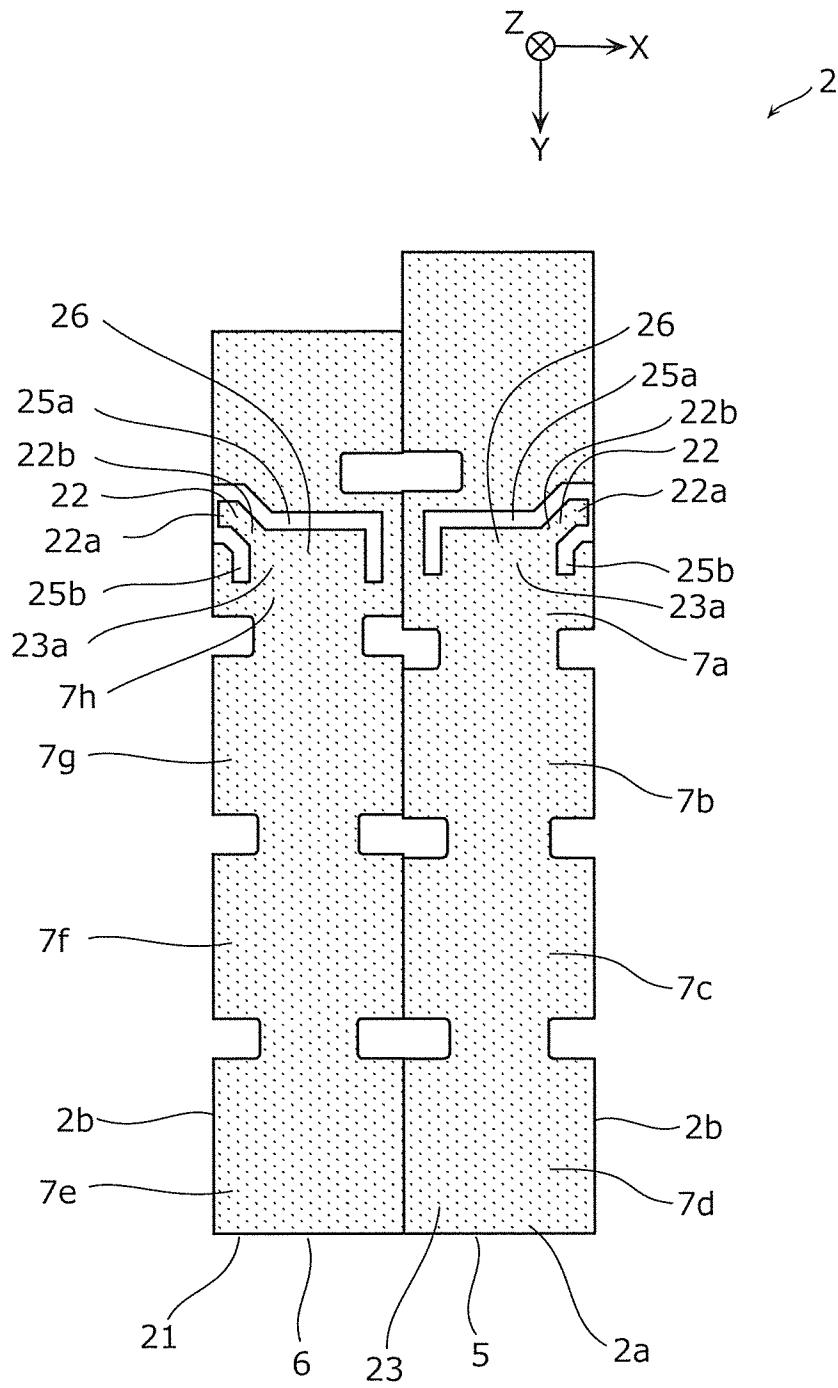


(b)



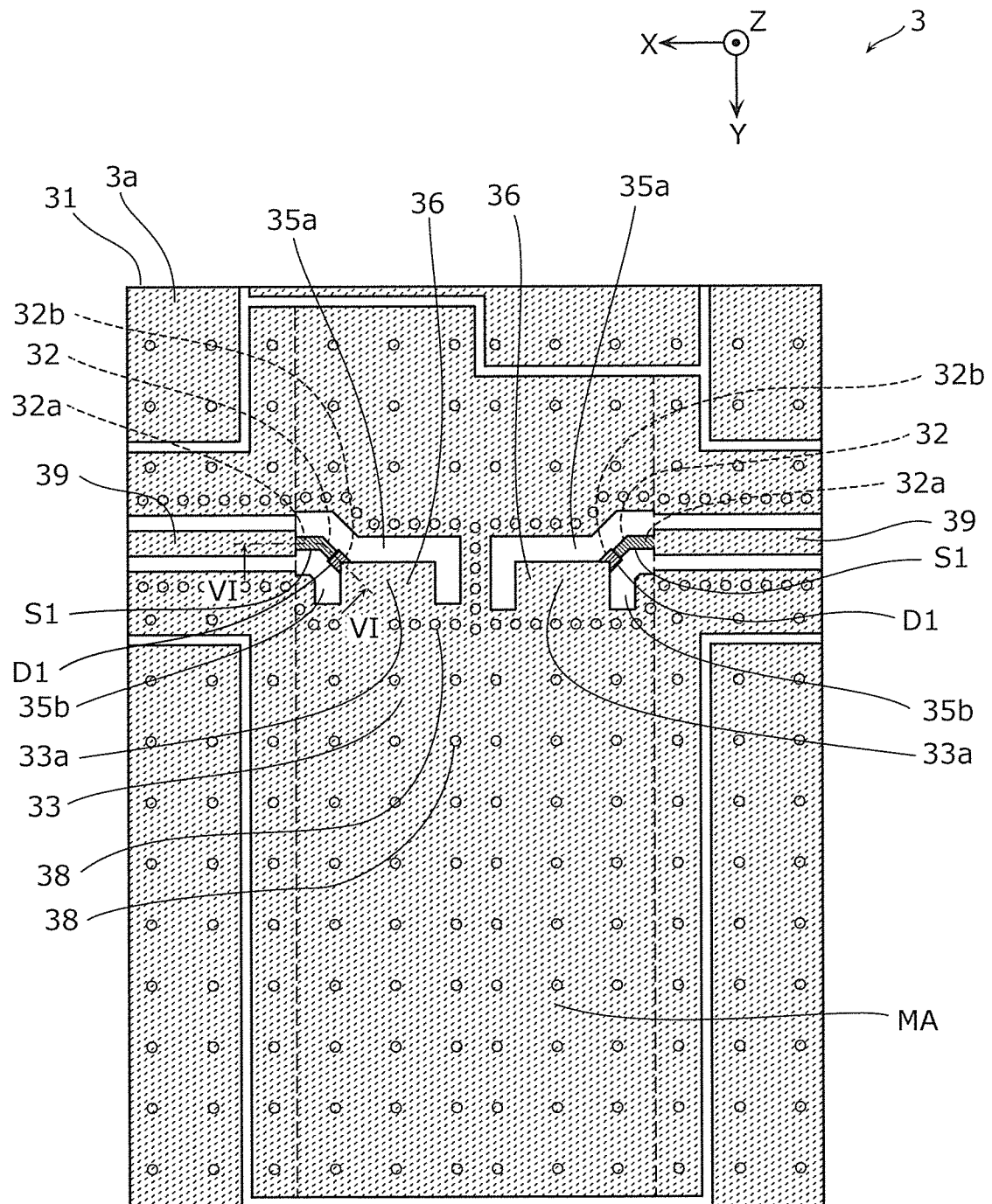
[図3]

図3



[図4]

図4



[図5A]

図5A

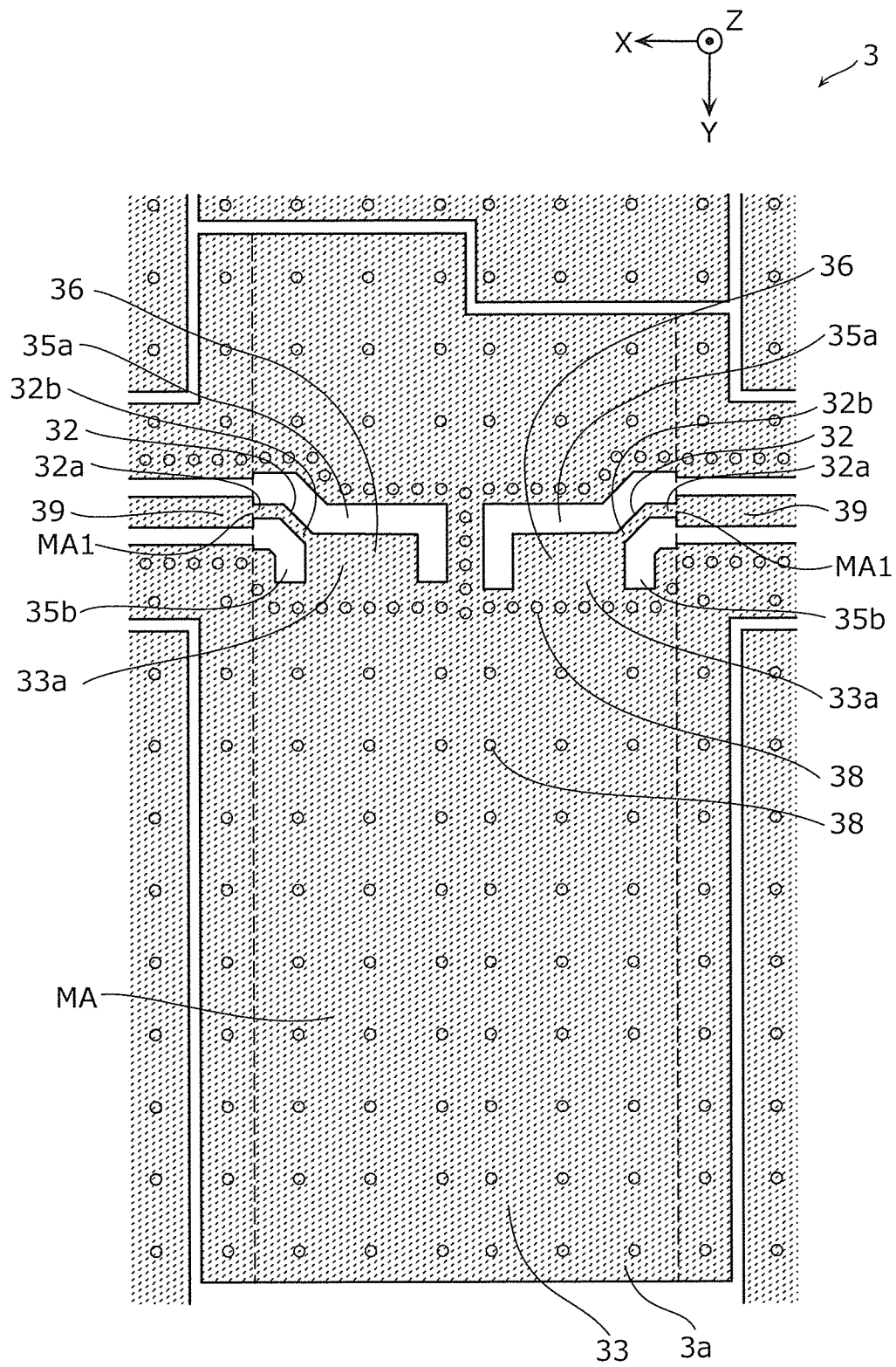
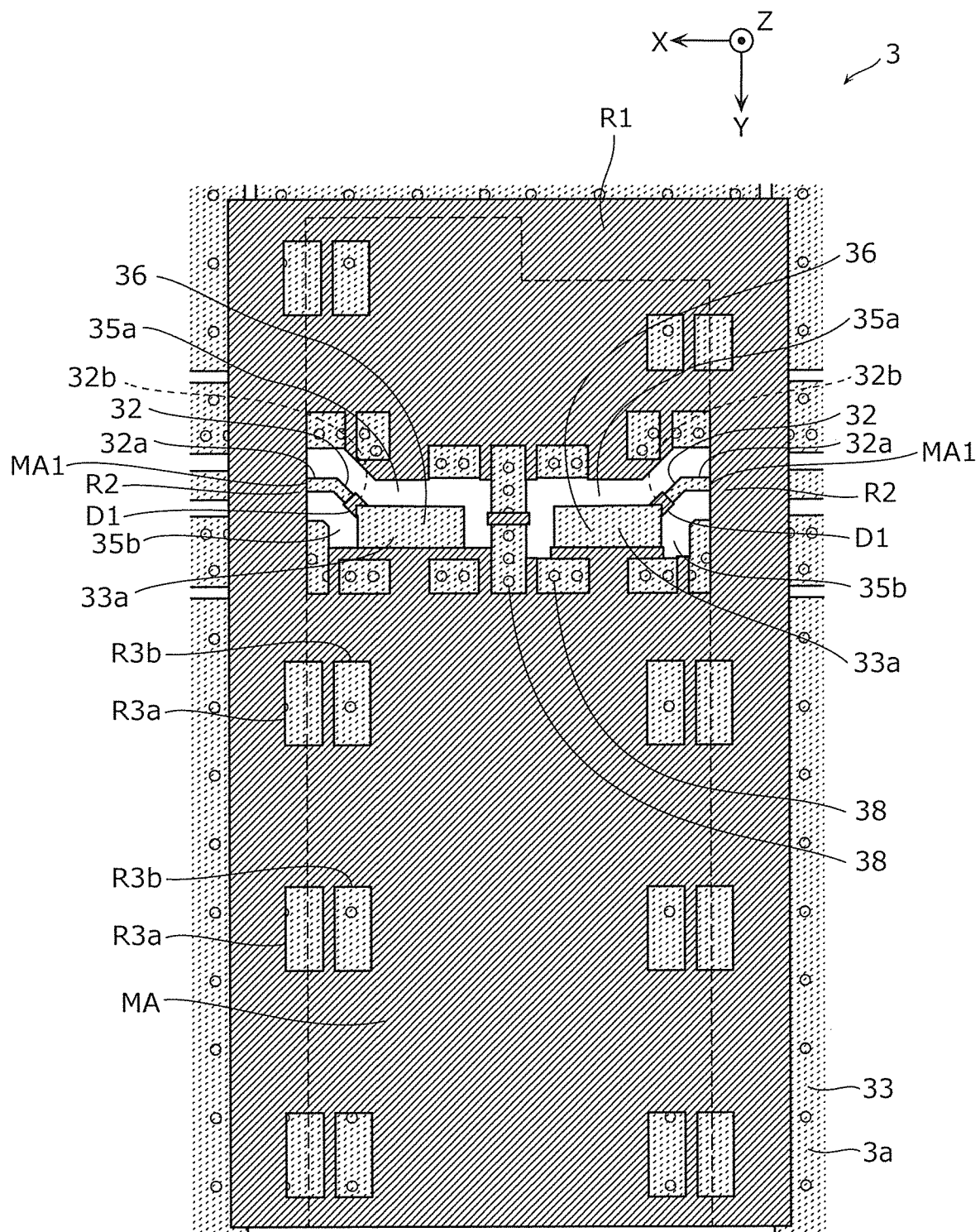


図5B



[図5C]

図5C

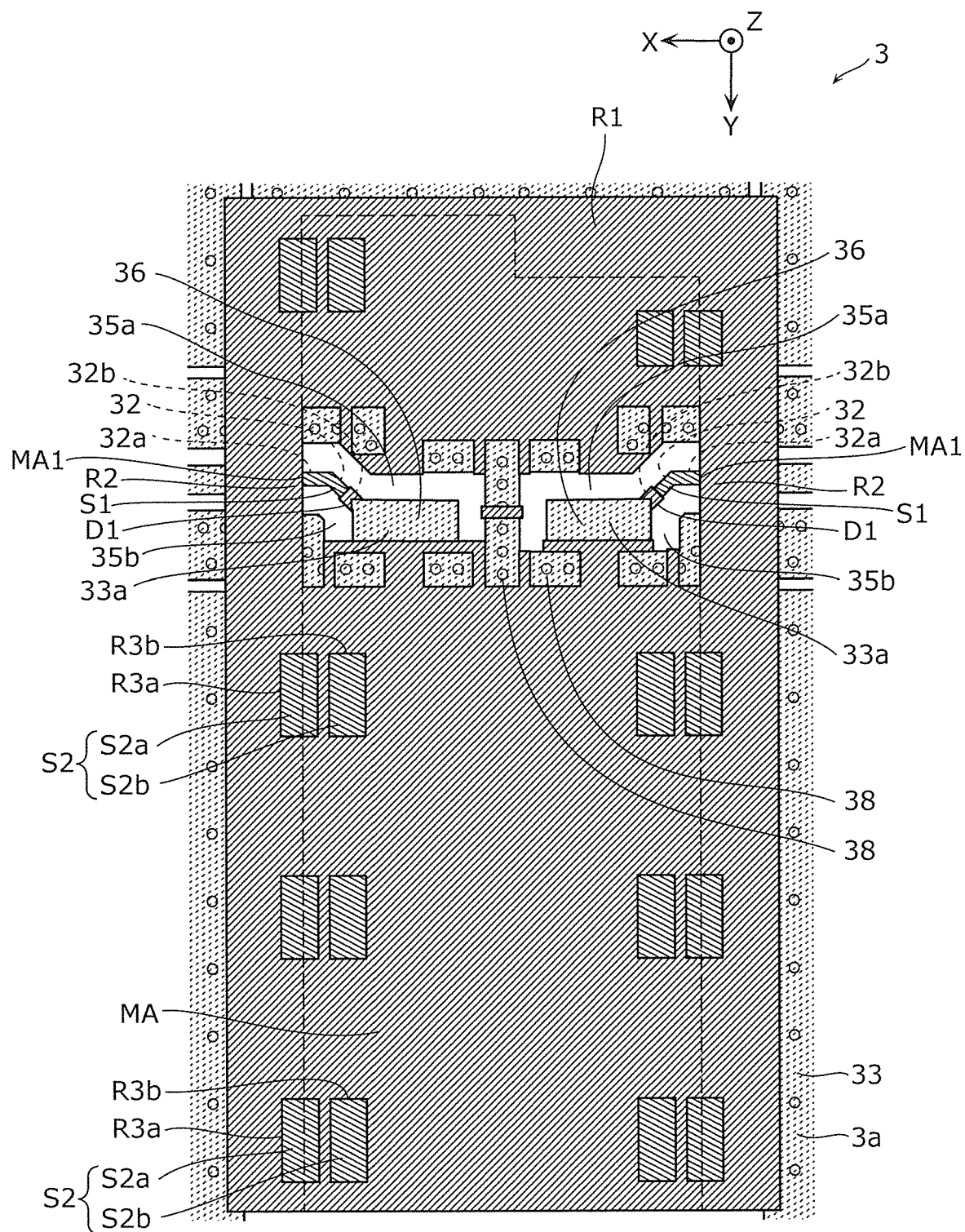


图6

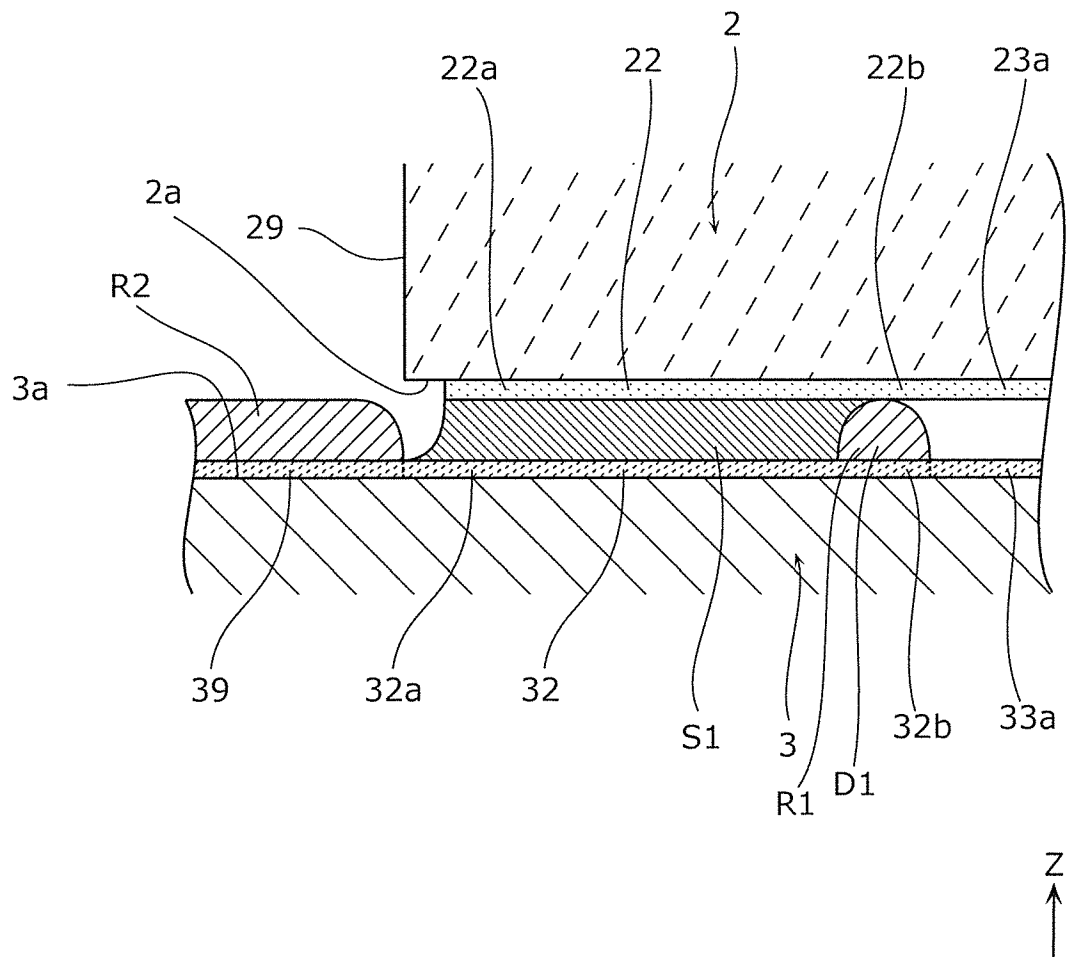
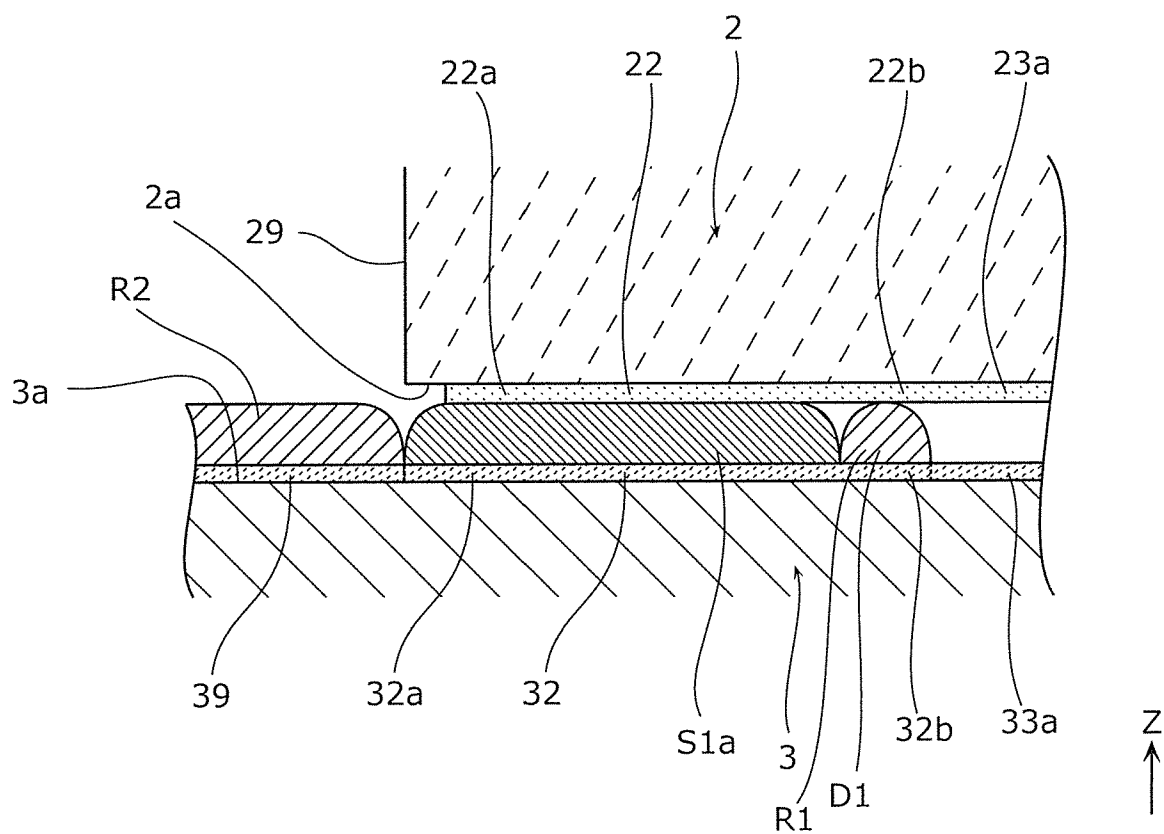
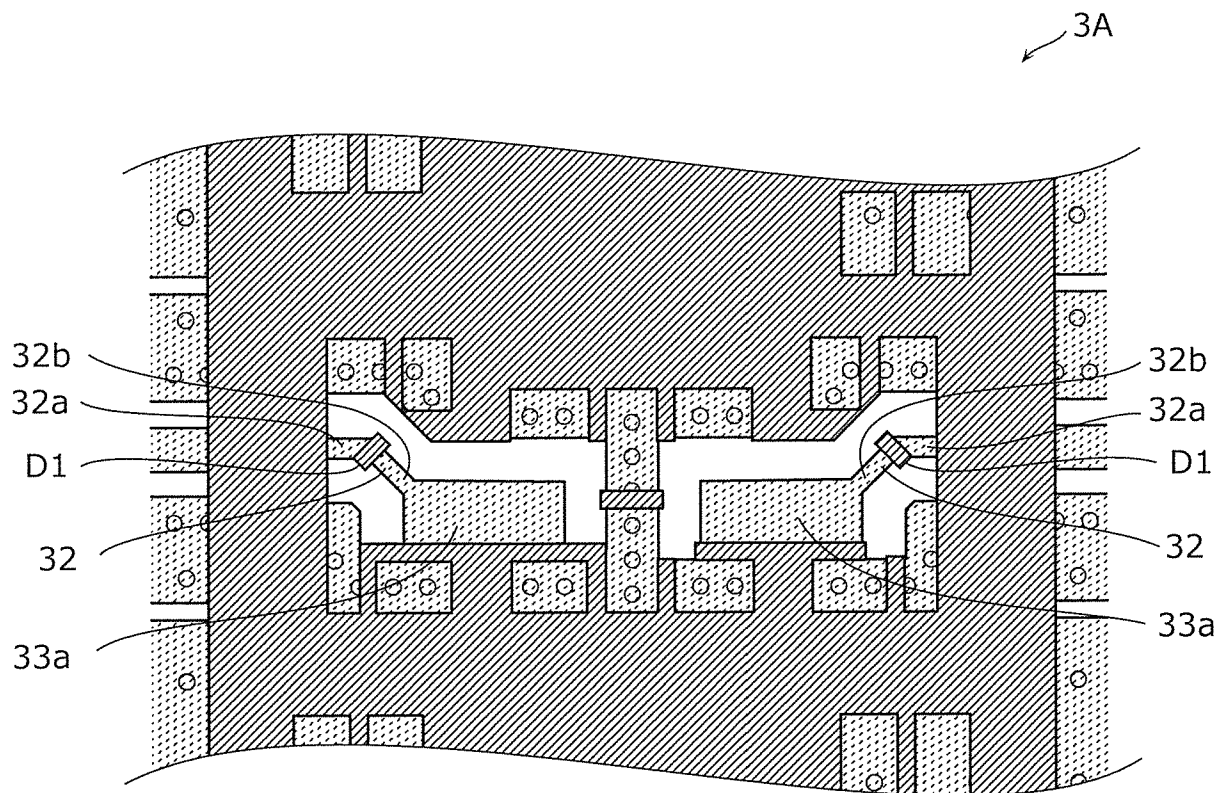


图7A



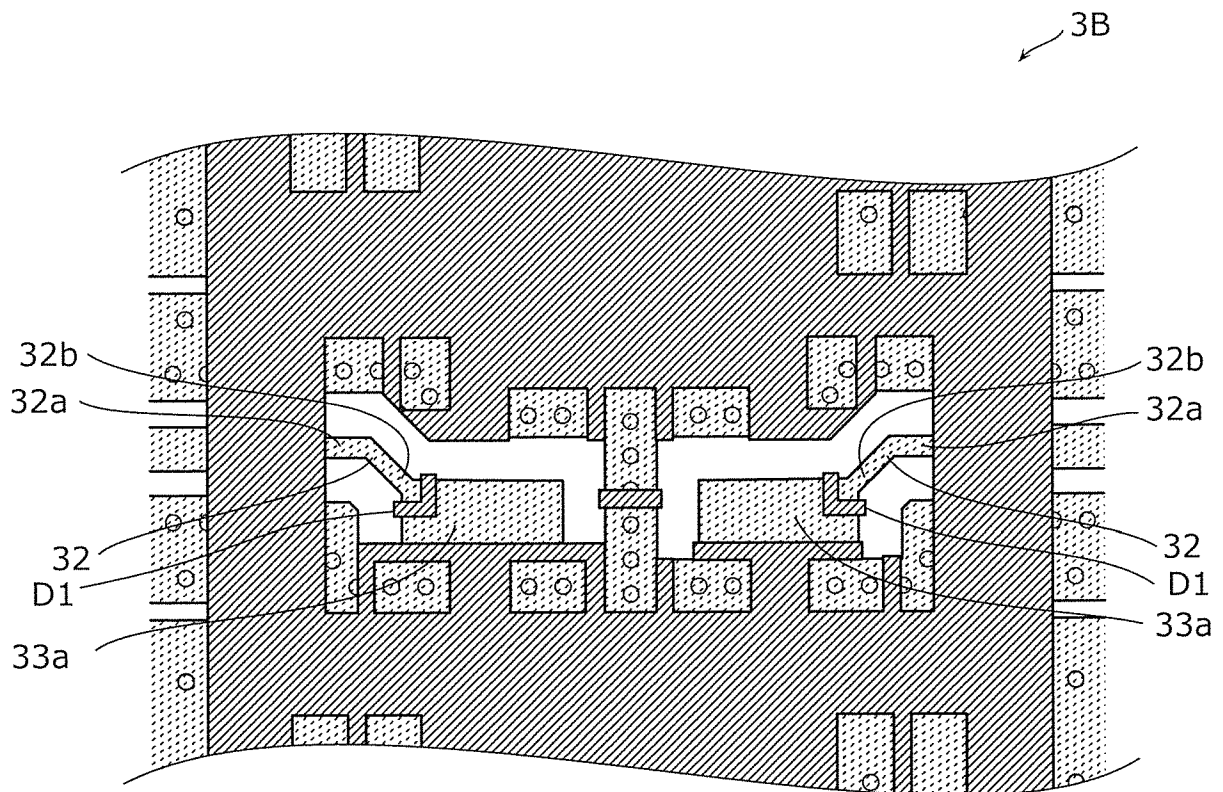
[図8A]

図8A



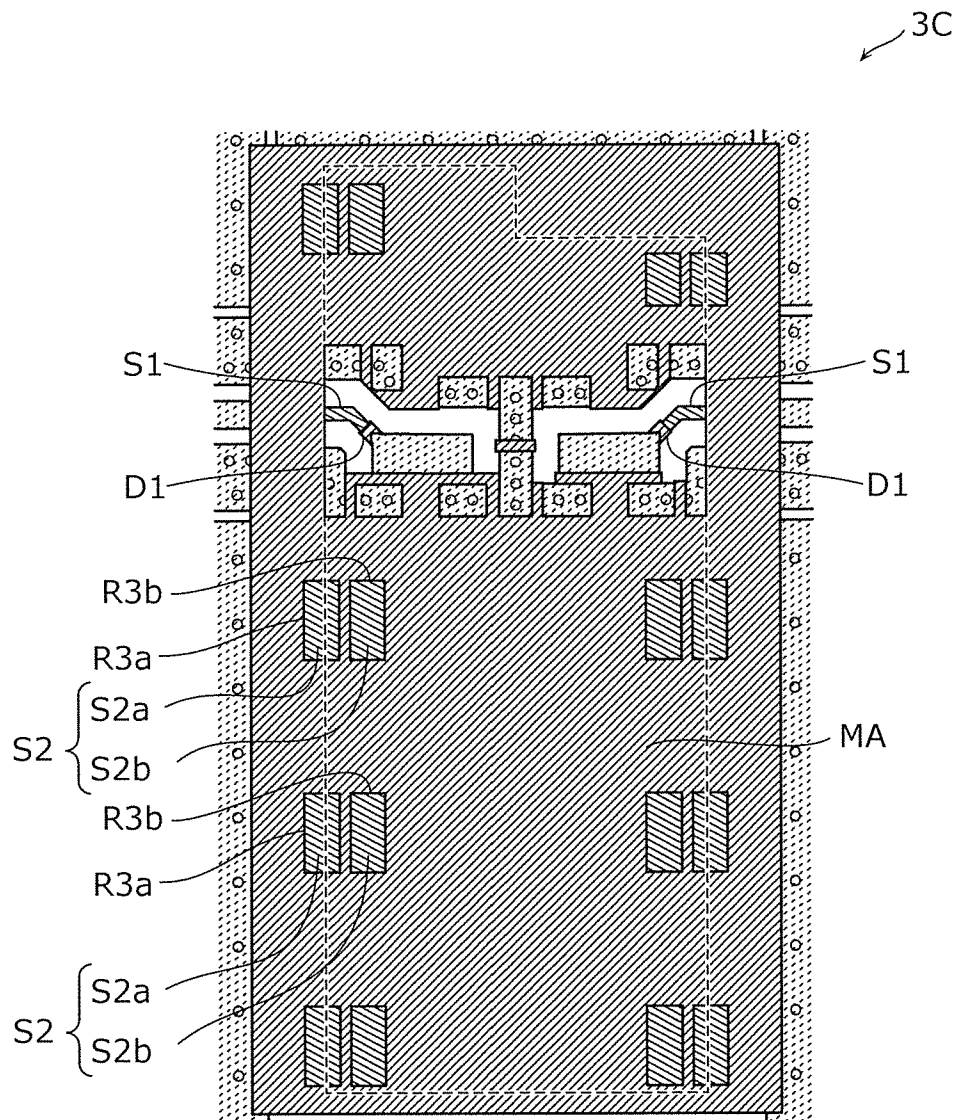
[図8B]

図8B



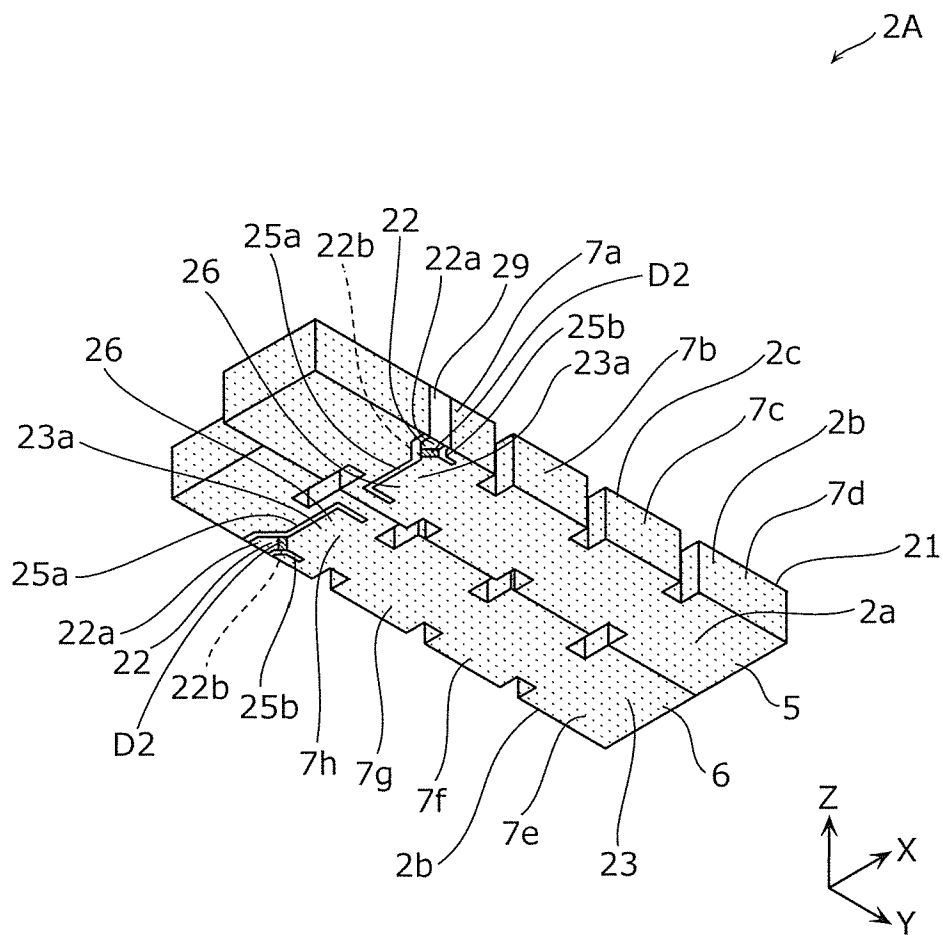
[図9]

図9



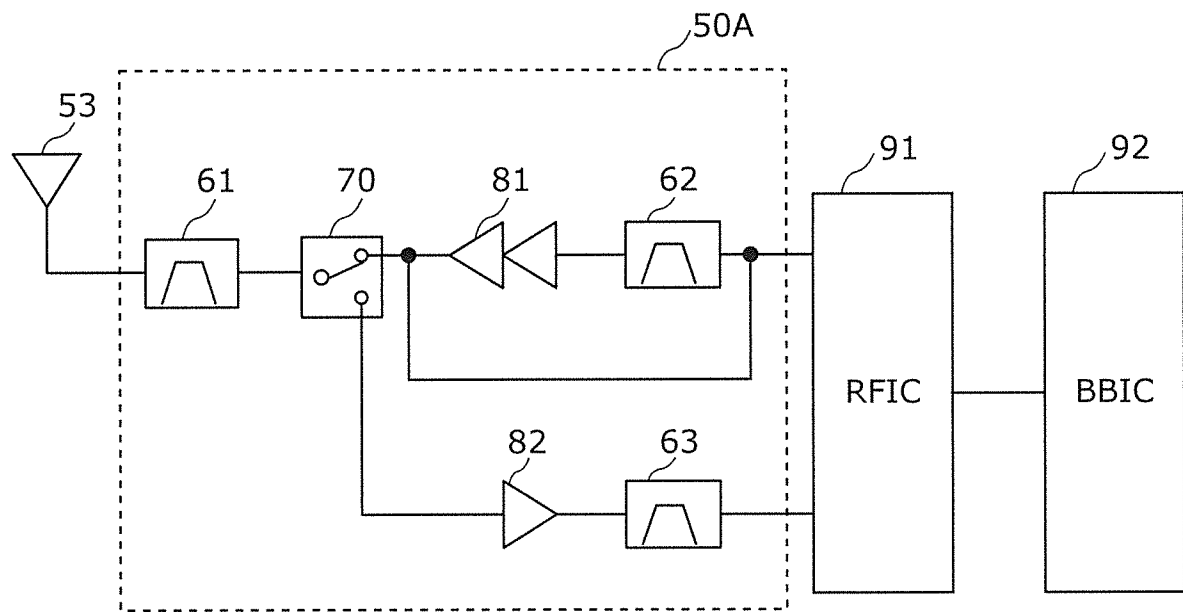
[図10]

図10



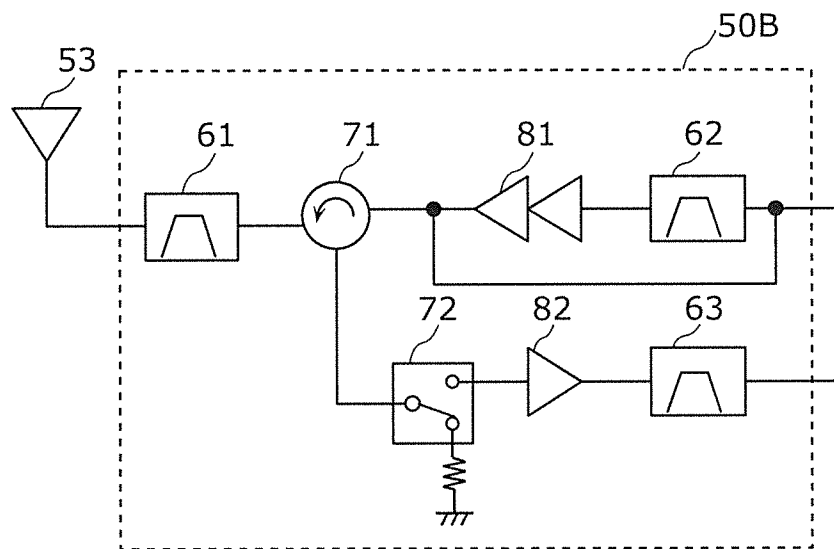
[図11A]

図11A



[図11B]

図11B



[図11C]

図11C

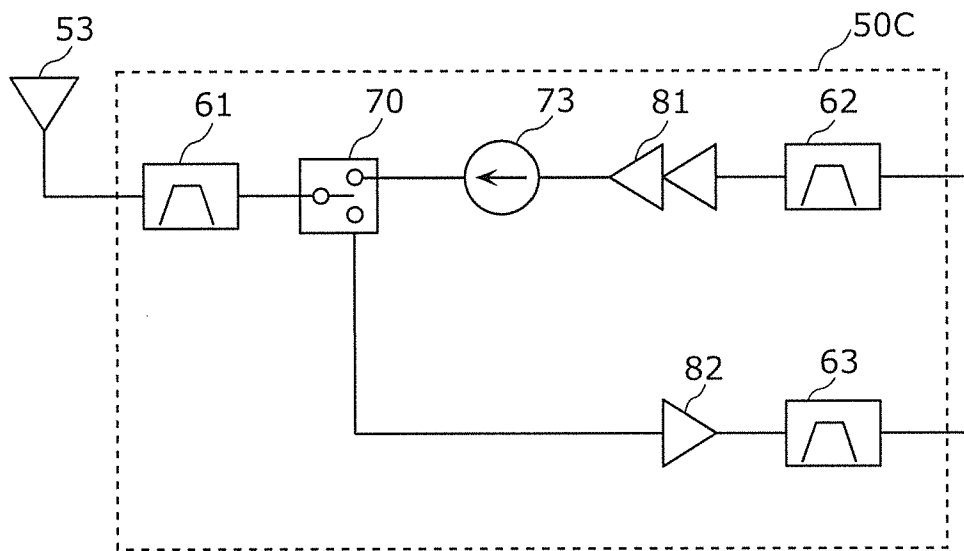
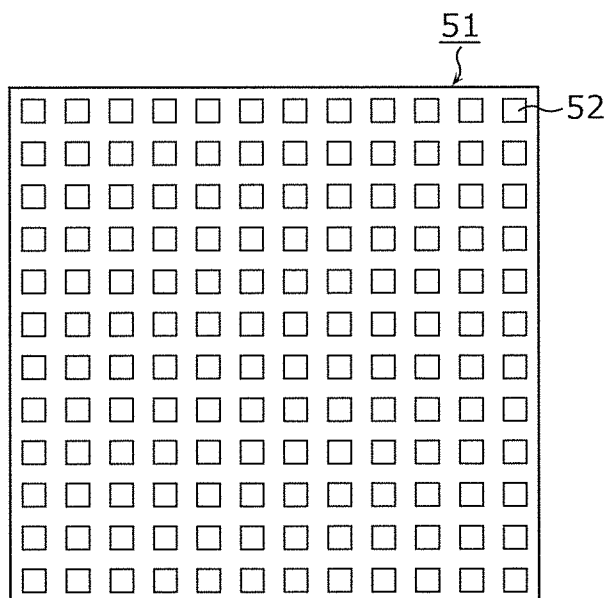
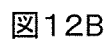


図12A



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/023828

A. CLASSIFICATION OF SUBJECT MATTER

H01P1/208(2006.01)i, H05K1/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P1/208, H05K1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 8-213810 A (Matsushita Electric Industrial Co., Ltd.), 20 August 1996 (20.08.1996), paragraphs [0014] to [0024]; fig. 1 to 2 & WO 1996/024171 A1 & EP 756350 A1 column 2, line 43 to column 4, line 44; fig. 1 to 7 & CN 1145696 A	1, 2, 4, 5, 8, 11, 12 3, 6, 7, 9, 10, 13
Y A	JP 2003-224405 A (Ube Industries, Ltd.), 08 August 2003 (08.08.2003), paragraphs [0020] to [0042]; fig. 1 to 9 & WO 2002/067358 A1	1, 2, 4, 5, 8, 11, 12 3, 6, 7, 9, 10, 13
A	JP 2005-318360 A (TDK Corp.), 10 November 2005 (10.11.2005), (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 September 2017 (08.09.17)

Date of mailing of the international search report
19 September 2017 (19.09.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/023828

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-98364 A (Murata Mfg. Co., Ltd.), 20 May 2013 (20.05.2013), (Family: none)	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01P1/208(2006.01)i, H05K1/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01P1/208, H05K1/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 8-213810 A (松下電器産業株式会社) 1996.08.20, 段落 [0014]-[0024], 図 1-2 & WO 1996/024171 A1 & EP 756350 A1, 第 2 欄第 43 行-第 4 欄第 44 行, Fig. 1-7 & CN 1145696 A	1, 2, 4, 5, 8, 11, 12 3, 6, 7, 9, 10, 13
Y A	JP 2003-224405 A (宇部興産株式会社) 2003.08.08, 段落 [0020]-[0042], 図 1-9 & WO 2002/067358 A1	1, 2, 4, 5, 8, 11, 12 3, 6, 7, 9, 10, 13
A	JP 2005-318360 A (TDK株式会社) 2005.11.10, (ファミリーなし)	1-13

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

08.09.2017

国際調査報告の発送日

19.09.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

岸田 伸太郎

5 K

9183

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-98364 A (株式会社村田製作所) 2013.05.20, (ファミリーなし)	1-13