

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-34436

(P2010-34436A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl. F I テーマコード (参考)
H O 1 L 25/065 (2006.01)
H O 1 L 25/07 (2006.01)
H O 1 L 25/18 (2006.01)

審査請求 有 請求項の数 8 O L (全 14 頁)

(21) 出願番号	特願2008-197277 (P2008-197277)	(71) 出願人	000005108
(22) 出願日	平成20年7月31日 (2008.7.31)		株式会社日立製作所
			東京都千代田区丸の内一丁目6番6号
		(71) 出願人	899000079
			学校法人慶應義塾
			東京都港区三田2丁目15番45号
		(74) 代理人	100080001
			弁理士 筒井 大和
		(72) 発明者	黒田 忠広
			神奈川県横浜市港北区日吉3丁目14番1号 慶應義塾大学 理工学部内
		(72) 発明者	長田 健一
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内

最終頁に続く

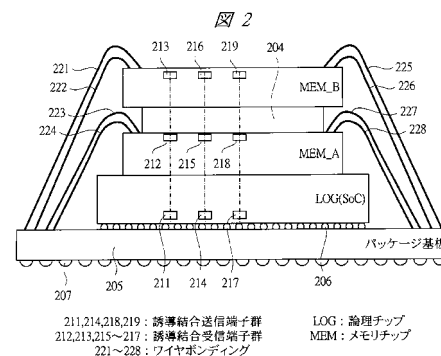
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 積層チップ内の各チップ間で、低遅延で安定した動作を実現可能な半導体集積回路装置を提供する。

【解決手段】 論理チップLOG上に、メモリチップMEM_A、MEM_Bを積層し、LOGとMEM_A、MEM_B間とのコマンド、アドレス、データ等の送受信を誘導結合送信端子群211、214、218、219および誘導結合受信端子群212、213、215～217を用いた無線通信によって行う。MEM_A、MEM_Bの電源は、ワイヤボンディング225、227によって供給し、MEM_A、MEM_Bの内部状態を初期化するリセット信号も、ワイヤボンディング222、224によって供給する。無線通信を用いることで各チップ間の動作電圧が異なっても低遅延で通信でき、電源や信頼性が必要な信号を有線で供給することで安定した動作も実現できる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

無線通信機能を備えた第 1 集積回路と、
無線通信機能を備えた第 2 集積回路と、
を具備してなり、
前記第 2 集積回路は、前記第 1 集積回路の上に積層され、
前記第 2 集積回路の電源は、有線で供給されるように構成されたことを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 記載の半導体集積回路装置において、
前記第 2 集積回路は、リセット信号が入力された際に自身の内部状態を初期化するように構成され、
前記第 2 集積回路に向けたリセット信号は、有線で供給されるように構成されたことを特徴とする半導体集積回路装置。

【請求項 3】

請求項 2 記載の半導体集積回路装置において、
前記第 2 集積回路は、
テストモード端子と、
前記テストモード端子が第 1 電位レベルの際に前記第 2 集積回路の動作制御が可能に設定され、第 2 電位レベルの際に前記第 2 集積回路の動作制御が不可能に設定される複数のテスト用信号端子と、を備え、
前記テストモード端子は、有線によって前記第 2 電位レベルに固定されていることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 2 記載の半導体集積回路装置において、
前記第 2 集積回路の電源と前記第 2 集積回路に向けたリセット信号は、ワイヤボンディングによって供給されるように構成されたことを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 記載の半導体集積回路装置において、
前記無線通信機能は、誘導結合方式を用いた無線通信回路であることを特徴とする半導体集積回路装置。

【請求項 6】

無線通信機能を備えた第 1 集積回路と、
前記第 1 集積回路によってアクセスされ、無線通信機能を備えた第 1 集積記憶回路および第 2 集積記憶回路と、
を具備してなり、

前記第 1 集積記憶回路は、前記第 1 集積回路の上に積層され、
前記第 2 集積記憶回路は、前記第 1 集積記憶回路の上に積層され、
前記第 1 集積記憶回路は、第 1 チップ識別端子を備え、前記第 1 集積回路からそれぞれの前記無線通信機能を介して受信した第 1 信号の電位レベルと前記第 1 チップ識別端子の電位レベルとを比較し、この比較結果に応じて自身のアクセス可否を制御し、
前記第 2 集積記憶回路は、第 2 チップ識別端子を備え、前記第 1 集積回路からそれぞれの前記無線通信機能を介して受信した前記第 1 信号の電位レベルと前記第 2 チップ識別端子の電位レベルとを比較し、この比較結果に応じて自身のアクセス可否を制御し、
前記第 1 集積記憶回路と前記第 2 集積記憶回路の電源は、それぞれ有線によって供給され、

前記第 1 チップ識別端子と前記第 2 チップ識別端子は、有線によってそれぞれ異なる電位レベルに固定されていることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 6 記載の半導体集積回路装置において、

10

20

30

40

50

前記第 1 集積記憶回路および前記第 2 集積記憶回路のそれぞれは、リセット信号が入力された際に自身の内部状態を初期化するように構成され、

前記第 1 集積記憶回路および前記第 2 集積記憶回路のそれぞれに向けたリセット信号は、有線で供給されるように構成されたことを特徴とする半導体集積回路装置。

【請求項 8】

請求項 6 記載の半導体集積回路装置において、

前記無線通信機能は、誘導結合方式を用いた無線通信回路であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体集積回路装置に関し、特に、マイクロプロセッサチップやメモリチップ等を積層して構成された S i P (System in Package) 等の半導体集積回路装置に関する。

【背景技術】

【0002】

例えば、特許文献 1 には、パッケージ基板上に論理チップと D R A M とフラッシュメモリを積層搭載し、論理チップと D R A M を bumps で接続し、フラッシュメモリをワイヤボンディングでパッケージ基板に接続した半導体装置が開示されている。論理チップは、その bumps 下の多層配線層などに入出力バッファ回路が形成され、また、多層配線層の下層部分から半導体基板の裏面に向けて形成された貫通電極を介してパッケージ基板との配線が行われる。これによって、半導体装置の高速化や配線効率の向上などが実現可能となる。

20

【0003】

また、特許文献 2 には、積層した半導体チップそれぞれにコイルを形成し、データ送信側の半導体チップのコイルに電流を流して磁界を発生させ、この磁界を受信側の半導体チップのコイルで受信し、電流に変換して情報を伝達する誘導結合方式が開示されている。これによって、効率のよい信号伝送が可能となる。

【特許文献 1】特開 2005-268670 号公報

【特許文献 2】特開 2005-228981 号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

半導体製造技術の微細化に伴い、半導体チップの I / O 性能不足が深刻化しつつある。これは、微細化に伴って半導体チップに搭載される回路が増加し、さらに各回路の動作が速くなるため、半導体チップが所望の機能を実現するために必要な I / O 処理量が増加する一方、半導体チップの端子数は、ワイヤボンディングなどに制約されるために基本的にはチップサイズによって決まり、微細化によっては増加しないためである。

【0005】

半導体チップの I / O 性能不足を解決するためには、例えば、特許文献 1 に記載されているように、端子を半導体チップの上面や下面に二次元状に配置し、半導体チップを複数個積層することによって積層されたチップ間で情報の伝送を行う、三次元結合技術を用いることが考えられる。しかしながら、特許文献 1 の技術のように、論理チップと D R A M を有線である bumps で接続すると、通常は D R A M と論理チップの内部電圧が異なるためインターフェース用の電圧に変換する必要性が生じ、遅延時間の大幅な増加を招く恐れがある。

40

【0006】

そこで、特許文献 2 に記載されているように、非接触方式で積層チップ間の通信を行うことが考えられる。非接触方式を用いると、前述したような遅延時間を低減でき、3 チップ以上の積層チップ間でも効率のよい通信が実現可能となる。しかしながら、非接触方式

50

では、無線信号を用いるため外部環境等によって誤動作が生じる恐れがある。また、非接触方式で電力供給を行う場合には、送信側に比較的大きなアンテナが必要とされ、受信側にも、安定した電源を生成するための各種回路が必要となることからチップ面積効率の低下などが懸念される。さらに、外部環境等によっては、安定した電源を常時生成することが困難となる恐れもある。

【0007】

本発明は、このようなことを鑑みてなされたものであり、本発明の前記ならびにそれ以外の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

本願において開示される発明の代表的な実施の形態の概要を簡単に説明すれば、次のとおりである。

【0009】

本実施の形態による半導体集積回路装置は、積層チップ内の各チップ間で、誘導結合方式を用いて各種信号の無線通信を行うものであって、上層チップへの電力供給を有線で行うものとなっている。これによって、上層チップに対して安定した電源を供給でき、信頼性の向上が図れる。

【0010】

また、本実施の形態による半導体集積回路装置は、論理チップの上に単数または複数のメモリチップが積層され、論理チップとメモリチップ間で誘導結合方式を用いてコマンド、アドレス、データといった信号の無線通信を行うものであって、上層となるメモリチップへの電力供給を有線で行うものとなっている。さらに、メモリチップは、自身の内部状態を初期化するためのリセット入力を備え、このリセット入力が有線によって供給されるものとなっている。これによって、リセットの誤入力を防止でき、また、仮に無線通信で誤動作が生じた場合にも容易に通常の動作状態へ復帰できるようになり、信頼性の向上が図れる。

【発明の効果】

【0011】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、積層チップ内の各チップ間で無線通信によって信号の送受信を行う半導体集積回路装置において、信頼性の向上が実現可能になる。

【発明を実施するための最良の形態】

【0012】

以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。また、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0013】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0014】

図1は、本発明の一実施の形態による半導体集積回路装置において、その構成の一例を示すブロック図である。本実施の形態による半導体集積回路装置DEVは、例えば、論理チップLOGと、2個のメモリチップMEM_A、MEM_Bを積層搭載し、これらを1

10

20

30

40

50

個のパッケージ基板に実装したシステムインパッケージ（以下、S i Pと記載する）の形態となっている。なお、S i Pは、MCP（マルチチップパッケージ）等と呼ばれることもある。図1には、これらの各チップの接続関係を示している。図1のDEV（S i P）は、例えばシステムオンチップ（以下、SoCと記載する）等の論理チップLOGと、メモリチップ[A]MEM__Aと、メモリチップ[B]MEM__Bを内蔵し、外部との間の通信機能を備えている。通信機能は、LOGがMEM__AおよびMEM__Bに格納されたプログラムを読み出して実行することなどによって実現される。また、LOGは、MEM__AおよびMEM__Bに対する書き込み機能を備えている。

【0015】

LOG、MEM__A、およびMEM__Bのそれぞれは、公知のCMOS（相補型MOSトランジスタ）やバイポーラトランジスタなどを形成する半導体集積回路技術によって単結晶シリコンのような半導体基板の主面上に形成された集積回路であり、動作時には電源と接地電位に接続される。DEV（S i P）は、外部端子（外部信号）として、外部電源端子（外部電源）P__VDD、P__VDDM、外部接地電位端子（外部接地電位）P__VSS、外部データ入力端子（外部データ入力信号）P__DI、外部データ出力端子（外部データ出力信号）P__DO、外部リセット端子（外部リセット信号）P__RSTなどを備える。

【0016】

LOGは、外部端子（外部信号）として、リセット端子（リセット信号）RST、データ入力端子（データ入力信号）DI、データ出力端子（データ出力信号）DO、電源端子（電源）VDD、接地電位端子（接地電位）VSSを備える。また、これらに加えてMEM__AおよびMEM__Bとアクセスするためのクロック端子（クロック信号）CLK、アドレス端子（アドレス信号）ADD、コマンド端子（コマンド信号）CMD、ライトデータ端子（ライトデータ信号）DWおよびリードデータ端子（リードデータ信号）DRを備える。RST、DI、DO、VDD、VSSは、それぞれ、前述したDEV（S i P）の外部端子となるP__RST、P__DI、P__DO、P__VDD、P__VSSに接続される。

【0017】

MEM__AおよびMEM__Bのそれぞれは、外部端子（外部信号）として、チップ識別端子（チップ識別信号）CSL、リセット端子（リセット信号）RSTM、電源端子（電源）VDDM、接地電位端子（接地電位）VSSを備える。また、これらに加えて、LOGとアクセスするためのクロック端子（クロック信号）CLK、アドレス端子（アドレス信号）ADD、コマンド端子（コマンド信号）CMD、ライトデータ端子（ライトデータ信号）DWおよびリードデータ端子（リードデータ信号）DRを備える。RSTM、VDDM、VSSは、それぞれ、前述したDEV（S i P）の外部端子となるP__RST、P__VDDM、P__VSSに接続される。なお、通常、VDDとVDDMは異なる電圧であり、特に限定はされないが、例えば、VDDは1.2V、VDDMは1.8Vなどである。

【0018】

MEM__AおよびMEM__BのCLK、ADD、CMD、DW、DRは、それぞれ、LOGのCLK、ADD、CMD、DW、DRに接続される。また、MEM__AおよびMEM__Bのチップ識別端子CSLの内、一方はVSSに接続され、他方はVDDMに接続される（ここではMEM__AのCSLがVSSに接続されている）。CSLは、LOGからMEM__AおよびMEM__Bに入力されるアドレス信号ADDに応じて、どちらかのメモリチップを選択させるための信号であり、MEM__AとMEM__Bで異なる信号が入力される。すなわち、図1の場合は、CSLの値に基づいて、例えば、ADDの最上位ビットが‘0’の時にはMEM__Aが選択され、‘1’の時にはMEM__Bが選択される。

【0019】

図2は、図1の半導体集積回路装置DEV（S i P）の外形例を示す側面図である。図2の半導体集積回路装置DEV（S i P）は、パッケージ基板205上に、論理チップL

10

20

30

40

50

LOG (SoC) が搭載され、LOG の上にメモリチップMEM__A が搭載され、MEM__A の上にスペーサ204 を介してメモリチップMEM__B が搭載された構成となっている。LOG (SoC) は、パッケージ基板205 の表面上に、 bumps 206 が形成された端子面を下にして搭載される。MEM__A は、端子面を上にしてLOG (SoC) 上に積層され、その上にスペーサ204 が積層され、更にその上にMEM__B が端子面を上にして積層される。スペーサ204 は、ワイヤボンディングを接続するための空間を確保するために必要な部材であり、熱膨張率がシリコンと同一の素材が望ましい。

【0020】

パッケージ基板205 は、 bumps で形成された外部端子207 を裏面に持ち、表面電極と裏面の外部端子207 とを接続する配線層を内蔵した部材である。パッケージ基板205 は、LOG (SoC)、MEM__A、MEM__B と接続され、外部端子207 は、実装ボードに接続され、これによって実装ボード上の外部デバイスと接続される。外部端子207 の中には、図1 に示したP__RST, P__DI, P__DO, P__VDD, P__VSS, P__VDDM が含まれる。ワイヤボンディング(223, 224, 227, 228) は、MEM__A とパッケージ基板205 を接続するための配線であり、ワイヤボンディング(221, 222, 225, 226) は、MEM__B とパッケージ基板205 を接続するための配線である。

【0021】

ワイヤボンディング223 は、MEM__A のチップ識別端子CSL とパッケージ基板205 を接続する配線であり、このCSL はパッケージ基板205 を介して外部端子207 の一部である外部接地電位端子P__VSS に接続される。ワイヤボンディング224 は、MEM__A のリセット端子RSTM とパッケージ基板205 を接続する配線であり、このRSTM はパッケージ基板205 を介して外部端子207 の一部である外部リセット端子P__RST に接続される。ワイヤボンディング227 は、MEM__A の電源端子VDDM とパッケージ基板205 を接続する配線であり、このVDDM はパッケージ基板205 を介して外部端子207 の一部である外部電源端子P__VDDM に接続される。ワイヤボンディング228 は、MEM__A の接地電位端子VSS とパッケージ基板205 を接続する配線であり、このVSS はパッケージ基板205 を介して外部端子207 の一部であるP__VSS に接続される。

【0022】

ワイヤボンディング221 は、MEM__B のチップ識別端子CSL とパッケージ基板205 を接続する配線であり、このCSL はパッケージ基板205 を介して外部端子207 の一部であるP__VDDM に接続される。ワイヤボンディング222 は、MEM__B のリセット端子RSTM とパッケージ基板205 を接続する配線であり、このRSTM はパッケージ基板205 を介して外部端子207 の一部であるP__RST に接続される。ワイヤボンディング225 は、MEM__B の電源端子VDDM とパッケージ基板205 を接続する配線であり、このVDDM はパッケージ基板205 を介して外部端子207 の一部であるP__VDDM に接続される。ワイヤボンディング226 は、MEM__B の接地電位端子VSS とパッケージ基板205 を接続する配線であり、このVSS はパッケージ基板205 を介して外部端子207 の一部であるP__VSS に接続される。

【0023】

また、論理チップLOG (SoC) の主面(端子面)には、誘導結合送信端子群211, 214 および誘導結合受信端子群217 が形成される。メモリチップMEM__A の主面(端子面)には、誘導結合受信端子群212, 215 および誘導結合送信端子群218 が形成される。メモリチップMEM__B の主面(端子面)には、誘導結合受信端子群213, 216 および誘導結合送信端子群219 が形成される。誘導結合送信端子群は、誘導結合方式によってデータを伝送するためのコイル群であり、コイル群のそれぞれは例えば半導体基板上の多層配線層を用いて1回巻き以上の配線パターンを形成することで実現される。誘導結合受信端子群は、誘導結合方式によってデータを受信するためのコイル群であり、コイル群のそれぞれは例えば半導体基板上の多層配線層を用いて1回巻き以上の配線

10

20

30

40

50

パターンを形成することで実現される。なお、図2では簡略化して示しているが、実際には、各送信端子群および各受信端子群のそれぞれは、必要な信号本数に応じた複数のコイルからなる。

【0024】

誘導結合送信端子群211は、LOG(SoC)がMEM_AおよびMEM_Bにアドレス、コマンド、クロックを送信するための端子である。誘導結合受信端子群212は、MEM_AがLOG(SoC)からアドレス、コマンド、クロックを受信するための端子である。誘導結合受信端子群213は、MEM_BがLOG(SoC)からアドレス、コマンド、クロックを受信するための端子である。

【0025】

誘導結合送信端子群214は、LOG(SoC)がMEM_AおよびMEM_Bにライトデータを送信するための端子であり、誘導結合受信端子群215、216は、それぞれ、MEM_A、MEM_BがLOG(SoC)からライトデータを受信するための端子である。誘導結合送信端子群218、219は、それぞれ、LOG(SoC)に向けてMEM_A、MEM_Bがリードデータを送信するための端子であり、誘導結合受信端子群217は、MEM_AまたはMEM_BからLOG(SoC)がリードデータを受信するための端子である。

【0026】

このように、誘導結合を代表とする無線方式を用いて信号の送受信を行うことで、高い実装効率で半導体チップ間通信が実現可能となる。また、誘導結合方式の無線通信を用いると、コイルに電流を流すことで情報伝送を行うため、論理チップLOGとメモリチップMEMとで動作電圧が異なっても特にインターフェース用の電圧変換を行う必要はなく、低遅延での通信が可能となる。更に、MEM_AおよびMEM_Bの電源電圧を有線(ここではワイヤボンディング)で供給することで、論理チップLOG内に大きなコイルを設ける必要がなく、MEM_A、MEM_B内にも整流回路等を設ける必要がないため高い面積効率を実現でき、更に、MEM_AおよびMEM_Bに対する安定した電源供給も実現できる。このようなことから、本実施の形態の半導体集積回路装置は、効率がよく安定した動作を実現可能となる。なお、有線の中でも特にワイヤボンディングを用いることで、低コスト化が図れる。

【0027】

図3は、図1のメモリチップMEM_A、MEM_Bのより詳細な構成例を示すブロック図である。図3のメモリチップMEMは、誘導結合による通信を行なうための通信マクロ部TRXと、制御論理部CTLと、メモリコア部MCRなどから構成される。通信マクロ部TRXは、クロック信号CLK、アドレス信号ADD、コマンド信号CMD、ライトデータ信号DWが論理チップLOG(SoC)から無線によって入力され、また、リードデータ信号DRを無線によってLOG(SoC)へ出力する。

【0028】

制御論理部CTLは、通信マクロ部TRXとメモリコア部MCRを接続するブロックであり、TRXからの出力信号を受けて、内部クロック信号ICLKや、メモリセルを選択するワード選択信号WSELおよびブロック選択信号BLKSELをMCRへ出力する。また、ライトかリードを選択するライト選択信号WEやライトデータ信号DWもMCRへ出力する。更に、CTLは、MCRからのリードデータ信号DRを受けて、それを通信マクロ部TRXへ出力する。MCRは、明記してはいないが、メモリセル、ワードドライバ、センスアンプなどより構成されるメモリアレイを含み、例えば、SRAMやDRAM等といった揮発性メモリであっても、EEPROMやフラッシュメモリ等といった不揮発性メモリであってもよい。

【0029】

図3のメモリチップMEMには、ワイヤボンディングによる接続やプローカードによるプロービングが可能なパッドPDが形成されている。図3の例では、リセット信号パッドPD0、データ信号パッドPD1、アドレス信号パッドPD2、チップ識別信号パッドP

10

20

30

40

50

D 3、テストモード信号パッドPD 4、外部クロック信号パッドPD 5、電源パッドPD 6、接地電位パッドPD 7が形成されている。メモリチップMEMを単体でテストするには、PD 4よりハイレベルのテストモード信号TMODを入力する。このTMODのハイレベルを受けて、全てのパッドPD 0～PD 3、PD 5～PD 7からの入出力が有効となる。これによりプローブカードの針からパッドPDを介して各種データを入出力でき、メモリア部MC Rのテストが可能となる。ここでは、PD 0よりリセット信号RSTM、PD 1よりデータ信号TD、PD 2よりアドレス信号TADD、PD 3よりチップ識別信号CSL、PD 5よりクロック信号TCLKを入力（または出力）でき、PD 6およびPD 7より電源電圧VDDMおよび接地電位VSSを供給できる。

【0030】

このテストモード信号TMODがハイレベルの際には、通信マクロ部TRXは無効化される。製品として図2のようなパッケージに実装する際には、PD 4は、ワイヤボンディングによりロウレベルに固定され、これによってデータ信号パッドPD 1、アドレス信号パッドPD 2、外部クロック信号パッドPD 5は無効化されオープン状態となる。なお、図2では、このPD 4に伴うワイヤボンディングは図示していないが、当該テスト機能を適用する場合には、MEM__AおよびMEM__Bからパッケージ基板205を介して外部接地電位端子P__VSSに接続するワイヤボンディングが加わることになる。また、パッケージに実装する際、リセット信号パッドPD 0、チップ識別信号パッドPD 3、電源パッドPD 6、接地電位パッドPD 7は、図2に示したように、ワイヤボンディングでパッケージ基板205の所定の場所に接続される。

【0031】

図4は、図3のメモリチップMEMにおける通信マクロ部TRXの詳細な構成例を示すブロック図である。通信マクロ部TRXは、クロック受信回路RX__CLK、受信回路RX 1、RX 2、送信回路TX 1、TX 2、バッファ回路BF 1～BF 4、ラッチ回路LT 1～LT 4などから構成される。クロック受信回路RX__CLKは、明示していないが、コイルとバッファを含み、外部から誘導結合で送信されたクロック信号CLKを受信し、チップ内部へ受信クロック信号CLKrを出力する。

【0032】

受信回路RX 1、RX 2は、明示していないが、コイルとアンプを含み、RX__CLKからBF 1を介して出力された受信クロック信号CLKrによりアンプを活性化し、外部から誘導結合で送信された各種入力信号（ここではアドレス信号ADD、コマンド信号CMD、ライトデータ信号DW）を受信する。この受信した信号は、ラッチ回路LT 1、LT 2へ出力される。送信回路TX 1、TX 2は、明示していないが、コイルとドライバを含み、BF 1およびBF 3を介した受信クロック信号CLKrによりドライバを活性化し、ドライバによりコイルに電流を流してチップ外部へ各種出力信号（ここではリードデータ信号DR）を送信する。この際の送信回路TX 1、TX 2に対する入力信号は、ラッチ回路LT 3、LT 4から送られる。

【0033】

ラッチ回路LT 1、LT 2は、BF 1およびBF 2を介した受信クロック信号CLKrによってRX 1、RX 2からの出力信号をラッチし、このラッチ後の各種信号（ここでは受信アドレス信号ADDR、受信コマンド信号CMDr、受信ライトデータ信号DWr）をそれぞれ出力する。ラッチ回路LT 3、LT 4は、BF 1、BF 2およびBF 4を介した受信クロック信号CLKrによって外部（ここではメモリア部MC R）からの入力信号（ここでは送信リードデータ信号DRt）をラッチし、このラッチ後の各種信号をTX 1、TX 2に出力する。

【0034】

また、ラッチ回路LT 1～LT 4には、外部よりリセット信号RSTMが入力される。例えば、リセット信号RSTMがロウレベルの時にはLT 1～LT 4に保持されるデータはロウレベルとなる。なお、図4では、メモリチップMEM内に備わる通信マクロ部TRXの構成例を示したが、図1の論理チップLOG（SOC）内にも同様の通信マクロ部が

10

20

30

40

50

備わり、これによってメモリチップMEMとの間で無線信号の送受信が可能となっている。

【0035】

図5は、図3および図4のメモリチップMEMにおける電源投入シーケンスの一例を示す波形図である。図5に示すように、メモリチップMEMを起動するには、MEMの電源VDDMを立ち上げ、VDDMがロウからハイになる間、リセット信号RSTMはロウレベルを維持し、ラッチ回路LT1～LT4はリセット状態を維持する。VDDMが安定した後は、RSTMをロウレベルからハイレベルとし、LT1～LT4のリセット状態を解除する。その後、外部よりクロック信号CLKが入力され、コマンド信号CMDの受信等といった通常の動作が開始される。

10

【0036】

このようなリセット信号RSTMは、図2に示したように有線（ワイヤボンディング）によって供給される。これによって、通常の動作前には通信マクロ部TRXを所定の内部状態に確実に保つことが可能となるため、例えば、その出力信号（CMD，ADD，DW）によって誤ってメモリコア部MCRが誤動作するようなこともなく、信頼性が高い動作を実現可能となる。また、仮にリセット信号RSTMを無線とした場合は、外部環境等に応じて通常の動作中にリセット信号の誤入力が行われる可能性を否定できず、これに伴い半導体集積回路装置DEVの致命的な誤動作に繋がる恐れがあるが、有線とすることで、このような誤動作を防止でき、信頼性が高い動作が実現可能となる。

【0037】

20

図6は、図1の半導体集積回路装置におけるリセット機能の概要を示す説明図である。図6には、リセット時と通常動作時の状態遷移図を示している。S0はリセット状態を示しており、S1、S2、S3、S4はそれぞれ通常動作中の状態を示している。それぞれの状態は入力により同一または別の状態に変化する。しかし、どの状態にあってもリセット信号RST（RSTM）がロウレベルとなるとリセット状態に遷移する。

【0038】

例えば、論理チップLOGにおいては、電源状態（通常電源状態やスタンバイ状態）やクロック周波数の状態（高速モード状態、低速モード状態）などを各種コントロールレジスタや設定レジスタ等に所定の値を設定することで変更できる場合がある。また、論理チップLOG内の搭載モジュールによっては、コマンドに応じて内部のコントロールレジスタや設定レジスタ等に所定の値を設定することで、自身の内部状態（例えば送信モードや受信モード等）を切り替えながら所定の動作を行うようなものがある。また、例えば、メモリチップMEMにおいては、制御論理部CTL内の各種コントロールレジスタや設定レジスタ等に動作モード（例えばバースト読み出しデータ長等）を設定し、当該動作モード（内部状態）の上で所定の動作を行うようなものがある。

30

【0039】

このように、様々な内部状態を備えている各種半導体チップに対して、リセット信号RST（RSTM）を入力すると、各種コントロールレジスタや設定レジスタ等が初期化され、リセット状態S0に遷移させることができる。仮に、通常の動作状態に誤ってリセット信号が入力された場合、全ての設定等が初期化されるため、半導体集積回路装置DEVの致命的な誤動作に繋がる恐れがある。また、別の観点として、何らかの誤入力によって半導体集積回路装置DEVの内部状態が意図しない状態となっても、一度、リセット状態S0に遷移させれば、その後、所定の入力による状態遷移によって通常の動作状態に復帰させることができる。リセット信号RST（RSTM）を有線で構成した場合は、このようなリセット信号の誤入力を防止できると共に、何らかの不具合が生じた場合の通常の動作状態への復帰も確実かつ容易に行える。一方、無線で構成した場合には、外部環境等によってリセット信号の誤入力が生じたり、あるいは、逆にリセット信号の入力が行えず、目的とする通常の動作状態への復帰が困難となる恐れがある。このような観点でリセット信号RST（RSTM）を有線で構成することが有益となる。

40

【0040】

50

図7は、図3のメモリチップMEMにおいて、その制御論理部CTLの一部の構成例を示す概略図である。図7に示す制御論理部CTLは、比較回路CMPと、メモリ制御回路PERIなどを含んでいる。比較回路CMPは、通信マクロ部TRXを介して入力されたnビットのアドレス信号ADD内の1ビット（例えば最上位ビット）と、チップ識別信号CSLとの一致・不一致を判定し、一致した場合にイネーブル信号ENに‘H’レベル、不一致の場合にENに‘L’レベルを出力する。

【0041】

メモリ制御回路PERIは、通信マクロ部TRXからの受信クロック信号CLKr、受信コマンド信号CMDrおよび受信アドレス信号ADDRなどを受けて、コマンド判定やアドレスデコード等を行い、内部クロック信号ICK、ブロック選択信号BLKSEL、ワード選択信号WSEL、ライト選択信号WEなどを出力する。この際に、PERIは、イネーブル信号ENが‘H’レベルの場合には、コマンド判定結果やアドレスデコード結果に応じて所定のBLKSEL、WSEL、WE等を出力するが、‘L’レベルの場合には、これらの信号を例えば‘H’レベル等に固定し、メモリアクセス部MCRを動作させないように制御する。したがって、図1の半導体集積回路装置DEVの場合、論理チップLOGが出力したアドレス信号ADDの例えば最上位ビットが‘0’（‘L’レベル）の場合にはMEM__Aがアクセスされ、‘1’（‘H’レベル）の場合にはMEM__Bがアクセスされることになる。

【0042】

ここで、図2から判るように、LOGが誘導結合送信端子群211から送信したアドレス信号は、同一縦方向に配置されたMEM__Aの誘導結合受信端子群212とMEM__Bの誘導結合受信端子群213の両方によりバス形式で受信されることになる。一方、他の構成例として、MEM__AとMEM__Bのそれぞれが、自身のチップを活性化させるための所謂チップ選択信号（CS信号）を備えているような場合、例えば、LOG上のそれぞれ異なる位置にMEM__AとMEM__Bの各CS信号用の誘導結合送信端子を設けることでMEM__AとMEM__Bを区別するようなことも可能である。ただし、この場合、MEM__AとMEM__Bにおいて、そのCS信号受信用の誘導結合受信端子をそれぞれ異なる位置に配置する必要があるため、MEM__AとMEM__Bを同一設計のチップとすることができなくなり、さらに、LOGおよびMEM__A、MEM__B共に面積効率も低下する。

【0043】

そこで、図7に示したようなチップ識別端子CSLを用いた方式を採用すると、効率的にMEM__AとMEM__Bを区別することが可能となる。すなわち、CSLは、有線によってパッケージ基板205上で電源（VDDM）または接地電位（VSS）のいずれかの配線層に接続すればよく、CSLに伴い図2に示すLOGのバンプ206やパッケージ基板205の外部端子207が別途必要になるようなことはないため実装効率がよい。また、MEM__AとMEM__Bは同一設計のチップとすることが可能である。さらに、LOGから見た場合、MEM__AとMEM__Bを1個の誘導結合送信端子によって区別できるため面積効率がよく、またMEM__AとMEM__Bを連続する一つのアドレス空間として扱えるため、効率的な動作も行える。

【0044】

以上、本実施の形態の半導体集積回路装置によって得られる主要な効果を挙げると以下のようなになる。

【0045】

論理チップと、その上に積層されたメモリチップ間で、コマンド信号、アドレス信号、データ信号などを無線によって送受信することで、チップの電圧に依存せずに低遅延（高速）で通信することができ、システム性能の向上が実現可能となる。この際に、例えばリセット信号といった信頼性の必要な信号や電源を有線で送れるように構成することで安定した動作が実現可能となる。また、通常動作中に誤ってリセット信号を送ってしまう可能性もないため、信頼性の高い動作が実現できる。

10

20

30

40

50

【0046】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【0047】

例えば、これまでの実施の形態では、例えば、「特許文献2」（特開2005-228981号公報）に記載されているような、誘導結合方式（電磁結合方式）による無線通信を用いた例で説明を行った。耐ノイズ性に伴う信頼性の観点などからは、この誘導結合方式を用いることが望ましいが、これに限定されるものではなく、場合によっては電波方式などを用いることも可能である。

10

【0048】

また、これまでの実施の形態では、1個の論理チップLOGと2個のメモリチップMEMによる3段の積層構造を示したが、例えば、1個の論理チップLOGの上に3個以上のメモリチップMEMを積層した4段以上の積層構造であっても同様に拡張可能である。この場合、原則的にm個のメモリチップMEMに対して $n (= \log_2 m)$ 本のチップ識別端子CSLを設けるようにして、m個のメモリチップMEMを識別できるように構成すればよい。

【産業上の利用可能性】

【0049】

本発明の一実施の形態による半導体集積回路装置は、特に、複数のメモリチップと、この複数のメモリチップの情報を用いて所定の動作を行う論理チップとが1つのパッケージ内に実装された製品に適用して有益な技術であり、これに限らずS i Pの製品全般に対して広く適用可能である。

20

【図面の簡単な説明】

【0050】

【図1】本発明の一実施の形態による半導体集積回路装置において、その構成の一例を示すブロック図である。

【図2】図1の半導体集積回路装置の外形例を示す側面図である。

【図3】図1のメモリチップのより詳細な構成例を示すブロック図である。

【図4】図3のメモリチップにおける通信マクロ部の詳細な構成例を示すブロック図である。

30

【図5】図3および図4のメモリチップにおける電源投入シーケンスの一例を示す波形図である。

【図6】図1の半導体集積回路装置におけるリセット機能の概要を示す説明図である。

【図7】図3のメモリチップにおいて、その制御論理部の一部の構成例を示す概略図である。

【符号の説明】

【0051】

204 スペーサ

205 パッケージ基板

40

206 バンプ

207 外部端子

211, 214, 218, 219 誘導結合送信端子群

212, 213, 215, 216, 217 誘導結合受信端子群

221~228 ワイヤボンディング

DEV 半導体集積回路装置

LOG 論理チップ

MEM メモリチップ

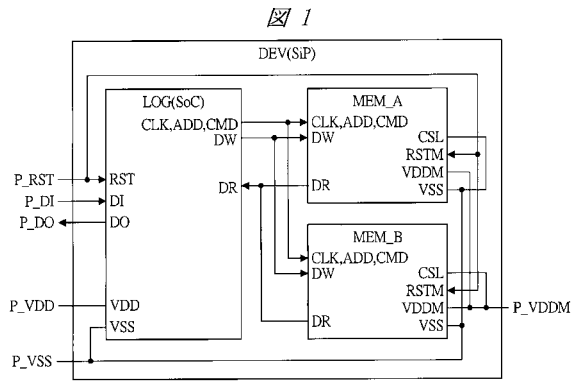
P_RST 外部リセット端子

P_DI 外部データ入力端子

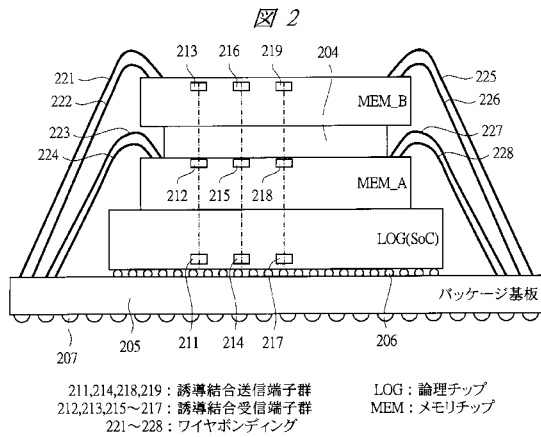
50

P__DO	外部データ出力端子	
P__VDD, P__VDDM	外部電源端子	
P__VSS	外部接地電位端子	
RST, RSTM	リセット端子	
DI	データ入力端子	
DO	データ出力端子	
VDD, VDDM	電源端子	
VSS	接地電位端子	
DW	ライトデータ端子	
DR	リードデータ端子	10
CLK	クロック端子	
ADD	アドレス端子	
CMD	コマンド端子	
CSL	チップ識別端子	
PD	パッド	
TD	データ信号	
TADD	アドレス信号	
TMOD	テストモード信号	
TCLK	クロック信号	
TRX	通信マクロ部	20
CTL	制御論理部	
MCR	メモリア部	
ICLK	内部クロック信号	
WSEL	ワード選択信号	
WE	ライト選択信号	
BLKSEL	ブロック選択信号	
BF	バッファ回路	
LT	ラッチ回路	
RX	受信回路	
TX	送信回路	30
RX__CLK	クロック受信回路	
CMP	比較回路	
PERI	メモリ制御回路	
EN	イネーブル信号	

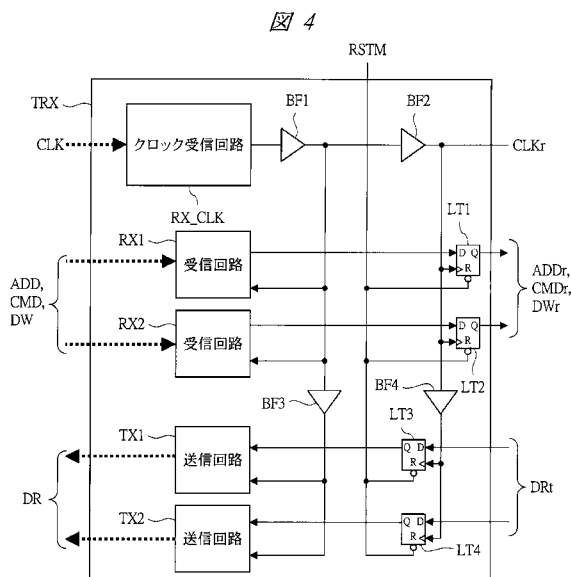
【図 1】



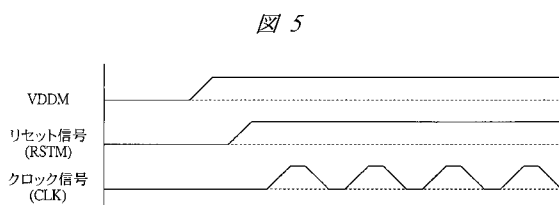
【図 2】



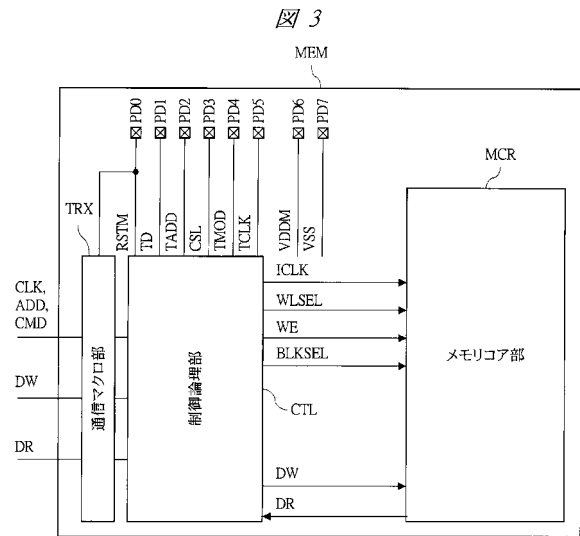
【図 4】



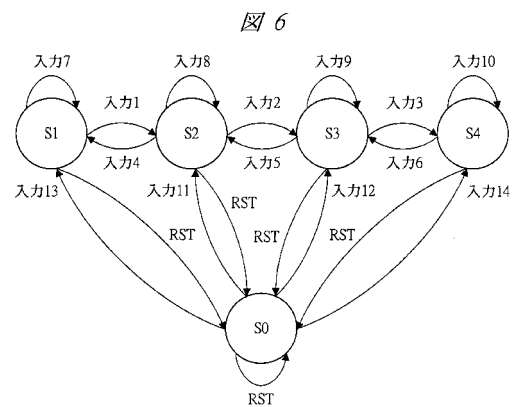
【図 5】



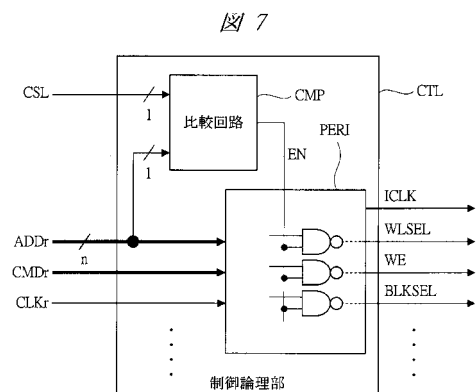
【図 3】



【図 6】



【図 7】



フロントページの続き

(72)発明者 佐圓 真

東京都国分寺市東恋ヶ窪一丁目２８０番地 株式会社日立製作所中央研究所内