

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4987787号
(P4987787)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.

F I

G06F 17/50 (2006.01)

G06F 17/50 666Z
G06F 17/50 664B
G06F 17/50 658A
G06F 17/50 652C

請求項の数 4 (全 12 頁)

(21) 出願番号 特願2008-102229 (P2008-102229)
(22) 出願日 平成20年4月10日(2008.4.10)
(65) 公開番号 特開2009-252134 (P2009-252134A)
(43) 公開日 平成21年10月29日(2009.10.29)
審査請求日 平成23年2月28日(2011.2.28)

(73) 特許権者 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100088672
弁理士 吉竹 英俊
(74) 代理人 100088845
弁理士 有田 貴弘
(72) 発明者 齋藤 健
東京都千代田区大手町二丁目6番2号 株
式会社ルネサステクノロジ内
(72) 発明者 内田 亘
東京都千代田区大手町二丁目6番2号 株
式会社ルネサステクノロジ内

審査官 早川 学

最終頁に続く

(54) 【発明の名称】 配置検証装置

(57) 【特許請求の範囲】

【請求項1】

半導体装置を構成する制御対象のブロック回路と、前記ブロック回路を制御する制御回路とを所定のフロアに配置し、前記制御回路の配置に対して良否判定を行う配置検証装置であって、

回路仕様に基づき、前記ブロック回路を前記フロアに配置するフロアプラン生成部と、前記フロアに配置した前記ブロック回路、及び前記回路仕様に記載の前記制御回路を、所定の基準に基づき階層的にグループ化し、グループツリーを生成するグルーピング生成部と、

所定の条件及び前記グルーピング生成部で生成した前記グループツリーに基づき、前記制御回路を前記フロアに配置する制御回路配置部と、

前記制御回路配置部による前記制御回路の配置に対して良否判定を行う良否判定部とを備える配置検証装置。

【請求項2】

請求項1に記載の配置検証装置であって、前記グルーピング生成部は、階層毎に前記所定の基準を設定することが可能であることを特徴とする配置検証装置。

【請求項3】

請求項1又は請求項2に記載の配置検証装置であって、前記グルーピング生成部は、ドメインを考慮して前記ブロック回路をグループ化するこ

とを特徴とする配置検証装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 つに記載の配置検証装置であって、

前記制御回路配置部における前記所定の条件は、前記ブロック回路と前記制御回路との間、又は前記制御回路と前記制御回路との間の制御信号数に応じて前記制御回路の配置位置を決定することを特徴とする配置検証装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配置検証装置に係る発明であって、特に、半導体装置を構成するブロック回路を制御する制御回路の配置を検証する配置検証装置に関するものである。

10

【背景技術】

【0002】

半導体装置を構成する制御対象のブロック回路と、ブロック回路を制御する制御回路とを所定のフロアに配置する設計を行う場合、従来は論理回路部分のネットリストを作成した後に、制御回路を手で挿入して、その良否判定を配置配線工程を経て後に行っていた。具体的に、ネットリストを生成後にレイアウトの適正を確認する装置が特許文献 1 に開示されている。

【0003】

【特許文献 1】特開 2006 - 301786 号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、従来手法では、制御回路構成の良否判定を行うために、回路全体のネットリストを準備し、その後制御回路を挿入し結線した上で、配置配線処理を経由しなければならず、良否判定が完了するまでに長時間（数日～数週間）を要していた。さらに、従来手法では、良否判定が完了するまでに長時間要する時間的制約から、制御回路の配置が異なる複数の回路構成を試行することが、開発段階においては困難であった。

【0005】

そこで、本発明は、ブロック回路を制御する制御回路の配置に対して良否判定が完了するまでの期間を短縮できる配置検証装置を提供することを目的とする。

30

【課題を解決するための手段】

【0006】

本発明に係る解決手段は、半導体装置を構成する制御対象のブロック回路と、ブロック回路を制御する制御回路とを所定のフロアに配置し、制御回路の配置に対して良否判定を行う配置検証装置であって、回路仕様に基づき、ブロック回路をフロアに配置するフロアプラン生成部と、フロアに配置したブロック回路、及び回路仕様に記載の制御回路を、所定の基準に基づき階層的にグループ化し、グループツリーを生成するグルーピング生成部と、所定の条件及びグルーピング生成部で生成したグループツリーに基づき、制御回路をフロアに配置する制御回路配置部と、制御回路配置部による制御回路の配置に対して良否判定を行う良否判定部とを備える。

40

【発明の効果】

【0007】

本発明に記載の配置検証装置は、フロアプラン生成部が回路仕様に基づき、ブロック回路をフロアに配置し、グルーピング生成部がフロアに配置したブロック回路、及び回路仕様に記載の制御回路を、所定の基準に基づき階層的にグループ化して、グループツリーを生成し、制御回路配置部が所定の条件及びグルーピング生成部で生成したグループツリーに基づき、制御回路をフロアに配置し、良否判定部が制御回路の配置に対して良否判定を行うので、制御回路の配置に対して良否判定が完了するまでの期間を短縮できる。さらに、本発明に記載の配置検証装置では、ネットリスト等が不要で回路仕様に基づいて良否判

50

定できるので設計手戻りが削減でき、且つ複数の配置を検討できるので最適な配置を選択でき設計品質が向上する。

【発明を実施するための最良の形態】

【0008】

(実施の形態1)

図1に、本実施の形態に係る配置検証装置のブロック図を示す。図1に示す配置検証装置では、回路仕様に基づき、ブロック回路をフロアに配置するフロアプラン生成部1が図示されている。回路仕様には、半導体装置を構成するブロック回路及び制御回路を規定する情報が記述されており、例えばブロック回路のフロアでの配置情報や、制御回路の階層情報などである。また、本発明に係る配置検証装置が対象とする半導体装置はメモリに限定されないが、半導体装置がメモリである場合、ブロック回路はメモリブロックで制御回路は当該メモリブロックを制御するメモリ制御回路となる。

10

【0009】

フロアプラン生成部1が生成したフロアプランを図2に示す。図2では、2ユニット(単位任意)×2ユニットのフロア10に12個のブロック回路11が4つの塊となって配置されている。つまり、IとIIのブロック回路11、III~VIのブロック回路11、VII~Xのブロック回路11、XIとXIIのブロック回路11の4つの塊が図2に図示されている。

【0010】

次に、図1に示すグルーピング生成部2は、所定の基準に基づき図2に示すフロアプランのブロック回路11をグループ化する。ブロック回路11をグループ化した例が図3(a)~(b)に図示されている。まず、図3(a)の基準では、距離制約として1ユニット内に含まれるブロック回路11をグループ化する。つまり、図3(a)では、IとIIのブロック回路11がグループaに、III~VIのブロック回路11がグループcに、VII~Xのブロック回路11がグループbに、XIとXIIのブロック回路11がグループdにそれぞれグループ化されている。

20

【0011】

また、図3(b)の基準では、接続数制約として最大ブロック数を2個に制限してブロック回路11をグループ化する。つまり、図3(b)では、IとIIのブロック回路11がグループaに、IIIとVのブロック回路11がグループbに、IVとVIのブロック回路11がグループcに、VIIとIXのブロック回路11がグループdに、VIIIとXのブロック回路11がグループeに、XIとXIIのブロック回路11がグループfにそれぞれグループ化されている。さらに、図3(c)の基準では、接続数制約として最大ブロック数を3個に制限してブロック回路11をグループ化する。つまり、図3(c)では、I~IIIのブロック回路11がグループaに、IV~VIのブロック回路11がグループbに、VII~IXのブロック回路11がグループcに、X~XIIのブロック回路11がグループdにそれぞれグループ化されている。

30

【0012】

なお、本実施の形態では、グルーピングする所定の基準として距離制約と接続数制約について説明したが、本発明はこれに限られず他の基準や複数の基準を組み合わせた基準に基づいてグループ化しても良い。さらに、各階層毎に異なる基準を適用しても良い。

40

【0013】

次に、グルーピング生成部2は、回路仕様に記載された制御回路を階層的にグループ化する。具体的に説明すると、図3(a)でグループ化されたブロック回路11に対して、接続する最大ブロック数を2個と回路仕様に記載された第1階層目の制御回路は、図4(a)のグループツリーのX, Yのように示される。制御回路Xは、グループaとグループcとが接続され、制御回路Yは、グループbとグループdとが接続されている。

【0014】

さらに、第2階層目の制御回路も、回路仕様において接続する最大ブロック数を2個に制約されており、図4(a)のグループツリーのZのように示される。制御回路Zは、制御回路Xと制御回路Yとが接続されている。このように、グルーピング生成部2では、図

50

3 (a) のフロアプランに対して、ブロック回路 1 1 と制御回路とを含む 3 層構造のグループツリーを生成する (図 4 (a)) 。

【 0 0 1 5 】

同様に、グルーピング生成部 2 は、図 3 (b) のフロアプランに対して、ブロック回路 1 1 と制御回路とを含む 3 層構造のグループツリーを生成する (図 4 (b)) 。なお、図 4 (b) のグループツリーに示すように、第 2 階層目の制御回路 S は、回路仕様において接続する最大ブロック数を 3 個に制約されており、制御回路 P と制御回路 Q と制御回路 R とが接続されている。

【 0 0 1 6 】

また、グルーピング生成部 2 は、図 3 (c) のフロアプランに対して、ブロック回路 1 1 と制御回路とを含む 3 層構造のグループツリーを生成する (図 4 (c)) 。なお、図 4 (c) のグループツリーに示すように、ブロック回路 1 1 の階層は最大ブロック数を 3 個に制約されているが、第 1 及び第 2 階層目の制御回路は、回路仕様において接続する最大ブロック数を 2 個に制約されているので、制御回路 P はグループ a とグループ b に接続され、制御回路 Q はグループ c とグループ d に接続され、制御回路 R は制御回路 P と制御回路 Q とが接続されている。

【 0 0 1 7 】

次に、図 1 に示す制御回路配置部 3 は、所定の条件及びグルーピング生成部 2 で生成したグループツリーに基づき、制御回路をフロア 1 0 に配置する。つまり、グループツリーに従って、制御回路の代表点を、ブロック回路 1 1 がグループ化されたフロア 1 0 に仮想的に配置する。このとき、所定の条件としては、ブロック回路 1 1 と制御回路との間、又は制御回路と制御回路との間の制御信号数に応じて制御回路の配置位置を決定する。

【 0 0 1 8 】

具体的に説明すると、図 3 (a) のフロアプランに対して、図 4 (a) のグループツリーに従って制御回路を配置した図が図 5 (a) である。図 5 (a) では、制御回路 X が、グループ a とグループ c との間に配置されることになるが、制御回路 X とグループ a との制御信号数 (接続数) が 2 つ、制御回路 X とグループ c との制御信号数 (接続数) が 4 つなので、よりグループ c に近い側に制御回路 X が配置される。同様に、図 5 (a) では、制御回路 Y が、グループ b とグループ d との間に配置されることになるが、制御回路 Y とグループ b との制御信号数 (接続数) が 4 つ、制御回路 Y とグループ d との制御信号数 (接続数) が 2 つなので、よりグループ b に近い側に制御回路 Y が配置される。さらに、図 5 (a) では、制御回路 Z が、制御信号数 (接続数) を考慮した制御回路 X と制御回路 Y との間に配置されている。

【 0 0 1 9 】

さらに別の例では、図 3 (b) のフロアプランに対して、図 4 (b) のグループツリーに従って制御回路を配置した図が図 5 (b) である。図 5 (b) では、制御回路 P が、グループ a とグループ b との間に配置されることになるが、制御回路 P とグループ a との制御信号数 (接続数) が 2 つ、制御回路 P とグループ b との制御信号数 (接続数) が 2 つなので、ほぼ両者から均等の位置に制御回路 P が配置される。同様に、図 5 (b) では、制御回路 Q がグループ d とグループ e との間に配置され、制御回路 R がグループ c とグループ f との間に配置され、それぞれ制御信号数 (接続数) を考慮した位置に配置される。さらに、図 5 (b) では、制御回路 S が、制御信号数 (接続数) を考慮した制御回路 P と制御回路 Q と制御回路 R との間に配置されている。

【 0 0 2 0 】

さらに別の例では、図 3 (c) のフロアプランに対して、図 4 (c) のグループツリーに従って制御回路を配置した図が図 5 (c) である。図 5 (c) では、制御回路 P が、グループ a とグループ b との間に配置されることになるが、制御回路 P とグループ a との制御信号数 (接続数) が 3 つ、制御回路 P とグループ b との制御信号数 (接続数) が 3 つなので、ほぼ両者から均等の位置に制御回路 P が配置される。同様に、図 5 (c) では、制御回路 Q が、グループ c とグループ d との間に配置されることになるが、制御回路 Q とグ

10

20

30

40

50

ループcとの制御信号数（接続数）が3つ、制御回路Qとグループdとの制御信号数（接続数）が3つなので、ほぼ両者から均等の位置に制御回路Qが配置される。さらに、図5（c）では、制御回路Rが、制御信号数（接続数）を考慮した制御回路Pと制御回路Qとの間に配置されている。

【0021】

次に、図1に示す良否判定部4は、図5（a）乃至図5（c）のように配置された制御回路に対して、総配線長や配線交差数等を計算して、当該配置の品質を判定する。また、良否判定部4では、判定結果をグルーピング生成部2にフィードバックさせることで、当該判定結果に基づき修正を加えたグループツリーに従う制御回路に対しても良否判定を行うことができ、より最適な制御回路の配置位置を決定することができる。

10

【0022】

次に、本実施の形態に係る配置検証装置における配置検証方法を図6に示すフローチャートに基づき説明する。図6に示すフローチャートでは、まず回路仕様を決定するステップS1と、決定した回路仕様に基づきフロアプランを生成するフロアプラン生成ステップS2と、フロアプランのブロック回路及び制御回路を各階層毎にグルーピングしてグループツリーを生成するグルーピング生成ステップS3とを備える。さらに、図6に示すフローチャートでは、生成したグループツリーに従い、各階層毎に制御回路を配置する制御回路配置ステップS4と、配置した制御回路に対して良否判定を行う良否判定ステップS5とを備えている。良否判定ステップS5での結果は、ステップS1又はステップS3にフィードバックされる。

20

【0023】

良否判定ステップS5での結果がステップS1にフィードバックされることで当該結果を考慮して回路仕様が更新され、新たな回路仕様に基づく制御回路の配置を検証することができる。また、良否判定ステップS5での結果がステップS3にフィードバックされることで当該結果を考慮して別の基準に基づくグループツリーに更新され、新たなグループツリーに対する制御回路の配置を検証することができる。なお、図6に示すフローチャートでは、グルーピング生成ステップS3及び制御回路配置ステップS4が複数図示されているが、これには階層毎に処理することを示している。また、ステップS2からステップS5の処理が配置検証方法Aであり、コンピュータにおいて処理されるソフトウェアとして構成することができる。

30

【0024】

さらに、図6に示すフローチャートでは、ステップS5で「良」とされたブロック回路及び制御回路の配置に対して、Register Transfer Level設計（以下、RTL設計ともいう）を行うステップS6と、ネットリストを作成する論理合成のステップS7と、ネットリストを考慮した回路配置配線を行うステップS8とを備える。図6に示すフローチャートでは、RTL設計前に、制御回路の配置の良否判定を行い、最適な制御回路の配置に基づいて、RTL設計や論理合成を行うことができる。従来のように、RTL設計や論理合成後に制御回路を人手で挿入し、ブロック回路と制御回路とを含む配置配線処理後に良否判定を行っていたため、処理完了まで長時間を要し、且つ当該良否判定の結果に基づきRTL設計まで戻る必要があり多くの設計手戻りが必要であった。

40

【0025】

一方、本実施の形態に係る配置検証方法では、図6に示すように、RTL設計前に制御回路の配置を検証することができるため、処理完了までの時間が短く、且つ良否判定の結果による設計手戻りが少ない。本実施の形態に係る配置検証方法では、処理完了までの時間が短いので、より多くの配置を検証することができるので、より最適な制御回路の配置が可能で設計品質が向上する。

【0026】

なお、本実施の形態に係る配置検証方法では、図6に示すフローチャートのようにRTL設計（S6）前に配置検証方法Aを設ける場合に限られず、図7（a）のようにRTL設計（S6）後又は図7（b）のように論理合成（S7）後でも良い。図7（a）に示す

50

フローチャートでは、配置検証方法AがRTL設計(S6)後で、且つ論理合成(S7)前に行われ、配置検証方法Aでの良否結果は回路仕様(S1)やRTL設計(S6)にフィードバックされる。また、図7(b)に示すフローチャートでは、配置検証方法Aが論理合成(S7)後に行われ、配置検証方法Aでの良否結果は回路仕様(S1)やRTL設計(S6)にフィードバックされる。

【0027】

(実施の形態2)

本実施の形態に係る配置検証装置では、実施の形態1と異なり、グルーピング生成部2が、ドメインを考慮してブロック回路のグループ化する。半導体装置には、1つのフロアに駆動電源の異なるドメインが形成される場合がある。この場合、駆動電源の異なるドメインに含まれるそれぞれのブロック回路同士をグループ化することはできないため、当該ドメインを考慮して配置検証装置で処理しなければならない。なお、半導体装置において形成される他のドメインとしては、動作クロックの異なるドメインや機能の異なるドメイン等がある。

10

【0028】

本実施の形態に係る配置検証装置の構成は、図1に示す構成と同じであるため詳細な説明は省略する。まず、本実施の形態に係る回路仕様には、半導体装置を構成するブロック回路及び制御回路を規定する情報以外にドメイン情報が記述されており、例えば駆動電圧が異なるドメインA、Bそれぞれに属するブロック回路情報などである。

【0029】

当該回路仕様に基づきフロアプラン生成部1が生成したフロアプランを図8に示す。図8では、2ユニット×2ユニットのフロア10に12個のブロック回路11がドメインAとドメインBとに分かれて4つの塊として配置されている。つまり、IとIIのブロック回路11とIII~VIのブロック回路11とがドメインAに属し、VII~Xのブロック回路11とXIとXIIのブロック回路11とがドメインBに属することが図8に図示されている。

20

【0030】

次に、図1に示すグルーピング生成部2は、所定の基準に基づき図8に示すフロアプランのブロック回路11をグループ化する。ブロック回路11をグループ化した例が図9(a)~(c)に図示されている。まず、図9(a)の基準では、ドメイン毎に距離制約として1ユニット内に含まれるブロック回路11をグループ化する。つまり、図9(a)では、IとIIのブロック回路11がグループaに、III~VIのブロック回路11がグループcに、VII~Xのブロック回路11がグループbに、XIとXIIのブロック回路11がグループdにそれぞれグループ化されている。

30

【0031】

また、図9(b)の基準では、ドメイン毎に接続数制約として最大ブロック数を2個に制限してブロック回路11をグループ化する。つまり、図9(b)では、IとIIのブロック回路11がグループaに、IIIとVのブロック回路11がグループbに、IVとVIのブロック回路11がグループcに、VIIとIXのブロック回路11がグループdに、VIIIとXのブロック回路11がグループeに、XIとXIIのブロック回路11がグループfにそれぞれグループ化されている。さらに、図9(c)の基準でも、ドメイン毎に接続数制約として最大ブロック数を2個に制限してブロック回路11をグループ化する(図9(b)と同じ基準であるが別のグルーピング例である)。つまり、図9(c)では、IとIIのブロック回路11がグループaに、IIIとIVのブロック回路11がグループbに、VとVIのブロック回路11がグループcに、VIIとVIIIのブロック回路11がグループdに、IXとXのブロック回路11がグループeに、XIとXIIのブロック回路11がグループfにそれぞれグループ化されている。

40

【0032】

なお、本実施の形態でも、グルーピングする所定の基準として距離制約と接続数制約について説明したが、本発明はこれに限られず他の基準や複数の基準を組み合わせた基準に基づいてグループ化しても良い。さらに、各階層毎に異なる基準を適用しても良い。

50

【 0 0 3 3 】

次に、グルーピング生成部 2 は、回路仕様に記載された制御回路を階層的にグループ化する。具体的に説明すると、図 9 (a) でグループ化されたブロック回路 1 1 に対して、ドメイン毎に接続する最大ブロック数を 2 個と回路仕様に記載された第 1 階層目の制御回路は、図 1 0 (a) のグループツリーの X , Y のように示される。制御回路 X は、同一ドメインのグループ a とグループ c とが接続され、制御回路 Y は、同一ドメインのグループ b とグループ d とが接続されている。なお、制御回路 X と制御回路 Y とはドメインが異なるので、図 4 (a) のように制御回路 Z は存在しない。このように、グルーピング生成部 2 では、図 9 (a) のフロアプランに対して、ブロック回路 1 1 と制御回路とを含む 2 層構造のグループツリーを生成する (図 1 0 (a))。

10

【 0 0 3 4 】

同様に、グルーピング生成部 2 は、図 9 (b) のフロアプランに対して、ブロック回路 1 1 と制御回路とを含む 2 層構造のグループツリーを生成する (図 1 0 (b))。なお、図 1 0 (b) のグループツリーに示すように、第 1 階層目の制御回路 X は、回路仕様においてドメイン毎に接続する最大ブロック数が 3 個に制約されており、グループ a , b , c に接続され、第 1 階層目の制御回路 Y は、グループ d , e , f に接続されている。

【 0 0 3 5 】

また、グルーピング生成部 2 は、図 9 (c) のフロアプランに対して、ブロック回路 1 1 と制御回路とを含む 2 層構造のグループツリーを生成する (図 1 0 (c))。なお、図 1 0 (c) のグループツリーに示すように、第 1 階層目の制御回路 X は、回路仕様においてドメイン毎に接続する最大ブロック数が 3 個に制約されており、グループ a , b , c に接続され、第 1 階層目の制御回路 Y は、グループ d , e , f に接続されている。

20

【 0 0 3 6 】

次に、図 1 に示す制御回路配置部 3 は、所定の条件及びグルーピング生成部 2 で生成したグループツリーに基づき、ドメイン毎に制御回路をフロア 1 0 に配置する。つまり、グループツリーに従って、制御回路の代表点を、ブロック回路 1 1 がグループ化されたフロア 1 0 に仮想的に配置する。このとき、所定の条件としては、ブロック回路 1 1 と制御回路との間、又は制御回路と制御回路との間の制御信号数に応じて制御回路の配置位置を決定する。

【 0 0 3 7 】

具体的に説明すると、図 9 (a) のフロアプランに対して、図 1 0 (a) のグループツリーに従って制御回路を配置した図が図 1 1 (a) である。図 1 1 (a) では、制御回路 X が、グループ a とグループ c との間に配置されることになるが、制御回路 X とグループ a との制御信号数 (接続数) が 2 つ、制御回路 X とグループ c との制御信号数 (接続数) が 4 つなので、よりグループ c に近い側に制御回路 X が配置される。同様に、図 1 1 (a) では、制御回路 Y が、グループ b とグループ d との間に配置されることになるが、制御回路 Y とグループ b との制御信号数 (接続数) が 4 つ、制御回路 Y とグループ d との制御信号数 (接続数) が 2 つなので、よりグループ b に近い側に制御回路 Y が配置される。なお、図 1 1 (a) に示すように、制御回路 X と制御回路 Y とは別ドメインであるため接続しない。

30

40

【 0 0 3 8 】

さらに別の例では、図 9 (b) のフロアプランに対して、図 1 0 (b) のグループツリーに従って制御回路を配置した図が図 1 1 (b) である。図 1 1 (b) では、制御回路 X が、グループ a , b , c の間に配置されることになるが、制御回路 X とグループ a , b , c のそれぞれの制御信号数 (接続数) は 2 つなので、それぞれのグループからほぼ均等の位置に制御回路 X が配置される。同様に、図 1 1 (b) でも、制御回路 Y が、グループ d , e , f の間に配置されることになるが、制御回路 Y とグループ d , e , f のそれぞれの制御信号数 (接続数) は 2 つなので、それぞれのグループからほぼ均等の位置に制御回路 Y が配置される。なお、図 1 1 (b) に示すように、制御回路 X と制御回路 Y とは別ドメインであるため接続しない。

50

【 0 0 3 9 】

さらに別の例では、図 9 (c) のフロアプランに対して、図 1 0 (c) のグループツリーに従って制御回路を配置した図が図 1 1 (c) である。図 1 1 (c) では、制御回路 X が、グループ a , b , c の間に配置されることになるが、制御回路 X とグループ a , b , c のそれぞれの制御信号数 (接続数) は 2 つなので、それぞれのグループからほぼ均等の位置に制御回路 X が配置される。同様に、図 1 1 (c) でも、制御回路 Y が、グループ d , e , f の間に配置されることになるが、制御回路 Y とグループ d , e , f のそれぞれの制御信号数 (接続数) は 2 つなので、それぞれのグループからほぼ均等の位置に制御回路 Y が配置される。なお、図 1 1 (c) に示すように、制御回路 X と制御回路 Y とは別ドメインであるため接続しない。

10

【 0 0 4 0 】

次に、図 1 に示す良否判定部 4 は、図 1 1 (a) 乃至図 1 1 (c) のように配置された制御回路に対して、総配線長や配線交差数等の計算して、当該配置の品質を判定する。また、良否判定部 4 では、判定結果をグルーピング生成部 2 にフィードバックさせることで、当該判定結果に基づき修正を加えたグループツリーに従う制御回路に対しても良否判定を行うことができ、より最適な制御回路の配置位置を決定することができる。

【 0 0 4 1 】

以上のように、本実施の形態に係る配置検証装置では、ドメインを考慮しつつ R T L 設計の仕様検討段階や論理合成のネットリスト生成段階以前に、制御回路の配置を検証することが可能であり、設計手戻りを削減でき、且つネットリストがない段階で、ブロック回路のフロアプランに基づいて制御回路配置の良否を判定可能であるので短時間の検証が可能となり設計品質を向上できる。

20

【 図面の簡単な説明 】

【 0 0 4 2 】

【 図 1 】 本発明の実施の形態 1 に係る配置検証装置のブロック図である。

【 図 2 】 本発明の実施の形態 1 に係るフロアプランを説明するための図である。

【 図 3 】 本発明の実施の形態 1 に係るブロック回路のグルーピング結果を説明するための図である。

【 図 4 】 本発明の実施の形態 1 に係るグループツリーを説明するための図である。

【 図 5 】 本発明の実施の形態 1 に係る制御回路の配置を説明するための図である。

30

【 図 6 】 本発明の実施の形態 1 に係る配置検証方法のフローチャートである。

【 図 7 】 本発明の実施の形態 1 に係る別の配置検証方法のフローチャートである。

【 図 8 】 本発明の実施の形態 2 に係るフロアプランを説明するための図である。

【 図 9 】 本発明の実施の形態 2 に係るブロック回路のグルーピング結果を説明するための図である。

【 図 1 0 】 本発明の実施の形態 2 に係るグループツリーを説明するための図である。

【 図 1 1 】 本発明の実施の形態 2 に係る制御回路の配置を説明するための図である。

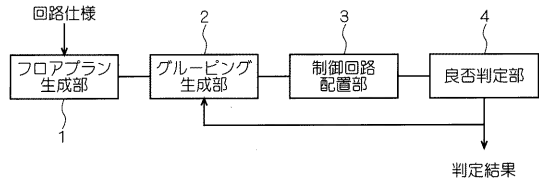
【 符号の説明 】

【 0 0 4 3 】

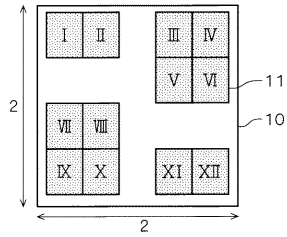
1 フロアプラン生成部、 2 グルーピング生成部、 3 制御回路配置部、 4 良否判定部、 1 0 フロア、 1 1 ブロック回路。

40

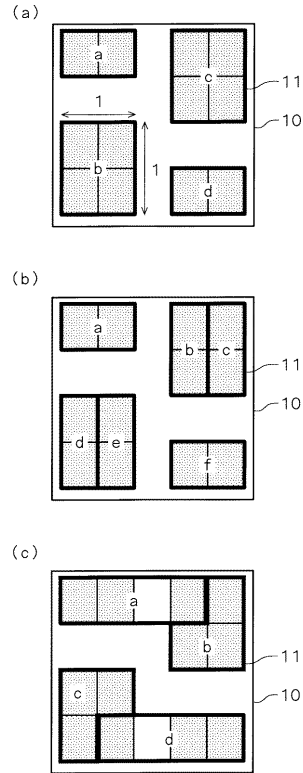
【図1】



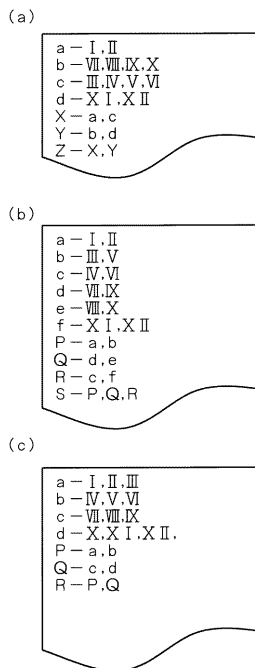
【図2】



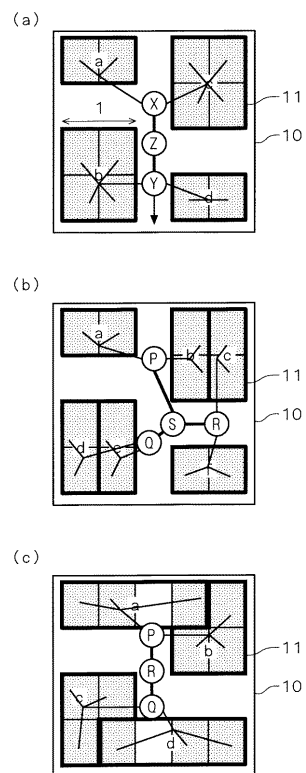
【図3】



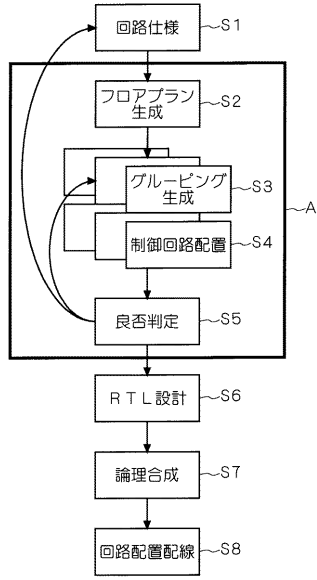
【図4】



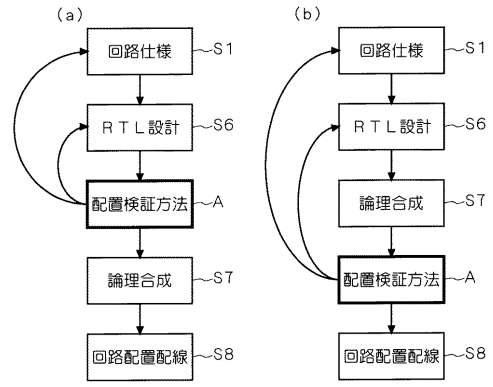
【図5】



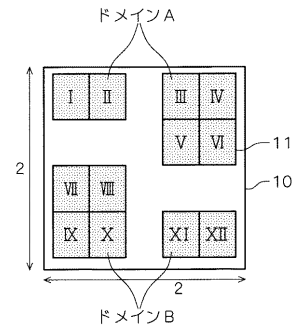
【図6】



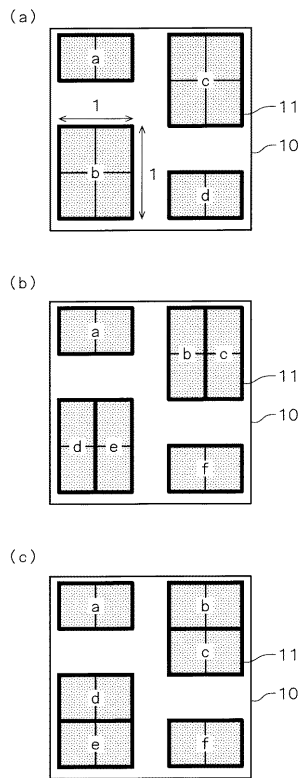
【図7】



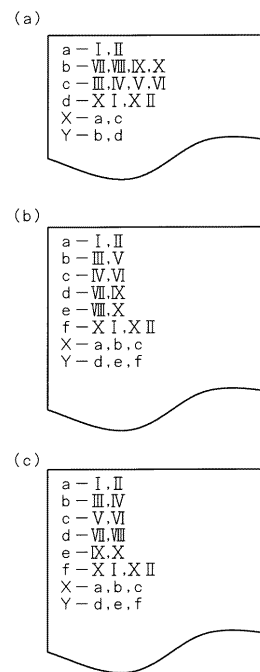
【図8】



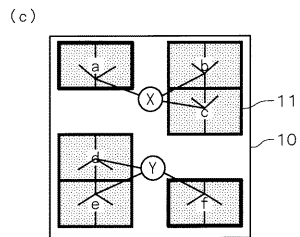
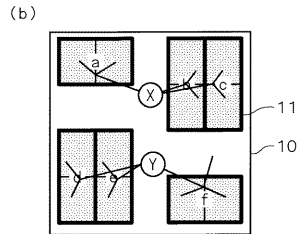
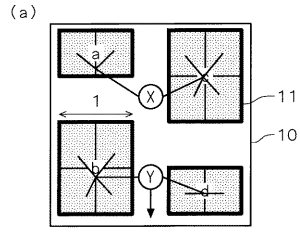
【図9】



【図10】



【 図 1 1 】



フロントページの続き

(56)参考文献 特開平10-111878(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 17/50