

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G02F 1/136 G02F 1/1333	(45) 공고일자 1999년 12월 15일	(11) 등록번호 10-0234892
(21) 출원번호 10-1996-0035540	(24) 등록일자 1999년 09월 20일	(65) 공개번호 특 1998-0016032
(22) 출원일자 1996년 08월 26일	(43) 공개일자 1998년 05월 25일	
(73) 특허권자 엘지.필립스엘시디주식회사 서울특별시 영등포구 여의도동 20번지엘지.필립스엘시디주식회사 하디락사	구본준	론 위라
(72) 발명자 하용민	서울특별시 영등포구 여의도동 20번지	
(74) 대리인 양순석	경기도 안양시 동안구 비산동 1102-4 관악아파트 208-203	

심사관 : 강해성

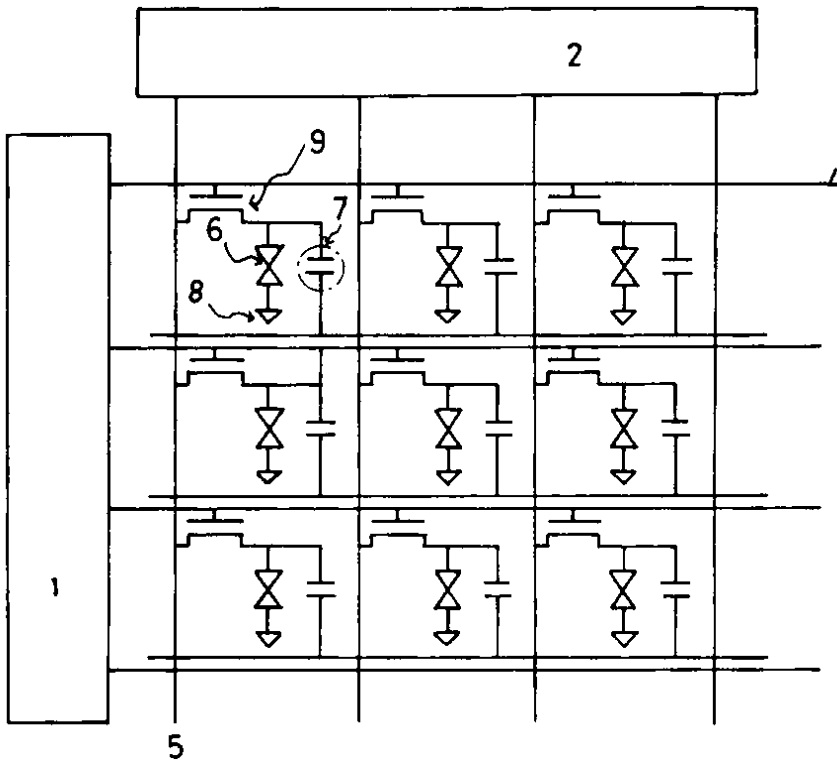
(54) 액정표시장치의 구조 및 그 제조방법

요약

본 발명은 TFT 액정표시장치에 관한 것으로 특히, 구동회로부와 화소부를 동일 기판상에 구현할 때, 화소부와 동일기판에 형성되는 화로용 상보형 트랜지스터를 이루는 n형 TFT와 p형 TFT의 구조를 달리함으로써 제조공정을 감소시켜 생산성을 향상시키려 하는 것이다.

이를 위하여 본 발명은 절연기판 상에 서로 교차하는 복수개의 신호선과 복수개의 주사선에 연결되어 매트릭스 형상으로 형성되는 복수개의 화소부 TFT와, 상기 화소부 TFT의 주변에 위치하여 상보형 구조로 형성되는 구동회로부 TFT를 포함하는 액정표시장치에 있어서, 상기 화소부 TFT와 같은 종류의 채널을 가지는 구동회로부 TFT는 상기 화소부 TFT와 같은 구조를 가지며, 상기 화소부 TFT와 다른 종류의 채널을 가지는 구동회로부 TFT는 상기 화소부 TFT와 다른 구조를 가지는 것을 특징으로 하고 있다.

대표도



명세서

## [발명의 명칭]

액정표시장치의 구조 및 그 제조방법

## [도면의 간단한 설명]

제1도는 구동회로를 내장한 액정표시장치의 등가회로도

제2도는 종래의 액정표시장치의 화소부를 나타낸 평면도와 단면도

제3도는 종래의 액정표시장치의 제조공정을 설명하기 위한 도면

제4도는 본 발명에 따른 액정표시장치의 화소부를 나타낸 평면도와 단면도

제5도는 본 발명에 따른 액정표시장치의 구동회로부를 이루는 CMOS구조를 나타내는 평면도와 단면도

제6도는 제4도와 제5도에 나타난 본 발명에 따른 액정표시장치의 제조공정을 설명하기 위한 도면

〈도면의 주요부분에 대한 부호의 설명〉

1000 : 절연기판	40 : 신호선
50 : 주사선	20', 20n', 20p' : 활성층영역
11S, 11D, 21S, 21D, 23S, 23D : 소오스/드레인	
11S, 11D : 소오스/드레인 영역	12 : LDD영역
15 : 화소전극	17 : 스토리지 캐패시터 제1전극
18 : 스토리지 캐패시터 제2전극	14, 24n, 24p : 게이트전극
100 : 게이트절연막	200 : 층간절연막
300 : 보호막	199 : 투명배선

## [발명의 상세한 설명]

본 발명은 액정표시장치(LCD: Liquid Crystal Display) 및 그 제조방법에 관한 것으로 특히, 구동회로부와 화소부를 동일 기판상에 구현할 경우, 공정수를 감소시킬수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

액정표시장치에 형성되는 박막트랜지스터(이하 박막트랜지스터를 TFT라 한다.)는 현재까지 비정질 실리콘(a-Si) TFT가 주종을 이루고 있다. 그러나 비정질 실리콘에 비하여 이동도가 높은 다결정 실리콘(poly-Si)을 이용한 경우, 패널상에 별도의 구동회로부를 부착하지 않고 내장할 수 있기 때문에, 최근에는 다결정 실리콘 TFT로의 대체가 이루어지고 있다. 즉, 다결정 실리콘 TFT는 비정질 실리콘 TFT에 비하여 전자나 정공의 이동도가 높고 상보형(CMOS) TFT로의 구현이 가능하다. 따라서, 구동회로 IC를 본딩(bonding)으로 연결하는 대신에, 구동회로의 많은 부분을 TFT로 형성하여 화소부에 형성되는 TFT와 동시에 제작할 수 있다. 최근 들어 레이저를 이용한 결정화 기술의 발전으로 비정질 실리콘 TFT와 비슷한 온도에서 제작이 가능하기 때문에 대형 유리기판 상에 제작이 가능하게 되었다.

다결정 실리콘 TFT를 사용하는 액정표시장치는 상술한 바와 같이, 유리기판상에 구동회로부와 화소부가 함께 내장된 구조를 취하고 있는데, 구동회로부의 TFT는 다결정 실리콘의 특성상 바른 주파수에서 스위칭이 가능하여 문제가 없지만, 화소부의 화소 스위칭용 TFT는 오프(off) 상태의 드레인 전류값이 크기 때문에 그 작동에 장애를 일으킨다. 따라서, 화소부에서는 오프전류의 수준을 적절한 수준으로 낮추기 위하여, 엘디디 구조, 오프셋 구조, 듀얼 게이트 구조 등을 채택한 TFT가 제안되고 있다.

제 1 도는 절연기판 상에 구동회로를 내장한 액정표시장치의 등가회로도를 나타낸 것이다.

도면에 보인 바와 같이, 화소부에는 복수개의 신호선(5)과 복수개의 주사선(4)이 행렬(matrix)로 서로 교차하여 설치되어 있고, 각 교차부에는 화소전극(6)과 이를 구동하는 TFT(9)가 형성되어 있다. 또 다른 투명 기판에는 대향전극(8)을 구비하여 화상을 나타나도록 하였다. 그리고, 스토리지 캐패시터(storage capacitor)(7)가 화소전극(6)과 대향전극(8)에 전기적으로 평행하게 형성되어 있다.

화소부 주변에는 게이트구동회로부(2)와 데이터구동회로부(1)가 형성되어 있어서, 적절하게 화소부로 신호를 인가하도록 하였다. 게이트구동회로부(1)와 데이터구동회로부(2)는 동일 절연기판에 상보형 TFT로 동시에 구현하였다.

제 2 도는 종래의 액정표시장치를 설명하기 위한 도면으로, 제 2 도의 (a)는 화소부의 평면도를, 제 2 도의 (b)는 제 2 도(a)의 AA' 단면구조를 도시한 것이다.

절연기판(1000)상에 신호선(40)과 주사선(50)이 교차하여 있고, TFT의 소오스영역(11S)은 신호선(40)에 연결되어 있다. 드레인영역(11D)은 화소전극(15)에 연결되어 있으며, 스토리지 캐패시터 제 1 전극(17)과는 일체로 형성되어 있다. 그리고 주사선(50)에 돌출되어 형성된 게이트전극(14)이 게이트절연막(100) 상에 형성되어 있고, 상기 게이트전극(14)과는 동일물질로 동일층에 형성된 스토리지 캐패시터 제 2 전극(18)이 게이트절연막(100)을 사이에 두고 스토리지 캐패시터 제 1 전극(17)과 스토리지 캐패시터를 형성하고 있다.

TFT의 소오스영역(11S)과 드레인영역(11D)은 n형 혹은 p형 이온으로 형성된 고농도의 불순물영역을 이루고 있으며, 각각의 불순물영역 부근에는 저농도 불순물영역 즉, LDD(Lightly Doped Drain, 이하 LDD)(12)영역이 형성되어 있어서, TFT가 오프(off)일때의 누설전류를 감소시킬수 있도록 하였다.

미설명 도면부호(200)은 층간절연막을 (300)은 보호막을 나타낸다.

제 3 도는 종래의 액정표시장치의 제조공정을 설명하기 위한 도면으로, 좌측은 화소부 TFT를, 우측은 N형 TFT와 P형 TFT가 상보형의 구조로 구동회로부를 이루는 회로부 TFT를 나타낸다.

우선, 제 3 도 (a)와 같이, 기판(1000) 상에 다결정 실리콘을 증착한후, 패터닝하여 화소부와 구동회로부에 반도체층(10'), (20n'), (20p')을 각각 형성한다. 화소부에는 하나의 소자에 1 개의 반도체층(10)이 형성되고, 회로부에는 2 개의 반도체층(20n), (20p)이 형성되는데, 구동회로부에 형성된 반도체층(20n), (20p)은 각각 N형 TFT와 P형 TFT를 위한 것이다.

이어서, 제 3 도의 (b)와 같이, 화소부에 형성된 활성층(10)에 이후 형성해야 할 소오스/드레인 영역과 같은 형(type)의 불순물을 선택적으로 주입하여 스토리지 캐패시터 제 1 전극(17)을 형성한다. 즉, 화소부 TFT를 N형으로 형성할 경우, 스토리지 캐패시터 제 1 전극(17) 영역을 제외한 전영역을 포토레지스트(61)로 덮고, 스토리지 캐패시터 제 1 전극(17)영역에만 n형의 불순물이온을 선택적으로 주입한다. 이후, 마스크로 사용된 포토레지스트(61)를 제거한후, 불순물의 활성화를 위하여 열처리를 하거나 레이저 조사를 수행한다.

그다음, 제 3 도의 (c)와 같이, 기판(1000) 전체에 걸쳐서 산화실리콘이나 질화실리콘과 같은 절연물질을 증착하여 게이트절연막을 형성한다. 이후 연속적으로 Si이나 Si 합금 또는 Cr 등의 금속층을 형성한후, 상기 금속층을 사진식각하여 게이트절연막(100) 상에 화소부 TFT의 게이트전극(14)과 회로부 TFT의 게이트전극(24n), (24p)을 각각 형성한다. 이때 화소부에 스토리지 캐패시터 제 2 전극(18)도 함께 형성한다. 따라서 스토리지 캐패시터 제 2 전극은 게이트전극과는 동일 배선재로 형성되는 것이다.

이어서, 제 3 도의 (d)와 같이, 기판(1000) 전체에 걸쳐서 저농도의 n-도핑을 실시한다. 그 결과 각각의 게이트전극들(14), (24n), (24p)이 상기 이온을 블로킹 하게되어 각 반도체층(10), (20n), (20p)에는 각각 n-층(12'), (22'), (22')과 채널층(10), (20n), (20p)이 형성된다.

이에 반해 저농도의 n-도핑을 낮은 이온주입 에너지로 하여 실시할 경우에는 제 3 도의 (c')와 같이, 기판(1000) 전체에 걸쳐서 실리콘 산화막이나 실리콘 질화막과 같은 절연막, Si이나 Si 합금 또는 Cr 등의 금속층, 포토레지스트를 순차적으로 형성한후, 사진식각공정으로 상기 절연막과 금속층을 함께 패터닝한다. 그 결과 게이트절연막(100)과 게이트전극(14), (24n), (24p)이 같은 패턴으로 각각 형성되며, 각 반도체층의 일부가 노출된다. 이후, 제 3 도의 (d)와 같이, 기판(1000) 전체에 걸쳐서 낮은 이온주입에너지를 가지고 저농도의 n-도핑을 실시하면, 게이트전극이 위치하지 않은 노출된 반도체층에으로 저농도의 불순물이 주입되어 각각 n-층이 형성되고, 게이트전극의 하부에 있는 반도체층에는 채널층이 형성된다. 즉, 반도체층으로 직접 불순물이 인입되도록 하는 것이다.

이어서, 제 3 도의 (e)와 같이, 포토레지스트를 도포하고 패터닝하여 구동회로부의 P형 TFT가 되는 영역과 화소부 TFT의 게이트전극(14) 및 반도체층의 일부를 블로킹한 상태에서 고농도의 n+ 도핑을 실시한다.

이때 화소부에 형성된 포토레지스트는 게이트전극(14) 및 반도체층의 일부를 덮도록 형성되기 때문에 n+ 도핑시 이온이 n-층의 일부에만 도핑이 된다. 따라서 상기한 n+ 도핑에 의해 화소부의 반도체층에는 고농도의 n+층으로 이루어진 소오스(11S)/드레인(11D)과 저농도의 n-층(12)이 형성되어 LDD 구조가 된다. 또한, 회로부에는 P형 TFT가 형성되는 부분이 블로킹되고, 나머지 N형 TFT가 되는 부분에 반도체층에는 n+ 도핑이 진행되어 소오스(21S)/드레인(21D) 영역과 n형 채널(20n)이 형성된다. 즉, 화소부에는 n+층 및 n-층으로 된 LDD 구조의 TFT가 형성되며, 구동회로부에는 n+층이 형성된 N형 TFT와 p+층이 형성된 P형 TFT가 형성된다.

그다음, 제 3 도의 (f)와 같이, 포토레지스트를 제거하고, 다시 포토레지스트를 도포하고 패터닝하여 P형 TFT가 되는 영역만을 노출시키고, 나머지 영역은 포토레지스트로 덮은 상태에서, 고농도의 p+ 도핑을 실시한다. 그 결과 P형 TFT가 될 반도체층에는 p+층으로 이루어진 소오스(23S)/드레인(23D) 영역이 형성되고, p형 채널(20p)이 형성된다.

상술한 바와 같은 도핑방식을 카운터도핑(counter doping)방식이라 하는데, n-도핑시 반도체층에 도핑되는 이온의 농도(impurity concentration)는 약  $10^{16} \sim 10^{18} / \text{cm}^3$  정도이고, p+ 도핑시 반도체층에 도핑되는 이온의 농도는 약  $10^{19} \sim 10^{21} / \text{cm}^3$  정도이기 때문에 p+ 도핑에 의해 n-층이 p+층으로 변한다.

이후, 제 3 도 (g)와 같이, 상기한 포토레지스트를 제거하고 기판(1000) 전체에 걸쳐서 실리콘질화막과 같은 절연막을 증착하여 층간절연막을 형성한다. 이후, 소정의 형상대로 패터닝하여 화소부의 소오스영역(12S)과, 구동회로부의 각 소오스(21S), (23S)/드레인(21D), (23D)영역을 노출시키는 콘택홀을 형성한다. 이후, Si와 같은 금속을 성막하고 패터닝하여 화소부의 소오스영역(21S)에 연결되는 신호선(40)을 형성한다. 그리고, 구동회로부의 각각의 TFT가 상보형 TFT가 되도록 각 소오스/드레인 영역을 연결하는 금속배선(25)을 형성한다. 따라서, 화소부에는 LDD 구조의 TFT가, 구동회로부에는 상보형의 구조를 가지는 TFT가 형성된다.

그리고 제 3 도의 (h)와 같이, 기판전면에 절연물질을 증착하여 보호막(300)을 형성한다. 이후, 드레인영역(12D) 상부에 위치한 부분의 게이트절연막(100)과 층간절연막(200)과 보호막(300)을 함께 사진식각하여 드레인영역(11D)이 노출되도록 하는 콘택홀을 형성한다. 이후 전면에 ITO(Indium Tin Oxide)를 성막한후, 패터닝하여 화소전극(15)을 형성한다.

상기와 같은 하판(한쪽 기판) 제조공정을 완료한 후, 칼라 필터(filter)를 포함하는 상판(다른 기판)을 따로 제작한다음, 두기판을 합착하고 사이에 액정을 주입하여 액정표시장치를 완성한다.

그러나 상술한 바와 같은 종래의 TFT 액정표시장치는 회로의 특성을 위하여 회로부 TFT를 상보형으로 채용하고, 화질을 위하여 화소부에는 스토리지 캐패시터를 활성층영역과 게이트전극층 사이에 있는 게이트절연막으로 구성하기 때문에 포토알라인(photo-align) 공정이 복잡해진다는 문제점이 있었다. 제조공정을 살펴보면, 종래의 TFT 액정표시장치는 TFT 기판제작을 위하여 총 9매의 포토레지스트와 포토알라인 공정이 필요로 했다. 따라서 공정수가 증가하게되고 생산성과 수율이 감소하기 때문에 공정을 단순화함으로써 액정표시장치의 제조원가를 크게 저감할 필요가 있었다. 또한, 화소부 TFT의 스위치 작용을 고려해볼 때

다결정 실리콘 TFT의 특성을 보면, 오프(off) 영역에서의 누설전류가 크기때문에 추가의 포토레지스트를 사용하여 LDD 구조를 형성해야 하는데, 이런 이유로 종래의 TFT 액정표시장치의 제조공정은 생산성과 수율 측면에서 불리하였다.

본 발명은 이와 같은 문제점을 해결하기 위한 것으로, 화소부와 동일기판에 형성되는 회로부 상보형 트랜지스터를 이루는 n형 TFT와 p형 TFT의 구조를 달리함으로써 그 제조공정을 감소시켜 생산성을 향상시키려 하는 것이다.

이를 위하여 본 발명의 액정표시장치는 절연기판 상에 서로 교차하는 복수개의 신호선과 복수개의 주사선에 연결되어 매트릭스 형상으로 형성되는 복수개의 화소부 TFT와, 상기 화소부 TFT의 주변에 위치하여 상보형 구조로 형성되는 구동회로부 TFT를 포함하는 액정표시장치에 있어서, 상기 화소부 TFT와 같은 종류의 채널을 가지는 구동회로부 TFT는 상기 화소부 TFT와 같은 구조를 가지며, 상기 화소부 TFT와 다른 종류의 채널을 가지는 구동회로부 TFT는 상기 화소부 TFT와 다른 구조를 가지는 것을 특징으로 하고 있다. 이때 화소부 TFT는 n형 혹은, p형 채널을 가질수 있다. 또한, 화소부 TFT는 스택거형 혹은, 코플라나형으로 형성할 수 있다. 따라서 본 발명에 의하면, 화소부 TFT가 n형이고 스택거형이라면, 구동회로부의 상보형 TFT 중의 n형 TFT는 스택거형으로 형성된다.

그리고 본 발명은 동일절연기판 상에 화소부와 구동회로부를 함께 형성하는 액정표시장치 제조방법에 있어서, 절연기판에 제 1 도전형의 고농도 불순물이온으로 도핑된 반도체층과 제 1 금속층을 형성한후, 사진식각하여 화소부 TFT의 소오스/드레인 전극 및 상기 화소부 TFT와 같은 종류의 채널을 가지는 구동회로부 제 1 형 TFT의 소오스/드레인 전극을 형성하는 단계와, 전면에 다결정실리콘층을 증착한후, 사진식각하여 화소부 TFT의 활성층, 구동회로부 제 1 형 TFT의 활성층 및 상기 화소부 TFT와 다른 종류의 채널을 가지는 구동회로부 제 2 형 TFT의 활성층을 각각 형성하는 단계와, 전면에 제 1 절연막과 제 2 도전층을 연속적으로 증착한후, 상기 제 1 절연막과 상기 제 2 도전층을 사진식각하여 상기 각각의 활성층 상에 게이트절연막과 게이트전극을 각각 형성하는 단계와, 상기 각각의 게이트 전극을 마스크로하여 상기 각각의 활성층에 제 1 도전형의 고농도 불순물이온을 주입하는 단계와, 상기 구동회로부 제 2 형 TFT의 활성층에 제 2 도전형의 고농도 불순물이온을 선택적으로 주입하여 상기 구동회로부 제 2 형 TFT의 소오스/드레인 영역을 형성하는 단계와, 전면에 제 2 절연막을 증착하여 보호막을 형성하는 단계와, 상기 보호막을 소정의 형상대로 사진식각하여 상기 화소부 TFT의 드레인 전극, 상기 구동회로부 제 1 형 TFT의 소오스/드레인 전극 및 상기 구동회로부 제 2 형 TFT의 소오스/드레인 영역을 노출시키는 콘택홀을 형성하는 단계와, 전면에 투명도전막을 증착한후 사진식각하여, 상기 화소부 TFT의 드레인전극에 연결되는 화소전극과, 상기 구동회로부 제 1 형 TFT와 상기 구동회로부 제 2 형 TFT를 상보형의 구조가 되도록 연결하는 투명배선을 형성하는 단계를 포함하며 이루어진 액정표시장치 제조방법이다.

이하 첨부된 도면을 참조하여 본 발명을 자세히 설명하면 다음과 같다.

제 4 도에서 제 6 도는 본 발명의 실시예를 설명하기 위한 도면으로, 화소부 TFT를 n형으로 형성하고, 회로부 TFT를 상보형의 구조로 형성하여 내장시킨 것이다. 본 발명을 실현하기 위해서 화소부 TFT와 같은 종류의 채널을 가지는 회로부 TFT는 스택거형으로 형성하고, 화소부 TFT와 반대종류의 채널을 가지는 회로부 TFT는 코플라나형으로 형성한다. 편의상 화소부 TFT를 n형으로 하고, 본 발명을 설명하면, 아래와 같다.

제 4 도는 본발명에 따른 액정표시장치의 화소부를 나타낸 것으로, 제 4 도의 (a)는 평면도이고, 제 4 도의 (b)는 제 4 도(a)의 BB' 단면도이다.

절연기판(1000) 상에 주사선(50)과 신호선(40)이 교차하여 있고, 그 교차부에는 TFT가 형성되어 있다. TFT는 스택거형 구조를 하고 있으며, 소오스(11S)/드레인(11D)은 n형으로 도핑된 실리콘(n+Si)층과 금속층의 이중층으로 이루어졌다. 이때 드레인전극(11D)과 일체로 스토리지 캐패시터 제 1 전극(17)이 형성되어 있으며, 상부에 형성된 스토리지 캐패시터 제 2 전극(18)과 중첩되는 영역에서 게이트절연막(100)을 사이에 두고 스토리지 캐패시터를 형성하고 있다. 그리고, 보호막(300)의 소정의 위치에는 콘택홀이 형성되어 있고, 이 콘택홀을 통하여 투명화소전극(15)이 드레인전극(11D)과 연결되어 있다.

TFT의 채널영역(10)과 소오스/드레인 전극(11S)(11D) 사이에는 TFT가 오프(off) 일때의 누설 전류를 감소시키기 위해 도핑이 낮은 LDD 영역 혹은, 도핑이 되지 않은 오프셋(offset) 영역(12)이 형성되어 있다. 즉, 오프셋 영역의 길이가 길 경우에는 소자의 전류가 감소하기 때문에 낮은 농도의 불순물로 도핑할 필요가 있다. 그러나 1 $\mu$ m 이하의 길이로 정확히 조절할 수 있는 공정으로 제작할 경우는 도핑을 하지 않을 수 있다.

제 5 도의 (a)는 본 발명의 구동회로부의 평면도를, 제 5 도의 (b)는 제 5 도(a)의 CC' 단면구조를 나타낸 것이다.

절연기판(1000) 상에 게이트전극과 소오스/드레인 전극을 각각 구비한 두개의 TFT가 상보형의 구조로 형성되어 있다. 언급한 바와 같이, 화소부 TFT가 n형의 채널을 가지는 스택거형일 경우에는 구동회로부의 n형 TFT는 화소부 TFT와 동일한 구조인 스택거형으로, p형 TFT는 다른 구조인 코플라나형으로 형성된다.

회로부 n형 TFT는 화소부 TFT와 마찬가지로 소오스전극(21S)과 드레인전극(21D)이 도핑된 실리콘(n+Si)층과 금속층으로 이루어진 이중구조로 형성되어 있고, 채널영역(20n)과 소오스/드레인 전극 사이에는 LDD 혹은 도핑이 되지 않은 오프셋(offset) 영역(22)이 형성되어 있다. 이에 반해 p형 TFT는 고농도의 불순물영역으로 이루어진 소오스영역(23S)과 드레인영역(23D)이 형성되어 있다.

n형 TFT의 소오스/드레인 전극과 p형 TFT의 소오스/드레인 영역 사이의 연결은 화소전극과 동일층에 동일물질로 패터닝되어 형성된 투명배선(19)에 의해 성취된다.

제 6 도는 제 4 도와 제 5 도에 설명된 본 발명에 따른 액정표시장치의 제조공정도를 나타낸 것이다. 본 공정에 들어가기 전에, 화소부 TFT와 화소부 TFT와 같은 종류의 채널을 가지는 회로부 TFT를 스택거형으로 형성하고, 화소부 TFT와 반대 종류의 채널을 가지는 회로부 TFT를 코플라나형으로 형성하는 것을 염려

해 두는 것이 필요하다.

우선, 제 6 도(a)와 같이, 절연기판(1000) 상에 n형으로 도핑된 반도체층과 금속층을 연속적으로 증착한 후, 사진식각하여 화소부 TFT의 소오스/드레인 전극(11S)/(11D), 드레인전극과 일체로 형성되는 스토리지 캐패시터 제 1 전극(17) 및 회로부 TFT중 n형 TFT의 소오스/드레인 전극(21S)(21D)을 각각 형성한다. 이때 소오스/드레인 저항을 감소시키고 금속층의 일부 또는 전체를 사용하기 위하여 도핑된 반도체층과 적층된 금속층을 동시에 패터닝할 수 있다.

도핑된 반도체층을 형성하는 방법은 박막형성시, 미리 도핑되어 있는 상태로 박막을 형성할 수도 있고(in-situ doping), 도핑되지 않은 반도체층을 형성한 후 이온주입법으로 도핑할 수도 있다.

이어서, 제 6 도 (b)와 같이, 전면에 다결정 실리콘 박막을 형성한다. 일반적으로 방법으로, 비정질 상태의 실리콘 박막을 증착한 후 고상 결정법이나 고체, 기체 레이저를 이용한 결정화로 다결정 실리콘 박막을 형성한다. 또다른 방법으로는 저온 다결정 실리콘 박막을 형성하여 사용할 수 있다.

이후, 상기 다결정 실리콘 박막을 사진식각하여 화소부 TFT의 반도체층(10')과 회로부 TFT의 반도체층(20n'),(20p')을 각각 형성한다. 이때 화소부 TFT의 소오스/드레인 전극(11S)(11D) 일부와 회로부 n형 TFT의 소오스/드레인 전극(21S)(21D)의 일부가 노출되게 패터닝한다. 화소부 TFT의 경우에는 드레인전극 부분(11D)을 더 많이 노출시켜 스토리지 캐패시터 제 1 전극(17)이 이후에 형성될 스토리지 캐패시터 제 2 전극과 스토리지 캐패시터를 형성하도록 한다. 회로부 p형 TFT는 적정 범위내에서 반도체층(20p')을 형성한다.

그다음, 제 6 도(c)와 같이, 실리콘산화막이나 실리콘질화막과 같은 절연막과 알미늄층이나 크롬층과 같은 금속층이나 반도체층을 연속적으로 형성한다. 이후, 상기 금속층이나 반도체층을 사진식각하여 게이트 전극(14),(24n),(24p)을 각각 형성하고, 이들 게이트전극(14),(24n),(24p)을 마스크로 하여 그 아래에 있는 절연막을 사진식각하여 게이트절연막(100)을 형성한다. 즉, 게이트절연막(100)이 개재된 게이트전극(14),(24n),(24p)을 각각 형성한다. 또한, 스토리지 캐패시터 제 1 전극(17)과 스토리지 캐패시터를 형성하는 스토리지 캐패시터 제 2 전극(18)을 함께 형성한다.

이때 화소부 TFT의 경우는 소오스/드레인 전극(11S)(11D)과 채널영역(10)이 중첩되지 않도록 게이트전극(14)을 형성하고, 회로부 n형 TFT의 경우는 소오스/드레인 전극(21S)(21D)과 채널영역(20n)을 중첩시키거나, 또는 비중첩영역이 최소화하도록 형성한다.

이후, 화소부 및 회로부 n형 TFT과 p형 TFT를 포함한 전영역에 저농도의 n형 불순물을 주입한다. 그 결과 각 TFT의 게이트전극이 마스크로 작용하여 각 TFT의 채널영역과 소오스/드레인 영역의 사이에는 n-층이 형성된다. 오프셋(Offset) 영역을 셀프얼라인(self-align) 방법등으로 정확히 조절할 경우 도핑을 생략할 수도 있다. 이때 화소부 TFT의 n-층은 LDD 영역(12)이 되며, 회로부 n형 TFT 또한, 같은 구조로 형성되기 때문에 LDD 영역(22)이 형성된다.

이어서, 제 6 도 (d)와 같이, P형 TFT를 형성하기 위하여 화소부 및 회로부 n형 TFT들을 포토레지스트로 덮은 후, P형 불순물이온으로 P형 TFT 부분의 반도체층에 주입하여 소오스/드레인 영역(23S)(23D)을 형성한다. 이후, 포토레지스트를 제거한 후, 불순물의 활성화작업을 실시한다.

그다음, 제 6 도 (e)와 같이, 산화실리콘이나 질화실리콘과 같은 절연물질을 증착하여 보호막(200)을 형성한다. 이후, 보호막을 소정의 패턴대로 사진식각하여 화소부 TFT의 드레인전극(11D)과 회로부 TFT의 각 소오스/드레인 영역을 노출시키는 콘택홀을 형성한다.

이후, IT0을 증착한 후, 패터닝하여 화소부 TFT의 드레인 전극(11D)에 연결되는 화소전극(15)과 회로부 TFT들의 상호연결을 위한 투명배선(25)을 형성한다.

이상과 같은 공정으로 TFT를 포함하는 한 기판이 완성되고 대향전극과 광차단층을 포함하는 다른 기판을 제작하여 액정공정을 통하여 액정 표시장치를 완성한다.

이 실시예에서는 화소부 TFT를 n형으로 하여 형성하였지만, 화소부 TFT를 p형 채널을 가지도록 형성하려 한다면, 구동회로부를 이루는 상보형 TFT 중에서 p형 TFT는 화소부 TFT와 같은 구조로 형성한다. 이는 언급한 바와 같이, 화소부 TFT와 같은 채널을 가지는 회로부 TFT는 화소부 TFT와 같은 구조로 형성하는 것이 본 발명이 성취하려 하는 것이기 때문이다. 이 경우의 본 발명의 제조방법은 앞에서 제 6 도를 참조하여 설명된 제조방법에서 각 n형 불순물이온을 p형 불순물이온으로 대치하면 된다.

상술한 바와 같이, 본 발명은 화소부 TFT와 같은 종류의 채널을 가지는 회로부 TFT는 화소부 TFT와 같은 구조로 형성한다. 특히, 화소부 TFT를 스택거형으로 형성하되, 화소부 TFT와 같은 종류의 채널을 가지는 회로부 TFT는 스택거형으로 형성하고, 화소부 TFT와 반대 종류의 채널을 가지는 회로부 TFT는 코플라나형으로 형성할 경우, 종래의 액정표시장치와 비교하여 공정면에서 포토레지스트의 사용빈도를 감소시킬 수 있다. 따라서 포토얼라인 공정빈도도 그만큼 감소되고 공정도 단순화되어 생산수율을 크게 증가시킬 수 있다.

## (57) 청구의 범위

### 청구항 1

절연기판 상에 서로 교차하는 복수개의 신호선과 복수개의 주사선에 연결되어 매트릭스 형상으로 형성되는 복수개의 화소부 TFT와, 상기 화소부 TFT의 주변에 위치하여 상보형 구조로 형성되는 구동회로부의 제 1형 및 제 2형 TFT를 포함하는 액정표시장치에 있어서, 상기 화소부 TFT와 같은 종류의 채널을 가지는 구동회로부의 제 1형 TFT는 상기 화소부 TFT와 같은 구조를 가지며, 상기 화소부 TFT와 다른 종류의 채널을 가지는 구동회로부의 제 2형 TFT는 상기 화소부 TFT와 다른 구조를 가지는 것이 특징인 액정표시장치.

### 청구항 2

제1항에 있어서, 상기 화소부 TFT는 n형 채널을 가지는 것이 특징인 액정표시장치.

### 청구항 3

제1항에 있어서, 상기 화소부 TFT는 p형 채널을 가지는 것이 특징인 액정표시장치.

### 청구항 4

제2항 또는, 제3항에 있어서, 상기 화소부 TFT는 스택거형의 구조를 가지는 것이 특징인 액정표시장치.

### 청구항 5

제2항 또는, 제3항에 있어서, 상기 화소부 TFT는 코플라나형인 것이 특징인 액정표시장치.

### 청구항 6

제1항에 있어서, 상기 화소부 TFT는 엘디디(LDD)영역 혹은 오프셋(offset)영역이 형성되는 것이 특징인 액정표시장치.

### 청구항 7

제1항에 있어서, 상기 화소부 TFT의 소오스/드레인 전극은 반도체층과 금속층으로 이루어진 2중층인 것이 특징인 액정표시장치.

### 청구항 8

제1항에 있어서, 상기 화소부 TFT의 드레인전극과 동일배선재로 상기 드레인전극에 연장되어 형성된 스토리지 캐패시터의 제 1 전극과, 상기 주사선과 동일배선재로 형성되어 상기 스토리지 캐패시터의 제 1 전극에 적절하게 중첩되도록 형성되는 스토리지 캐패시터의 제 2 전극을 구비하는 스토리지 캐패시터를 더 포함하는 액정표시장치.

### 청구항 9

상보형 TFT로 구성되는 액정표시장치의 구동회로부에 있어서, 상기 상보형 TFT중 제 1 형 TFT는 스택거형 구조이고, 상기 상보형 TFT중 제 2 형 TFT는 코플라나형 구조인 것이 특징인 액정표시장치의 구동회로부.

### 청구항 10

동일절연기판 상에 화소부와 구동회로부를 함께 형성하는 액정표시장치 제조방법에 있어서, (1) 절연기판에 제 1 도전형의 고농도 불순물이온으로 도핑된 반도체층과 제 1 금속층을 형성한후, 사진식각하여 화소부 TFT의 소오스/드레인 전극 및 상기 화소부 TFT와 같은 종류의 채널을 가지는 구동회로부 제 1 형 TFT의 소오스/드레인 전극을 형성하는 단계와, (2) 전면에 다결정실리콘층을 증착한후, 사진식각하여 화소부 TFT의 활성층, 구동회로부 제 1 형 TFT의 활성층 및 상기 화소부 TFT와 다른 종류의 채널을 가지는 구동회로부 제 2 형 TFT의 활성층을 각각 형성하는 단계와, (3) 전면에 제 1 절연막과 제 2 도전층을 연속적으로 증착한후, 상기 제 1 절연막과 상기 제 2 도전층을 사진식각하여 상기 각각의 활성층 상에 게이트절연막과 게이트전극을 각각 형성하는 단계와, (4) 상기 각각의 게이트 전극을 마스크로하여 상기 각각의 활성층에 제 1 도전형의 저농도 불순물이온을 주입하는 단계와, (5) 상기 구동회로부 제 2 형 TFT의 활성층에 제 2 도전형의 고농도 불순물이온을 선택적으로 주입하여 상기 구동회로부 제 2 형 TFT의 소오스/드레인 영역을 형성하는 단계와, (6) 전면에 제 2 절연막을 증착하여 보호막을 형성하는 단계와, (7) 상기 보호막을 소정의 형상대로 사진식각하여 상기 화소부 TFT의 드레인 전극, 상기 구동회로부 제 1 형 TFT의 소오스/드레인 전극 및 상기 구동회로부 제 2 형 TFT의 소오스/드레인 영역을 노출시키는 콘택홀을 형성하는 단계와, (8) 전면에 투명도전막을 증착한후 사진식각하여, 상기 화소부 TFT의 드레인전극에 연결되는 화소전극과, 상기 구동회로부 제 1 형 TFT와 상기 구동회로부 제 2 형 TFT를 상보형의 구조가 되도록 연결하는 투명배선을 형성하는 단계를 포함하여 이루어진 액정표시장치 제조방법.

### 청구항 11

제10항에 있어서, 상기 제 1 도전형은 n형으로 하고, 상기 제 2 도전형은 p형으로 하는 것을 특징으로 하는 액정표시 제조방법.

### 청구항 12

제10항에 있어서, 상기 제 1 도전형은 p형으로 하고, 상기 제 2 도전형은 n형으로 하는 것을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 13

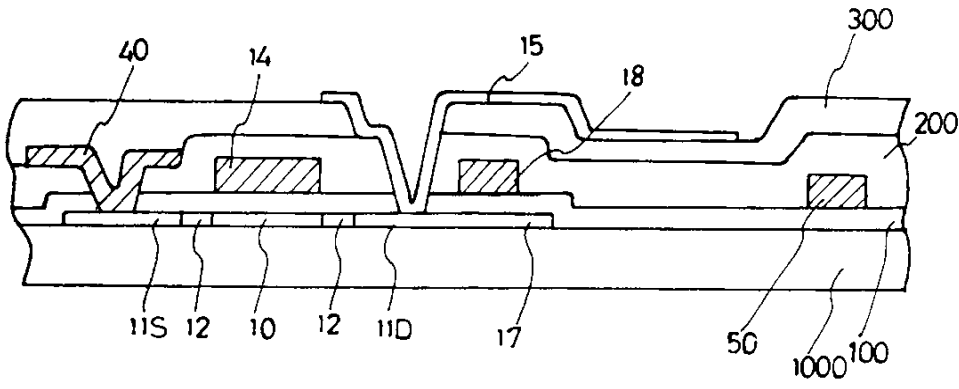
제10항에 있어서, 상기 화소부 TFT의 드레인전극과 동일배선재로 상기 드레인전극에 연장되어 스토리지 캐패시터의 제 1 전극을 추가하여 형성하고, 상기 주사선과 동일배선재로 하여 상기 스토리지 캐패시터의 제 1 전극에 적절하게 중첩되도록 스토리지 캐패시터의 제 2 전극을 추가하여 형성하는 액정표시장치의 제조방법.

### 청구항 14

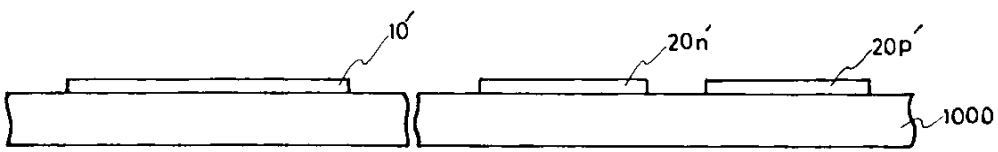
제10항에 있어서, 상기 제 3)단계 공정에서 상기 게이트전극을 형성시, 상기 화소부 TFT의 경우는 상기 화소부 TFT의 소오스/드레인 전극과 그 채널영역이 중첩되지 않도록 형성하고, 상기 구동회로부 제 1 형 TFT의 경우는 상기 구동회로부 제 1 형 TFT의 소오스/드레인 전극과 그 채널영역을 중첩시키거나, 비중첩 영역이 최소화하도록 형성하는 것을 특징으로 하는 액정표시장치 제조방법.



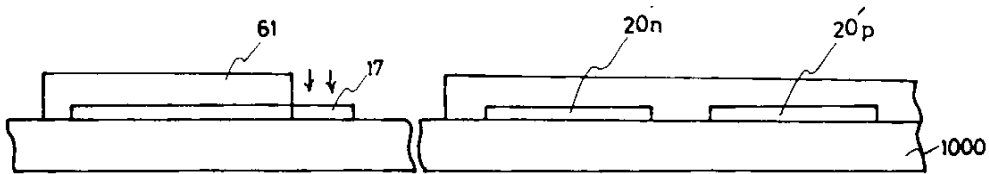
도면2b



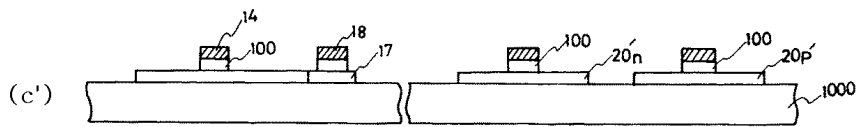
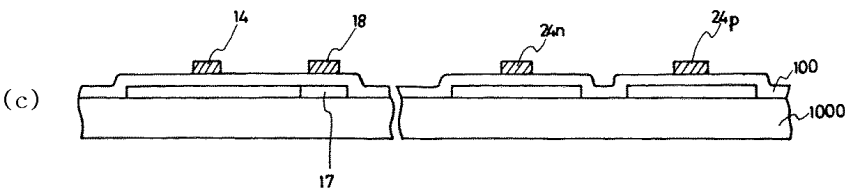
도면3a



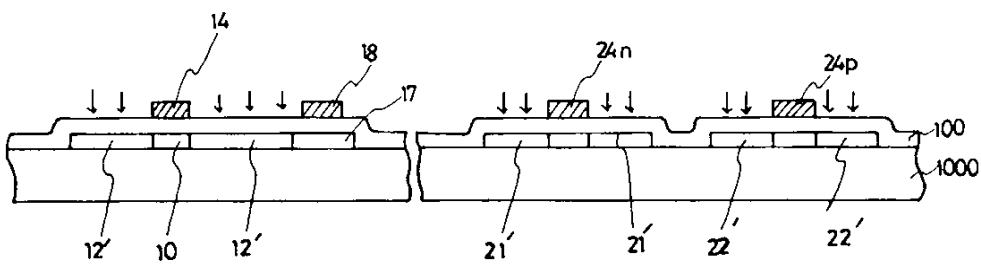
도면3b



도면3c

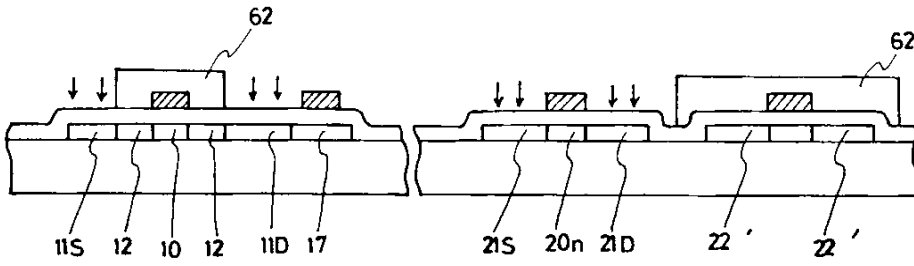


도면3d

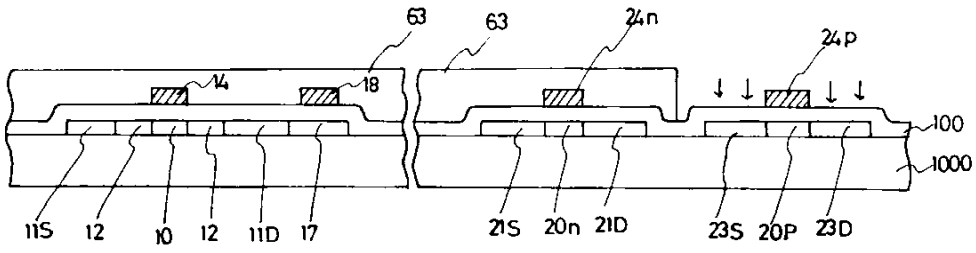




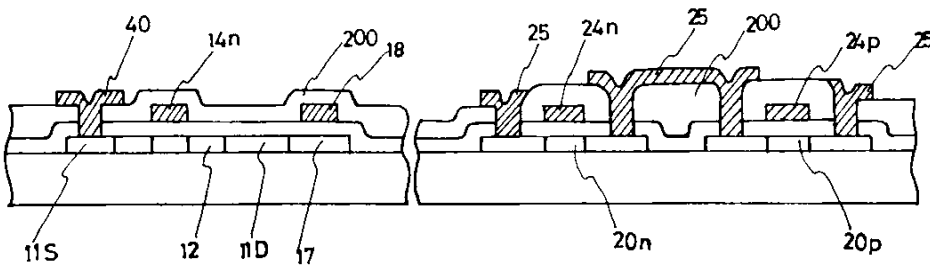
도면3e



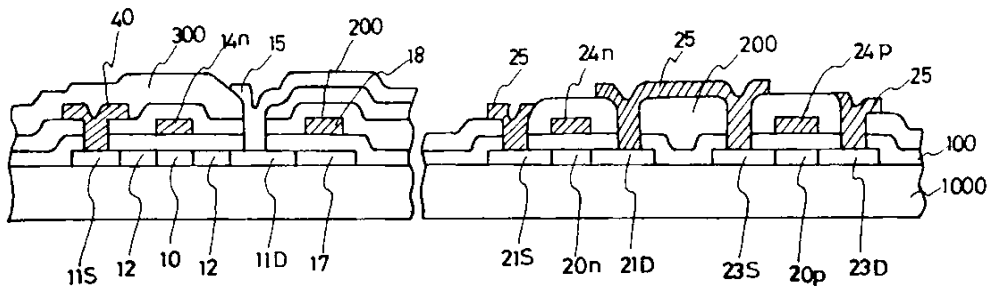
도면3f



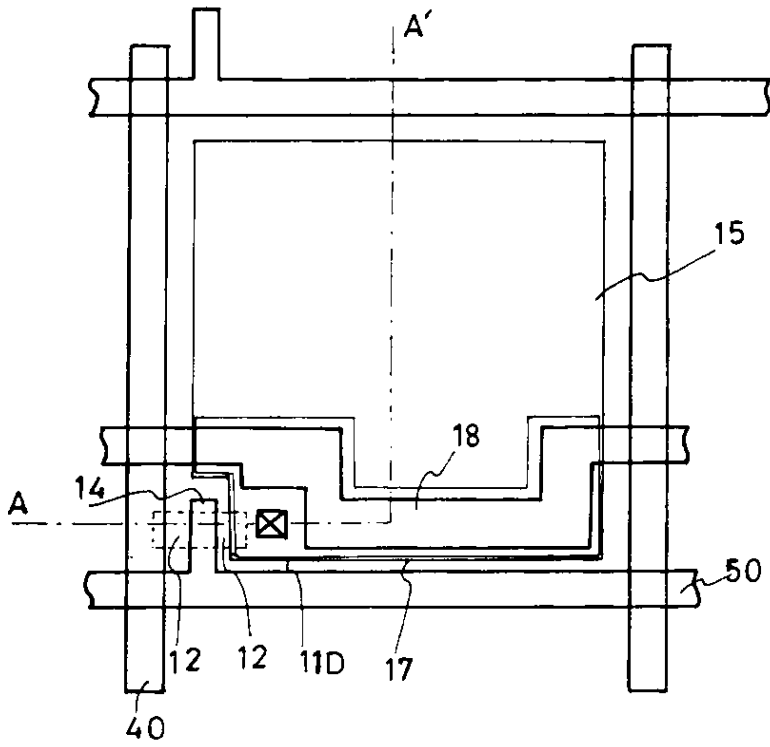
도면3g



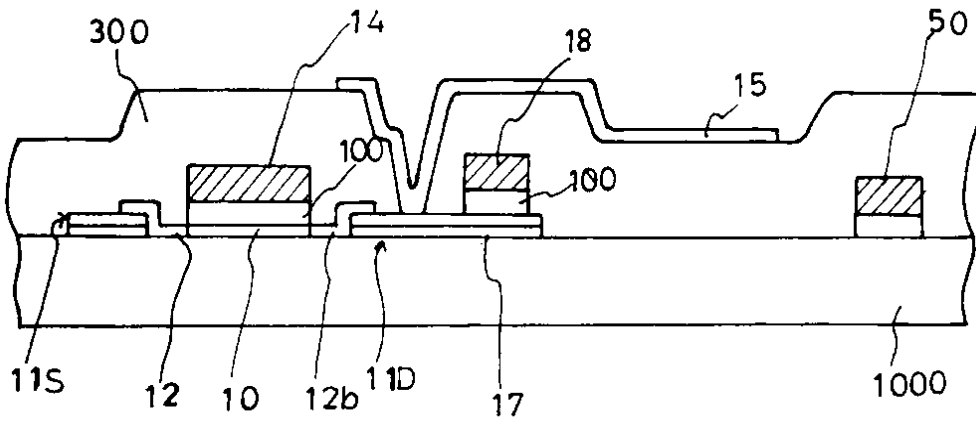
도면3h



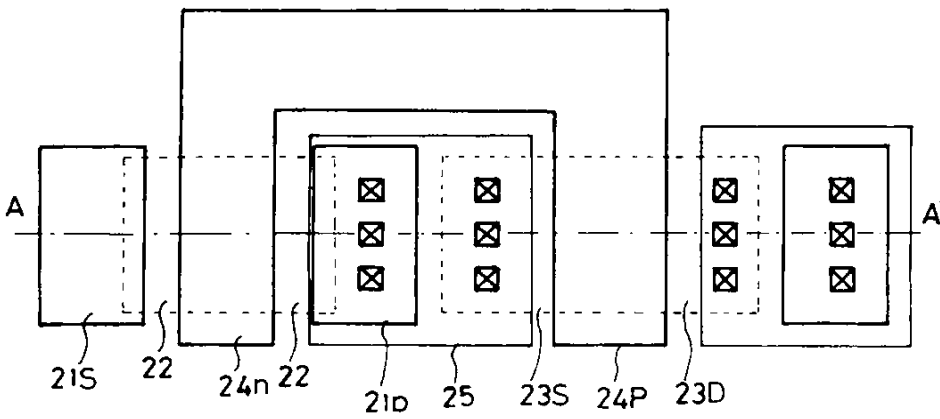
도면4a



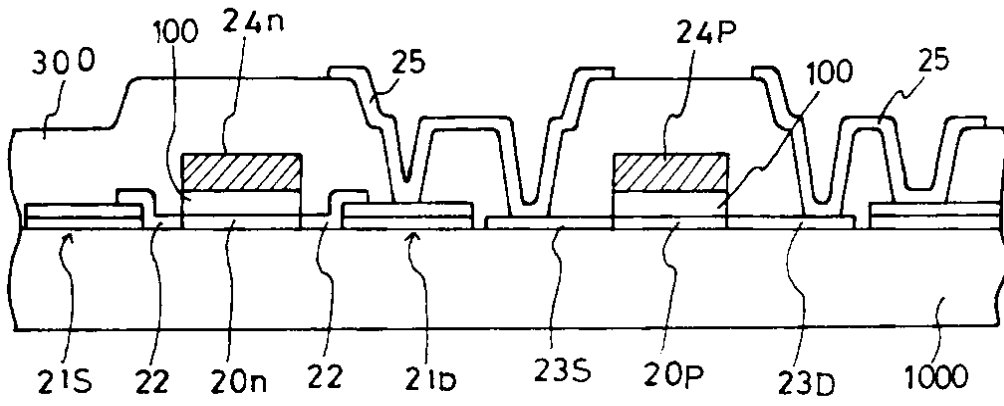
도면4b



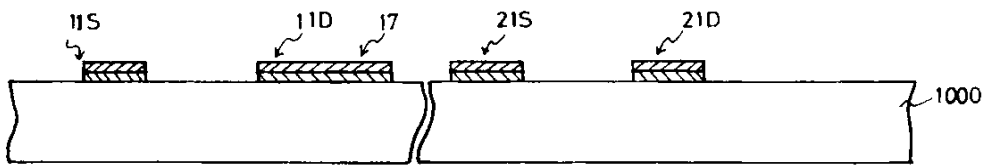
도면5a



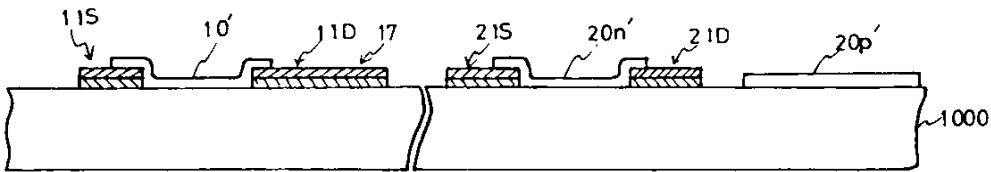
도면5b



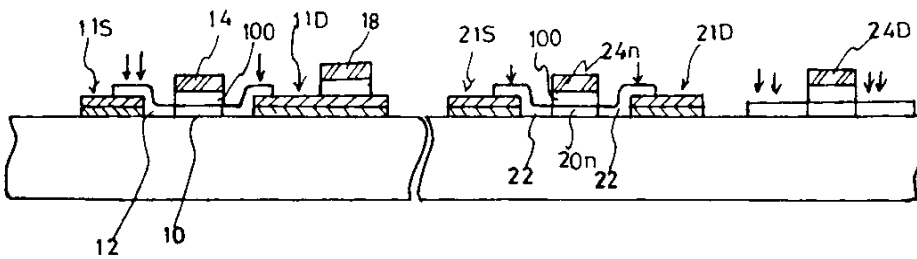
도면6a



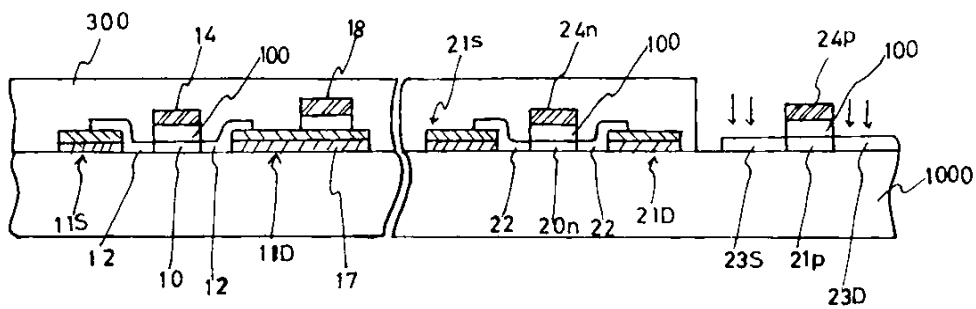
도면6b



도면6c



도면6d



도면6e

