



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0046873
(43) 공개일자 2011년05월06일

(51) Int. Cl.

H01L 21/00 (2006.01) H01L 21/28 (2006.01)

(21) 출원번호 10-2009-0103567

(22) 출원일자 2009년10월29일

심사청구일자 2009년10월29일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김규태

경기도 광명시 철산4동 도덕파크타운 104-106

이강호

경기도 군포시 산본2동 310-2 산본2차 대림 e-편
한세상아파트 103-603

(뒷면에 계속)

(74) 대리인

리엔목특허법인

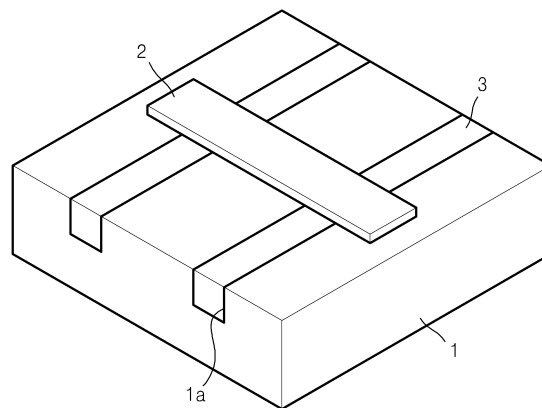
전체 청구항 수 : 총 14 항

(54) 전자 소자, 메모리 소자 및 이들의 제조방법

(57) 요약

기능성 요소의 물리적 왜곡을 억제하고, 기능성 요소와 이에 연결되는 전기적 요소간의 전기적 접촉 특성을 향상시킬 수 있는 전자소자, 메모리 소자 및 이들의 제조방법에 관하여 기술된다. 기판 상에 적어도 두 개의 그루브를 형성하고, 여기에 도전성 물질을 채워넣어 상기 기판의 상면과 실질적으로 동일 평면을 이루는 상면을 가지는 전기적 요소를 얻는다. 그리고 기판 상면 전체에 기능성 물질층(기능층)을 형성한 후 이를 패터닝하여, 상기 전기적 요소에 그 양측 저면이 접촉되는 기능성 요소를 얻는다.

대표도 - 도1



(72) 발명자

김혜영

서울특별시 강남구 역삼1동 두산위브오피스텔 302호

이경진

서울특별시 동대문구 제기2동 벽산아파트 106-306

강원

서울특별시 성동구 금호동3가 두산아파트 109-1403

특허청구의 범위

청구항 1

기판의 일면에 소정 패턴의 그루브를 형성하는 단계;

상기 그루브에 제1전자물질을 채워 넣어 제1물질층을 형성하는 단계;

상기 기판 일면 위에, 상기 제1물질층과 접촉되는 부분을 가지는 것으로, 상기 제1전자물질에 비해 산화가 용이한 제2전자물질에 의한 소정 패턴의 제2물질층을 형성하는 단계;를 포함하는 전자 소자의 제조방법.

청구항 2

제 1 항에 있어서,

상기 제1물질층은 도전성물질이며, 상기 제2물질은 강자성물질인 것을 특징으로 하는 전자 소자의 제조 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제1물질층을 형성하는 단계는 제1물질층의 표면이 상기 기판의 표면과 실질적으로 일치시키는 것을 특징으로 하는 전자 소자의 제조방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제2물질층은 외부에 굴곡을 가지지 않는 직선적이며 평판한 구조를 가지는 것을 특징으로 하는 전자 소자의 제조 방법.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 그루브를 형성하는 단계는 상호 마주 대하는 적어도 한 조의 그루브를 형성하며, 상기 제1물질층을 형성하는 단계는 상기 한 조의 그루브에 제1전자물질을 채워 넣는 것을 특징으로 하는 전자 소자의 제조 방법.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 그루브를 형성하는 단계:는 상기 그루브에 대응하는 개구부를 가지는 마스크 층을 형성하는 단계;와 개구부에 노출된 기판의 표면을 소정 깊이 식각하는 단계;를 포함하는 것을 특징으로 하는 전자 소자의 제조 방법.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 제1물질층을 형성하는 단계는:

상기 그루브에 대응하는 개구부를 가지는 희생층을 형성하는 단계;

제1전자물질을 상기 희생층과 희생층의 개구부에 노출된 상기 기판의 그루브에 증착하는 단계;

상기 희생층을 제거하여 상기 그루브 내에 상기 제1전자물질에 의한 제1물질층을 얻는 단계;를 포함하는 것을 특징으로 하는 전자 소자의 제조 방법.

청구항 8

제 1 항 또는 제 2 항에 기재된 전자 소자의 제조 방법을 포함하는 메모리 소자의 제조 방법.

청구항 9

제 3 항에 기재된 전자 소자의 제조 방법을 포함하는 메모리 소자의 제조 방법.

청구항 10

일면에 그루브가 형성되는 기판;

상기 그루브 내에 형성되는 제1물질층; 그리고

상기 제1물질층에 접촉하도록 상기 기판 위에 형성되는 것으로 제1물질층에 비해 산화가 용이한 물질로 된 제2물질층;을 구비하는 전자 소자.

청구항 11

제 10 항에 있어서,

상기 그루브는 상기 기판에 복 수개 마련되며, 상기 제2물질층은 인접한 두 그루브의 제1물질층들에 그 양측 저면이 접촉되는 것을 특징으로 하는 전자 소자.

청구항 12

제 10 항에 있어서,

상기 제1물질층의 표면은 상기 기판의 표면과 실질적으로 일치하는 것을 특징으로 하는 전자 소자.

청구항 13

제 10 항 내지 제 12 항 중의 어느 한 항에 있어서,

상기 제1물질층은 전극이며, 상기 제2물질층은 강자성층인 것을 특징으로 하는 전자 소자.

청구항 14

제 13 항에 있어서,

상기 제2물질층은 전체적으로 평탄한 저면과 상면을 구비하는 것을 특징으로 하는 전자 소자.

명세서

발명의 상세한 설명

기술 분야

[0001] 전자 소자(electronic device), 메모리 소자(memory device) 및 이들의 제조방법에 관련된다.

배경 기술

[0002] 전자 소자에 있어서, 산화막은 절연물질로서 적극적으로 사용되나, 경우에 따라서 불필요한 요소로서 적극적으로 제거되어야 한다. 전자 소자 중에는 불가피하게 산화가 잘되는 물질이 적용되는 종류가 있다. 이러한 물질은 대부분 산소가 희박한 진공 분위기에서 처리되는데, 예를 들어, 성막 시에는 진공 증착법이 이용된다. 그러나, 전자 소자의 제조 과정 중 대기 중 노출로 인해 불가피하게 산화피막(이하 산화막)이 형성될 수 밖에 없는 경우가 있다. 산화막은 전기적 요소간의 전기적 장벽으로 작용하여 전류의 흐름을 방해하게 되는데, 이러한 작용은 소자의 크기가 작아질수록 그 영향이 커지게 되며, 나노 스케일의 구조에서는 정류 작용까지 일으키게 된다.

[0003] 이러한 문제를 해결하기 위해 다른 전기적 요소를 형성 직전에 이온밀링(ion milling)과 같은 식각(etch)처리를 하여 산화막을 제거한 뒤에 진공 챔버 외부로 꺼내지 않은 채 연속된 공정으로서 막질을 형성하여야 한다. 그러나 이러한 방법은 식각 처리와 증착이 연속적으로 처리 가능한 장비를 요구하는데, 이 장비는 개개의 장비보다 훨씬 고가이며 높은 공정처리 비용을 소모한다. 또한 식각 과정 전에 산화막의 두께를 정확하게 파악하여야 본래의 물질의 손상을 최소화할 수 있다. 이러한 고비용의 복잡한 과정은 전자소자의 연구개발에 있어서도 큰 부담으로 작용한다.

발명의 내용

해결 하고자하는 과제

- [0004] 본 발명의 실시 예들에 따르면, 전자소자의 제조에서 산화막 형성에 따른 전자적 요소들 간의 전기적 접촉 특성 악화를 억제할 수 있는 방법이 제시된다.
- [0005] 또한 본 발명의 실시 예들에 따르면, 전자소자의 제조에 있어서 하부 적층물의 표면 굴곡에 따른 상부 물질층의 물리적 비평면적 구조의 형성을 방지할 수 있는 방법을 제시한다.
- [0006] 본 발명의 한 유형에 따른 전자 소자의 제조방법:은
- [0007] 기관의 일면에 소정 패턴의 그루브를 형성하는 단계;
- [0008] 상기 그루브에 제1전자물질을 채워 넣어 제1물질층을 형성하는 단계;
- [0009] 상기 기관 일면 위에, 상기 제1전자물질에 비해 산화가 용이한 제2전자물질에 의한 소정 패턴의 제2물질층을 형성하는 단계;를 포함한다.
- [0010] 한 실시 예에 따르면, 상기 제1물질층은 도전성물질이며, 상기 제2물질은 강자성물질이다.
- [0011] 다른 실시 예에 따르면, 상기 제1물질층을 형성하는 단계는 제1물질층의 표면이 상기 기관의 표면과 실질적으로 일치하도록 하는 단계를 더 포함할 수 있다.
- [0012] 또 다른 실시 예에 따르면, 상기 제2물질층은 외부에 굴곡을 가지지 않는 직선적이며 평탄한 구조를 가진다.
- [0013] 또 다른 실시 예에 따르면, 상기 그루브를 형성하는 단계는 상호 마주 대하는 적어도 한 조의 그루브를 형성하며, 상기 제1물질층을 형성하는 단계는 상기 한조의 그루브에 제1전자물질을 채워 넣는다.
- [0014] 또 다른 실시 예에 따르면, 상기 그루브를 형성하는 단계:는 상기 그루브에 대응하는 개구부를 가지는 마스크층을 형성하는 단계;와 개구부에 노출된 기관의 표면을 소정 깊이 식각하는 단계;를 포함한다.
- [0015] 또 다른 실시 예에 따르면, 상기 마스크 층을 형성하는 단계:는 상기 기관에 마스크물질 막을 형성하는 단계;상기 마스크물질 막에 상기 개구부에 대응하는 영역을 제거하는 단계;를 포함한다.
- [0016] 또 다른 실시 예에 따르면, 상기 마스크 층을 형성하는 단계에서 상기 개구부에 대응하는 영역을 제거하는 단계:는 상기 마스크물질 막을 포토리소그래피, 전자빔 리소그래피, 이온빔에 의한 노광 단계와 현상 단계를 더 포함할 수 있다.
- [0017] 또 다른 실시 예에 따르면, 상기 제1물질층을 형성하는 단계는: 상기 그루브에 대응하는 개구부를 가지는 희생층을 형성하는 단계; 제1전자물질을 상기 희생층과 희생층의 개구부에 노출된 상기 기관의 그루브에 증착하는 단계; 상기 희생층을 제거하여 상기 그루브 내에 상기 제1전자물질에 의한 제1물질층을 얻는 단계;를 포함할 수 있다.
- [0018] 본 발명의 다른 유형에 따른 전자소자:는
- [0019] 일면에 그루브가 형성되는 기관;
- [0020] 상기 그루브 내에 형성되는 제1물질층; 그리고
- [0021] 상기 제1물질층에 접촉하는 것으로 제1물질층에 비해 산화가 용이한 물질로된 제2물질층;을 구비한다.
- [0022] 한 실시 예에 따르면, 상기 그루브는 상기 기관에 복 수개 마련되며, 상기 제2물질층은 인접한 두 그루브의 제1물질층들에 그 양측 저면이 접촉될 수 있다.
- [0023] 다른 실시 예에 따르면, 상기 제1물질층의 표면은 상기 기관의 표면과 실질적으로 일치한다.
- [0024] 또 다른 실시 예에 따르면, 상기 제1물질층은 전극이며, 상기 제2물질층은 강자성층이다.
- [0025] 또 다른 실시 예에 따르면, 상기 제2물질층은 전체적으로 평탄한 저면과 상면을 구비한다.
- [0026] 본 발명의 다른 유형에 따른 메모리 소자는 상기 전자소자를 포함한다.

발명의 실시를 위한 구체적인 내용

- [0027] 이하, 첨부된 도면을 참조하면서, 본 발명에 따른 전자 소자 및 그 제조방법에 대해 상세히 설명한다.

- [0028] 도 1은 본 발명에 따른 전자소자의 기본적인 구조를 도시한다.
- [0029] 전자소자는 기판(1)과 기판(1) 위에 형성되는 기능층(2)을 포함한다. 기능층(2)의 양단 하부는 기판(1)의 그루브(1a)에 매립되어 있는 두 전극(3)에 접촉되어 있다. 두 전극(3)은 고 전도성 물질로서 산화가 잘 되지 않는 재료, 예를 들어 금(Au)으로 형성될 수 있다.
- [0030] 상기 기능층(2)은 단순한 전기적인 경로의 제공수단이 아닌 전자소자에 관련된 고유의 기능, 예를 들어 전류의 제어나 정보의 기록 등의 기능을 가질 수 있다. 상기와 같은 구조에서, 상기 기능층(2)은 주어진 기능상 불가피하게 산화가 잘되는 재료, 예를 들어 Fe를 포함할 수 있다. 구체적으로 강자성 재료로서 퍼말로이(Permalloy)를 포함할 수 있다. 그 외에도 대기 중에 노출되었을 때에 산화가 쉽게 되는 어떠한 물질로서 기능층(2)이 형성될 수 있다. 기능층(2)은 단순한 전기적 경로가 아닌 특정한 기능을 수행하며, 이러한 기능수행을 하기 위한 특정한 물질이 포함될 수 있으며, 대개는 대기 중에 노출되었을 때에 산소에 대해 취약한 산화용이 물질을 포함할 수 있다. 산화용이 물질은 대기 중에 노출되었을 때 산소와 쉽게 결합하여 그 표면에 얇은 산화막이 형성될 수 있는데, 이 산화막이 전자 이동 경로 상에 위치하는 경우 전자의 이동을 방해할 수 있다. 이러한 이동의 방해는 소자가 미세화될수록 크게 나타나며, 전술한 바와 같이 이 산화막은 정류작용까지 일으킬 수 있다.
- [0031] 그러나, 본 발명에 따른 전자 소자, 즉 도 1에 도시된 바와 같이 기능층(2)이 전극(3)의 위에 마련되는 경우, 산소가 희박한 진공 챔버 내에서 기능층(2)이 형성될 때에 기능층(2)의 산화는 발생치 않고 전극(3)과 기능층(2)이 직접 접촉하게 된다. 즉, 구조적으로 산화가 용이한 기능층(2)이 전극(3)의 위에 형성되고 따라서 전극(3)보다 후공정 하에서 얻어지므로 전극(3)과의 접촉이 이루어질 기능층(2)의 대기 중 노출이 방지된다.
- [0032] 상기 기능층(2)은 기판(1)의 평탄한 표면 위에 형성되어 있으며, 따라서 그 상면과 저면이 굴곡이 없이 평탄하다. 이러한 평탄성은 자벽의 이동이 요구되는 자성 메모리 소자에서 중요하다. 즉, 평탄하지 않은 기능층(2)은 자벽 이동의 흐름을 방해한다. 따라서, 본 발명에 따른 전자 소자의 또 하나의 구조적 특징은 전극(3)이 기판(1)에 매립되어 있고 따라서 기능층(2)이 형성되는 면, 즉 전극(3)의 표면 및 기판(1)의 표면이 실질적으로 일치함으로써, 기능층(2)의 저면과 상면의 왜곡이 없는 완전히 평면적으로 형성될 수 있다.
- [0033] 이러한 완전한 평면적 형상은 자성 물질뿐 아니라 여타의 다른 물질에 의한 기능층(2)에도 유효할 수 있다.
- [0034] 이하, 본 발명의 일 실시 예에 따른 전자 소자의 제조방법을 단계적으로 설명한다. 이하에서, 편의상 도 1에 도시된 전자 소자의 제조에 관련하여 설명되며, 그러나 도 1에 도시된 전자 소자의 제조에 국한되지 않음은 자명하다.
- [0035] 도 2a에 도시된 바와 같이, 기판(10)을 준비한다. 기판(10)으로 예를 들어 Si 기판(웨이퍼)을 사용할 수 있다.
- [0036] 도 2b에 도시된 바와 같이, 기판(10)의 표면에 레지스트(11)을 코팅하여 마스크 층(11)을 형성한다. 이 공정에서는 일반적인 스핀 코터가 이용될 수 있다. 레지스트는 광, 전자빔 등에 대해 감응성을 가지는 것으로 잠상형성 방법에 따라 이에 대응하는 물질들로부터 적절히 선택된다.
- [0037] 도 2c에 도시된 바와 같이 상기 마스크 층(11)을 노광한다. 이때에 노광되는 영역(11a)은 전술한 그루브(1a)에 대응하는 것이다. 이러한 공정에는 공지의 포토 리소그래피, 전자빔 리소그래피, 집중이온빔 리소그래피 등 다양한 기술이 적용될 수 있다.
- [0038] 도 2d에 도시된 바와 같이 상기 마스크 층(11)의 노광 부분을 에칭트로 현상하여 상기 그루브에 대응하는 개구부(11b)를 형성한다.
- [0039] 도 2e에 도시된 바와 같이 상기 마스크 층(11)의 개구부(11b)를 통하여 기판(1)의 노출부분을 식각하여 그루브(11a)를 형성한다. 이때에는 에칭트를 이용한 습식식각 또는 RIE(Reactive Ion Etching) 등의 건식식각법이 이용될 수 있다.
- [0040] 도 2f에 도시된 바와 같이, 상기 마스크 층(11)을 제거하여, 식각에 의해 얻어진 그루브(10a)를 가지는 기판(10)을 얻는다.
- [0041] 도 2g에 도시된 바와 같이, 상기 기판(10)의 표면에 레지스트를 코팅하여 희생층(12)을 형성한다.
- [0042] 도 2h에 도시된 바와 같이, 상기 희생층(12)에서 기판(10)의 그루브(11a)에 대응하는 영역(12a)을 노광한다.
- [0043] 도 2i에 도시된 바와 같이, 상기 희생층(12)을 현상하여 노광된 영역을 제거하여 상기 그루브(10a)에 연속되는

개구부(12b)를 형성한다.

- [0044] 도 2j에 도시된 바와 같이, 제1전자물질, 예를 들어 금(Au)을 증착하여 제1전자물질층(13)을 형성한다. 제1전자물질층(13)은 상기 그루브(10a)에 채워진 제1물질층(13a)과 희생층(12)의 표면에 형성된 제1물질층(13b)을 포함한다. 이때에, 증착 두께는 그루브(10a)의 깊이와 동일하게 하여, 그루브(10a)내의 제1물질층(13a)의 표면과 기판(10)의 표면이 일치되도록 한다. 이러한 두께의 조절은 반복적인 시행착오적 실험으로부터 얻어질 수 있다.
- [0045] 도 2k에 도시된 바와 같이, 리프트 오프법에 의해 상기 희생층(12)과 그 위의 제1물질층(13b)을 제거하여, 그루브(10a)에 매립된 제1물질층(13a)을 얻는다. 이 제1물질층(13a)은 전술한 전극(3)에 해당한다.
- [0046] 도 2l에 도시된 바와 같이, 상기 기판(10)을 덮는 희생층(14)을 레지스트를 스핀 코팅하여 형성한다.
- [0047] 도 2m에 도시된 바와 같이, 상기 희생층(14)의 일부 영역(14a)을 노광한다. 이때에 노광영역은 전술한 기능층(2)에 대응하며, 따라서 하부의 제1물질층(13a, 13a)을 공히 덮는 영역이 노광된다.
- [0048] 도 2n에 도시된 바와 같이 상기 희생층(14)의 일부 영역(14a)을 제거하여 상기 기능층(2)의 형상에 대응하는 개구부(14b)를 얻는다. 따라서 개구부의 바닥으로는 기판(10)의 그루브(10a)에 매립된 제1물질층(13a, 13a)의 표면이 노출된다.
- [0049] 도 2o에 도시된 바와 같이, 제2전자물질층(15)을 희생층(14)의 표면에와 개구부(14b)를 통해 드러난 기판(10) 및 제1물질층(13a)의 표면에 증착한다. 제2전자물질층(15)은 예를 들어 니켈과 철의 합금이 퍼달로이를 이용할 수 있다. 제2전자물질층(15)은 기판(10)과 제1물질층(13a)의 표면에 형성된 제2물질층(15a)과 희생층(15b)의 위에 형성되는 제2물질층(15b)을 포함한다. 상기 제2전자물질층(15)의 증착은 산소가 희박한 진공 챔버 내에서 진행되며, 따라서, 제2전자물질층(15)이 증착되는 과정에서 산화가 일어나지 않는다. 따라서, 개구부(14a) 내의 제2물질층(15a)은 그 하부의 제1물질층(13a)의 사이에는 산화막이 존재하지 않는다.
- [0050] 도 2p에 도시된 바와 같이, 리프트 오프법에 의해 상기 희생층(14)과 그 위의 제2물질층(15b)을 제거하여, 도 2q에 도시된 바와 같은 전자 소자를 얻는다. 도 2p 및 도 2q에 도시된 바와 같이, 제2물질층(15a)은 전술한 기능층(2)에 해당한다.
- [0051] 위와 같은 과정을 통해 제2전자물질층(15)의 증착 후, 기판(10)이 리프트 오프과정으로 옮겨지는 과정에서 제2전자물질층(15)은 대기 중에 노출될 수 있고, 이 과정에서 제2전자물질층(15)의 표면에 산화막이 형성될 수 있다. 그러나, 제1물질층(13a)과 제2물질층(15a)은 이미 기밀하게 접촉되어 있으므로 이들 사이에는 산화막이 형성되지 않는다. 따라서 제1물질층(13a)과 제2물질층(15a)사이에는 전자의 흐름 등을 방해하는 경계가 발생하지 않는다.
- [0052] 위에서 설명된 전자소자의 제조 방법은 제1물질층과 제2물질층간의 산화막 형성을 억제 또는 방지하는 방법을 보여준다. 산화막 형성의 억제 및 방법은 산화가 잘되지 않는 제1물질층을 형성한 후, 산화가 잘되는 제2물질층을 그 위에 형성함으로써, 산화가 잘되는 물질층이 대기 중에 노출되더라도 제2물질층과 제1물질층간의 접촉 부위가 대기로부터 보호될 수 있게 한다. 이러한 보호는 전기적/물리적으로 상호 연결되는 두 개의 물질층 중, 산화가 잘되는 물질층이 적층 구조의 상위에 마련되는 구조적 특징에 따른다.
- [0053] 이러한 본 발명에 따른 전자 소자 및 그 제조 방법은 다양한 응용분야에 적용이 가능하다. 예를 들어, S.S. Parkin 그룹에서 고안(Magnetic Race-Track Memory: Current Induced Domain Wall Motion)한 것으로서, 자벽 이동(domain wall motion)을 이용한 스핀 메모리 소자에 적용될 수 있다. 즉, 그 하부에 전극(제1물질층)이 형성되는 강자성체(제2물질층)에 인위적으로 자벽을 형성하고 여기에 상기 제1물질층인 전극을 통해 전류를 주입시켜 강자성체로 된 제2물질층(또는 기능막)의 자벽을 이동시키는 구조의 메모리 소자의 제조에 응용될 수 있다.
- [0054] 종래의 구조 및 방법에 따르면, 전극이 강자성체의 위에 마련되어 있고, 따라서 전극 형성시 강자성체가 대기 중에 노출됨으로써 불요한 산화막이 형성되게 되는데, 따라서 전극 형성 전에 산화막을 제거하여야 한다. 그러나, 강자성체의 손상이 없이 산화막을 제거하기 위해서는 매우 정밀한 식각 프로파일(etch profile)이 요구되며, 그리고, 에칭 이후 진공 챔버에서 꺼내게 되면 재차 산화가 일어나므로, 식각 후 인시튜로 전극을 형성하는 장비가 요구된다. 이러한 장비의 요구는 고비용의 부담을 주며, 이러한 부담은 연구 근접성을 저하시킨다. 한편, 산화가 용이한 물질층을 캡핑 레이어에 의해 보호하는 방안이 있으나, 이때에 우수한 막질의 캡핑 레이어가 요구되며, 역시 이를 위한 고가의 장비가 요구된다. 그러나, 본 발명에 따르면, 산화가 잘되는 막을 전극

형성 후에 형성하므로 위와 같은 문제가 발생치 않는다.

[0055] 이상에서 설명한 본 발명의 상세한 설명에는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 본 발명의 보호범위는 상기 실시예에 한정되는 것이 아니며 해당 기술 분야의 통상의 지식을 갖는 자라면 본 발명의 사상 및 기술영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

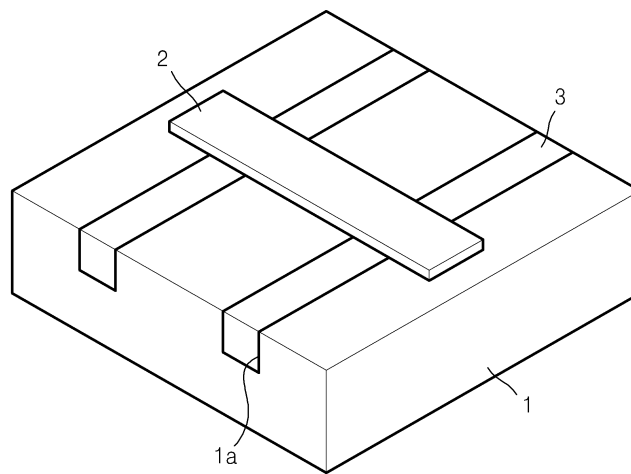
도면의 간단한 설명

[0056] 도 1은 본 발명의 일 실시 예에 따른 전자 소자의 개략적 사시도이다.

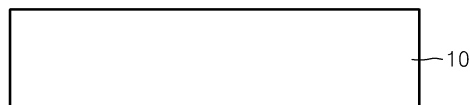
[0057] 도 2a 내지 도 2q는 본 발명의 일 실시 예에 따른 전자 소자의 제조 공정도이다.

도면

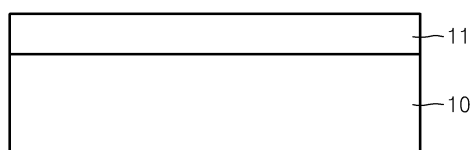
도면1



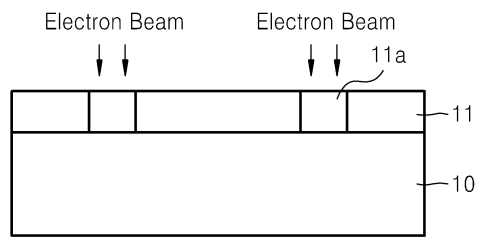
도면2a



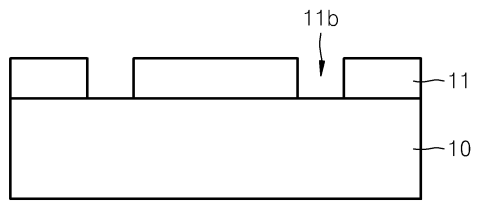
도면2b



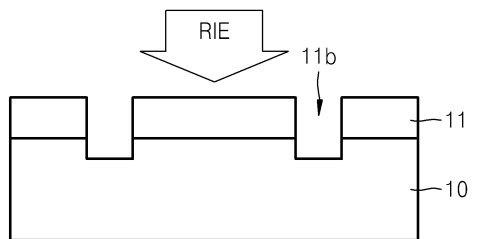
도면2c



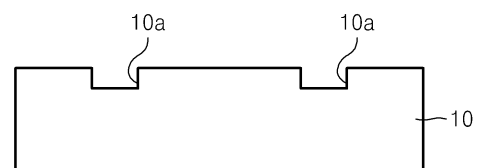
도면2d



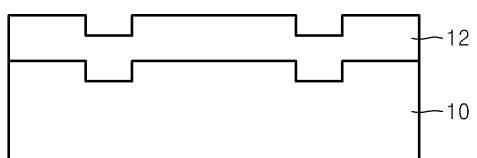
도면2e



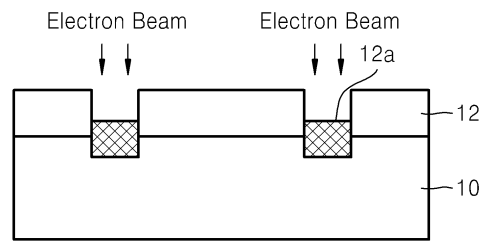
도면2f



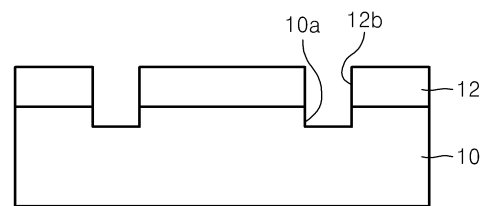
도면2g



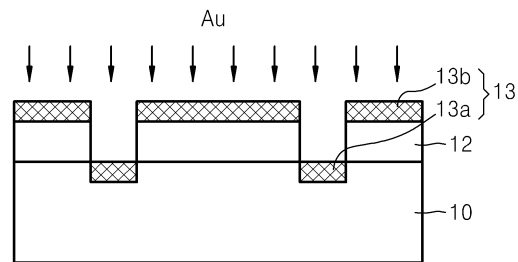
도면2h



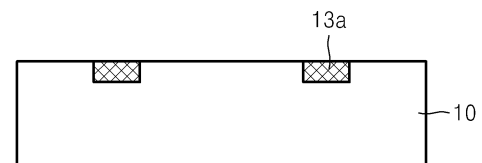
도면2i



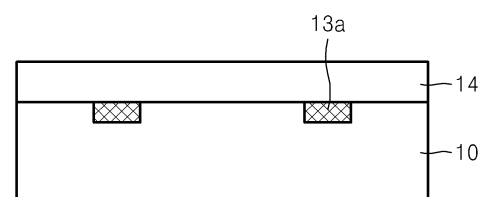
도면2j



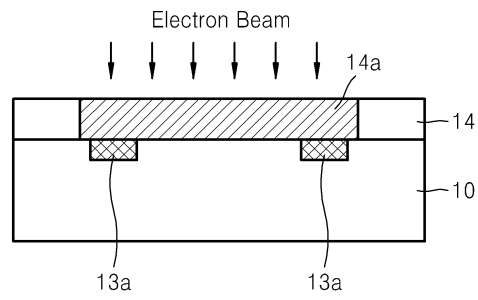
도면2k



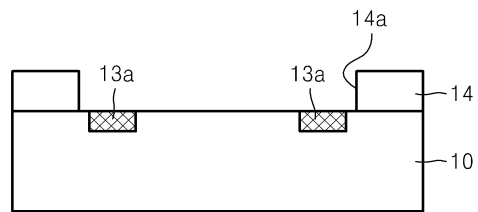
도면2l



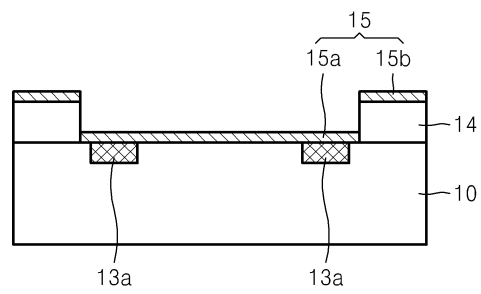
도면2m



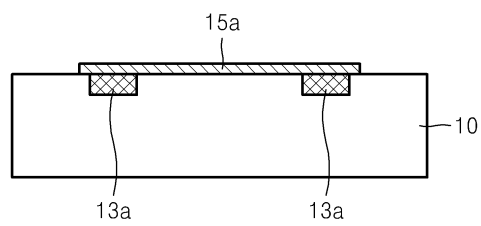
도면2n



도면2o



도면2p



도면2q

