

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/304

(45) 공고일자 1999년06월 15일

(11) 등록번호 10-0201035

(24) 등록일자 1999년03월 11일

(21) 출원번호	10-1996-0027740	(65) 공개번호	특1997-0013084
(22) 출원일자	1996년07월 10일	(43) 공개일자	1997년03월 29일
(30) 우선권주장	8/517,782 1995년08월 22일 미국(US)		

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘

미국 10504 뉴욕주 아몬크

(72) 발명자 존 에드워드 크로닌

미합중국 05468 버몬트주 밀톤 알. 디. 넘버3 박스 3254

카터 웰링 칸타

미합중국 05446 버몬트주 콜케스터 그랜드뷰 모텔 로드

(74) 대리인 장수길

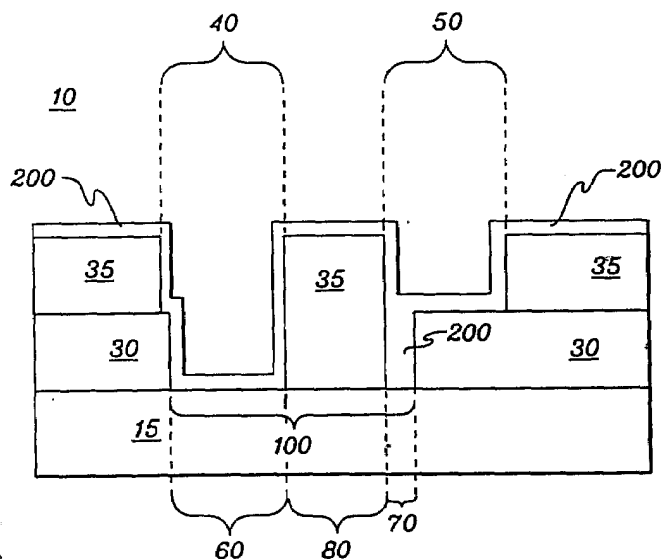
심사관 : 박형식

(54) 자동 정렬 야금술

요약

포토리소그래픽 패터닝 동안 콘택 개구에 대한 금속 라인 이미지의 오정렬 및 바람직하지 않은 중첩에 기인된 반도체 구조 내의 바람직하지 않은 서브리소그래픽 콘택 홀 결함을 채우는 방법이 제공된다. 따라서, 이러한 결함들을 통한 도전성 금속층들 사이의 의도되지 않은 콘택이 제거된다. 또한, 본 방법은 하부 금속층에 대한 콘택이 요구될 때 통하여야 하는 스타드 비어 접속의 후속 형성을 위한 라인 및 콘택 홀의 자동 정렬을 역시 제공한다. 적응성 희생 재료막을 증착시키는 것은 형성된 작고 바람직하지 않은 서브리소그래픽 콘택 홀 이미지를 채우며, 또 오정렬된 라인 이미지와 콘택 개구들이 에칭될 때 통하여야 하는 마스크 표면 양자 모두를 피복한다. 등방성 에칭은 바람직하지 않은 서브리소그래픽 콘택 홀 이미지의 표면을 제외한 모든 평면으로부터 적응성 층을 제거한다. 하부 절연층으로의 전사는 하부 기판 금속과의 콘택이 요구될 때 통하여야 하는 콘택 홀만 형성하는 결과를 가져온다. 경우에 따라서, 본 발명 방법은 바람직하지 않은 서브리소그래픽 콘택 홀 이미지가 하부 기판 금속까지 절연층 안으로 에칭된 다음 실시될 수 있다. 또한, 내부에 금속을 갖는 기판 상부에 배치된 절연층 상부에 있는 단일 마스크층내의 서브리소그래픽 결함의 전사가 역시 회피될 수 있다.

대표도



명세서

도면의 간단한 설명

제1도는 종래 기술의 듀얼 대머시닝(dual damascening) 프로세스에 따라 형성된 구조를 도시하는 반도체 구조의 부분 단면도.

제2도는 섹션 A 내지 E로 표시된 바와 같이 최소 라인 이미지 크기 M을 사용하여 라인 이미지가 콘택 개구(opening)를 중첩하는 5가지 다른 경우의 포토리소그래픽 이미지를 도시하는 일련의 듀얼 대머신 구조(dual damascen structure)의 평면도.

제3도는 크기 M인 콘택 개구에 대한 라인 이미지의 오정렬을 도시하도록 라인 B-B를 따라 취해진 제2도의 섹션 B의 듀얼 대머신 구조의 부분 단면도.

제4도는 라인 이미지와 폭이 2M인 콘택 개구 사이의 바람직하지 않은 중첩을 도시하도록 라인 E-E를 따라 취해진 제2도의 섹션 E의 듀얼 대머신 구조의 부분 단면도.

제5도는 본 발명의 방법을 도시하는 듀얼 대머신 구조의 부분 단면도.

제6도는 본 발명의 방법에 따른 등방성 에칭(isotropic etching)에 의해 서브리소그래픽(sublithographic) 콘택 이미지를 제외한 모든 표면으로부터 적응성 희생 재료층(conformal sacrificial material layer)이 제거된 후 결과된 제5도의 양호한 실시예를 도시하는 반도체 구조의 부분 단면도.

제7도는 본 발명의 방법에 따라 절연층 내에 소망 콘택 홀 및 홈들을 형성하도록 후속 프로세싱한 후 결과된 제6도의 양호한 실시예를 도시하는 반도체 구조의 부분 단면도.

제8도는 본 발명의 방법에 따라 제1 및 제2 마스크를 제거하고, 금속을 증착시키며, 또 제거 및 동평면화(coplanarization)한 후 결과된 제7도의 양호한 실시예를 도시하는 반도체 구조의 부분 단면도.

제9도는 바람직하지 않은 서브리소그래픽 콘택 홀이 절연층 내에 정해지는 때의 본 발명의 방법을 도시하는 반도체 구조의 부분 단면도.

제10도는 본 발명의 방법에 따른 등방성 에칭에 의해 바람직하지 않은 서브리소그래픽 콘택 홀을 제외한 모든 표면들로부터 적응성 희생 재료막을 제거한 후 결과된 제9도의 양호한 실시예를 도시하는 반도체 구조의 부분 단면도.

제11도는 바람직하지 않은 서브리소그래픽 개구가 절연층 상부의 단일 마스크층 내에서 발견된 때의 본 발명의 방법을 도시하는 반도체 구조의 부분 단면도.

제12도는 본 발명의 방법에 따라 등방성 에칭에 의해 바람직하지 않은 서브리소그래픽 개구를 제외한 모든 평면으로부터 적응성 희생 재료막을 제거한 후 결과된 제11도의 양호한 실시예를 도시하는 반도체 구조의 부분 단면도.

* 도면의 주요부분에 대한 부호의 설명

15 : 절연층	30 : 제1 마스크층
35 : 제2 마스크층	40 : 제2 라인 이미지
50 : 제1 라인 이미지	60 : 소망 콘택 홀 이미지
70 : 바람직하지 않은 서브리소그래픽 콘택 홀 이미지	
100 : 콘택 개구	130 : 스태드 비어 접속
140 : 금속 라인	200 : 적응성 희생 재료막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 소자 제조 방법에 관한 것으로, 특히 다중층 반도체 소자 내에서의 고밀도 금속 라인의 오정렬(misalignment) 및 바람직하지 않은 중첩에 의해 야기되는 서브리소그래픽 금속 콘택 홀 결함을 충전(filling)시키는 방법에 관한 것이다. 또한, 본 발명은 콘택이 하부 금속층에 대해 요구될 때 통하여야 하는 콘택 홀과 라인의 자동 정렬을 역시 제공한다.

동일 실리콘 웨이퍼 상에 근접 배치된 집적 회로를 형성하는 방법은 잘 알려져 있는데, 이에는 상기 회로의 도전성 상호 접속을 위한 기술이 있다. 전통적인 상호 접속 기법은 소망 배선층을 형성하기 위하여 패터닝된 배선 야금술(patterned wire metallurgy)을 사용한다. VLSI 소자에서는 금속 패턴들이 다중층화되어 절연 재료층에 의해 분리된다. 다른 층의 금속 배선 패턴들 사이의 상호 접속은 콘택 홀[또는 비어(via)]에 의해 행해지는데, 이들은 절연 재료층을 관통하여 에칭되며, 또 스태드 비어 접속(stud via connection)을 형성하도록 금속화(metallization) 단계에 의해 채워진다.

Chow 등에게 하여되고 본 발명과 동일한 양수인에게 양도된 미합중국 특허 제4,789,648호에 설명된 바와 같이, 다중층 VLSI 칩에서는 패터닝된 도전성 라인들이 절연층을 통한 하부 금속층까지의 스태드 비어 접속과 동시에 형성될 수 있다. 도 1은 콘택이 요구되는 패터닝된 금속층(20) 상에 제1 절연층(15)가 증착된 반도체 구조(10)를 도시한다. 다음에 스태드 비어 접속을 형성하기 위해 사용될 콘택 홀 또는 비어(25) 들은 제1 절연층(15)를 덮고 있는 에치 스탑 재료(etch stop material) 또는 포토리지스트(photoresist)와 같은 제1 마스크층(30) 내에서 포토리소그래피에 의해 정해진다. 상부에 포토리지스트

또는 에치 스탱 재료일 수 있는 제2 마스크층(도시되지 않음)이 뒤 따르는 제2 절연층(115)가 제1 마스크층(30) 상부로 증착된다. 제2 절연층(115)는 소망 배선 라인 또는 홈(40 및 50)을 정하도록 제1 마스크층(30)까지 포토리소그래피에 의하여 에칭되는데, 이들 중 몇몇은 앞서 형성된 콘택 홀(25)와 정렬된다. 정렬은 표준 정렬 수단에 의해 수행된다. 콘택 홀(25)가 노출되는 곳에서는 하부 기판 금속층(20)이 노출되도록 제1 절연층(15) 안으로 에칭이 계속된다. 콘택홀이 요구되지 않는 곳에서는 에칭이 제1 마스크층(30) 상부에서 멈추며, 제2 마스크층(도시되지 않음)이 제거된다. 그 다음으로, 라인(40 및 50)과 콘택 홀(25)들은 금속으로 과도하게 채워지며, 이러한 여분의 금속은 에칭 또는 화학 기계적 연마 기술(chemical mechanical polishing technique)에 의해 제거된다. 이에 따라 금속 라인(140) 및 스텔드 비어 접속(130)을 갖는 소자(10)이 형성된다. 상기 개시된 에칭 및 마스크킹 시퀀스(sequence)와 후속 금속 증착 및 평탄화 기술들은 하나의 마스크가 사용되는 경우는 대머신 기술로 일반적으로 공지되며, 또 2개의 마스크가 사용되는 때에는 듀얼 대머신 기술로서 일반적으로 알려져 있다.

대안적인 듀얼 대머신 실시예(도시되지 않음)에서, 제2 절연층(115)가 제1 마스크층(30) 상부로 증착되지 않는다. 그 대신에, 포토리소그라피 또는 에치 스탱 재료를 포함하는 제2 마스크층이 제1 마스크층(30) 상부에 바로 배치된다. 콘택 홀이 노출되지 않는 곳에서는 라인(40 및 50)들이 제2 마스크층, 하부 제1 마스크층(30)을 통하여 에칭되며 또 제1 절연층(15)을 통하여 절반만큼 에칭된다. 콘택 홀(25)들은 라인(40)이 앞서 에칭된 콘택 개구와 정렬된 곳에서 제1 절연층(15)을 통하여 정해진다. 그 다음으로, 양자 모든 마스크가 제거되며 프로세스에 따라 상술한 바와 같이 라인 및 콘택 홀 만으로의 금속 피착이 계속된다.

각각의 층들이 다양한 도전성 소자를 갖는 다중층 소자에서, 의도되지 않은 층들간의 콘택은 반도체 소자의 전기적 단락 및 실패를 초래할 수 있다. 예를 들어, 주어진 소자에서 하단층의 몇몇 도전성 금속 소자들은 인접 상단층의 도전성 금속 소자들과 콘택되도록 설계되는 반면에, 다른 층의 도전성 금속 소자들은 다른 기능을 수행하며 또 상단층 소자들로부터 격리되도록 남겨져야만 하는데, 이는 종종 흔히 발생하는 상황이다.

다음에 설명되는 바와 같이, 특히 본 명세서에서 설명되는 듀얼 대머신 구조에서는 라인 이미지(line image)라는 용어는 제1 마스크층(30)을 통하여 제1 절연층(15)로 전사(translation)되기 전에 제1 마스크층(30) 상부의 제2 마스크층 내에 정해지는 개구(40 및 50)을 의미한다. 라인 또는 홈(groove)들은 제1 마스크층(30)을 통하여 제1 절연층(15) 안으로 에칭되며, 후속적으로 금속 라인 또는 도전성 금속 소자들을 형성하도록 금속으로 채워지는 라인 이미지(50) 하부의 개구들을 의미한다. 콘택 개구라는 용어는 라인 이미지 형성 전에 후속적으로 제2 마스크층을 사용하여 채워질 수 있는 제1 마스크층(30) 안으로 초기에 에칭되는 개구를 말한다. 콘택 홀 이미지 또는 비어 이미지라는 용어는 라인 이미지가 중첩하거나 또는 콘택 개구와 정렬되는 곳에 정해지는 개구를 의미한다. 콘택 홀은 라인 이미지/콘택 개구 중첩 하부에 놓이며 또 제1 절연층(15)을 통하여 기판 금속(20)에 전사되는 개구이다. 그 다음으로, 콘택 홀들은 금속으로 채워지고 또 스텔드 비어 접속을 형성하도록 평탄화 된다. 스페이스(space)는 인접 금속 라인 또는 라인 이미지들을 측면 상으로 분리시키는 재료이다.

제2도는 라인 이미지들이 포토리소그래픽적으로 정해지며 최소 이미지 크기 M 을 갖는 5가지 다른 경우의 라인 이미지/스페이스/라인 이미지 조합을 갖는 듀얼 대머신 구조를 도시하는 평면도이다. 섹션 A로 도시된 제1 경우, 라인 이미지(40)는 하부 콘택 개구(110a)에 완벽하게 정렬되며, 또 최종 콘택홀 이미지 크기(60a)는 $M \times M$ 크기를 갖는다. 그러나, 완벽한 정렬은 라인 이미지(40)와 콘택 개구(100a) 양자 모두를 생성할 때 존재하는 웨이퍼 표면에 생기는 허용오차 및 바이어스 Δ 에 기인하여 일반적으로 달성되지 않는다. 섹션 B는 콘택 개구(100b) 상의 라인 이미지(40)의 오버레이(overlay)가 최종 콘택 홀 이미지(60b)에서와 같이 최소 이미지 크기의 절반 또는 $M/2$ 인 가장 양호하지 않은 경우를 도시한다. 예를 들어, $1 \mu \times 1 \mu$ 콘택 개구(100b)인 경우, 전체 웨이퍼 표면에 걸쳐 약 $1/2 \mu$ 인 가장 바람직하지 않은 오버레이의 결과가 된다. 섹션 B의 가장 양호하지 않은 경우의 정렬은 라인 B-B를 따라 취해진 표준 듀얼 대머신 다중 리지스트 구조(10)의 다면도를 도시하는 제3도에 더 도시된다. 콘택 홀(100b)을 정하는데 사용되는 제1 리지스트(resist)(30)은 라인 이미지(40 및 50)을 정하는데 사용되는 제2 리지스트(35) 하부에 놓인다. 도시된 바와 같이, 리지스트 이미지의 오정렬은 콘택 홀 이미지(60b)의 최종 크기가 M 으로부터 $M/2$ 로 줄어들게 한다.

상기 언급된 문제를 회피하고 또 최대 콘택 홀 크기를 보장하기 위하여, 제1 리지스트(30) 내의 콘택 개구(100)은 초기에 $2M \times M$ 인 크기를 갖는 콘택 개구(100)을 형성하도록 x 축 양방향으로 약 $M/2$ 까지 더 크게 만들어진다. 만일 콘택 개구(100c)가 라인 이미지(40)와 완벽하게 정렬된다면, 제2도의 섹션 C에 도시된 평면도가 얻어질 것이다. 그러나, 섹션 D에 도시된 바와 같이 오버레이가 $M/2$ 인 가장 바람직하지 않은 오정렬인 경우, $2M$ 인 콘택 개구(100d)는 인접 스페이스(80)를 쉽게 중첩한다. 따라서, 크기 M 인 중첩이 라인 이미지(40)와 콘택 개구(100d) 사이에 이루어지며, 또 콘택 홀 이미지(60d)는 $M \times M$ 인 최종 크기를 갖는다.

그러나, 실제로는 웨이퍼 표면에 걸친 바이어스 및 허용오차에 기인하여 웨이퍼에 형성된 콘택 홀 이미지 및 라인 이미지들의 크기는 편차를 갖는다. 만일 라인 이미지(40) 또는 콘택 홀 이미지(60)의 크기가 바이어스 Δ 에 기인하여 최소 이미지 크기 M 을 초과하여 증가한다면, 의도되지 않은 중첩이 발생하며, 따라서 콘택 홀 이미지(70)이 다음에 하부 절연체로 전사되는 때에 하부 기판 금속과 의도되지 않은 콘택이 만들어진다. 이는 제2도의 섹션 E에 도시되며, 콘택 홀 이미지(60e 및 70)으로 도시된다. 예를 들어, 만일 0.1μ 인 바이어스에 기인하여 편차가 생긴다면, $M=1 \mu$ 인 경우 $1 \mu \times 100 \mu$ 인 크기를 갖는 라인 이미지(40 및 50)의 폭 내에 웨이퍼의 몇몇 위치에서는 라인이 1.1μ 인 폭을 갖을 수 있으며, 또 다른 위치에서는 0.9μ 인 폭을 갖을 수 있다. 만일 $2M \times M$ 인 크기를 갖는 하부 콘택 개구(100e)가 1.1μ 인 폭을 갖는 라인 이미지(40)와 잘못 정렬된다면, 가장 바람직하지 않은 경우는 기판 금속에 대한 콘택이 의도되지 않은 작은 서브리소그래픽 라인 이미지 영역(70) 아래에 콘택 개구(100e)가 역시 놓이도록 $M/2$ 인 가장 바람직하지 않은 오버레이가 발생할 수 있다. 따라서, 콘택 홀 이미지(70)이 절연층으로 전사되어 금속으로 채워지는 때, 하부 기판 금속과의 양호하지 않은 콘택이 발생한다. 본 명세서에서 사용된 서브리소그래픽이라는 용어는 전형적으로 약 5% 이하이나, 경우에 따라서 10 % 정도로도 클 수 있는 표준 포토리소그래픽 패턴링 기술을 사용하여 형성된 개구보다는 매우 작은 개구를 말한다.

상술된 의도되지 않은 서브리쓰그래픽 콘택은 제4도에 더 도시되는데, 상기 도면에서 라인 E-E를 따라 취해진 제2도의 섹션 E의 단면을 나타내는 표준 듀얼 대머신 구조(10)이 도시된다. 허용 오차 및 바이어스 팩터(bias factor)에 기인하여, 라인 이미지(50)와 콘택 개구(100e) 사이에 의도되지 않은 중첩(70)이 생긴다. 위에서 언급한 바와 같이, 하부 절연체(15)를 통하여 기판 내의 소자 금속에 서브리쓰그래픽 콘택 홀 이미지(70)이 후속적으로 전사되는 것은 소망 콘택의 지점에서의 콘택 홀 뿐만 아니라 기판 금속에 대한 콘택이 요구되지 않는 지점에서 본 명세서에서 서브리쓰그래픽으로 언급되는 매우 작은 콘택 홀들을 [의도되지 않은 중첩 또는 콘택 홀 이미지(70) 내에] 생성하는 결과를 가져온다. 그에 따라, 결과된 콘택 홀이 금속으로 채워지는 때에는 회로 단락 및 실패가 발생한다. 따라서, 금속 증착 전에 절연체(15)를 통하여 전사되는 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지(70) 또는 서브리쓰그래픽 콘택 홀들을 채우는 방법이 요구된다.

금속층 상부에 놓인 절연층 내의 서브리쓰그래픽 표면 결함을 제거하기 위한 종래의 방법에는 결함을 채우도록 제1 절연체 상에 제2 절연막을 증착시키는 단계 다음에 표면을 평탄화하기 위해 화학 기계적 연마 단계가 뒤따르는 방법이 포함된다. 그러나, 만일 바람직하지 않은 서브리쓰그래픽 표면 결함 이외에 하부 금속에 대해 개방된 채로 남겨져야만 하는 제1 절연체를 통해 에칭된 콘택 홀들이 있다면, 소망 콘택 홀들도 제2 절연막 재료로 역시 채워진 상태로 남겨지기 때문에 상술된 방법은 유용하지 않다.

Cronin 등에게 허여된 미합중국 특허 제5,118,382호는 절연층을 통해 에칭된 콘택 홀 내의 의도되지 않은 언더컷(undercut)들을 채우는 방법을 개시한다. 언더컷은 화학 기상 증착 기법(chemical vapor deposition technique)을 사용하여 실리콘 다이옥사이드(silicon dioxide) 또는 실리콘 나이트라이드(silicon nitride)의 층으로 채워진다. 증착된 충전 재료(fill material)는 콘택 홀에 의해 노출된 하부 기판 표면, 콘택 홀이 에칭될 때 통하게 되는 절연층의 상단 표면, 콘택 홀의 측벽 및 언더컷 등을 포함한 모든 표면을 그 외관을 따라 작용하여 피복된다. 스퍼터 에칭(sputter etching) 후, 비방향성 반응성 이온 플라즈마 에칭(non-directional reactive ion plasma etching)이 채워진 언더컷은 남겨두도록 하면서 모든 피복된 표면으로부터 충전 재료를 제거하도록 사용된다. 충전 재료가 콘택 홀 측벽 및 기판 표면으로부터 제거되기 때문에, 콘택 홀을 통한 기판 금속에 대한 콘택은 여전히 가능하다. 따라서, 콘택 홀이 의도되지 않은 서브리쓰그래픽 콘택 홀인 경우 상기 방법은 더 큰 소망 콘택 홀들을 더 크게 재개방시킬 뿐만 아니라 의도되지 않은 서브리쓰그래픽 콘택 홀을 하부 금속에 대해 역시 재개방시키기 때문에 상기 방법은 효과적이지 않다.

따라서, 듀얼 대머신 시퀀스 동안 절연층에 형성된 의도되지 않은 서브리쓰그래픽 콘택 홀 결함들을 채우는 실제적인 방법이 요구된다. 경우에 따라서, 에칭 전에 이미지들을 채움으로써 상기와 같은 서브리쓰그래픽 콘택 홀들의 절연체 안으로의 전사를 방지하는 방법이 요구된다. 또한, 절연체 상부에 놓인 단일 마스크층의 리쓰그래피 또는 증착 동안 형성된 서브리쓰그래픽 개구들을 채우는 방법이 역시 요구된다. 상기와 같은 방법은 절연체 내에 서브리쓰그래픽 콘택 홀로부터 형성된 스퍼터 비어 접촉을 제거함으로써 금속층들 사이의 의도되지 않은 콘택 양을 줄이게 된다. 상기 방법은 후속 금속 증착을 위하여 개구가 요구되는 곳에서 콘택 홀들이 남아 있는 것을 허용해야만 한다. 또한, 소망 콘택 홀들과 라인들이 자동 정렬되는 것이 필요하다. 마지막으로, 상기 방법은 복잡한 프로세서 단계를 추가하지 않고 실시가 용이하여야 하며, 효율적이고, 또 비용이 많이 들지 않아야 한다.

발명이 이루고자 하는 기술적 과제

간단히 말하면, 본 발명의 한 특징으로 에칭된 라인 이미지와 콘택 개구 사이의 의도되지 않은 오정렬 및 중첩으로부터 포토리쓰그래피 동안 생성된 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지를 채우는 방법이 제공된다. 상기 방법은 (a) 적응성 희생 재료막을 1) 내부에 형성된 콘택 개구를 갖으며, 내부에 금속을 갖는 기판 상부에 배치된 절연층 상에 놓인 제1 마스크층 상부에 배치된 제2 마스크층 상으로, 또 2) 최소 크기 M을 갖으며 또 상기 희생 재료가 채워지는 바람직하지 않은 상기 서브리쓰그래픽 콘택 홀 이미지를 생성하도록 상기 콘택 개구를 중첩하는 상기 제2 마스크층 내에 형성된 제1 라인 이미지 안으로 증착시키는 단계, 및 (b) 상기 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지 내에만 상기 희생 재료가 남겨지도록 상기 적응성 희생 재료막을 등방성 에칭하는 단계를 포함한다.

전형적으로, 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지는 약 0.05 M인 최대 크기값을 갖는다. 콘택 개구는 콘택 홀이 라인 이미지와 M/2 만큼 오정렬된 후 약 M x M인 최종 콘택 영역을 갖도록 생성되는 것을 보장하도록 약 2M인 폭을 갖는다. 마스크들은 실리콘 나이트라이드 또는 알루미늄 옥사이드(aluminum oxide)와 같은 비부식성 재료(non-erodible material) 또는 포토리지스트일 수 있으며, 또는 한 마스크는 포토리지스트인 반면에 다른 마스크는 비부식성 재료일 수 있다.

적응성 희생 재료막을 형성하는데 사용되는 희생 재료는 파릴렌(parylene), 포토리지스트, 또는 폴리이미드(polyimide)와 같은 절연체이다. 희생 재료는 약 0.025 M 또는 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지의 폭 두께의 약 절반 이상인 두께를 갖는 적응성 막을 형성하도록 증착된다. 산소 플라즈마 에칭과 같은 등방성 에칭 기술은 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지는 제외한 모든 표면으로부터 적응성 희생 재료막을 제거하는데 사용된다.

적응성 희생 재료막은 상기 언급된 제1 라인 이미지에 인접한 제2 라인 이미지 안으로 동시에 증착될 수 있다. 제2 마스크층은 M 이하인 거리 N 만큼 제2 라인 이미지를 제1 라인 이미지로부터 측방향으로 분리시킨다. 또한, 제2 라인 이미지는 M과 같은 최소 크기값을 갖는 소망 콘택 홀 이미지를 생성하도록 콘택 개구를 역시 중첩한다.

본 발명의 다른 특징에 따르면, 반도체 구조를 제조하는 동안 소망 콘택 홀 이미지를 형성하며, 또 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지를 채우는 방법이 제공된다. 상기 방법은 (a) 내부에 금속을 갖는 기판 상부에 배치된 절연층 상에 놓인 제1 마스크층 내에 콘택 개구를 형성하는 단계; (b) 상기 제1 마스크층 상부에 또 상기 콘택 개구 안으로 제2 마스크층을 증착시키는 단계; (c) 최소 크기 M을 각각 갖으며, M 이하인 거리 N 만큼 측방향으로 서로 분리되고, 또 하나는 최소 크기 M인 소망 콘택 홀 이미지를 생성하도록 상기 콘택 개구를 중첩하며, 다른 하나는 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지를

생성하도록 상기 콘택 개구를 중첩하는 최소한 2개의 인접 라인 이미지들은 상기 제1 마스크층 상부에 놓인 제2 마스크층 내에 형성하는 단계; (d) 상기 바람직하지 않은 서브리소그래픽 콘택 홀 이미지를 채우는 적응성 희생 재료막을 상기 제2 마스크층 상으로 또 각각의 상기 최소한 2개인 라인 이미지 안으로 증착시키는 단계; 및 (e) 상기 희생 재료가 상기 바람직하지 않은 서브리소그래픽 콘택 홀 이미지 내에만 남도록 상기 적응성 희생 재료막을 등방성 에칭하는 단계를 포함한다.

일반적으로, 바람직하지 않은 서브리소그래픽 콘택 홀 이미지는 약 0.05M인 최대 크기값을 갖는다. 콘택 개구는 전형적으로 약 $M \times M$ 인 최종 콘택 홀 이미지 영역을 제공하기 위하여 약 2M인 폭을 갖는다.

본 발명의 역시 다른 특징에 따르면, 반도체 구조를 제조하기 위한 방법이 제공된다. 적응성 희생 재료막이 증착되어 상술된 바람직하지 않은 서브리소그래픽 콘택 홀 이미지를 채우는 단계에서처럼 등방성 에칭된 후, 소망 콘택 홀 이미지 아래에 놓인 절연층은 콘택 홀을 형성하도록 하부 기판까지 에칭될 수 있다. 또한, 라인 이미지 양자 모두의 아래에 놓인 남겨진 제1 마스크층은 제1 및 제2 홀을 형성하도록 절연층을 통하여 약 절반정도 에칭될 수 있다. 마스크들 양자 모두가 제거되며, 바람직하지 않은 서브리소그래픽 콘택 홀 이미지를 채우는 적응성 희생 재료가 제1 마스크층과 함께 제거된다. 스퍼드 비어 접속과 제1 및 제2 금속 라인을 형성하도록 절연층 상부 및 콘택 홀과 홀 안으로 금속이 증착된다. 여분의 금속은 제거되며 또 스퍼드 비어 접속 및 금속 라인들은 전형적으로 화학 기계 연마에 의해 동평면화 된다.

본 발명의 제4 특징에 따르면, 하부 절연층을 통하여 기판 금속까지 에칭된 서브리소그래픽 콘택 홀들을 채우는 방법이 제공된다. 양호하게는 실리콘 다이옥사이드, 보론-도핑된 실리콘 다이옥사이드, 또는 포스 포러스-도핑된 실리콘 다이옥사이드로 구성된 적응성 희생 재료막이 절연층 상으로 또 서브리소그래픽 콘택 홀 안으로 증착된다. 등방성 에칭은 희생 재료는 절연층 및 모든 다른 표면들로부터 제거하나 서브리소그래픽 콘택 홀 내의 희생 재료들은 남겨둔다. 일반적으로 약 0.05M인 최대 크기값을 갖는 바람직하지 않은 서브리소그래픽 콘택 홀들은: (a) 내부에 금속을 갖는 기판 상부에 배치된 절연층 상에 놓인 제1 마스크층 내에 콘택 개구를 형성하는 단계; (b) 상기 제1 마스크층 상부에 또 상기 콘택 개구 안으로 제2 마스크층을 증착시키는 단계; (c) 최소 크기 M 을 각각 갖으며 또 바람직하지 않은 서브리소그래픽 콘택 홀 이미지를 생성하도록 상기 콘택 개구를 중첩하는 제1 라인 이미지를 상기 제2 마스크층 내에 형성하는 단계; (d) 바람직하지 않은 서브리소그래픽 콘택 홀을 형성하도록 상기 바람직하지 않은 서브리소그래픽 콘택 홀 이미지의 아래에 놓인 상기 절연층을 상기 기판 금속까지 에칭하는 단계; 및 (e) 상기 절연층 상부에 놓인 상기 제1 및 제2 마스크들을 제거하는 단계에 의해 생성된다.

본 발명의 역시 다른 특징에 따르면, 내부에 금속을 갖는 반도체 상부에 배치된 절연층 상부에 놓인 단일 마스크층 내에 형성된 서브리소그래픽 개구를 채우는 방법이 제공된다. 적응성 희생 재료막은 단일 마스크층 상으로 또 바람직하지 않은 서브리소그래픽 개구 안으로 증착되어, 바람직하지 않은 서브리소그래픽 개구를 채우게 된다. 등방성 에칭은 단일 마스크층과 모든 다른 평면으로부터 희생 재료를 제거하나, 바람직하지 않은 서브리소그래픽 개구 내의 희생 재료는 남겨 놓는다.

본 발명은 포토리소그래피 동안 생성된 라인 이미지와 콘택 개구들의 오정렬 및 의도되지 않은 중첩에 의해 야기되는 바람직하지 않은 서브리소그래픽 콘택 홀 이미지들을 채우는 방법에 대한 요구를 충족시킨다. 상기 방법은 바람직하지 않은 서브리소그래픽 콘택 홀 이미지의 하부 절연층으로의 전사 전에 또는 콘택 홀의 에칭후에 수행될 수 있기 때문에 유연성(flexibility)을 갖는다. 또한, 본 발명의 방법에는 $M \times M$ 인 최종 콘택 영역을 갖는 콘택 홀을 제공하기 위하여 소망 콘택 홀 이미지에 대한 형성된 라인 이미지들의 자동 정렬이 포함된다. 따라서, 하부 기판 금속을 갖는 콘택이 요구될때 통하는 콘택 홀들 내에 스퍼드 비어 접속을 형성하는 것이 가능해진다. 또한, 상기 방법은 절연층 상부에 놓인 단일 마스크층의 리소그래피 또는 증착 동안 생성되는 결함 또는 바람직하지 않은 서브리소그래픽 개구들의 전사를 회피할 수 있게 된다.

본 발명은 회로 단락 및 실패와 같은 금속층들 사이의 의도되지 않은 콘택뿐만 아니라 그들과 관련된 문제들이 감소될 수 있다는 장점을 갖는다. 따라서 반도체 소자들을 거의 버리지 않음으로써 제조 비용이 감소될 수 있다. 마지막으로, 본 방법은 반도체 산업에서 이미 사용되는 대머신 및 듀얼 대머신 프로세스에 약간의 별도 프로세싱 단계만을 추가하기 때문에 실시가 용이하며 실제적이다.

발명의 구성 및 작용

본 발명의 선행 및 다른 목적, 특징과 장점들이 첨부된 도면에 도시된 바와 같은 본 발명의 양호한 실시예들에 대한 다음의 더 상세한 설명으로부터 명백해질 것이다.

[본 발명의 최적 실시예]

언급된 바와 같이, 본 발명은 다중층 반도체 소자들 내에 형성된 콘택 개구와의 고밀도 금속들의 바람직하지 않은 중첩 및 오정렬에 의해 야기되는 서브리소그래픽 금속 콘택 홀 결함을 채우는 방법을 제공한다. 또한, 본 방법은 하부 금속층에 대한 콘택이 요구될때 통하는 콘택 홀과 라인들의 자동 정렬을 역시 제공한다. 특히, 콘택 개구가 내부에 금속을 갖는 기판 상에 증착된 절연층 상부에 놓인 제1 마스크 내에 형성된다. 최소 크기 M 을 갖는 라인 이미지가 제1 콘택 개구 마스크 상부에 놓인 제2 마스크 내에 형성된다. 콘택 개구에 대한 라인 이미지의 오정렬에 기인하여, 인접 라인 이미지 아래에 놓인 소망 콘택 홀 이미지 뿐만 아니라 의도되지 않은 서브리소그래픽 콘택 홀 이미지도 생성된다. 증착된 적응성 희생 재료막이 제2 마스크의 상단 표면 상으로 또 라인 이미지 안으로 증착되며, 바람직하지 않은 서브리소그래픽 콘택 홀 이미지를 채우게 된다. 등방성 에칭이 소망 콘택 홀 이미지의 측벽 및 하단면을 포함하여 모든 평면으로부터 적응성 희생 재료막을 제거하도록 충분한 시간 동안 수행된다. 일반적으로, 표면상의 희생막의 종단점(endpoint)이 모니터링(monitoring)되며, 또 약 10% 추가 재료가 모든 평면으로부터 제거될 때까지 에칭이 계속된다. 이러한 추가 에칭은 상기 희생 재료가 소망 콘택 홀 이미지로부터 제거되는 것을 보장한다. 그러나, 에칭 프로세서는 바람직하지 않은 서브리소그래픽 개구로부터 희생 재료가 제거되기 전에 중단된다. 그 다음으로, 콘택 홀 이미지들이 하부 절연층을 통하여 전사되는 때, 소망 콘택 홀들만이 생성된다. 바람직하지 않은 서브리소그래픽 콘택 홀 이미지 내의 희생 재료의 제거는 마스크

층들이 제거되는 때에 이루어진다.

이제 동일 참조 번호들이 다른 도면을 전체에서 동일 또는 유사한 구성요소를 표시하도록 사용되는 도면들을 참조하여 설명한다. 제5도는 라인 이미지와 콘택 홀 이미지 사이에 오정렬이 있는 본 발명의 프로세서를 도시하는 듀얼 대머신 구조의 부분 단면도(10)이다. SiO₂와 같은 절연층(15)는 VLSI 또는 ULSI 집적 회로 칩(도시되지 않음) 상의 소자와 같은 내부에 합체된 금속을 갖는 기관의 상단 표면 위에 놓인다. 일반적으로 M이 최소 라인 이미지 크기(다음의 설명 참조)인 경우 약 2M인 폭을 갖는 콘택 개구(100)이 절연층(15) 상에 제1 마스크층(30) 내에 형성된다. 콘택 개구(100)은 종래의 포토리소그래피 기술을 사용하여 생성된다. 그 다음으로, 제2 마스크층(35)이 제1 마스크층(30) 상으로 또 콘택 개구(100) 내로 증착된다. 따라서, 콘택 개구(100)이 생성되는 때에 노출된 절연층(15)의 일부분들이 제2 마스크층(35)에 의해 피복된다. 그 다음으로, 최소 크기 M인 라인 이미지(40 및 50)들이 종래의 포토리소그래피 기술을 사용하여 제2 마스크층(35) 내에 형성된다. 제1 및 제2 마스크층(30 및 35)들은 포토리지스트 또는 비부식성 재료(에치 스탱)일 수 있다. 경우에 따라서, 한 마스크층은 포토리지스트일 수 있으며 다른 마스크층은 비부식성 재료일 수 있다. 비부식성 재료의 예에는 실리콘 나이트라이드 및 알루미늄 옥사이드가 포함된다.

제1 라인 이미지(50) 및 제2 라인 이미지(40)이 M 이하인 거리 N 만큼 측면으로 분리된 2개의 인접 라인 이미지들이 각각 콘택 개구(100) 상에서 정렬되는 곳에서, 절연층(15)의 일부분이 노출되며, 또 최소 크기 M인 소망 콘택 홀 이미지(60)와 바람직하지 않은 서브리소그래픽 콘택 홀 이미지(70)들이 형성된다. 따라서 초기에 형성된 제2 라인 이미지(40)와 콘택 개구(100)의 자동 정렬은 소망 콘택 홀 이미지(60)의 결과를 가져온다. 바람직하지 않은 서브리소그래픽 콘택 홀 이미지(70)는 소망 콘택 홀 이미지(60)보다는 훨씬 작은 일반적으로 M의 약 5% 또는 0.05M인 최대 크기값을 갖게 된다. 폭 N을 갖는 절연층(15) 상의 영역(80)은 제2 마스크층(35)로 피복된 상태로 남겨지며, 또 소망 콘택 홀 이미지(60)를 바람직하지 않은 서브리소그래픽 콘택 홀 이미지(70)으로부터 측면 분리시킨다. 만일 소망 및 바람직하지 않은 콘택 홀 이미지(60 및 70) 양자 모두의 전사가 개별적으로 이러한 시점에서 절연층(15)를 통하여 허용되며(도시되지 않음), 또 그 다음으로 스퍼드 비어 접속을 형성하도록 내부에 금속이 피착된다면(도시되지 않음), 바람직하지 않은 서브리소그래픽 콘택 홀 이미지(70)에 대응하는 스퍼드 비어 접속을 통하여 하부 기관 금속과의 바람직하지 않은 콘택이 발생할 것이다.

따라서, 본 발명에 따르면, 희생 재료를 포함하는 적응성 막(200)이 잔존 제2 마스크층(35) 상으로 또 제1 라인 이미지(50) 및 제2 라인 이미지(40)의 노출된 표면상으로 증착된다. 적응성 막(200)을 형성하는데 적절한 희생 재료의 예들은 파릴렌[폴리-p-크실릴렌(xylylene)], 폴리이미드, 및 포토리지스트와 같은 절연체들이다.

파릴렌인 경우의 화학적 기상 증착 또는 폴리이미드 및 포토리지스트인 경우의 스피ن 캐스팅(spin casting)과 같은 적응성 증착 기술이 라인 이미지(50 및 40)의 측벽, 제1 마스크층(30)의 노출된 상단 표면, 및 소망 콘택 홀 이미지(60)의 측벽과 하단면에 대해 희생 재료를 증착시키는데 전형적으로 사용된다. 또한, 희생 재료는 바람직하지 않은 서브리소그래픽 콘택 홀 이미지(70)를 채운다. 적응성막(200)의 두께는 일반적으로 약 0.025M 이상이다. 따라서 M이 약 1μ이고 또 바람직하지 않은 서브리소그래픽 콘택 홀 이미지(70)이 약 50Å인 때, 적응성 막(200)은 최소한 약 25Å 두께로 증착될 것이나, 보다 상세하게는 바람직하지 않은 콘택 홀 이미지(70)의 완전 충전을 보장하도록 약 50Å 두께로 증착된다.

그 다음으로, 적응성막(200)은 예를 들어 산소 플라즈마 에칭을 사용하여 소망 콘택 홀 이미지(60)의 하단면 및 측벽을 포함하여 모든 수직 및 수평 평면으로부터 막이 제거되기에 충분한 시간 동안 등방성 에칭되는데, 그 중단점은 모니터링된다. 중단점은 모든 평면으로부터 적응성막(200)이 제거되는 점으로서 결정된다. 적응성막(200)이 소망 콘택 홀 이미지(60)으로부터 완벽하게 제거되는 것을 보장하고 또 웨이퍼 평면에 걸쳐 약 10%의 통상의 에칭 편차(즉, 몇몇 표면은 과도하게 에칭되는 반면에 다른 표면들은 부족하게 에칭된다)를 보상하기 위하여 에칭은 전형적으로 모니터링되는 중단정보보다 약 10% 더 많은 재료를 제거하도록 계속된다. 그러나, 매우 작은 크기 및 등방성 에칭의 제한된 지속시간으로 인하여, 바람직하지 않은 서브리소그래픽 콘택 홀 이미지(70)는 희생 재료로 채워진 상태로 남게 된다. 그러나, 본 기술 분야의 숙련된 자들에게 명백한 바와 같이, 본 발명의 방법은 최대 크기 0.05M인 바람직하지 않은 서브리소그래픽 콘택 홀 이미지(70)를 채우는데 제한되지 않으며, 또 소망 콘택 홀 이미지(60)으로부터 막(200)을 제거한 후 약 0.10M에 달하는 더 큰 바람직하지 않은 콘택 홀 이미지(도시되지 않음)들이 적응성 재료막(200)으로 채워진 채로 남겨지는 것이 유익할 수 있다. 등방성 에칭이 수행된 후 결과되는 구조가 제6도에 도시되는데, 상기 도면은 채워진 바람직하지 않은 서브리소그래픽 콘택 홀(210)을 도시한다. 채워진 홀(210) 내에 남겨진 희생 재료는 더 긴 시간 동안의 에칭 결과로서 바람직하지 않은 서브리소그래픽 콘택 홀을 채우는 본 방법의 효과를 떨어뜨리지 않으면서 제1 마스크층(30)의 상단 표면보다 아래로 깊숙해질 수 있다는 사실을 주목해야 한다.

제7도에 도시된 바와 같이, 하부 절연층(15)를 통해 소망 콘택 홀 이미지(60, 도시되지 않음)를 기관 금속(20)에 전사하기 위하여 본 기술 분야에 공지된 에칭과 같은 표준 기술을 사용하여 대머신 프로세서가 계속된다. 따라서 콘택 홀(25)이 형성된다. 또한, 제1 마스크(30)는 초기에 형성된 콘택 개구(100, 도시되지 않음)와 정렬 상태가 아닌 라인 이미지(50 및 40) 하부의 위치에서 에칭될 수 있다. 이러한 위치에서, 에칭은 절연층(15)를 통하여 약 절반 정도 계속됨으로써, 후속 금속 라인 형성을 위해 제1 라인 이미지(50) 하부에 있는 제1 홀(110), 및 제2 라인 이미지 하부의 제2 홀(도시되지 않음)이 생성되게 된다. 그 다음으로, 제2 마스크층(35)과 제1 마스크층(30)들이 반응성 이온 에칭 기술을 사용하여 제거된다. 제1 마스크층(30)이 제거되는 때에 채워진 홀(210) 내의 희생 재료가 제거된다. 예를 들어, 알루미늄 또는 텅스텐(도시되지 않음)과 같은 금속을 전사된 콘택 홀(25) 및 홀(110) 안으로 증착시킨 후, 소망 스퍼드 비어 접속(130) 및 금속 라인(140)들이 제8도에 도시된 바와 같이 만들어진다. 따라서 상부 금속 라인(도시되지 않음)과 하부 기관 금속(120) 사이의 의도되지 않은 접속이 회피되는 반면에 스퍼드 비어 접속(130)을 통한 금속(20)과의 소망 콘택이 제공된다. 그 다음으로, 절연층(15)의 표면 상의 여분의 금속이 금속 라인(140)과 스퍼드 비어 접속(130)을 절연층(15)와 역시 동평면화시키는 전형적인 화학 기계적 연마 기술을 사용하여 제거된다. 최종 반도체 구조부(10)이 제8도에 도시된다. 한편, 본 발명의 방법은 전형적인 VLSI 및 ULSI 구조를 형성하기 위하여 다중층 금속 패턴 및 절연층을 생성하도록 본 기술 분야에 공지된 표준 기술과 함께 사용될 수 있다.

제9도에 도시된 바와 같이, 대안적인 실시예에서는 바람직하지 않은 서브리쓰그래픽 콘택 홀(85)가 하부 절연층(15)내로 에칭된 다음 마스크들이 제거된 후 본 발명의 프로세서가 역시 사용될 수 있다. 전형적으로, 실리콘 옥사이드, 포스포러스-도핑된 실리콘 다이옥사이드 또는 보론-도핑된 실리콘 다이옥사이드와 같은 옥사이드인 적응성 희생 재료막(200)이 절연층(15) 상으로 또 바람직하지 않은 서브리쓰그래픽 콘택 홀(85) 안으로 증착된다. 적응성 희생 재료막(200)은 절연층(15) 안으로 에칭된 임의의 소망 콘택 홀(25)의 노출된 표면 상으로도 역시 증착된다. 또한, 절연층(15)는 전형적으로 역시 실리콘 다이옥사이드, 포스포러스-도핑된 다이옥사이드, 또는 보론-도핑된 실리콘 다이옥사이드와 같은 옥사이드이다. 그러나, 본 발명은 상술된 옥사이드들에 제한되지 않으며, 다른 재료들이 절연층(15) 및 적응성 희생 재료막(200)을 형성하는데 사용될 수 있다. 상술된 등방성 에칭 후, 작은 크기 및 에칭의 제한된 지속시간에 기인하여 바람직하지 않은 서브리쓰그래픽 콘택 홀(85)는 제10도에 도시된 바와 같이 희생 옥사이드로 채워진 채로 남겨진다. 약 0.05M 보다 큰 크기를 갖는 절연층(15) 내에 역시 형성된 임의의 콘택 홀(25)로부터 희생 옥사이드가 제거된다. 그러나, 본 기술 분야의 숙련된 자들에게 명백한 바와 같이, 본 발명의 방법은 최대 크기 0.05M인 바람직하지 않은 서브리쓰그래픽 콘택 홀(85)를 채우는 것에 제한되지 않으며, 부소망 콘택 홀(25)로부터 막(200)을 제거한 후 약 0.10M 까지의 더 큰 바람직하지 않은 콘택 홀(도시되지 않음)들이 적응성 희생 재료막(200)으로 채워진 상태로 남겨지는 것이 유익할 수 있다. 따라서, 후속적인 금속 증착(도시되지 않음)이 소망 콘택 홀(25)만 채움으로써, 하부 기판 금속(20)과의 스타트 비어 접촉을 제공하게 된다. 채워진 서브리쓰그래픽 콘택 홀을 통한 기판 금속(120)에 대한 어떠한 접촉도 행하지 않을 것이다.

제11도에 도시된 바와 같이, 역시 다른 실시예에서는 본 발명의 프로세서가 절연층(15) 상부의 단일 마스크층(30)에 생성된 바람직하지 않은 서브리쓰그래픽 보이드(void) 또는 개구(71)를 제거하도록 수행되는 데, 상기 절연층은 내부에 금속(20 및 120)을 갖는 반도체 기판 상부에 배치된다. 예를 들어, 리쓰그래픽 콘택 개구(100)을 발생하는 것에 덧붙여, 전형적으로는 콘택 개구(100)의 크기의 약 5 %이나, 10 % 정도 로 클 수 있는 바람직하지 않은 서브리쓰그래픽 개구(71)이 원래 증착된 마스크층(30) 내의 결함에 기인하여 포토리쓰그래피 동안 발생할 수 있다. 형성(development) 동안, 마스크층(30)의 서브리쓰그래픽 부분이 제거되어 서브리쓰그래픽 개구(71)이 생성될 수 있다. 경우에 따라서, 원래에 증착된 단일 마스크층(30)은 내부에 이미 서브리쓰그래픽 보이드 또는 개구(71)를 갖을 수 있다. 절연층(15)를 통한 서브리쓰그래픽 개구(71)의 의도하지 않은 전사, 및 금속(120)과의 후속적인 콘택을 회피하기 위하여, 파릴렌(폴리-p-크실릴렌), 폴리이미드 또는 포토리지스트를 포함하는 적응성 희생 재료막(200)이 마스크층(30) 및 콘택 개구(100)의 노출된 표면에 증착됨으로써, 서브리쓰그래픽 개구(71)이 채워지게 된다. 그 다음으로, 예를 들어 산소 플라즈마 에칭을 사용하여 적응성 막(200)이 콘택 개구(100)의 하단면 및 측벽을 포함하여 모든 수직 및 수평 평면들로부터 막을 제거하도록 충분한 시간 동안 등방성 에칭되며, 그 종단점이 모니터링된다. 에칭은 전형적으로 모니터링된 종단점보다 약 10 % 많은 재료가 제거되도록 계속되며, 이에 따라 희생 재료가 채워진 바람직하지 않은 서브리쓰그래픽 개구(71)이 남겨진다. 등방성 에칭이 수행된 후에 결과된 구조가 제12도에 도시된다. 서브리쓰그래픽 개구(71) 내에 남겨진 희생 재료(200)은 더 긴 시간 동안의 에칭 결과로서 바람직하지 않은 서브리쓰그래픽 결함 또는 개구를 채우기 위한 본 방법의 효과를 떨어뜨리지 않으면서 마스크층(30)의 상단 표면보다 아래로 깊숙해 질 수 있다. 하부 절연층(15)를 통하여 콘택개구(100)을 기판 금속(20)에 전사(도시되지 않음) 하기 위해 본 기술 분야에 공지된 에칭과 같은 표준 기술을 사용하여 대머신 프로세싱이 계속된다. 그 다음으로, 마스크층(30) 뿐만 아니라 서브리쓰그래픽 개구(71) 내의 희생 재료들이 제거되며, 그 다음으로 금속화 및 평탄화(도시되지 않음)가 행해진다.

발명의 효과

따라서, 본 발명에 따라 희생 재료로 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지들을 채우는 것은 소망 콘택 홀의 M x M 콘택 영역을 유지하면서 바람직하지 않은 서브리쓰그래픽 콘택 홀들의 전사를 제거할 수 있게 된다. 또한, 바람직하지 않은 서브리쓰그래픽 콘택 홀들이 하부 절연층 안으로 전사된 곳에서는 실리콘 다이옥사이드와 같은 옥사이드로 작은 홀들을 채움으로써 기판 금속과의 콘택이 회피될 수 있다. 마지막으로, 단일 마스크층에서 발견되는 서브리쓰그래픽 결함 또는 개구들의 전사가 회피될 수 있다.

본 발명의 여러가지 특징들이 본 명세서에서 설명되고 도시되었지만, 동일 목적을 이루기 위하여 본 기술 분야의 숙련된 자들은 대안적인 특징들을 사용할 수 있다. 따라서, 첨부된 특허 청구의 범위에는 본 발명의 진정한 교시 및 범위 내에 속하는 상기와 같은 대안적 특징들이 모두 포함된다.

(57) 청구의 범위

청구항 1

반도체 구조 제조 동안 형성된 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지를 채우는 방법에 있어서, (a) 적응성 희생 재료막(conformal sacrificial material film)을 1) 내부에 형성된 콘택 개구(contact opening)를 갖으며, 내부에 금속을 갖는 기판 상부에 배치된 절연층 상에 놓인 제1 마스크층 상부에 배치된 제2 마스크층 상으로, 또 2) 최소 크기 M을 갖으며 또 상기 희생 재료가 채워지는 상기 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지를 생성하도록 상기 콘택 개구를 중첩하는 상기 제2 마스크층 내에 형성된 제1 라인 이미지 안으로 증착시키는 단계; 및 (b) 상기 희생 재료가 상기 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지 내에만 남겨지도록 상기 적응성 희생 재료막을 등방성 에칭(isotropic etching)하는 단계를 포함하는 것을 특징으로 하는 충전(filling) 방법.

청구항 2

제1항에 있어서, 상기 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지는 약 0.05 M인 최대 크기 값을 갖는 것을 특징으로 하는 충전 방법.

청구항 3

제1항에 있어서, 상기 콘택 개구는 약 2M인 크기를 갖는 것을 특징으로 하는 충전 방법.

청구항 4

제1항에 있어서, 상기 제1 마스크는 포토리지스트를 포함하는 것을 특징으로 하는 충전 방법.

청구항 5

제1항에 있어서, 상기 제2 마스크는 포토리지스트를 포함하는 것을 특징으로 하는 충전 방법.

청구항 6

제1항에 있어서, 상기 제1 마스크는 실리콘 나이트라이드(silicon nitride) 및 알루미늄 옥사이드(aluminum oxide)로 구성된 그룹으로부터 선택된 비부식성 재료(noncorrodible material)를 포함하는 것을 특징으로 하는 충전 방법.

청구항 7

제1항에 있어서, 상기 제2 마스크는 실리콘 나이트라이드 및 알루미늄 옥사이드로 구성된 그룹으로부터 선택된 비부식성 재료를 포함하는 것을 특징으로 하는 충전 방법.

청구항 8

제1항에 있어서, 상기 적응성 절연막은 약 0.025M 이상인 두께로 증착되는 것을 특징으로 하는 충전 방법.

청구항 9

제1항에 있어서, 상기 적응성 절연막은 파릴렌(parylene), 포토리지스트 및 폴리이미드(polyimide)로 구성된 그룹으로부터 선택된 재료를 포함하는 것을 특징으로 하는 충전 방법.

청구항 10

제1항에 있어서, 상기 적응성 희생 재료는 산소 플라즈마 에칭 기술(oxygen plasma etching technique)을 사용하여 등방성 에칭되는 것을 특징으로 하는 충전 방법.

청구항 11

제1항에 있어서, 상기 단계(a)는 최소 크기 M을 갖으며, M 이하인 거리 N 만큼 상기 제1 라인 이미지로부터 측면 분리되고, 또 최소 크기 M을 갖는 소망 콘택 홀 이미지를 생성하도록 상기 콘택 개구를 중첩하는 상기 제2 마스크층 내에 형성된 인접한 제2 라인 이미지 안으로 상기 적응성 희생 재료를 증착시키는 단계를 더 포함하는 것을 특징으로 하는 충전 방법.

청구항 12

반도체 구조를 제조하는 동안 소망 콘택 홀 이미지를 형성하며, 또 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지를 채우는 방법에 있어서, (a) 내부에 금속을 갖는 기판 상부에 배치된 절연층 상에 놓인 제1 마스크층 내에 콘택 개구를 형성하는 단계; (b) 상기 제1 마스크층 상부에 또 상기 콘택 개구 안으로 제2 마스크층을 증착시키는 단계; (c) 최소 크기 M을 각각 갖으며, M 이하인 거리 N 만큼 축방향으로 서로 분리되고, 그 중 하나는 최소 크기 M인 소망 콘택 홀 이미지를 생성하도록 상기 콘택 개구를 중첩하며, 다른 하나는 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지를 생성하도록 상기 콘택 개구를 중첩하는 최소한 2개의 인접 라인 이미지들은 상기 제1 마스크층 상부에 놓인 제2 마스크층 내에 형성하는 단계; (d) 상기 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지를 채우는 적응성 희생 재료막을 상기 제2 마스크층 상으로 또 상기 최소한 2개인 인접 라인 이미지 각각의 안으로 증착시키는 단계; 및 (e) 상기 희생 재료가 상기 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지 내에만 남도록 상기 적응성 희생 재료막을 등방성 에칭하는 단계를 포함하는 것을 특징으로 하는 형성 및 충전 방법.

청구항 13

제12항에 있어서, 상기 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지는 약 0.05M인 최대 크기 값을 갖는 것을 특징으로 하는 형성 및 충전 방법.

청구항 14

제12항에 있어서, 상기 콘택 개구는 약 2M인 크기를 갖는 것을 특징으로 하는 형성 및 충전 방법.

청구항 15

반도체 구조를 제조하는 방법에 있어서, (a) 제11항의 방법에 따라 상기 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지를 채우는 단계; (b) 콘택 홀을 형성하기 위하여 상기 소망 콘택 홀 이미지 하부에 있는 상기 절연층을 상기 기판까지 에칭하는 단계; (c) 상기 제2 마스크를 제거하는 단계; (d) 상기 바람직하지 않은 서브리쓰그래픽 콘택 홀 이미지 내에 남겨진 상기 적응성 희생 재료와 상기 제1 마스크를 제거하는 단계; (e) 스테드 비어 접속을 형성하도록 금속을 상기 절연층 상으로 또 상기 콘택 홀 안으로 증착시키는 단계; (f) 상기 스테드 비어 접속 내에 상기 금속을 남겨 놓으면서 상기 절연층 상부에 있는 상기 금속을 제거하는 단계; 및 (g) 상기 스테드 비어 접속 내의 상기 금속을 상기 절연층과 동평면화(coplanarizing) 시키는 단계를 포함하는 것을 특징으로 하는 반도체 구조 제조 방법.

청구항 16

제15항에 있어서, 제1 홈(groove)을 형성하기 위하여 상기 제1 라인 이미지 아래에 있는 상기 제1 마스크 층 및 상기 절연층을 상기 절연층을 통하여 약 절반(half way)인 지점까지 에칭하는 단계, 및 제2 홈을 형성하기 위하여 상기 인접한 제2 라인 이미지 아래에 있는 상기 제1 마스크층 및 상기 절연층을 상기 절연층을 통하여 약 절반인 지점까지 에칭하는 단계를 상기 단계(b)와 단계(c) 사이에 더 포함하는 것을 특징으로 하는 반도체 구조 제조 방법.

청구항 17

제16항에 있어서, 상기 증착 단계(e)는 제1 금속 라인 및 제2 금속 라인을 형성하기 위하여 상기 금속을 상기 제1 홈 및 상기 제2 홈 안으로 증착시킴으로써, 상기 금속은 상기 제거 단계(f) 후에도 상기 제1 및 제2 금속 라인 내에 역시 남겨지도록 하는 증착 단계를 더 포함하고, 또 상기 동평면화 단계(g)는 상기 제1 및 제2 금속 라인 내의 상기 금속을 상기 스퍼터 비어 접촉 및 상기 절연층과 동평면화시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 구조 제조 방법.

청구항 18

제15항에 있어서, 상기 제거 단계(f)와 상기 동평면화 단계(g)는 화학 기계적 연마(chemical mechanical polishing)를 사용하여 수행되는 것을 특징으로 하는 반도체 구조 제조 방법.

청구항 19

반도체 구조 제조 동안 형성되며, 내부에 금속을 갖는 기판 상부에 배치된 절연층내의 바람직하지 않은 서브리소그래픽 콘택 홀을 채우는 방법에 있어서, (a) 상기 기판 금속까지 연장된 상기 바람직하지 않은 서브리소그래픽 콘택 홀을 적응성 희생 재료가 채우도록 상기 적응성 희생 재료막을 상기 절연층 상으로 또 상기 절연막 내에 생성된 상기 바람직하지 않은 서브리소그래픽 콘택 홀 안으로 증착시키는 단계; 및 (b) 상기 희생 재료가 상기 바람직하지 않은 서브리소그래픽 콘택 홀 내에만 남겨지도록 상기 적응성 희생 재료막을 등방성 에칭하는 단계를 포함하는 것을 특징으로 하는 충전 방법.

청구항 20

제19항에 있어서, 상기 절연층은 실리콘 다이옥사이드, 포스포러스-도핑된 실리콘 다이옥사이드(phosphorous-doped silicon dioxide), 및 보론-도핑된 실리콘 다이옥사이드(boron-doped silicon dioxide)로 구성된 그룹으로부터 선택된 옥사이드를 포함하는 것을 특징으로 하는 충전 방법.

청구항 21

제19항에 있어서, 상기 적응성 희생 재료막은 실리콘 다이옥사이드, 포스포러스-도핑된 실리콘 다이옥사이드, 및 보론-도핑된 실리콘 다이옥사이드로 구성된 그룹으로부터 선택된 옥사이드를 포함하는 것을 특징으로 하는 충전 방법.

청구항 22

청구항 19에 있어서, 상기 바람직하지 않은 서브리소그래픽 콘택 홀은 (a) 내부에 금속을 갖는 기판 상부에 배치된 절연층 상에 놓인 제1 마스크층 내에 콘택 개구를 형성하는 단계; (b) 상기 제1 마스크층 상으로 또 상기 콘택 개구 안으로 제2 마스크층을 증착시키는 단계; (c) 최소 크기 M을 갖으며 또 바람직하지 않은 서브리소그래픽 콘택 홀 이미지를 생성하도록 상기 콘택 개구를 중첩하는 제1 라인 이미지를 상기 제2 마스크층 내에 형성하는 단계; (d) 바람직하지 않은 서브리소그래픽 콘택 홀을 형성하도록 상기 바람직하지 않은 서브리소그래픽 콘택 홀 이미지의 아래에 놓인 절연층을 상기 기판 금속까지 에칭하는 단계; 및 (e) 상기 절연층 상부에 놓인 상기 제1 및 제2 마스크들을 제거하는 단계를 포함하는 프로세스에 의해 형성되는 것을 특징으로 하는 충전 방법.

청구항 23

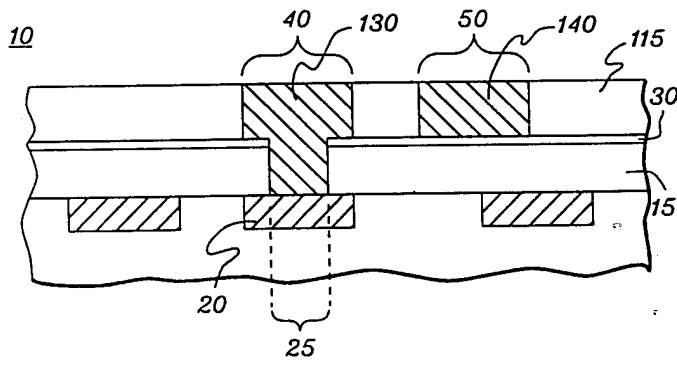
제22항에 있어서, 상기 바람직하지 않은 서브리소그래픽 콘택 홀 이미지는 약 0.05M인 최대 크기 값을 갖는 것을 특징으로 하는 충전 방법.

청구항 24

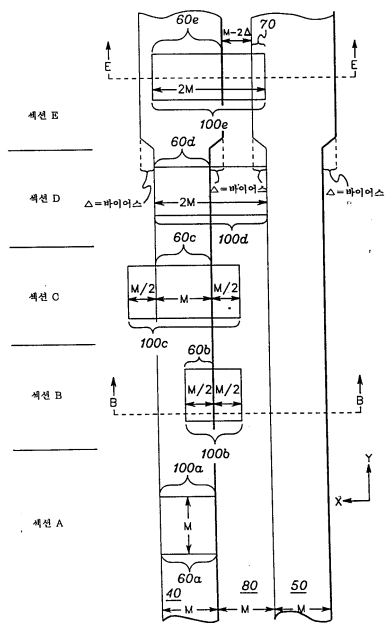
반도체 구조 제조 동안 단일 마스크층 내에 생성된 바람직하지 않은 서브리소그래픽 개구를 채우기 위한 방법에 있어서, (a) 상기 바람직하지 않은 서브리소그래픽 개구를 채우도록, 적응성 희생 재료막을 내부에 금속을 갖는 기판 상부에 배치된 절연층 상에 놓인 상기 단일 마스크층 상으로 또 상기 바람직하지 않은 서브리소그래픽 개구 안으로 증착시키는 단계; 및 (b) 상기 바람직하지 않은 서브리소그래픽 개구 내에만 상기 희생 재료가 남겨지도록 상기 적응성 희생 재료막을 등방성 에칭하는 단계를 포함하는 것을 특징으로 하는 충전 방법.

도면

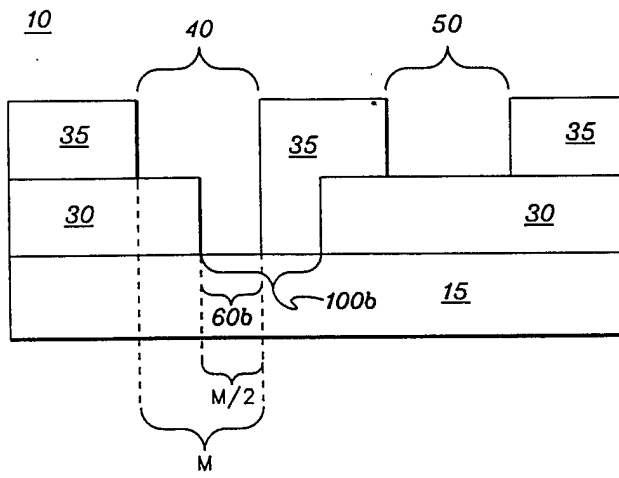
도면1



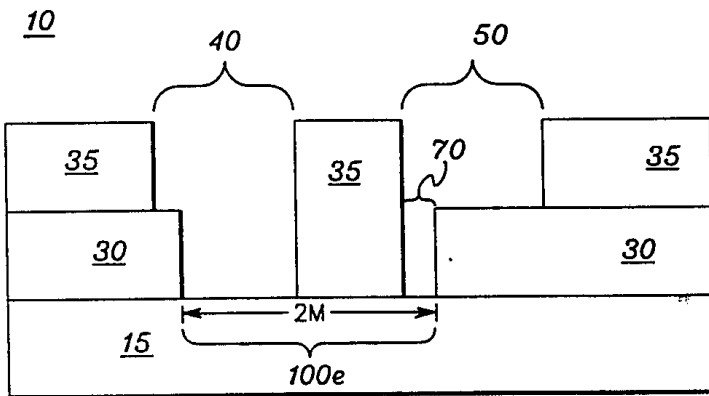
도면2



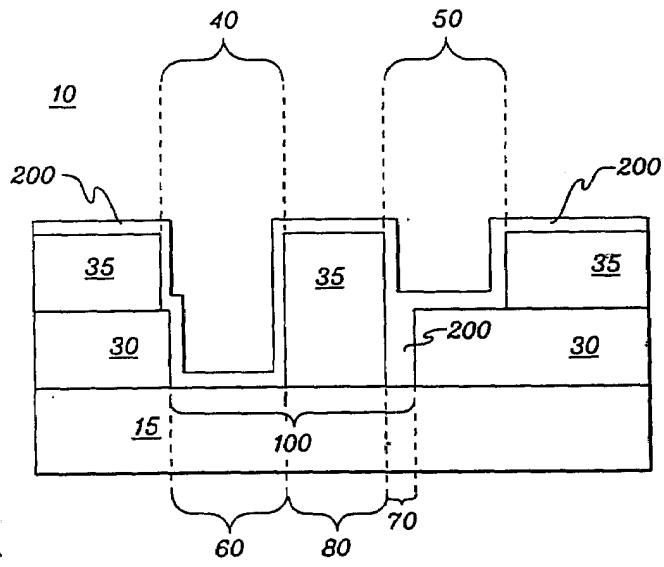
도면3



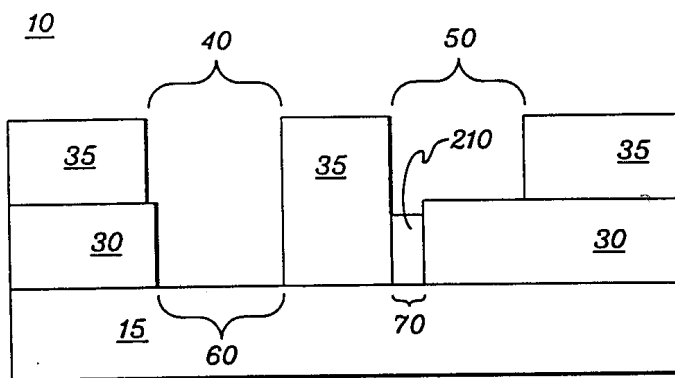
도면4



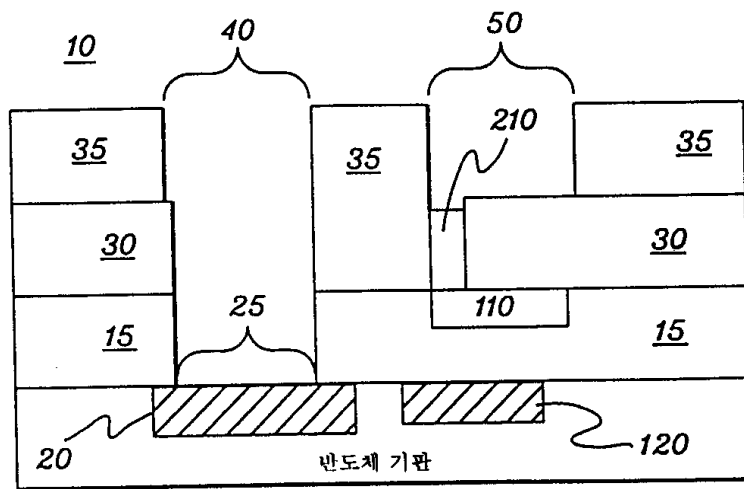
도면5



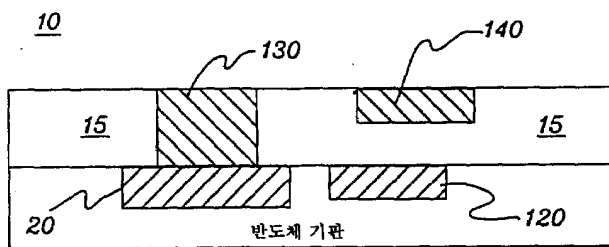
도면6



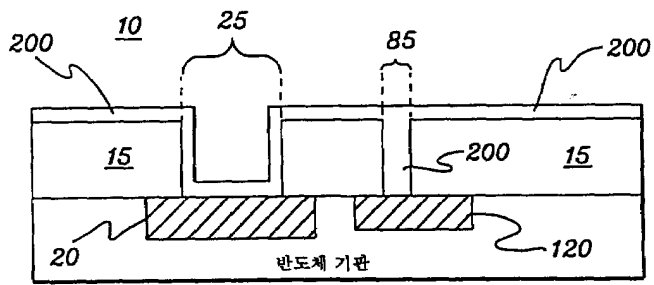
도면7



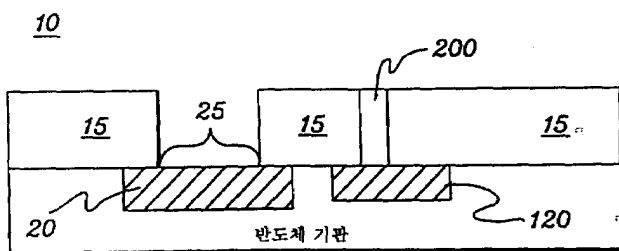
도면8



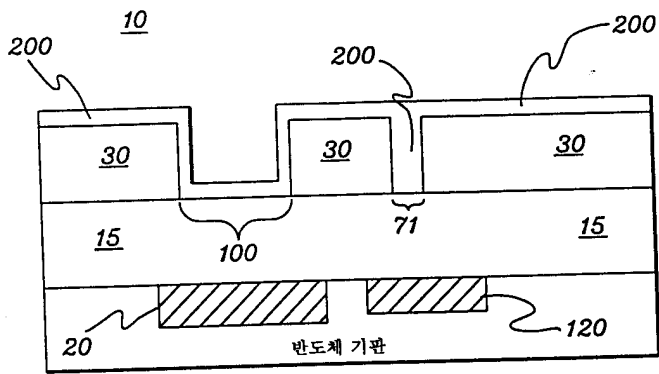
도면9



도면10



도면11



도면12

