

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6146983号
(P6146983)

(45) 発行日 平成29年6月14日 (2017.6.14)

(24) 登録日 平成29年5月26日 (2017.5.26)

(51) Int.Cl.

F I

G 1 1 C 11/4097 (2006.01)

G 1 1 C 11/34 3 6 2 B

G 1 1 C 11/4091 (2006.01)

G 1 1 C 11/34 3 5 3 A

H O 1 L 21/8242 (2006.01)

H O 1 L 27/10 6 8 1 G

H O 1 L 27/108 (2006.01)

H O 1 L 27/10 6 9 1

請求項の数 3 (全 28 頁)

(21) 出願番号 特願2012-234259 (P2012-234259)
 (22) 出願日 平成24年10月24日 (2012.10.24)
 (65) 公開番号 特開2013-109817 (P2013-109817A)
 (43) 公開日 平成25年6月6日 (2013.6.6)
 審査請求日 平成27年10月19日 (2015.10.19)
 (31) 優先権主張番号 特願2011-232372 (P2011-232372)
 (32) 優先日 平成23年10月24日 (2011.10.24)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 竹村 保彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項 1】

ビット線と、第1および第2のメモリブロックと、第1および第2のインバータとを有し、

前記第1および第2のメモリブロックは、それぞれ対応する第1および第2のサブビット線を有し、

前記第1のインバータの入力端子は、第1および第2のトランジスタを介して、前記ビット線と電氣的に接続され、

前記第1のインバータの入力端子は、前記第1のサブビット線と電氣的に接続され、

前記第1のインバータの入力端子は、前記第1のトランジスタを介して、前記第2のインバータの出力端子と電氣的に接続され、

前記第1のインバータの出力端子は、第3のトランジスタを介して、前記ビット線と電氣的に接続され、

前記第1のインバータの出力端子は、第4のトランジスタを介して、前記第2のサブビット線と電氣的に接続され、

前記第1のインバータの出力端子は、前記第4のトランジスタを介して、前記第2のインバータの入力端子と電氣的に接続されていることを特徴とする半導体メモリ装置。

【請求項 2】

請求項1において、

前記第1のトランジスタ又は前記第4のトランジスタの一方のみがオンとなる期間を有

10

20

し、

前記期間において、前記第2のトランジスタ又は前記第3のトランジスタの少なくとも一方がオンとなることを特徴とする半導体メモリ装置。

【請求項3】

請求項1又は請求項2において、

前記第1のメモリブロックが有するトランジスタは、前記第2のメモリブロックが有するトランジスタとは異なる層に設けられていることを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体を用いたメモリ装置に関する。

【背景技術】

【0002】

最初に、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースとする。すなわち、電位の高低によって、それらを区別しない。したがって、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

【0003】

また、本明細書において、接続、とは、一時的であっても、実効的な直流電流が、供給可能、或いは伝送可能な状態になる構造であることをいう。従って、接続している状態とは、直接、接続している状態のみを必ずしも指すわけではなく、直流電流が、供給可能、或いは伝送可能であるように、配線、抵抗などの回路素子を介して間接的に接続している状態もその範疇に含む。なお、実際に回路に直流電流が供給されるように設計されているかどうかは問わない。

【0004】

例えば、2つのノード間にスイッチング素子が設けられている場合には、条件付ながら（すなわち、スイッチがオンであるときだけではあるが）、直流電流が供給可能となるので、接続する、という。一方、2つのノード間に、容量素子のみが設けられている場合には、容量素子を介しては、実効的な直流電流を供給することができないので、このノード間は接続されていない、という。

【0005】

同様に2つのノード間にダイオードのみが設けられている場合も、いずれかのノードの電位が高ければ直流電流を供給できるので、接続する、という。この際には、回路設計上、電流が供給されないような電位が2つのノードに与えられている場合（この場合には、現実には2つのノードにダイオードを介して電流が流れることがない）であっても、本明細書では、接続している、という。

【0006】

例えば、ノードAがトランジスタのソースに接続し、ノードBがドレインに接続する場合には、ノードAとノードBの間には、ゲートの電位によっては直流電流を流すことができるので、ノードAとノードBは接続している、という。

【0007】

一方、ノードAがトランジスタのソースに接続し、ノードCがゲートに接続する場合には、トランジスタのソース、ドレイン、ゲートの電位の如何にかかわらず、ノードAとノードCの間に実効的な直流電流を流すことができないので、ノードAとノードCは接続していない、という。

【0008】

上記において、実効的な直流電流とは、リーク電流等の意図しない電流を除いた電流という意味である。なお、実効的な直流電流の値は、その大きさ（絶対値）で定義されるものではなく、回路に応じて異なることがある。すなわち、ある回路では1 pAという小電流であっても実効的な電流となりえるし、他の回路では、それより大きな1 μ Aという電流

10

20

30

40

50

であっても実効的な電流とみなされないこともある。

【0009】

なお、言うまでもないことであるが、入力と出力を有する1つの回路（例えば、インバータ）において、入力と出力が回路内で接続している必要はない。インバータを例に取れば、入力と出力はインバータ内部で接続していない。

【0010】

さらに、本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分が明確でなく、配線が延在している場合だけのこともある。例えば、絶縁ゲート型電界効果トランジスタ（以下、単にトランジスタ、という）の回路では、一本の配線が複数のトランジスタのゲートを兼ねている場合もある。その場合、回路図では、一本の配線からゲートに何本もの分岐が生じるように書かれることもある。本明細書では、そのような場合でも、「配線がゲートに接続する」という表現を用いることがある。

10

【0011】

なお、本明細書では、マトリクスにおいて特定の行や列、位置を扱う場合には、符号に座標を示す記号をつけて、例えば、「第1選択トランジスタ $STr1_n_m$ 」、「ビット線 BL_m 」、「サブビット線 SBL_n_m 」というように表記する。なお、 n および m は行や列、位置を示す数である。また、一つの素子が複数の行や列に関する機能を有するときには、「増幅回路 $AMP_n/n+1_m$ 」というように表記することもある。

【0012】

しかし、特に、行や列、位置を特定しない場合や集合的に扱う場合、あるいはどの位置にあるか明らかである場合には、「第1選択トランジスタ $STr1$ 」、「ビット線 BL 」、「サブビット線 SBL 」、あるいは、単に「第1選択トランジスタ」、「ビット線」、「サブビット線」というように表記することもある。

20

【0013】

1つのトランジスタと1つの容量素子を用いてメモリセルを形成するDRAMは、高集積化でき、原理的に無制限に書き込みでき、さらに、書き込み読み出しの速度も比較的高速でおこなえるため、多くの電子機器で使用されている。DRAMは、各メモリセルの容量素子に電荷を蓄積することにより、データを記憶し、この電荷を放出することによりデータを読み出す。

30

【0014】

微細化の進んだ、DRAMでは容量素子は、深さや高さが数 μm にもなるトレンチあるいは突起により形成されており、加工が極めて困難となりつつある。生産性を高めるためには、容量素子の形状を加工しやすいものとするのが望まれるが、そのためには容量を減少させることが求められる。しかし、容量が減少すると例えば以下の問題が生じる。

【0015】

一つには容量素子の容量を小さくするとリフレッシュの間隔が短くなり、使用に支障をきたすことである。例えば、容量素子の容量を従来の30分の1である1fFとすれば、リフレッシュの頻度は、従来の30倍必要となり、データの書き込みや読み出しの障害となるばかりか、その分、消費電力が増加する。

40

【0016】

リフレッシュを含めてDRAMのデータの書き込みに際しては、ビット線に流れる電流の多くは、メモリセルの容量素子の充電以外に、ビット線の容量（ビット線と他の配線等との間に形成される寄生容量を含む）の充放電に使用されている。現状ではメモリセルの容量素子の充放電に必要な電流の10倍以上の電流がビット線の容量の充放電に使用されている。

【0017】

言うまでもなく、ビット線の容量の充放電はデータの保持とは無関係な現象であり、リフレッシュをおこなうことは消費電力の増大を意味する。その意味で、リフレッシュの頻度が増大することは、消費電力を増加させるため好ましくない。逆にリフレッシュの回数を

50

減らすことは消費電力を減らす上で効果が大きい。

【 0 0 1 8 】

もう一つの問題は、読み出しエラーが増えることである。D R A Mでデータを読み出す際には、ビット線に容量素子に蓄積されていた電荷を放出することによるビット線の電位の微弱な変動を増幅する。

【 0 0 1 9 】

ビット線は、交差する配線や隣接するビット線との間に寄生容量を有し、通常、ビット線の容量は容量素子の容量よりもはるかに大きくなる。ビット線の容量が過剰に大きくなると、容量素子に蓄積された電荷をビット線に放出した際のビット線の電位変動が極めて微弱となり、電位の変動の増幅の際にエラーが生じる。したがって、容量素子の容量はビット線の容量の10%以上であることが望まれる。

10

【 0 0 2 0 】

最初の課題に関しては、例えば、極めてオフ抵抗の高い半導体を用いることにより、容量素子からの自然放電を著しく低減できることが明らかとなった(特許文献2参照)。また、極めて薄いシリコン膜は量子効果により、通常のシリコンよりも3桁程度オフ抵抗が増加することが知られている(特許文献3参照)。

【 0 0 2 1 】

第2の課題に対しては、特許文献1のように、ビット線よりも容量が小さく、かつ、ビット線に接続するサブビット線を設け、かつ、サブビット線にそれぞれフリップフロップ回路型のセンスアンプを接続し、容量素子の容量を低減する方法が提案されている。しかしながら、特許文献1に記載されている半導体メモリ装置は、フォールデッド型には適用できるが、より集積度の高いオープンビット型には適用できない。

20

【 0 0 2 2 】

また、フリップフロップ回路型のセンスアンプは、サブビット線の容量が小さくなると誤動作しやすくなる。一般に、容量が小さな物体の電位は、ノイズの影響で大きく変動する。従来のD R A Mではビット線の容量が数百f Fあったが、サブビット線の容量が数f Fとなると、単純に考えればノイズによる電位の変動は100倍となる。

【 0 0 2 3 】

フリップフロップ回路型のセンスアンプでは、増幅の初期には0.1V程度の微弱な電位差を増幅するが、この際、信号以外の電位の変動が0.1V以上となると、エラーが発生してしまう。例えば、ビット線の容量が数百f Fのとき、ある大きさのノイズによる電位の変動が1mVであるとする。この場合には、増幅の過程でエラーはほとんど発生しないが、ビット線(あるいはサブビット線)の容量が数f Fとなると、上記と同じ大きさのノイズによる電位の変動は0.1Vとなるため、増幅の過程でエラーが発生しやすくなる。

30

【 0 0 2 4 】

すなわち、特許文献1に記載された半導体メモリ装置では、サブビット線の容量を格段に小さくすると、読み出しの際のエラーが発生しやすくなる。特許文献1記載の半導体メモリ装置では、トランジスタのオフ抵抗が極端に大きな場合を想定していないため、サブビット線の容量も数百f F以上という大きな場合を想定しているので、サブビット線の容量が数十f F以下というような場合については何ら解決策を開示していない。

40

【 0 0 2 5 】

また、このように0.1Vという微弱な電位差を増幅するためにはフリップフロップ回路型のセンスアンプに用いるトランジスタのしきい値のばらつきの小さいことが求められる。例えば、フリップフロップ回路を構成する2つのNチャネル型トランジスタのしきい値がそれぞれ、+0.35Vおよび+0.45Vであるとする、上記の増幅過程において、ほぼ同時にこれらのNチャネル型トランジスタがオンとなることがあり、データの読み出しに失敗する。

【 0 0 2 6 】

一般に、フリップフロップ回路に用いるトランジスタのしきい値のばらつきは、ビット線間の増幅初期電位差(上記の場合は0.1V)の半分未満、好ましくは30%未満である

50

ことが要求される。上記の場合、トランジスタのしきい値のばらつきは50 mV、ビット線間の増幅初期電位差は0.1 Vであるため、増幅の際にエラーが発生しやすい。

【0027】

トランジスタのしきい値のばらつきは、ロット間ばらつき（基板間ばらつき）、チップ間ばらつき（一枚の基板からとれるチップの特性のばらつき）、隣接トランジスタばらつき、の3つに分類される。ロット間ばらつきは、プロセス条件、膜厚や線幅のロット間の違いに依存するものであり、また、チップ間ばらつきは、ドーズ量、膜厚や線幅の基板面内のばらつきによるものである。いずれも、ばらつきは巨視的なものであり、これらの要因によるしきい値のばらつきは基板バイアス等により補正でき、必要とするしきい値を得ることができる。

10

【0028】

これに対し、隣接トランジスタばらつきは、主として、ドーパント濃度の統計的ゆらぎ（非特許文献1参照）によるものであり、トランジスタが微細化するにつれ増大する。すなわち、DRAMの高集積化のためにトランジスタが微細化するとフリップフロップ回路型のセンスアンプの動作が不安定となる。

【先行技術文献】

【特許文献】

【0029】

【特許文献1】米国特許第5353255号明細書

【特許文献2】米国特許出願公開第2011/0156027号明細書

20

【特許文献3】米国特許第7772053号明細書

【非特許文献】

【0030】

【非特許文献1】K. Takeuchi et al., "Channel Engineering for the Reduction of Random-Dopant-Placement-Induced Threshold Voltage Fluctuation", pp. 841-844, TECHNICAL DIGEST OF INTERNATIONAL ELECTRON DEVICES MEETING, 1997.

【発明の概要】

30

【発明が解決しようとする課題】

【0031】

本発明の一態様は、容量素子の容量を従来のDRAMに用いられている値以下、具体的には1 fF以下、好ましくは0.1 fF以下としても十分に機能する集積度の高い半導体メモリ装置を提供することを課題とする。また、本発明の一態様は、容量素子の容量を、用いられているトランジスタのゲート容量の10倍以下、好ましくは2倍以下としても十分に機能する半導体メモリ装置を提供することを課題とする。また、本発明の一態様は、集積度の高い半導体メモリ装置を提供することを課題とする。

【0032】

また、本発明の一態様は、新規な構造のメモリ装置あるいはその駆動方法を提供することを課題とする。特に消費電力を低減できるメモリ装置あるいはメモリ装置の駆動方法を提供することを課題とする。

40

【課題を解決するための手段】

【0033】

本発明の一態様は、ビット線と2以上のワード線と第1および第2のメモリブロックを有する半導体メモリ装置であって、各メモリブロックは、2以上のメモリセルと、サブビット線とを有する。

【0034】

また、第1のメモリブロックのサブビット線は第1のインバータの入力端子および第1の選択スイッチと接続し、第1のインバータの出力端子は第2の選択スイッチを介して、第

50

2のメモリブロックのサブビット線と接続する。

【0035】

また、第2のメモリブロックのサブビット線は第2のインバータの入力端子および第2の選択スイッチと接続し、第2のインバータの出力端子は第1の選択スイッチを介して、第1のメモリブロックのサブビット線と接続する。

【0036】

また、第1のインバータの出力端子は第1の読み出しスイッチを介してビット線に接続し、第2のインバータの出力端子は第2の読み出しスイッチを介してビット線に接続する。

【0037】

また、本発明の一態様は、第1および第2のビット線と2以上のワード線と第1乃至第4のメモリブロックを有する半導体メモリ装置であって、各メモリブロックは、2以上のメモリセルと、サブビット線と書き込みスイッチとを有する。書き込みスイッチはサブビット線に接続する。

【0038】

ここで、第1のメモリブロックの書き込みスイッチおよび第2のメモリブロックの書き込みスイッチは第1のビット線に接続し、第3のメモリブロックの書き込みスイッチおよび第4のメモリブロックの書き込みスイッチは第2のビット線に接続する。

【0039】

また、第1のメモリブロックのサブビット線は第1の選択スイッチを介して第1のインバータの入力端子と接続し、第2のメモリブロックのサブビット線は第2の選択スイッチを介して第1のインバータの入力端子と接続し、第3のメモリブロックのサブビット線は第3の選択スイッチを介して第2のインバータの入力端子と接続し、第4のメモリブロックのサブビット線は第4の選択スイッチを介して第2のインバータの入力端子と接続する。

【0040】

さらに、第1のインバータの出力端子は第1の読み出しスイッチを介して第2のビット線に接続し、第2のインバータの出力端子は第2の読み出しスイッチを介して第1のビット線に接続する。

【0041】

また、本発明の一態様は、ビット線とサブビット線とを有し、サブビット線は第1のインバータと第2のインバータを介して、ビット線と接続し、第1のインバータと第2のインバータの間にはオン状態の第1の選択スイッチおよびオフ状態の第2の選択スイッチと、ビット線と第1のインバータの間にはオン状態の第1の読み出しスイッチと、ビット線と第2のインバータの間にはオフ状態の第2の読み出しスイッチと、を有する半導体メモリ装置である。

【0042】

上記において、書き込みスイッチ、読み出しスイッチ、あるいは選択スイッチとしては、1以上のトランジスタを用いて構成できる。最も簡単には1つのNチャネル型トランジスタあるいはPチャネル型トランジスタを用いて構成できる。また、導電型の異なる2以上のトランジスタを並列に接続した、トランスファークロークでもよい。

【0043】

また、1つのメモリブロックの書き込みスイッチに含まれるトランジスタとメモリセルの1つのトランジスタの1つは異なる層に設けられていてもよい。また、1つのメモリブロックの書き込みスイッチに含まれるトランジスタの半導体とメモリセルの1つのトランジスタの1つに含まれる半導体は異なる種類でもよい。さらに、1つのメモリブロックのメモリセルの1つのトランジスタの1つと他のメモリセルのトランジスタの1つは異なる層に設けられていてもよい。

【0044】

また、1つのメモリブロックは4乃至64のメモリセルを有してもよい。さらに、メモリセルの容量素子が必要とする深さあるいは高さは1 μm 以下、好ましくは0.3 μm 以下としてもよい。特に容量素子に必要な高さを0.3 μm 以下とすることにより、BOC (

10

20

30

40

50

Bit line Over Capacitor) 構造とすることができる。

【0045】

インバータとしては、さまざまな種類のものを用いることができる。例えば、相補型インバータ、抵抗負荷型インバータ、クロックドインバータ等あるいはそれらの組み合わせを用いることができる。

【0046】

インバータはメモリセルのトランジスタと異なる層に形成されることが好ましく、単結晶半導体を用いるとよい。インバータではトランジスタのしきい値のばらつきを十分に抑制することが必要であるので、インバータのトランジスタのチャネル面積をメモリセルのトランジスタの4倍以上、好ましくは16倍以上とするとよい。

10

【0047】

また、インバータの占有する部分のワード線方向の長さは、ビット線の幅の3倍以上、好ましくは5倍以上とするとよい。同様にインバータの占有する部分のビット線方向の長さは、ワード線の幅の3倍以上、好ましくは5倍以上とするとよい。

【0048】

このようにインバータは大きな面積を占有するが、メモリセルがインバータとは異なる層に設けられていること(すなわち、立体的に配置されていること)により、実際に半導体メモリ装置が必要とする面積を低減できる。インバータに用いるトランジスタのチャネル面積を十分に大きくすることにより、不純物濃度の統計的ゆらぎに起因するトランジスタのしきい値のばらつきを低減させることができる。

20

【0049】

また、本発明の一態様は、上記のいずれかの構成を有する半導体メモリ装置において、第1の選択スイッチもしくは第2の選択スイッチのいずれか一方のみをオンとする期間に、第1の読み出しスイッチもしくは第2の読み出しスイッチの少なくとも一方をオンとすることを特徴とする半導体メモリ装置の駆動方法である。

【発明の効果】

【0050】

上記の構成のいずれかを採用することにより、前記課題の少なくとも一を解決できる。上記の構成では、サブビット線の電位に応じた電荷がインバータから出力され、ビット線に蓄積される。上述のようにサブビット線の容量が小さいため、短期間で見ればサブビット線の電位は大きく変動するものの、一定の時間で平均すれば、一定の電位に近づく。つまり、ビット線に蓄積する電荷(および電荷による電位)はサブビット線の電位を反映したものとなる。

30

【0051】

なお、上述のように、従来のDRAMでは、アスペクト比の大きな構造物の作製が困難であることも問題であったが、それらを用いて多層構造のメモリ装置を作製して、記憶密度を向上させることはさらに困難であった。この点で、そのような構造物を必要としない本発明の一態様を用いれば、メモリセルの上にメモリセルを重ねるという多層化技術も可能である。

【0052】

40

さらに、BOC構造を採用した場合には、メモリセルの面積を $6F^2$ (F はFeature Size)とできる。従来、スタック型容量素子を採用したDRAMにおいても、2つのメモリセルがビット線コンタクトを共有することによりメモリセルの面積を $6F^2$ に近づけることができたが、その際には、容量素子を避けるように、ビット線を配置する必要があるため、実際のメモリセルの面積は $6F^2$ よりも大きくなる。

【0053】

一方、BOC構造ではメモリセルの面積を $6F^2$ とできることが知られていたが、容量素子の高さが $1\mu m$ を超える場合には採用できなかった。本発明の一態様では容量素子の容量を $1fF$ 以下、好ましくは $0.1fF$ 以下とすることができ、従来のDRAMのようなアスペクト比の大きな容量素子が不要となる。

50

【 0 0 5 4 】

その結果、B O C 構造を採用でき、そのため集積度を上げること、生産工程を減らすこと、あるいは、歩留まりを上げることが可能となる。なお、メモリセルのトランジスタを立体的に形成することによりメモリセルの面積を $4 F^2$ とすることもできる。

【 0 0 5 5 】

なお、B O C 構造以外にも、メモリセルのトランジスタの下（基板側）にビット線を、上にサブビット線を配置してもよいし、その逆に、メモリセルのトランジスタの上にビット線を、下にサブビット線を配置してもよい。いずれの場合でも、ビット線に重ねてサブビット線を配置するので、集積度が向上する。

【 0 0 5 6 】

本発明の一態様は、ある値のしきい値のばらつきを有するトランジスタを用いて構成されたインバータの特性が同じ値のしきい値のばらつきを有するトランジスタを用いて構成されたフリップフロップ回路よりも安定であるという特徴を利用する。例えば、しきい値のばらつきが 50 mV のトランジスタを用いてフリップフロップ型のセンスアンプを形成した場合には、上述のように 0.1 V の電位差の増幅の際に誤動作してしまう。一方、しきい値のばらつきが 50 mV のトランジスタを用いてインバータを形成すると、読み出し時のサブビット線の電位が基準となる電位より 0.1 V 高い場合であれば、インバータの出力の電位は、基準電位よりも低く、サブビット線の電位が基準となる電位より 0.1 V 低い場合であれば、インバータの出力の電位は、基準電位よりも高くなり、いずれにしても誤動作することがない。

【 図面の簡単な説明 】

【 0 0 5 7 】

【 図 1 】 本発明の半導体メモリ装置の回路例を示す図である。

【 図 2 】 本発明の半導体メモリ装置の回路例を示す図である。

【 図 3 】 本発明の半導体メモリ装置の回路例を示す図である。

【 図 4 】 本発明の半導体メモリ装置の回路例を示す図である。

【 図 5 】 本発明の半導体メモリ装置の駆動方法の例を示す図である。

【 図 6 】 本発明の半導体メモリ装置の駆動方法の例を示すタイミングチャートである。

【 図 7 】 本発明の半導体メモリ装置の駆動方法の例を示す図である。

【 図 8 】 本発明の半導体メモリ装置の積層構造の例を示す図である。

【 図 9 】 本発明の半導体メモリ装置のレイアウトの例を示す図である。

【 図 10 】 本発明の半導体メモリ装置のレイアウトの例を示す図である。

【 図 11 】 本発明の半導体メモリ装置の回路例を示す図である。

【 図 12 】 本発明の半導体メモリ装置の回路例を示す図である。

【 図 13 】 本発明の半導体メモリ装置の駆動方法の例を示す図である。

【 発明を実施するための形態 】

【 0 0 5 8 】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 5 9 】

なお、電位として、以下に具体的な数値を挙げるが、それは、本発明の技術思想の理解を助けることが目的である。言うまでもなく、それらの値はトランジスタや容量素子のさまざまな特性によって、あるいは実施者の都合によって変更してもよい。また、本実施の形態に示される半導体メモリ装置は、以下の方法以外の方法によっても、データを書き込み、あるいは読み出すことができる。

【 0 0 6 0 】

(実施の形態 1)

図 1 (A)、図 1 (B) および図 4 (A) に本実施の形態の半導体メモリ装置の一例を示

10

20

30

40

50

す。図1(A)には、メモリブロックMB_nm、メモリブロックMB_{n+1}mとそれらの接続するビット線BL_nm、第1選択線SL1_n、第1選択線SL1_{n+1}、ワード線WL_n1乃至ワード線WL_n4、ワード線WL_{n+1}1乃至ワード線WL_{n+1}4が示されている。

【0061】

また、図1(A)には、第2選択トランジスタSTr2_nm、第2選択トランジスタSTr2_{n+1}m、増幅回路AMP_nm、増幅回路AMP_{n+1}mが示されている。それぞれ第2選択トランジスタSTr2_nm、第2選択トランジスタSTr2_{n+1}mは、第2選択線SL2_n、第2選択線SL2_{n+1}により制御される。

10

【0062】

図1(A)ではメモリブロックMB_nmは4つのメモリセルを有するが、もちろん、メモリセルの数は3以下でも、5以上でもよい。各メモリセルは、1つのトランジスタと1つの容量素子を有し、トランジスタのゲートはワード線WLに接続し、ドレインはサブビット線SBL_nmに接続し、ソースは容量素子の電極の一方に接続する。そして、容量素子の電極の他方は、一定の電位を与えるノードに接続する。

【0063】

メモリブロックMB_nmには、第1選択トランジスタSTr1_nmがあり、そのゲートは第1選択線SL1_nに接続し、そのソースはサブビット線SBL_nmに、ドレインはビット線BL_nmに接続する。なお、第1選択トランジスタSTr1_nmを設けず、サブビット線SBL_nmとビット線BL_nmをこの部分で常時切断した構造とすることも可能であり、その場合には、第1選択トランジスタに付随する第1選択線SL1_nも不要となる。詳細は実施の形態5で説明する。

20

【0064】

サブビット線SBL_nmには、寄生容量を含む容量が存在する。容量はメモリセルの容量素子の容量の10倍以下であることが好ましい。サブビット線SBL_nmの容量には、サブビット線SBL_nmが接続する増幅回路AMP_nmを構成するトランジスタのゲート容量も含まれる。増幅回路AMP_nmを構成するトランジスタのゲート容量はトランジスタのゲートの電位により変動するが、最大のゲート容量が、サブビット線SBL_nmの容量の半分以下であることが好ましい。

30

【0065】

なお、メモリブロックの構成は図1(A)に限られず、例えば、図1(B)に示すように、メモリセルの容量素子の電極の一方はサブビット線SBL_nmに接続し、トランジスタのゲートはワード線WLに接続し、ドレインは一定の電位を与えるノードに接続し、ソースは容量素子の電極の他方に接続する構造であってもよい。この際、ドレインに一定の電位を与えるノード(配線等)はワード線と平行に形成すると集積化の障害とならない。

【0066】

このような構造を用いると、容量素子の電荷をサブビット線SBL_nmに放出する際に、トランジスタのゲート容量を介して、サブビット線SBL_nmの電位がワード線WLの電位の影響を受けることが少ない。例えば、容量素子の容量がゲート容量の10倍以下、特に2倍以下というような場合に効果が顕著である。

40

【0067】

図1(A)に示すようにサブビット線SBL_nmの電位は増幅回路AMP_nmに入力され、増幅回路AMP_nmの出力端子は、第2選択トランジスタSTr2_nmあるいは第2選択トランジスタSTr2_{n+1}mを経て、ビット線BL_nmに接続する。

【0068】

増幅回路AMPは、2つのインバータと、回路構成を変更するための2つのスイッチを用いて構成する。本実施の形態の増幅回路は、2つのインバータと2つのスイッチを用いる

50

が、2つのメモリブロックで1つの増幅回路を使用するので、実質的には、1つのメモリブロックあたりの1つのインバータと1つのスイッチで構成される。

【0069】

増幅回路AMPの例を図4(A)に示す。図4(A)に示されるように、サブビット線 SBL_n_m とサブビット線 SBL_n+1_m の間にインバータ INV_n_m とインバータ INV_n+1_m のループが形成され、このループの2箇所にはスイッチとして第3選択トランジスタ $STr3_n_m$ と第3選択トランジスタ $STr3_n+1_m$ が設けられる。図では、1つのトランジスタから形成されているスイッチを示すが、複数のトランジスタより形成されているスイッチを用いてもよい。

【0070】

また、インバータ INV_n_m の出力端子は第2選択トランジスタ $STr2_n+1_m$ を介して、また、インバータ INV_n+1_m の出力端子は第2選択トランジスタ $STr2_n_m$ を介して、共にビット線 BL_m に接続する。

【0071】

インバータ INV_n_m の出力端子とインバータ INV_n+1_m の入力端子の間には第3選択トランジスタ $STr3_n+1_m$ が設けられ、インバータ INV_n+1_m の出力端子とインバータ INV_n_m の入力端子の間には第3選択トランジスタ $STr3_n_m$ が設けられる。第3選択トランジスタ $STr3_n_m$ と第3選択トランジスタ $STr3_n+1_m$ は、それぞれ第3選択線 $SL3_n$ と第3選択線 $SL3_n+1$ で制御される。

【0072】

このような回路構成では、第2選択トランジスタ $STr2_n_m$ 、第2選択トランジスタ $STr2_n+1_m$ 、第3選択トランジスタ $STr3_n_m$ と第3選択トランジスタ $STr3_n+1_m$ のいずれか1つ以上をオンとし、その他をオフとすることで、異なった回路構成とすることができる。

【0073】

例えば、第2選択トランジスタ $STr2_n_m$ と第3選択トランジスタ $STr3_n+1_m$ をオン、他をオフとすると、サブビット線 SBL_n_m -> インバータ INV_n_m -> 第3選択トランジスタ $STr3_n+1_m$ -> インバータ INV_n+1_m -> 第2選択トランジスタ $STr2_n_m$ -> ビット線 BL_m というルート(第1のルート)が完成する。

【0074】

また、第2選択トランジスタ $STr2_n+1_m$ と第3選択トランジスタ $STr3_n_m$ をオン、他をオフとすると、サブビット線 SBL_n+1_m -> インバータ INV_n+1_m -> 第3選択トランジスタ $STr3_n_m$ -> インバータ INV_n_m -> 第2選択トランジスタ $STr2_n+1_m$ -> ビット線 BL_m というルート(第2のルート)が完成する。

【0075】

いずれのルートもインバータが2つあるので、入力の電位(サブビット線 SBL の電位)と同じ位相の電位がビット線 BL_m に出力される。このような増幅回路では、増幅された電位はより容量の大きなビット線に出力されるので、サブビット線 SBL の容量が小さくても、ビット線の電位はノイズの影響を受けにくく、ノイズによる誤動作の確率が小さい。したがって、サブビット線の容量が10fF以下の場合でも読み出しのエラーを減らせる。

【0076】

また、インバータを2段直列して電位を増幅するため、インバータを1つだけ使う場合よりも電流駆動能力が高く、より短時間でビット線の電位を所定の値とすることができ、読み出しに要する時間を短縮できる。もちろん、より多段(好ましくは偶数段)のインバータが直列するような回路配置とすることで、より高速での読み出しが可能となる。

【0077】

10

20

30

40

50

なお、インバータを構成するトランジスタのしきい値のばらつきのために、十分な増幅ができない場合もあるが、出力される電位の位相が目的とするものと異なってしまふことは少ないので、この点でもエラーを減らせる。増幅が不十分な場合には、ビット線にセンスアンプを接続して増幅することで補える。なお、インバータによる増幅が不十分であってもビット線の電位は、参照電位との差の絶対値は十分に大きいので、センスアンプでの増幅の際にエラーが生じることはない。

【 0 0 7 8 】

図 1 (A) および図 4 (A) に示す半導体メモリ装置のデータの読み出し方法の例を図 5 (A) 乃至図 5 (C) および図 6 を用いて説明する。ここではメモリブロック MB_n 中のワード線 WL_n 2 に接続するメモリセルのデータを読み出し、次に、メモリブロック MB_{n+1} 中のワード線 WL_{n+1} 3 に接続するメモリセルのデータを読み出すとする。

10

【 0 0 7 9 】

本実施の形態では、サブビット線 SBL の容量はメモリセルの容量素子の容量の 9 倍であるとする。また、インバータ INV_n、インバータ INV_{n+1} は当初からアクティブな状態を保つものとする。

【 0 0 8 0 】

また、インバータ INV_n、インバータ INV_{n+1} の定常状態での出力の電位は入力電位に応じて変化し、以下の例では、入力電位が 0 V、+ 0.3 V、+ 0.45 V、+ 0.5 V、+ 0.55 V、+ 0.7 V、+ 1 V のときの出力電位はそれぞれ、+ 1 V、+ 1 V、+ 0.7 V、+ 0.5 V、+ 0.3 V、0 V、0 V であるとする。

20

【 0 0 8 1 】

最初にメモリブロック MB_n のサブビット線 SBL_n を + 0.5 V にプリチャージする。なお、メモリブロック MB_{n+1} のサブビット線 SBL_{n+1} はプリチャージする必要はない。ここでは、サブビット線 SBL_{n+1} の電位は直近の読み出しあるいは書き込みの電位がそのまま残って、+ 1 V であるとする。サブビット線 SBL_n を + 0.5 V にプリチャージするために、第 1 選択線 SL1_n の電位を操作して、第 1 選択トランジスタ ST r 1_n をオンとする (図 6 の T 1) 。

【 0 0 8 2 】

このとき、インバータ INV_n およびインバータ INV_{n+1} はそれぞれの入力電位に応じた電位を出力している。例えば、入力電位が + 0.5 V であるインバータ INV_n の出力電位は + 0.5 V、入力電位が + 1 V であるインバータ INV_{n+1} の出力電位は 0 V である (図 5 (A) 参照) 。

30

【 0 0 8 3 】

その後、第 1 選択トランジスタ ST r 1_n をオフとする。そして、ワード線 WL_n 2 の電位を操作して、ワード線 WL_n 2 に接続するメモリセルのトランジスタをオンとする (図 6 の T 2) 。この結果、サブビット線 SBL_n の電位は + 0.55 V となったとする。

【 0 0 8 4 】

ワード線 WL_n 2 に接続するメモリセルのトランジスタをオンとするのと同時に、第 3 選択線 SL3_{n+1} の電位を操作して、第 3 選択トランジスタ ST r 3_{n+1} をオンとする。また、サブビット線 SBL_n の電位が + 0.55 V となったため、インバータ INV_n の出力電位は + 0.3 V となる。

40

【 0 0 8 5 】

なお、第 3 選択トランジスタ ST r 3_{n+1} をオンとするタイミングは T 2 の前でも後でもよい。

【 0 0 8 6 】

以上の結果、サブビット線 SBL_{n+1} の電位は + 0.3 V となり、また、インバータ INV_{n+1} の入力電位も + 0.3 V となるため、インバータ INV_{n+1} の出力電位は + 1 V となる (図 5 (B) 参照) 。

50

【 0 0 8 7 】

その後、第2選択線 $SL2_n$ の電位を操作して第2選択トランジスタ $STr2_n_m$ をオンとする（図6のT3）。その結果、ビット線 BL_m の電位は+1Vに上昇する。サブビット線 SBL に比べるとビット線 BL_m は容量および配線抵抗が大きいので、電位の上昇に時間がかかる。ビット線 BL_m の電位がある程度、安定したら、第1選択トランジスタ $STr1_n_m$ をオンとする（図6のT4）。

【 0 0 8 8 】

このとき、ビット線 BL_m の電位が十分に安定するのを待つことによりエラーを低減できる。第1選択トランジスタ $STr1_n_m$ をオンとすることにより、フリップフロップ回路と同様な、2つのインバータが接続するループ（サブビット線 SBL_n_m - > インバータ INV_n_m - > 第3選択トランジスタ $STr3_n+1_m$ - > インバータ INV_n+1_m - > 第2選択トランジスタ $STr2_n_m$ - > ビット線 BL_m - > 第1選択トランジスタ $STr1_n_m$ - > サブビット線 SBL_n_m ）が完成する。

10

【 0 0 8 9 】

もし、ビット線 BL_m の電位が+0.5Vからそれほど離れていない状態（例えば、+0.45V以上+0.55V以下）で、このループを作ると、ノイズによりループの電位が反転してしまう可能性がある。ビット線 BL_m の電位が+0.5Vから十分に離れた状態（好ましくは+0.7Vより大きい、+0.3Vより小さい）でループを完成させることが好ましい。

20

【 0 0 9 0 】

また、第1選択トランジスタ $STr1_n_m$ をオンとするのとほぼ同時に第3選択トランジスタ $STr3_n_m$ をオンとしてもよい。その結果、第3選択トランジスタ $STr3_n_m$ - > インバータ INV_n_m - > 第3選択トランジスタ $STr3_n+1_m$ - > インバータ INV_n+1_m - > 第3選択トランジスタ $STr3_n_m$ 、というフリップフロップ回路が形成される。既に、ビット線 BL_m の電位がノイズの影響を受けないレベルとなっているので、動作が不安定化することはない。

【 0 0 9 1 】

第1選択トランジスタ $STr1_n_m$ （あるいは第3選択トランジスタ $STr3_n_m$ ）をオンとした結果、サブビット線 SBL_n_m の電位は+1Vとなる。このとき、ワード線 WL_n_2 に接続するメモリセルのトランジスタはオンであるので、メモリセルの容量素子が充電され、メモリセルのデータが回復する。なお、サブビット線 SBL_n_m の電位がさらに上昇したため、インバータ INV_n_m の出力の電位は0Vとなり、それによって、サブビット線 SBL_n+1_m の電位は0Vとなる（図5（C）参照）。

30

【 0 0 9 2 】

以上で、ワード線 WL_n_2 に接続するメモリセルのデータの読み出しとデータの回復が完了する。第1選択トランジスタ $STr1_n_m$ 、第2選択トランジスタ $STr2_n_m$ 、第3選択トランジスタ $STr3_n_m$ および第3選択トランジスタ $STr3_n+1_m$ をオフとする。

40

【 0 0 9 3 】

次に、ワード線 WL_n+1_3 に接続するメモリセルのデータの読み出し操作をおこなう。サブビット線 SBL_n+1_m を+0.5Vにプリチャージするために、ビット線 BL_m の電位を+0.5Vとし、第1選択線 $SL1_n+1$ の電位を操作して、第1選択トランジスタ $STr1_n+1_m$ をオンとする（図6のT5）。

【 0 0 9 4 】

その後、第1選択トランジスタ $STr1_n+1_m$ をオフとする。そして、ワード線 WL_n+1_3 の電位を操作して、ワード線 WL_n+1_3 に接続するメモリセルのトランジスタをオンとする（図6のT6）。この結果、サブビット線 SBL_n+1_m の電位は+0.45Vとなったとする。

50

【 0 0 9 5 】

このとき、インバータ INV_n_m およびインバータ INV_n+1_m はそれぞれの入力の電位に応じた電位を出力している。サブビット線 $SB_L_n_m$ の電位が $+1V$ なのでインバータ INV_n_m の出力の電位は $0V$ であり、サブビット線 $SB_L_n+1_m$ の電位が $+0.45V$ なので、インバータ INV_n+1_m の出力の電位は $+0.7V$ である。

【 0 0 9 6 】

ワード線 WL_n+1_3 に接続するメモリセルのトランジスタをオンとするのと同時に、第3選択線 $SL3_n$ の電位を操作して、第3選択トランジスタ $STr3_n_m$ をオンとする。この結果、サブビット線 $SB_L_n_m$ の電位は $+0.7V$ となり、また、インバータ INV_n_m の入力の電位も $+0.7V$ となるため、インバータ INV_n+1_m の出力の電位は $0V$ となる。

10

【 0 0 9 7 】

その後、第2選択線 $SL2_n+1$ の電位を操作して第2選択トランジスタ $STr2_n+1_m$ をオンとする（図6のT7）。その結果、ビット線 BL_m の電位は低下する。ビット線 BL_m の電位がある程度安定したら、第1選択トランジスタ $STr1_n+1_m$ をオンとする（図6のT8）。その結果、サブビット線 $SB_L_n+1_m$ の電位は $0V$ となる。

【 0 0 9 8 】

このとき、ワード線 WL_n+1_3 に接続するメモリセルのトランジスタはオンであるので、メモリセルの容量素子が充電され、メモリセルのデータが回復する。なお、サブビット線 $SB_L_n+1_m$ の電位がさらに低下したため、インバータ INV_n+1_m の出力の電位は $+1V$ となり、それによって、サブビット線 $SB_L_n_m$ の電位は $0V$ となる。以上で、ワード線 WL_n+1_3 に接続するメモリセルのデータの読み出しとデータの回復が完了する。

20

【 0 0 9 9 】

なお、ワード線 WL_n+1_3 に接続するメモリセルのデータを書き換えるのであれば、第1選択トランジスタ $STr1_n+1_m$ およびワード線 WL_n+1_3 に接続するメモリセルのトランジスタをオンとした状態で、ビット線 BL_m の電位を書き換えるデータに応じたものとすればよい。また、その際に第2選択トランジスタ $STr2_n+1_m$ をオフとすると、より消費電力を少なく、短時間で書き込みを完了できる。

30

【 0 1 0 0 】

上記の例では、インバータ INV は常にアクティブな状態を維持していた。しかしながら、より消費電力を低減するためには、必要なときのみアクティブにしてもよい。例えば、インバータ INV_n_m は図6のT2からT4まで、およびT7からT8までアクティブにし、インバータ INV_n+1_m はT3からT4まで、あるいはT6からT8までアクティブにするようにしてもよい。このようにアクティブにする時間を制限するとインバータの貫通電流を抑制でき、消費電力を低減できる。

【 0 1 0 1 】

（実施の形態2）

40

図2に本実施の形態の半導体メモリ装置の一例を示す。図2には、メモリブロック MB_n_m 、メモリブロック MB_n_m+1 、メモリブロック MB_n+1_m 、メモリブロック MB_n+1_m+1 とそれらの接続するビット線 BL_m 、ビット線 BL_m+1 、第1選択線 $SL1_n$ 、第1選択線 $SL1_n+1$ 、ワード線 WL_n_1 乃至ワード線 WL_n_4 、ワード線 WL_n+1_1 乃至ワード線 WL_n+1_4 が示されている。メモリブロック MB としては、図1(B)に示される構成のものを用いてもよい。

【 0 1 0 2 】

また、図2では第2選択トランジスタ $STr2_n_m$ 、第2選択トランジスタ $STr2_n_m+1$ 、第2選択トランジスタ $STr2_n+1_m$ 、第2選択トランジスタ $STr2_n+1_m+1$ および増幅回路 $AMP_n/n+1_m/m+1$ が示されている。

50

【0103】

第2選択トランジスタ $STr2_n_m$ 、第2選択トランジスタ $STr2_n_m+1$ は、第2選択線 $SL2_n$ により、また、第2選択トランジスタ $STr2_n+1_m$ 、第2選択トランジスタ $STr2_n+1_m+1$ は、第2選択線 $SL2_n+1$ により制御される。

【0104】

なお、第2選択トランジスタ $STr2_n_m$ と第2選択トランジスタ $STr2_n_m+1$ が、同じ電位をビット線 BL_m 、ビット線 BL_m+1 に出力するのであれば、いずれか一方のみを設けるだけでもよい。第2選択トランジスタ $STr2_n+1_m$ と第2選択トランジスタ $STr2_n+1_m+1$ も同様であり、そのような場合、増幅回路 $AMP_n/n+1_m/m+1$ に接続する第2選択トランジスタ $STr2$ は2つでもよい。

10

【0105】

本実施の形態の半導体メモリ装置は、隣接する2つのメモリブロック MB_n_m とメモリブロック MB_n_m+1 （あるいはメモリブロック MB_n+1_m とメモリブロック MB_n+1_m+1 ）において、1つのワード線 WL には、いずれかのメモリブロックのメモリセルしか接続しないという構造を有する。

【0106】

そのため、例えば、データの読み出しの際に、ワード線 WL_n_1 を選択すると、メモリブロック MB_n_m の中の1つのメモリセルのみがアクティブとなり、サブビット線 SBL_n_m はそのメモリセルの1ビットデータを含んだ電位となる。一方、サブビット線 SBL_n_m+1 の電位はワード線 WL_n_1 の選択によって変動しない。

20

【0107】

サブビット線 SBL_n_m の電位とサブビット線 SBL_n_m+1 の電位を増幅回路 $AMP_n/n+1_m/m+1$ で増幅して、ビット線 BL_m あるいはビット線 BL_m+1 に出力し、あるいは、その電位の差を増幅することで1ビットデータを読み出せる。

【0108】

増幅回路 $AMP_n/n+1_m/m+1$ は4つの入力端子と4つ（あるいは2つ）の出力端子を有する。このような増幅回路の例を図12に示す。図12に示す回路は、第2選択トランジスタ $STr2_n_m/m+1$ 、第2選択トランジスタ $STr2_n+1_m/m+1$ 以外に、2つのインバータと、回路構成を変更するための6つのスイッチを用いて構成する。本実施の形態の増幅回路は、2つのインバータと6つのスイッチを用いるが、4つのメモリブロックで1つの増幅回路を使用するので、実質的には、1つのメモリブロックあたりの0.5個のインバータと1.5個のスイッチで構成される。

30

【0109】

図12に示されるように、サブビット線 SBL_n_m は第4選択トランジスタ $STr4_n_m$ を介して、また、サブビット線 SBL_n_m+1 は第4選択トランジスタ $STr4_n_m+1$ を介して、インバータ $INV_n_m/m+1$ の入力端子に接続し、サブビット線 SBL_n+1_m は、第4選択トランジスタ $STr4_n+1_m$ を介して、また、サブビット線 SBL_n+1_m+1 は第4選択トランジスタ $STr4_n+1_m+1$ を介してインバータ $INV_n+1_m/m+1$ の入力端子に接続する。

40

【0110】

第4選択トランジスタ $STr4_n_m$ 、第4選択トランジスタ $STr4_n_m+1$ 、第4選択トランジスタ $STr4_n+1_m$ 、第4選択トランジスタ $STr4_n+1_m+1$ は、それぞれ、第4選択線 $SL4_n_0$ 、第4選択線 $SL4_n_1$ 、第4選択線 $SL4_n+1_0$ 、第4選択線 $SL4_n+1_1$ で制御される。

【0111】

また、インバータ $INV_n_m/m+1$ の出力端子は、第2選択トランジスタ $STr2_n+1_m/m+1$ を介して、ビット線 BL_m とビット線 BL_m+1 に接続し、イ

50

ンバータ $INV_n+1_m/m+1$ の出力端子は、第2選択トランジスタ $STr2_n_m/m+1$ を介して、ビット線 BL_m とビット線 BL_m+1 に接続する。第2選択トランジスタ $STr2_n_m/m+1$ と第2選択トランジスタ $STr2_n+1_m/m+1$ はそれぞれ第2選択線 $SL2_n$ 、第2選択線 $SL2_n+1$ で制御される。

【0112】

さらに、インバータ $INV_n_m/m+1$ の出力端子は第3選択トランジスタ $STr3_n+1_m/m+1$ を介してインバータ $INV_n+1_m/m+1$ の入力端子と接続し、インバータ $INV_n+1_m/m+1$ の出力端子は第3選択トランジスタ $STr3_n_m/m+1$ を介してインバータ $INV_n_m/m+1$ の入力端子と接続する。第3選択トランジスタ $STr3_n_m/m+1$ と第3選択トランジスタ $STr3_n+1_m/m+1$ はそれぞれ第3選択線 $SL3_n$ 、第3選択線 $SL3_n+1$ で制御される。

10

【0113】

上記の回路は、実施の形態1で示した回路に、それぞれが独立して制御できる第4選択トランジスタ $STr4_n_m$ 、第4選択トランジスタ $STr4_n_m+1$ 、第4選択トランジスタ $STr4_n+1_m$ 、第4選択トランジスタ $STr4_n+1_m+1$ を設けたものである。

【0114】

例えば、サブビット線 $SB L_n_m$ に接続するメモリセルのデータを読み出すには、第4選択トランジスタ $STr4_n_m$ 、第3選択トランジスタ $STr3_n+1_m/m+1$ をオンとすることで、実施の形態1で説明したものと同様に、サブビット線 $SB L_n_m$ と2つのインバータを直列に接続することができる。

20

【0115】

(実施の形態3)

図3に本実施の形態の半導体メモリ装置の一例を示す。本実施の形態の半導体メモリ装置は、図2の半導体メモリ装置で4つ必要であった第2選択トランジスタ $STr2$ を2つとしたものである。2つの第2選択トランジスタ $STr2$ は同期して動作する。

【0116】

増幅回路 $AMP_n/n+1_m/m+1$ は4つの入力端子と2つの出力端子を有する。このような増幅回路の例を図4(B)に示す。図4(B)の増幅回路 AMP は、2つのインバータと、回路構成を変更するための4つのスイッチを用いて構成する。増幅回路は、2つのインバータと4つのスイッチを用いるが、4つのメモリブロックで1つの増幅回路を使用するので、実質的には、1つのメモリブロックあたりの0.5個のインバータと1つのスイッチで構成される。

30

【0117】

図4(B)に示されるように、サブビット線 $SB L_n_m$ は第3選択トランジスタ $STr3_n_m$ を介して、インバータ $INV_n/n+1_m+1$ の入力端子に接続し、サブビット線 $SB L_n+1_m$ は第3選択トランジスタ $STr3_n+1_m$ を介して、インバータ $INV_n/n+1_m+1$ の入力端子に接続する。

【0118】

同様に、サブビット線 $SB L_n_m+1$ は第3選択トランジスタ $STr3_n_m+1$ を介して、インバータ $INV_n/n+1_m$ の入力端子に接続し、サブビット線 $SB L_n+1_m+1$ は第3選択トランジスタ $STr3_n+1_m+1$ を介して、インバータ $INV_n/n+1_m$ の入力端子に接続する。

40

【0119】

また、インバータ $INV_n/n+1_m+1$ の出力端子は、第2選択トランジスタ $STr2_n/n+1_m+1$ を介して、ビット線 BL_m+1 に接続し、インバータ $INV_n/n+1_m$ の出力端子は、第2選択トランジスタ $STr2_n/n+1_m$ を介して、ビット線 BL_m に接続する。第2選択トランジスタ $STr2_n/n+1_m$ と第2選択トランジスタ $STr2_n/n+1_m+1$ は第2選択線 $SL2_n/n+1$ で制

50

御され、同期して動作する。

【0120】

なお、第3選択トランジスタ $STr3_n_m$ と第3選択トランジスタ $STr3_n_m+1$ 、第3選択トランジスタ $STr3_n+1_m$ と第3選択トランジスタ $STr3_n+1_m+1$ は、それぞれ同期して動作するようにしてもよい。

【0121】

このような回路の動作例を図7(A)および図7(B)を用いて説明する。例えば、ワード線 WL_n_3 に接続するメモリセルのデータを読み出す際には、第3選択トランジスタ $STr3_n_m$ と第3選択トランジスタ $STr3_n_m+1$ をオンとする。また、第2選択トランジスタ $STr2_n/n+1_m$ と第2選択トランジスタ $STr2_n/n+1_m+1$ もオンとする。

10

【0122】

ワード線 WL_n_3 に接続するメモリセルに接続するサブビット線(サブビット線 SB_n_m)の電位はデータを含んだものとなるが、もう一方のサブビット線(サブビット線 SB_n_m+1)の電位は変わらない。

【0123】

いずれにせよ、これらのサブビット線の電位は、インバータ $INV_n/n+1_m$ 、インバータ $INV_n/n+1_m+1$ に入力され、ビット線 BL_m 、ビット線 BL_m+1 の電位は、インバータ $INV_n/n+1_m$ 、インバータ $INV_n/n+1_m+1$ の出力に応じたものとなる。インバータの入力の電位が異なるので、出力の電位も異なり、インバータによって、その電位の差は増幅される。

20

【0124】

ビット線 BL_m 、ビット線 BL_m+1 の電位の差がある程度大きくなれば、ビット線 BL_m 、ビット線 BL_m+1 に接続するセンスアンプ(図示せず)を用いて、さらにビット線 BL_m 、ビット線 BL_m+1 の電位の差を増幅するとよい。その後、実施の形態1で説明した方法と同様に、第1選択トランジスタ $STr1$ をオンとすることで、読み出したデータと同じデータを、データを読み出したメモリセルに書き込める。

【0125】

また、例えば、ワード線 WL_n+1_2 に接続するメモリセルのデータを読み出す際には、第3選択トランジスタ $STr3_n+1_m$ と第3選択トランジスタ $STr3_n+1_m+1$ をオンとする。また、第2選択トランジスタ $STr2_n/n+1_m$ と第2選択トランジスタ $STr2_n/n+1_m+1$ もオンとする(図7(B)参照)。これらのインバータの出力に応じた電位がビット線 BL_m 、ビット線 BL_m+1 に与えられるので、その後は、上記と同様に電位の差を増幅するとよい。

30

【0126】

(実施の形態4)

本実施の形態では、本発明の一態様の半導体メモリ装置の例について図8、図9(A)乃至図9(C)、図10(A)乃至図10(C)および図11を用いて説明する。なお、本実施の形態では、同じハッチングの部分は同じ種類のものを示す。

【0127】

最初に図8を用いて本発明の一態様の半導体メモリ装置の積層構造の概略を説明する。なお、詳細は公知の半導体集積回路作製技術および特許文献2等を参照すればよい。また、図8は特定の断面を示すものではない。

40

【0128】

半導体メモリ装置は単結晶半導体表面を有する基板101に形成される。基板101には、P型ウェル102およびN型ウェル103、素子分離絶縁物104が形成され、さらに、N型領域105、P型領域106、第1配線107が形成される。

【0129】

ここで、第1配線107はトランジスタのゲートとなるのであるが、特に、インバータ等の増幅回路に用いられるトランジスタではしきい値のばらつきが小さいことを要求される

50

ので、それらのゲートとなる配線の幅はチャンネル面積が大きくなるように、Feature Sizeよりも大きくするとよい。

【0130】

また、Nチャンネル型トランジスタとPチャンネル型トランジスタを用いてインバータを構成する際には、それらのオン特性がほぼ対称となるように、移動度を考慮してチャンネル長、チャンネル幅を設定することが望まれる。さらに、しきい値ばらつきやサブビット線とチャンネルの容量比も考慮すると、それらのチャンネル面積はほぼ等しいことが好ましい。すなわち、Nチャンネル型トランジスタのチャンネル面積がPチャンネル型トランジスタのチャンネル面積の80%以上125%以下となるように設計するとよい。

【0131】

例えば、チャンネルが長方形のトランジスタであれば、Nチャンネル型トランジスタのチャンネル長を5F、チャンネル幅を3F、Pチャンネル型トランジスタのチャンネル長を3F、チャンネル幅を5Fとすると、チャンネル面積、オン電流ともほぼ等しくなる。また、これらのチャンネル面積は通常の15倍であるので、しきい値ばらつきも抑制される。しきい値ばらつきはチャンネル面積の平方根に反比例するので、この場合、チャンネル面積が $1F^2$ のトランジスタのしきい値ばらつきの約4分の1となる。

【0132】

同様に、Nチャンネル型トランジスタのチャンネル長を7F、チャンネル幅を4F、Pチャンネル型トランジスタのチャンネル長を4F、チャンネル幅を7Fとしてもよいし、Nチャンネル型トランジスタのチャンネル長を12F、チャンネル幅を7F、Pチャンネル型トランジスタのチャンネル長を7F、チャンネル幅を12Fとしてもよい。

【0133】

また、レイアウトの都合で、上記のような長方形のチャンネルを形成することが困難な場合には、チャンネルの形状を多角形その他の形状として、実質的に必要とするオン電流およびチャンネル面積が得られるように設計してもよい。

【0134】

通常の半導体集積回路であれば、このような大きなチャンネル面積を有するトランジスタを多く形成することは、集積度の低下を招くが、本発明の一態様の半導体メモリ装置では、メモリセルをこれらのトランジスタの上に立体的に形成することができるので、集積度の低下にはつながらない。

【0135】

第1配線107を覆って、第1層間絶縁物108が形成され、さらに第1コンタクトプラグ109が形成される。さらに、第1層間絶縁物108上に第2配線110と第1埋め込み絶縁物111が形成される。

【0136】

それらの上に、第2層間絶縁物112、第2コンタクトプラグ113、第3配線114と第2埋め込み絶縁物115が形成される。同様に第3層間絶縁物116、第3コンタクトプラグ117、第4配線118と第3埋め込み絶縁物119、さらには、第4層間絶縁物120、第4コンタクトプラグ121が形成される。なお、第4配線118の一部はサブビット線として機能する。

【0137】

第4層間絶縁物120上には半導体層122とそれを覆うゲート絶縁物123が形成される。半導体層122は部分的にあるいは選択的にドーピングされていてもよい。さらに、ワード線となる第5配線124、第5層間絶縁物125、第5コンタクトプラグ126が形成される。第5コンタクトプラグ126の一部は、半導体層122に接続する。それらの上に第6層間絶縁物127、第6コンタクトプラグ128が形成される。

【0138】

また、第6層間絶縁物127の開口部には、薄膜状の第6配線129が開口部の側面と底面を覆うように形成される。第6配線129はメモリセルの容量素子の電極となる。第6層間絶縁物127の厚さはメモリセルの容量素子の高さを決定するが、本発明の一態様の

10

20

30

40

50

半導体メモリ装置では、容量素子の容量は 1 fF 以下とできるので、その高さは $0.3 \mu\text{m}$ 以下とできる。

【0139】

また、第6配線129を覆って、誘電体膜130が形成される。そして、誘電体膜130の上に第6層間絶縁物127の開口部を覆うように第7配線131が設けられる。第7配線131の一部は、メモリセルの容量素子の対向電極となる。第7配線131は第5配線124と平行に形成されるとよい。

【0140】

さらに、これらの上に第7層間絶縁物132、第7コンタクトプラグ133、第8配線134が形成される。第8配線134はビット線となる。上述のように容量素子の高さを $0.3 \mu\text{m}$ 以下とすることで、ビット線が容量素子の上に形成されるBOC構造とでき、集積度を上げることができる。

【0141】

図9(A)乃至図9(C)、図10(A)乃至図10(C)には、P型ウェル102、N型ウェル103(以上、図9(A))、第1配線107、第1コンタクトプラグ109(以上、図9(B))、第2配線110、第2コンタクトプラグ113(以上、図9(C))、第3配線114、第3コンタクトプラグ117(以上、図10(A))、第4配線118、第4コンタクトプラグ121(以上、図10(B))、半導体層122、第5配線124、第5コンタクトプラグ126(以上、図10(C))の位置を示す。

【0142】

図9(A)乃至図9(C)、図10(A)乃至図10(C)に示される部分では、x方向(ビット線方向)に4つのメモリブロックが設けられ、y方向(ワード線方向)には4本のビット線が設けられる。この半導体メモリ装置では、ビット線4本分の幅に、1つの増幅回路が設けられる構成となっている。ここで示される増幅回路は図4(A)で示されるものと同等な回路構成を有する。

【0143】

また、ワード線方向の第1配線の数減らすため、1つの第1配線によって、図4中の第3選択トランジスタと他のメモリブロックの第1選択トランジスタを同時に制御する構成となっている。しかしながら、動作においては問題とならない。

【0144】

図11には、図9(A)乃至図9(C)、図10(A)乃至図10(C)に示したレイアウトを用いた場合の、当該部分の回路図を示す。ここで、第1選択トランジスタSTr1、第2選択トランジスタSTr2、第3選択トランジスタSTr3はスイッチSWで示す。図11において、スイッチSW__1、スイッチSW__4、スイッチSW__7、スイッチSW__10、スイッチSW__13、スイッチSW__16、スイッチSW__19、スイッチSW__22が第1選択トランジスタSTr1に相当し、スイッチSW__2、スイッチSW__5、スイッチSW__8、スイッチSW__11、スイッチSW__14、スイッチSW__17、スイッチSW__20、スイッチSW__23が第3選択トランジスタSTr3に相当し、スイッチSW__3、スイッチSW__6、スイッチSW__9、スイッチSW__12、スイッチSW__15、スイッチSW__18、スイッチSW__21、スイッチSW__24が第2

【0145】

ここで、上記のように第1選択トランジスタSTr1が第3選択トランジスタSTr3と連動して動作する。すなわち、スイッチSW__3n+1とスイッチSW__3n+2(nは0以上の整数)は連動して動作し、一方をオンとすると他方もオンとなり、一方をオフとすると他方もオフとなる。

【0146】

例えば、スイッチSW__13を操作して、スイッチSW__13に接続するサブビット線をプリチャージする際や、サブビット線に接続するメモリセルにデータを書き込む際には、同時にスイッチSW__14も操作される。

【0147】

ここで、例えば、図中のワード線WL__a__bに接続するメモリセル（図中に円で示す）のデータを読み出す場合を考える。最初に、これらのメモリセルが接続するサブビット線をプリチャージする必要がある。そのためには、スイッチSW__4、スイッチSW__10、スイッチSW__13、スイッチSW__19をオンとする必要があるが、同時にスイッチSW__5、スイッチSW__11、スイッチSW__14、スイッチSW__20もオンとなる。

【0148】

これらのスイッチはインバータの出力端子とサブビット線とを接続するもので、インバータがアクティブであると支障をきたすことがある。そこで、この過程（プリチャージの過程）ではインバータを非アクティブ（インバータの高電位電源の電位と低電位電源の電位を等しくすることで、通常は、インバータがアクティブなときの高電位電源の電位と低電位電源の電位の間の中間の値とする）とすることが好ましい。

10

【0149】

次にスイッチSW__4、スイッチSW__10、スイッチSW__13、スイッチSW__19をオフとしてこれらの接続するサブビット線をフローティングとする。同時にスイッチSW__5、スイッチSW__11、スイッチSW__14、スイッチSW__20もオフとなる。

【0150】

その後、インバータをアクティブとし、さらに、スイッチSW__2、スイッチSW__8、スイッチSW__17、スイッチSW__23をオンとすることで、サブビット線と2つのインバータを直列するルートを形成する。この際、同時にスイッチSW__1、スイッチSW__7、スイッチSW__16、スイッチSW__22もオンとなるが、これらのスイッチはいずれも今回の読み出しの対象となるサブビット線に接続していないので、読み出しの障害とならない。

20

【0151】

なお、従来のDRAMでは電位の差を増幅する際に、フリップフロップ回路のインバータをアクティブとする際に、増幅のエラーを避けるために電源電圧を徐々に変化させるが、本発明の一態様の半導体メモリ装置では、この段階ではインバータはフリップフロップ回路を形成していないので、インバータをアクティブとする際に、電源電圧をより早く変化させることができる。

30

【0152】

さらに、スイッチSW__6、スイッチSW__12、スイッチSW__15、スイッチSW__21をオンとして、インバータとビット線を接続するが、これらのスイッチはいずれも独立して操作できるので、この過程で他のスイッチがオンとなることはない。

【0153】

そして、再度、スイッチSW__4、スイッチSW__10、スイッチSW__13、スイッチSW__19をオンとして、ビット線とサブビット線を接続するが、上述の通り、これらのスイッチがオンとなると、連動して、スイッチSW__5、スイッチSW__11、スイッチSW__14、スイッチSW__20もオンとなる。

【0154】

そして、これらのスイッチは既にオンとなっているスイッチSW__2、スイッチSW__8、スイッチSW__17、スイッチSW__23とそれに接続する2つのインバータとで、それぞれ、フリップフロップのループを形成する。ただし、この段階ではビット線の電位がノイズの影響を受けないレベルとなっているのでデータの読み出しの障害にはならない。

40

【0155】

データの回復あるいはデータの書き換えが終了すれば、スイッチSW__4、スイッチSW__10、スイッチSW__13、スイッチSW__19をオフとする。連動して、スイッチSW__5、スイッチSW__11、スイッチSW__14、スイッチSW__20もオフとなる。同時にインバータは非アクティブとするとよい。

【0156】

50

(実施の形態5)

実施の形態1および実施の形態4では、サブビット線をプリチャージする際や、サブビット線に接続するメモリセルにデータを書き込む際に、第1選択トランジスタを用いたが、第1選択トランジスタを用いずとも、サブビット線をプリチャージすることや、サブビット線に接続するメモリセルにデータを書き込むことができる。用いる増幅回路は図4(A)に示されるものである。

【0157】

第1選択トランジスタやそれを制御するための第1選択線が不要であれば、より半導体メモリ装置の集積度を高めることができる。以下、その場合の駆動方法の例について図13(A)乃至図13(C)を用いて説明する。

【0158】

最初にプリチャージ方法について説明する。サブビット線 SBL_n_m をプリチャージするのであれば、第2選択トランジスタ $STr2_n_m$ と第3選択トランジスタ $STr3_n_m$ をオンとすればビット線 BL_m とサブビット線 SBL_n_m が接続するので、サブビット線 SBL_n_m はビット線 BL_m の電位でプリチャージされる(図13(A)参照)。

【0159】

このとき、インバータ INV_n+1_m がアクティブであると、サブビット線の電位等はインバータ INV_n+1_m からの電位の影響を受けるので、インバータ INV_n+1_m は非アクティブ(例えば、インバータの2つの電源(構成する2つのトランジスタのソース)の電位をともに $+0.5V$)としておくことが好ましい。なお、インバータは非アクティブな状態であっても、電源の電位と同じ電位を出力することがある。インバータ INV_n+1_m が非アクティブであれば、サブビット線 SBL_n+1_m の電位はなんでもよい。

【0160】

サブビット線のプリチャージ完了後、第3選択トランジスタ $STr3_n_m$ をオフとする。第2選択トランジスタ $STr2_n_m$ はオンのままでもよい。ここまでは、データを読み出す場合も、データを書き換える場合も同じである。

【0161】

データを読み出す場合は、以下のようにおこなう。まず、実施の形態1で説明したように第3選択トランジスタ $STr3_n+1_m$ と第2選択トランジスタ $STr2_n_m$ をオンとし、また、インバータ INV_n_m とインバータ INV_n+1_m をアクティブとする。その結果、サブビット線 $SBL_n_m \rightarrow$ インバータ $INV_n_m \rightarrow$ 第3選択トランジスタ $STr3_n+1_m \rightarrow$ 第2選択トランジスタ $STr2_n_m \rightarrow$ ビット線 BL_m というルートが形成される。

【0162】

本実施の形態では、上記のプリチャージの過程から引き続き第2選択トランジスタ $STr2_n_m$ がオンとなっていれば、第3選択トランジスタ $STr3_n+1_m$ のみをオンとすればよい。

【0163】

そして、サブビット線 SBL_n_m をフローティングとし、サブビット線 SBL_n_m に接続するメモリセルのいずれかの容量素子に蓄積されていた電荷をサブビット線 SBL_n_m に放出させることにより、サブビット線 SBL_n_m の電位はプリチャージ電位から変動し、それに応じた電位がインバータ INV_n_m とインバータ INV_n+1_m により増幅されてビット線 BL_m に出力される。

【0164】

その結果、ビット線 BL_m にデータに応じた電荷が蓄積し、ビット線 BL_m の電位が変動する。一定の期間を経過後、ビット線 BL_m の電位がノイズの影響を受けないレベル(実施の形態1参照)になったら、第3選択トランジスタ $STr3_n_m$ をオンとする。この結果、サブビット線 SBL_n_m の電位はビット線 BL_m の電位で充電され

10

20

30

40

50

、データが回復される。

【0165】

データを書き換える場合は、以下のようにおこなう。まず、書き換えるデータに応じて、ビット線 BL_m の電位がプリチャージ電位未満（好ましくは 0 V 以下）、あるいは、プリチャージ電位より高く（好ましくは $+1\text{ V}$ 以上）なるように維持する。以下の例では、サブビット線 SBL_n_m の電位を、当初、書き込まれたデータとは逆の位相の電位である 0 V に変更する場合について述べる。そのため、ビット線 BL_m の電位を 0 V となるように設定する。

【0166】

また、データを読み出す場合と同様に、第3選択トランジスタ $STr3_n+1_m$ と第2選択トランジスタ $STr2_n_m$ をオンとし、また、インバータ INV_n_m とインバータ INV_n+1_m をアクティブとする。その結果、サブビット線 SBL_n_m から2つのインバータを経由してビット線 BL_m へ到るルートが形成される。プリチャージの過程から引き続き第2選択トランジスタ $STr2_n_m$ がオンとなっていれば、第3選択トランジスタ $STr3_n+1_m$ のみをオンとすればよい。

10

【0167】

サブビット線 SBL_n_m に接続するメモリセルのいずれかの電荷をサブビット線 SBL_n_m に放出することにより、サブビット線 SBL_n_m の電位はプリチャージ電位から変動し（図13（B）では $+0.55\text{ V}$ ）、それに応じた電位がインバータ INV_n_m とインバータ INV_n+1_m により増幅されてビット線 BL_m に出力される。しかし、ビット線 BL_m は 0 V に維持されているため、ビット線 BL_m の電位は十分に上昇せず、ビット線 BL_m を電流が流れることとなる（図13（B）参照）。

20

【0168】

その後、第3選択トランジスタ $STr3_n_m$ をオンとし、インバータ INV_n+1_m の出力がインバータ INV_n_m に入力されるフリップフロップ回路を形成する。

【0169】

この結果、サブビット線 SBL_n_m の電位はビット線 BL_m の電位で充電されるのみならず、インバータ INV_n_m の入力の電位が 0 V 近辺であるため、インバータ INV_n+1_m の出力の電位（ビット線 BL_m の電位）は 0 V となる。つまり、インバータ INV_n_m とインバータ INV_n+1_m の入力の電位、出力の電位の位相は当初のものと逆転する（図13（C）参照）。

30

【0170】

データの書き換えの際には、図13（B）に示すように、インバータ INV をアクティブにしてから、しばらくの期間、ビット線 BL_m を電流が流れることとなる。そのため、第1選択トランジスタ $STr1$ を有する場合に比べると、消費電力が大きくなる。

【0171】

なお、その電流は、主にインバータ INV_n+1_m の特性で決定されるので、消費電力を抑制するためにはインバータ INV_n+1_m を構成するトランジスタのオン電流が小さいことが望ましいように思える。一方で、オン電流が大きいとビット線 BL_m の電位が安定するまでの時間（ビット線 BL_m を電流が流れている時間）も短くて済む。ビット線 BL_m を通過する電荷量は、電流と時間の積であるので、一般的には、インバータ INV_n+1_m を構成するトランジスタのオン電流の大小に関係ない。

40

【0172】

インバータ INV をアクティブにするタイミングと第3選択トランジスタ $STr3_n_m$ をオンとするタイミングを最適化することで、図13（B）に示す状態でビット線 BL_m を流れる電荷量は、ビット線 BL_m を充電する電荷量の数倍に抑制できる。

【0173】

（実施の形態6）

本実施の形態でも、実施の形態5と同様に第1選択トランジスタを有しないメモリブロックを用いた半導体メモリ装置の駆動方法の例について説明する。以下、その場合の駆動方

50

法の例について説明する。なお、用いる半導体メモリ装置は、増幅回路として図4(A)に示される回路を用いた図1(A)の構成の回路(ただし、第1選択トランジスタ $STr1$ を有しない)である。メモリブロック MB_n_m の中の1つのメモリセルのデータの読み出しとデータの回復、あるいはデータの書き換えについて説明する。

【0174】

<プリチャージ>

実施の形態5と同様に、第2選択トランジスタ $STr2_n_m$ と第3選択トランジスタ $STr3_n_m$ をオンとし、サブビット線 SBL_n_m をビット線 BL_m の電位でプリチャージする。インバータ INV_n+1_m は非アクティブ(すなわち、インバータの2つの電源電位をともに+0.5V)としておく。プリチャージ完了後、第3選択トランジスタ $STr3_n_m$ をオフとする。

10

【0175】

<データの読み出し>

第3選択トランジスタ $STr3_n+1_m$ をオンとして、インバータ INV_n_m とインバータ INV_n+1_m をアクティブとすることにより、サブビット線 $SBL_n_m \rightarrow$ インバータ $INV_n_m \rightarrow$ 第3選択トランジスタ $STr3_n+1_m \rightarrow$ 第2選択トランジスタ $STr2_n_m \rightarrow$ ビット線 BL_m というルートを形成する。

【0176】

そして、サブビット線 SBL_n_m をフローティングとし、サブビット線 SBL_n_m に接続するメモリセルのいずれかの容量素子に蓄積されていた電荷をサブビット線 SBL_n_m に放出させることにより、サブビット線 SBL_n_m の電位はプリチャージ電位から変動し、それに応じた電位がインバータ INV_n_m とインバータ INV_n+1_m により増幅されてビット線 BL_m に出力される。

20

【0177】

その結果、ビット線 BL_m にデータに応じた電荷が蓄積し、ビット線 BL_m の電位が変動する。一定の期間を経過後、ビット線 BL_m の電位がノイズの影響を受けないレベル(実施の形態1参照)になったら、第3選択トランジスタ $STr3_n_m$ をオンとする。この結果、フリップフロップ回路が形成され、ビット線 BL_m の電位が増幅される。あるいは、ビット線 BL_m にセンスアンプが接続しているのであれば、それを用いてビット線 BL_m の電位を増幅してもよい。このときのビット線 BL_m の電位を読み取ることで、データを読み出せる。

30

【0178】

その後、第2選択トランジスタ $STr2_n_m$ をオフとし、また、インバータ INV_n_m とインバータ INV_n+1_m を非アクティブとする。その結果、サブビット線 SBL_n_m とサブビット線 SBL_n+1_m の電位はデータとは無関係な値(例えば、+0.5V)となる。しかし、ビット線 BL_m はデータに応じた電位を保つことができる。その後、以下の<データの回復>あるいは<データの書き換え>のいずれかを行う。

【0179】

<データの回復>

データを回復する場合には、第2選択トランジスタ $STr2_n_m$ をオンとし、また、インバータ INV_n_m とインバータ INV_n+1_m をアクティブとする。この際、ビット線 BL_m とサブビット線 SBL_n+1_m の電位の差が増幅され、サブビット線 SBL_n+1_m の電位は、ビット線 BL_m およびサブビット線 SBL_n_m の電位とは逆の位相の電位となる。

40

【0180】

サブビット線 SBL_n_m の電位はビット線 BL_m の電位(すなわち、読み出したデータに応じた電位)と同じであり、データを読み出したメモリセルのトランジスタはオン状態を保っているため、その容量素子はビット線 BL_m の電位で充電され、データが回復される。

50

【 0 1 8 1 】

< データの書き換え >

データを書き換える場合は、ビット線 $B L_m$ の電位をデータに応じた電位とした上で、第 2 選択トランジスタ $S T r 2_n_m$ をオンとし、また、インバータ $I N V_n_m$ とインバータ $I N V_n + 1_m$ をアクティブとする。この結果、サブビット線 $S B L_n_m$ の電位はビット線 $B L_m$ の電位（すなわち、書き換えるデータに応じた電位）と同じであり、データを読み出したメモリセルのトランジスタはオン状態を保っているため、その容量素子はビット線 $B L_m$ の電位で充電され、データが書き換えられる。

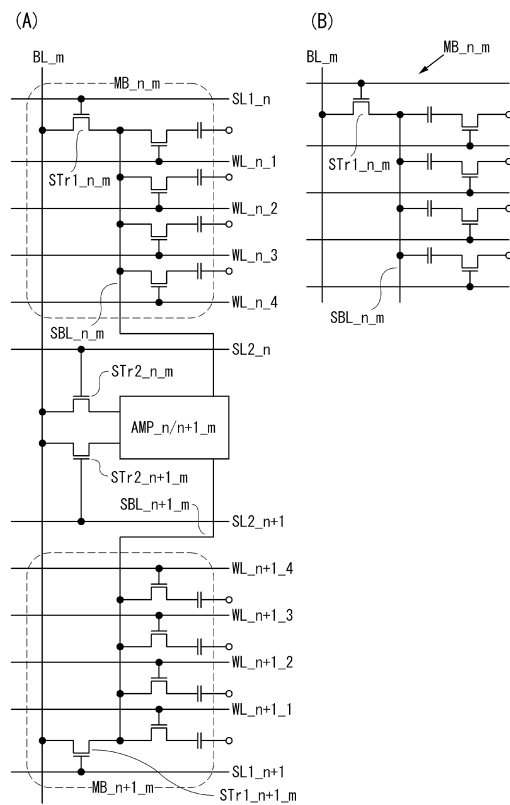
【 符号の説明 】

【 0 1 8 2 】

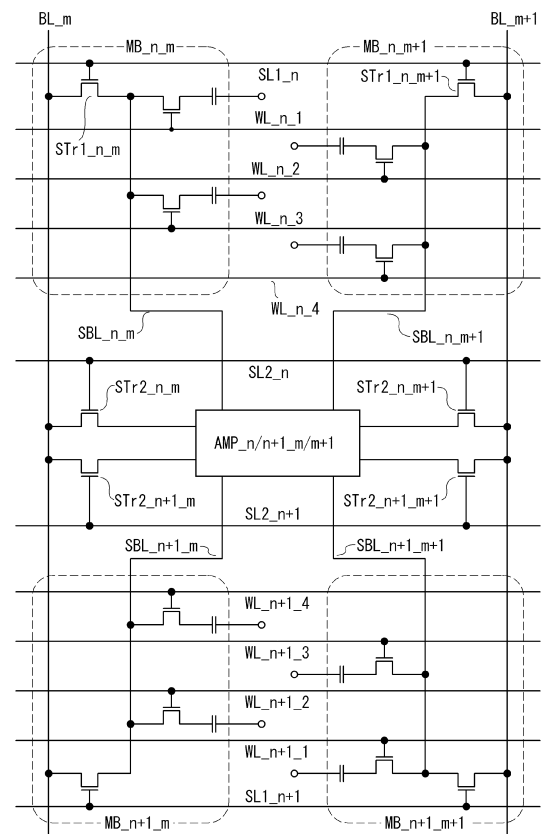
1 0 1	基板	
1 0 2	P 型ウェル	
1 0 3	N 型ウェル	
1 0 4	素子分離絶縁物	
1 0 5	N 型領域	
1 0 6	P 型領域	
1 0 7	第 1 配線	
1 0 8	第 1 層間絶縁物	
1 0 9	第 1 コンタクトプラグ	
1 1 0	第 2 配線	20
1 1 1	第 1 埋め込み絶縁物	
1 1 2	第 2 層間絶縁物	
1 1 3	第 2 コンタクトプラグ	
1 1 4	第 3 配線	
1 1 5	第 2 埋め込み絶縁物	
1 1 6	第 3 層間絶縁物	
1 1 7	第 3 コンタクトプラグ	
1 1 8	第 4 配線	
1 1 9	第 3 埋め込み絶縁物	
1 2 0	第 4 層間絶縁物	30
1 2 1	第 4 コンタクトプラグ	
1 2 2	半導体層	
1 2 3	ゲート絶縁物	
1 2 4	第 5 配線	
1 2 5	第 5 層間絶縁物	
1 2 6	第 5 コンタクトプラグ	
1 2 7	第 6 層間絶縁物	
1 2 8	第 6 コンタクトプラグ	
1 2 9	第 6 配線	
1 3 0	誘電体膜	40
1 3 1	第 7 配線	
1 3 2	第 7 層間絶縁物	
1 3 3	第 7 コンタクトプラグ	
1 3 4	第 8 配線	
A M P	増幅回路	
B L	ビット線	
I N V	インバータ	
M B	メモリブロック	
S B L	サブビット線	
S L 1	第 1 選択線	50

S L 2 第 2 選 択 線
 S L 3 第 3 選 択 線
 S L 4 第 4 選 択 線
 S T r 1 第 1 選 択 ト ラ ン ジ ス タ
 S T r 2 第 2 選 択 ト ラ ン ジ ス タ
 S T r 3 第 3 選 択 ト ラ ン ジ ス タ
 S T r 4 第 4 選 択 ト ラ ン ジ ス タ
 S W ス イ ッ チ
 W L ワ ー ド 線

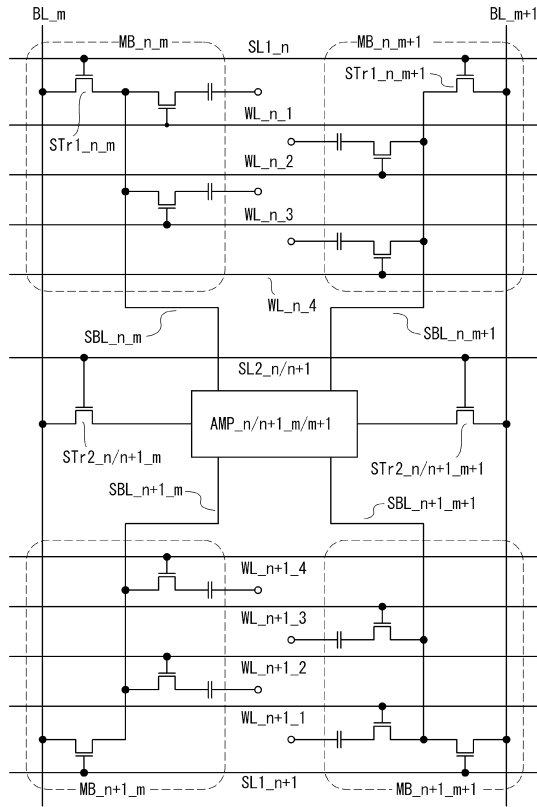
【図 1】



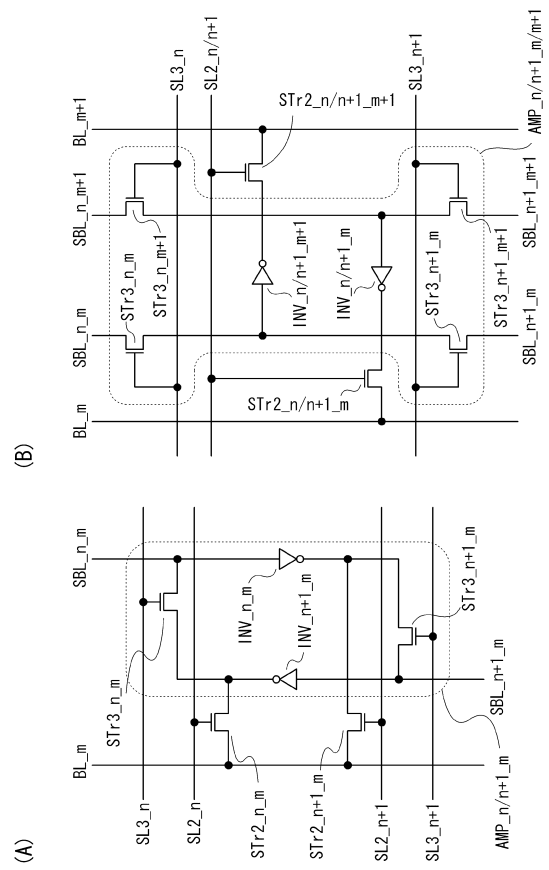
【図 2】



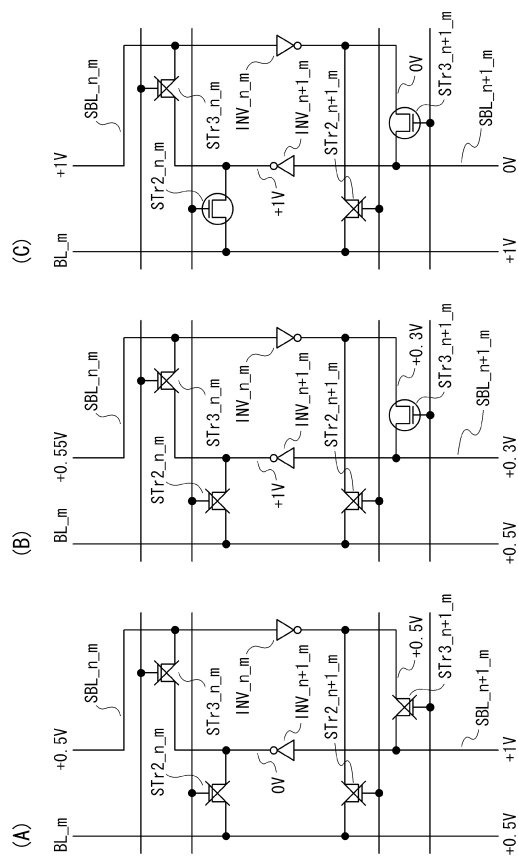
【図 3】



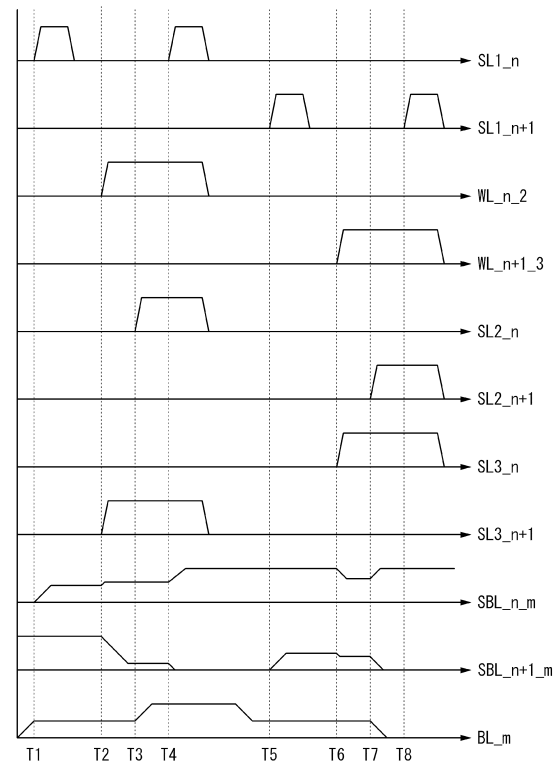
【図 4】



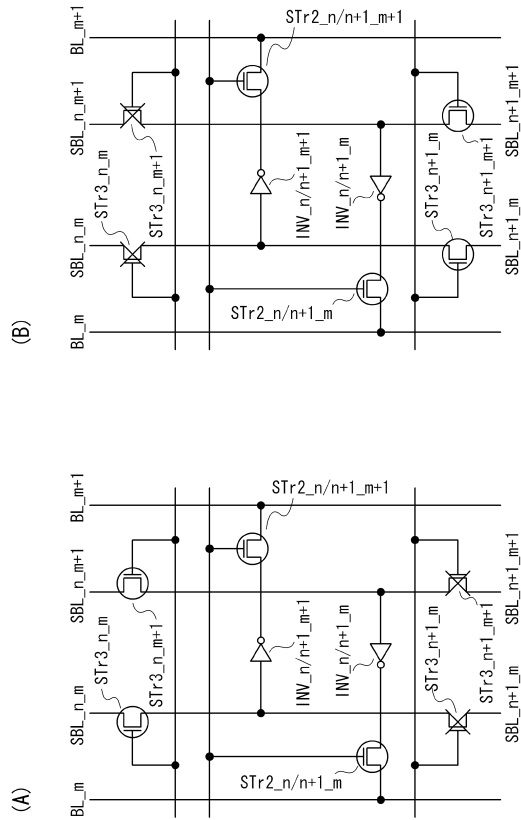
【図 5】



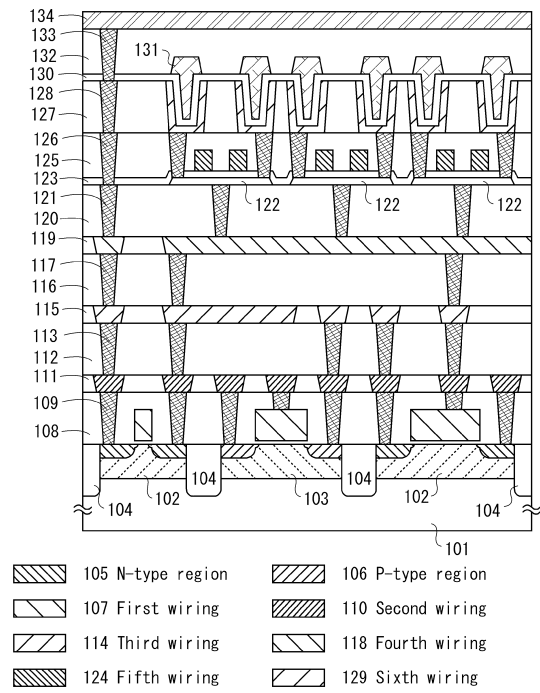
【図 6】



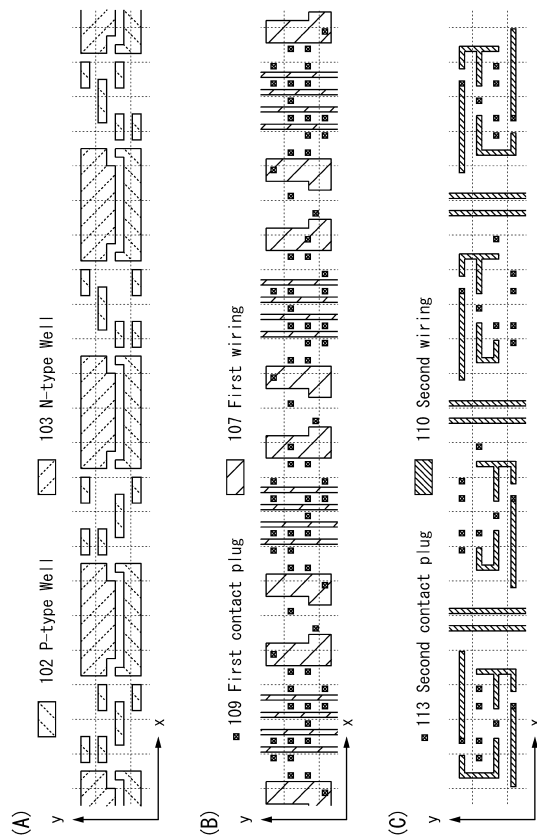
【図 7】



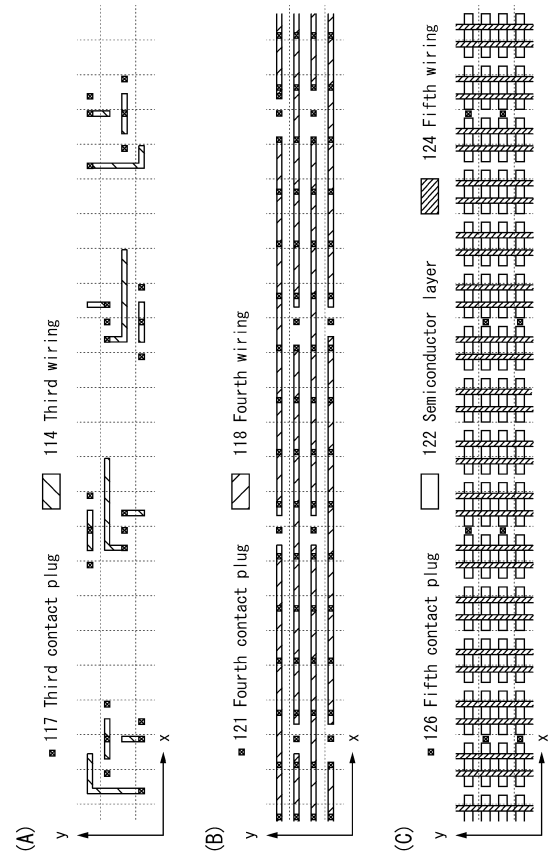
【図 8】



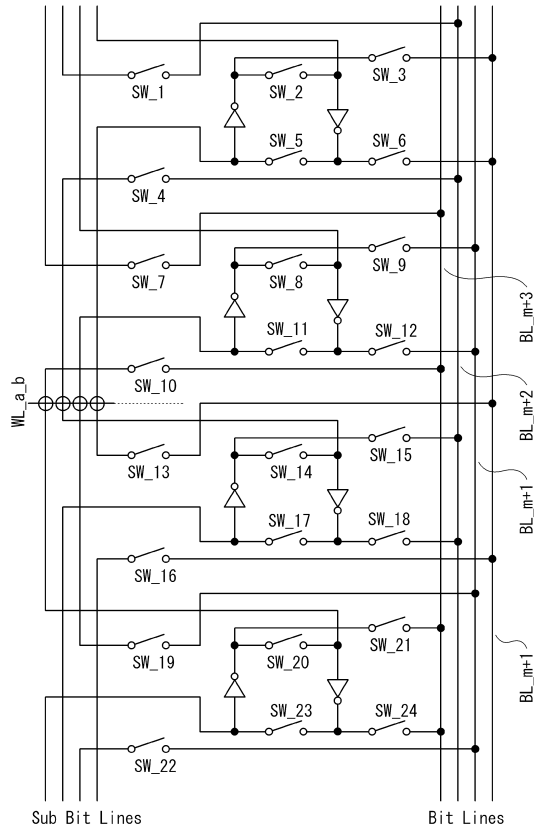
【図 9】



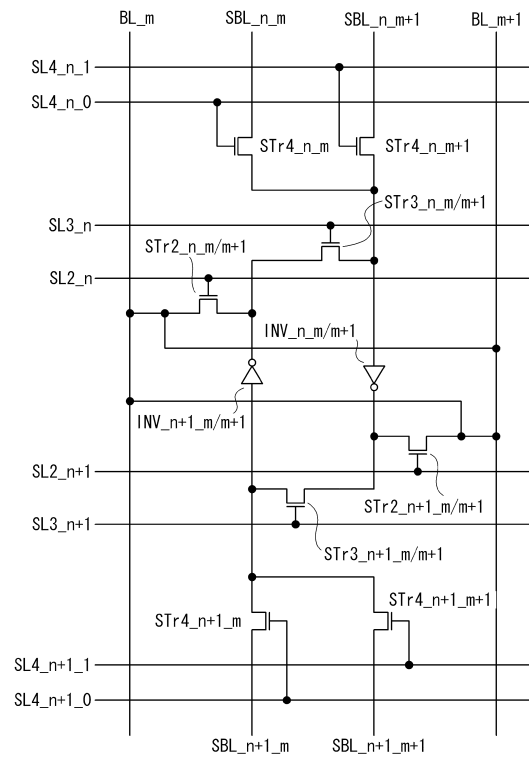
【図 10】



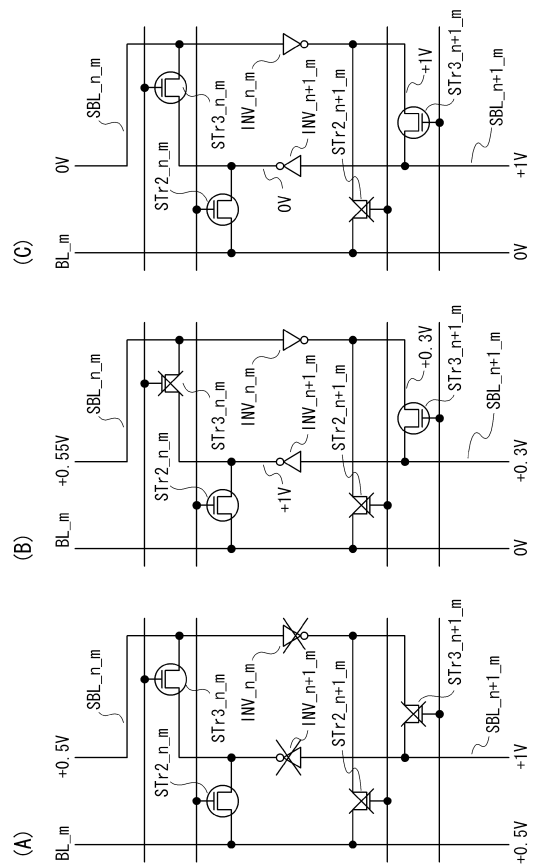
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(56)参考文献 特開平 7 - 2 3 5 1 8 0 (J P , A)
特開平 8 - 3 3 5 3 8 9 (J P , A)
特開 2 0 0 8 - 1 5 9 2 4 8 (J P , A)
特開 2 0 1 3 - 0 8 4 3 1 9 (J P , A)
特開 2 0 1 3 - 1 2 2 8 0 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C	1 1 / 4 0 9 7
G 1 1 C	1 1 / 4 0 9 1
H 0 1 L	2 1 / 8 2 4 2
H 0 1 L	2 7 / 1 0 8