

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4310585号
(P4310585)

(45) 発行日 平成21年8月12日(2009.8.12)

(24) 登録日 平成21年5月22日(2009.5.22)

(51) Int. Cl.	F 1	
HO 1 C 7/02 (2006.01)	HO 1 C 7/02	
HO 1 C 7/10 (2006.01)	HO 1 C 7/10	
HO 1 G 4/12 (2006.01)	HO 1 G 4/12	3 5 2
HO 1 G 4/30 (2006.01)	HO 1 G 4/12	3 6 4
	HO 1 G 4/30	3 0 1 B
請求項の数 10 (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2005-502748 (P2005-502748)	(73) 特許権者	000006231
(86) (22) 出願日	平成16年2月18日(2004.2.18)		株式会社村田製作所
(86) 国際出願番号	PCT/JP2004/001846		京都府長岡京市東神足1丁目10番1号
(87) 国際公開番号	W02004/075216	(74) 代理人	100085143
(87) 国際公開日	平成16年9月2日(2004.9.2)		弁理士 小柴 雅昭
審査請求日	平成17年3月15日(2005.3.15)	(72) 発明者	三原 賢二良
(31) 優先権主張番号	特願2003-44753 (P2003-44753)		日本国京都府長岡京市天神2丁目26番1
(32) 優先日	平成15年2月21日(2003.2.21)		0号 株式会社村田製作所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	岸本 敦司
			日本国京都府長岡京市天神2丁目26番1
			0号 株式会社村田製作所内
		(72) 発明者	新見 秀明
			日本国京都府長岡京市天神2丁目26番1
			0号 株式会社村田製作所内
最終頁に続く			

(54) 【発明の名称】 積層型セラミック電子部品およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

複数の積層されたセラミック層および前記セラミック層間の特定の界面に沿って延びるように形成された複数の内部電極を一体的に焼成して形成された積層体と、

前記積層体の積層方向に延びる端面上に形成され、かつ特定の内部電極に電氣的に接続された外部電極と

を備え、

前記内部電極は、前記セラミック層間に位置する主要部と、前記主要部に連なる部分であって前記積層体の前記端面上において前記外部電極との電氣的接続を図るように機能する接続用の端縁部とを有して、前記端縁部は、前記積層体の前記端面上において当該端面上に沿って扁平状に延びている、

積層型セラミック電子部品。

【請求項2】

前記端縁部と前記主要部とによって断面T字状部分が形成されるように、前記端縁部は、前記主要部の一方面側および他方面側の各々において前記積層体の前記端面上に沿って延びる部分を有している、請求項1に記載の積層型セラミック電子部品。

【請求項3】

前記外部電極は、前記積層体の第1の前記端面上に形成される第1の外部電極と前記積層体の第1の前記端面上に形成される第2の外部電極とを備え、前記内部電極は、前記第1の外部電極に電氣的に接続される第1の内部電極と前記第2

の外部電極に電氣的に接続される第2の内部電極とを備え、前記第1の内部電極と前記第2の内部電極とは、積層方向に関して交互に配置されている、請求項1に記載の積層型セラミック電子部品。

【請求項4】

前記セラミック層は、正の抵抗温度係数を有する半導体セラミックから構成される、請求項1に記載の積層型セラミック電子部品。

【請求項5】

前記セラミック層の焼結密度が60%以上かつ85%以下であり、前記内部電極の前記主要部の厚みが0.5 μ m以上である、請求項1ないし4のいずれかに記載の積層型セラミック電子部品。

10

【請求項6】

前記内部電極の前記主要部の厚みが3.0 μ m以下である、請求項5に記載の積層型セラミック電子部品。

【請求項7】

前記内部電極はニッケルを含有する、請求項1ないし6のいずれかに記載の積層型セラミック電子部品。

【請求項8】

複数の積層されたセラミック層および前記セラミック層間の特定の界面に沿って延びるように形成された複数の内部電極を一体的に焼成して形成された積層体と、前記積層体の積層方向に延びる端面上に形成され、かつ特定の前記内部電極に電氣的に接続された外部電極とを備える、積層型セラミック電子部品を製造する方法であって、

20

前記積層体の生の状態のものであって、前記セラミック層となるセラミックグリーンシートおよび前記内部電極となる導電性ペースト膜を備える、生の積層体を作製する、生の積層体作製工程と、

前記生の積層体を焼成し、それによって、焼結後の前記積層体を得る、焼成工程と、
焼結後の前記積層体の前記端面上に前記外部電極を形成する、外部電極形成工程とを備え、

前記生の積層体作製工程において、前記導電性ペースト膜の厚みは、0.5 μ m以上かつ3.0 μ m以下の厚みの前記内部電極が前記焼成工程によって得られるように選ばれ、かつ、

30

前記焼成工程において、焼結後の前記積層体に備える前記セラミック層の焼結密度が60%以上かつ85%以下となるようにされ、さらに、

前記焼成工程の後であって前記外部電極形成工程の前に、焼結後の前記積層体を、少なくとも玉石とともにバレル研磨し、それによって、前記外部電極に電氣的に接続されるべき前記内部電極の端縁部を、前記積層体の前記端面から突出させるとともに、前記端面に沿って扁平状に延びるように変形させる、バレル研磨工程を備える、

積層型セラミック電子部品の製造方法。

【請求項9】

前記玉石の径は、前記積層体の前記端面の積層方向の寸法より小さい、請求項8に記載の積層型セラミック電子部品の製造方法。

40

【請求項10】

前記内部電極はニッケルを含有する、請求項8または9に記載の積層型セラミック電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、積層型セラミック電子部品およびその製造方法に関するもので、特に、積層型セラミック電子部品に備える内部電極と外部電極との電氣的導通についての信頼性を向上させるための改良に関するものである。

【背景技術】

50

【0002】

この発明にとって興味ある積層型セラミック電子部品として、たとえば積層型正特性サーミスタがある。積層型正特性サーミスタは、通常、次のような構造を有している。

【0003】

積層型正特性サーミスタは、部品本体となる積層体を備えている。積層体は、複数の積層されたセラミック層およびセラミック層間の特定の界面に沿って延びるように形成された複数の内部電極を備えている。セラミック層は、正の抵抗温度係数を有するサーミスタ材料から構成される。内部電極は、積層体の第1の端面にまで引き出される第1の内部電極と、積層体の第1の端面に対向する第2の端面にまで引き出される第2の内部電極とを備え、第1の内部電極と第2の内部電極とは積層方向に関して交互に配置されている。

10

【0004】

また、積層型正特性サーミスタは、上述した積層体の第1および第2の端面上にそれぞれ形成された、端子となる第1および第2の外部電極を備えている。第1の外部電極は、積層体の第1の端面上において第1の内部電極に電氣的に接続され、第2の外部電極は、積層体の第2の端面上において第2の内部電極に電氣的に接続されている。

【0005】

このような積層型正特性サーミスタは、通常、以下のようにして製造されている。

【0006】

まず、生の積層体作製工程が実施される。ここで作製される生の積層体は、焼成することによって前述した焼結後の積層体となるべきものであって、セラミック層となるセラミックグリーンシートおよび内部電極となる導電性ペースト膜を備えている。

20

【0007】

より詳細には、上記セラミックグリーンシートを得るため、たとえば、BaTiO₃系のセラミック原料粉末、有機バインダおよび有機溶剤を混合してスラリーとし、このスラリーをドクターブレード法によってシート状に成形することが行なわれる。

【0008】

次に、セラミックグリーンシート上に、導電性ペーストをスクリーン印刷等の方法によって付与することにより、内部電極のための導電性ペースト膜が形成される。この導電性ペーストは、たとえばニッケルのような卑金属粉末、有機バインダおよび有機溶剤を混合して得られたものである。

30

【0009】

次に、上述のように内部電極となる導電性ペースト膜が形成されたセラミックグリーンシートを含む複数のセラミックグリーンシートが積層され、積層方向にプレスされることによって、生の状態の積層体を得られる。

【0010】

このようにして得られた生の積層体は、次いで、必要に応じて、カットされた後、焼成される。その結果、焼結後の積層体を得られる。この焼成工程では、前述のように、内部電極の導電成分としてニッケルのような卑金属が用いられる場合には、卑金属が酸化されないようにするため、還元性雰囲気中で実施される。したがって、この場合には、焼成工程の後、酸化性雰囲気中で熱処理（再酸化）することにより、セラミック層において正の温度特性が得られるようにしている。

40

【0011】

次に、バレル研磨工程が実施される。この工程は、積層型正特性サーミスタに限らず、チップ状の積層型セラミック電子部品全般について、その製造過程の途中で一般的に実施されているものであり、チッピングと称される積層体の欠けを防止したり、欠けたセラミックの破片が別の積層体に付着して特性に悪影響を及ぼすという問題を回避したりするためのものである。このバレル研磨工程の結果、焼結後の積層体は、その角隅部および稜線部が丸くされる。

【0012】

次に、積層体の第1および第2の端面上に外部電極が形成される。外部電極は、内部電

50

極に含まれる金属に対して良好な相性を有する金属をもって構成される。また、外部電極は、たとえば、スパッタリングまたは導電性ペーストの焼き付けによって形成される。

【0013】

しかしながら、以上のような製造方法によって積層型正特性サーミスタが作製される場合、次のような問題に遭遇することがある。

【0014】

すなわち、前述した焼成工程において、セラミックグリーンシートと導電性ペースト膜とを備える生の積層体を一体的に焼成した場合、一般的に、導電性ペースト膜がセラミックグリーンシートより大きく収縮するため、内部電極が焼結後の積層体の端面にまで引き出された状態とならないことがある。このような場合、内部電極の、外部電極に対する電

10

【0015】

上述の問題を解決するため、たとえば特開平6-181101号公報では、積層体が生の状態にあるとき、外部電極を形成するための導電性ペーストをこの生の積層体の端面上に塗布し、その後、焼成工程を実施することが提案されている。この方法では、生の積層体に備えるセラミックグリーンシートおよび内部電極のための導電性ペーストの焼成と同時に、外部電極のための導電性ペーストが焼成される。

【0016】

上記の方法によれば、外部電極のための導電性ペーストを塗布した段階では、生の積層体の内部にある内部電極のための導電性ペースト膜に、焼成による収縮が未だ生じていないため、外部電極のための導電性ペーストと内部電極のための導電性ペーストとを確実に接触する状態とすることができ、したがって、外部電極と内部電極との間で適正な電氣的接続状態および機械的接合状態を確実に得ることが容易である。

20

【0017】

しかしながら、上記の方法には、以下のような問題がある。すなわち、上記の方法を採用したとしても、焼結後の積層体のチッピングを防止するためには、焼成工程の後にパレル研磨工程を実施する必要があるが、焼成工程を終えた段階では、積層体に外部電極が既に形成されているので、パレル研磨によって、外部電極の一部が削られてしまい、これが原因となって、外部電極と内部電極との電氣的導通の信頼性が低下することがある。

30

【0018】

他方、たとえば特開平11-288840号公報および特開平11-288841号公報では、焼結後の積層体の端面に対して、サンドブラスト法を適用することによって、積層体の端面部分の特定の部分すなわちセラミック層の部分の部分を物理的に除去し、結果として、内部電極の端縁部を積層体の端面に確実に露出させるようにすることが開示されている。

【0019】

しかしながら、上記のような方法を、たとえば積層セラミックコンデンサに備える積層体のように、硬度の高いセラミック層を備える積層体に適用した場合、セラミック層だけでなく、内部電極もがセラミック層と同様に削られてしまうため、サンドブラスト法を適用することに意味があまりなく、外部電極と内部電極との間で信頼性の高い電氣的接続状態を得ることができない場合がある。

40

【0020】

また、サンドブラスト法を適用しようとするとき、アルミナ粉末等からなる砂を吹き付ける方向に、積層体の端面を向けなければならない。そのため、多数の積層体を取り扱う場合には、これら積層体を一定方向に整列させるための比較的煩雑な作業が必要となり、大量生産には適していない。

【発明の開示】

【発明が解決しようとする課題】

【0021】

50

そこで、この発明の目的は、内部電極の、外部電極に対する電氣的接続および機械的接合の信頼性が高められた、積層型セラミック電子部品を提供しようとすることである。

【0022】

この発明の他の目的は、上述のような積層型セラミック電子部品を効率的に製造することができる製造方法を提供しようとすることである。

【課題を解決するための手段】

【0023】

この発明は、複数の積層されたセラミック層およびセラミック層間の特定の界面に沿って延びるように形成された複数の内部電極を一体的に焼成して形成された積層体と、積層体の積層方向に延びる端面上に形成されかつ特定の内部電極に電氣的に接続された外部電極とを備える、積層型セラミック電子部品にまず向けられるものであって、上述した技術的課題を解決するため、次のような構成を備えることを特徴としている。

10

【0024】

すなわち、内部電極は、セラミック層間に位置する主要部と、この主要部に連なる部分であって、積層体の端面上において外部電極との電氣的接続を図るように機能する接続用の端縁部とを有して、この端縁部は、積層体の端面上において当該端面に沿って扁平状に延びていることを特徴としている。

【0025】

この発明は、また、複数の積層されたセラミック層およびセラミック層間の特定の界面に沿って延びるように形成された複数の内部電極を一体的に焼成して形成された積層体と、積層体の積層方向に延びる端面上に形成されかつ特定の内部電極に電氣的に接続された外部電極とを備える、積層型セラミック電子部品を製造する方法にも向けられる。

20

【0026】

この発明に係る積層型セラミック電子部品の製造方法は、積層体の生の状態のものであって、セラミック層となるセラミックグリーンシートおよび内部電極となる導電性ペースト膜を備える、生の積層体を作製する、生の積層体作製工程と、生の積層体を焼成し、それによって、焼結後の積層体を得る、焼成工程と、焼結後の積層体の端面上に外部電極を形成する、外部電極形成工程とを備えている。

【0027】

このような製造方法において、前述した技術的課題を解決するため、この発明は、次のような構成を備えることを特徴としている。

30

【0028】

すなわち、生の積層体作製工程において、導電性ペースト膜の厚みは、 $0.5\ \mu\text{m}$ 以上かつ $3.0\ \mu\text{m}$ 以下の厚みの内部電極が焼成工程によって得られるように選ばれ、かつ、焼成工程において、焼結後の積層体に備えるセラミック層の焼結密度が 60% 以上かつ 85% 以下となるようにされる。

【0029】

さらに、焼成工程の後であって外部電極形成工程の前に、焼結後の積層体を、少なくとも玉石とともにバレル研磨し、それによって、外部電極に電氣的に接続されるべき内部電極の端縁部を、積層体の端面から突出させるとともに、端面に沿って扁平状に延びるように変形させる、バレル研磨工程が実施される。

40

【発明の効果】

【0030】

この発明に係る積層型セラミック電子部品によれば、内部電極と外部電極との接合面積を比較的大きくすることができ、したがって、内部電極と外部電極との電氣的導通の信頼性を高めることができるとともに、内部電極と外部電極との接合強度を高めることができる。その結果、積層型セラミック電子部品の抵抗特性を安定化させることができる。

【0031】

この発明に係る積層型セラミック電子部品において、内部電極が前述したような特徴的構成を有しているとき、内部電極の端縁部と主要部とによって断面L字状部分が形成され

50

るように、端縁部が、主要部の一方側のみにおいて積層体の端面に沿って延びる部分を有している第1の場合と、端縁部と主要部とによって断面T字状部分が形成されるように、端縁部が、主要部の一方側および他方面側の各々において積層体の端面に沿って延びる部分を有している第2の場合とがある。

【0032】

上述の2つの場合のうち、特に第2の場合が好ましい。なぜなら、第2の場合の方が、第1の場合に比べて、内部電極と外部電極との接合面積をより大きくすることができ、内部電極と外部電極との電氣的接続および機械的接合の信頼性をより高めることができるからである。

【0033】

この発明は、外部電極として、積層体の第1の端面上に形成される第1の外部電極と積層体の第1の端面に対向する第2の端面上に形成される第2の外部電極とを備え、内部電極として、第1の外部電極に電氣的に接続される第1の内部電極と第2の外部電極に電氣的に接続される第2の内部電極とを備え、第1の内部電極と第2の内部電極とが、積層方向に関して交互に配置されている、そのような構造を有する積層型セラミック電子部品に対して、特に有利に適用される。このような構造を有する積層型セラミック電子部品としては、たとえば、積層型正特性サーミスタ、積層型負特性サーミスタ、積層セラミックコンデンサ、積層セラミックバリスタなどがある。

【0034】

また、この発明は、セラミック層が正の抵抗温度係数を有する半導体セラミックから構成される積層型セラミック電子部品、たとえば積層型正特性サーミスタにおいて、特に有利に適用される。この発明の特徴的構成が積層型正特性サーミスタに適用されたとき、内部電極と外部電極との電氣的接続部分を低抵抗にすることができるのと同時に、内部電極と外部電極との導通安定化を図ることができるので、抵抗値が安定し、キュリー温度のようなサーミスタ特性を安定化させることができ、また、過負荷試験における安定性も確保することができる。

【0035】

この発明に係る積層型セラミック電子部品において、セラミック層の焼結密度が60%以上かつ85%以下であり、内部電極の主要部の厚みが0.5 μm以上であることが好ましい。これによって、後述する製造方法を実施して積層型セラミック電子部品を得たとき、端縁部が積層体の端面に沿って延びる部分を有する構成をより確実に与えることができる。

【0036】

また、内部電極の主要部の厚みが、より限定的に3.0 μm以下とされたときには、セラミック層と内部電極との間でデラミネーションをより生じさせにくくすることができる。

【0037】

この発明に係る積層型セラミック電子部品の製造方法によれば、バレル研磨工程を実施することにより、内部電極の端縁部に対して、積層体の端面上において当該端面に沿って扁平状に延びる形状を能率的に与えることができる。

【0038】

すなわち、内部電極の厚みが0.5 μm以上となるようにして、内部電極に対して所定以上の強度をもたせながら、セラミック層の焼結密度を85%以下というようにあえて低くすることによって、焼結後の積層体において、セラミック層の強度を内部電極の強度より低くすることができる。このような状況の下で、焼結後の積層体に対して、玉石とともにバレル研磨を実施すると、セラミック層の方が内部電極よりも先に削り取られることになる。そのため、内部電極の端縁部が、積層体の端面から突出する状態となる。さらに、内部電極の突出した端縁部は、玉石によって、積層体の端面に向かって打ち付けられるため、積層体の端面上において当該端面に沿って延びるように折り曲げられ、さらには、扁平状となるように塑性変形される。このようにして、内部電極の、外部電極との接続部分

10

20

30

40

50

となる端縁部は、積層体の端面上において当該端面に沿って扁平状に延びる状態となる。

【0039】

この発明に係る積層型セラミック電子部品の製造方法において、上記玉石の径は、積層体の端面の積層方向の寸法より小さいことが好ましい。逆に、玉石の径が、積層体の端面の積層方向の寸法より大きい場合、内部電極の端縁部が、積層体の端面から一旦突出する状態となっても、この突出した端縁部が、玉石によって容易に削り取られてしまうことが確認されている。

【発明を実施するための最良の形態】

【0040】

図1に示すような積層型セラミック電子部品1が有する構造は、たとえば、積層型正特性サーミスタ、積層型負特性サーミスタ、積層セラミックコンデンサまたは積層セラミックバリスタなどにおいて採用されている。

【0041】

図1を参照して、積層型セラミック電子部品1は、部品本体となる積層体2を備えている。積層体2は、複数の積層されたセラミック層3、ならびにセラミック層3間の特定の界面に沿って延びるように形成された複数の内部電極4および5を備えている。内部電極4および5は、積層体2の積層方向に延びる第1の端面6にまで引き出される第1の内部電極4と、積層体2の第1の端面6に対向する第2の端面7にまで引き出される第2の内部電極5とを備え、第1の内部電極4と第2の内部電極5とは積層方向に関して交互に配置されている。

【0042】

セラミック層3を構成するセラミック材料は、積層型セラミック電子部品1の機能に応じて選ばれる。より具体的には、セラミック層3は、半導体セラミック、誘電体セラミック、圧電体セラミック、磁性体セラミックまたは絶縁体セラミック等から構成されることができる。積層型セラミック電子部品1が積層型正特性サーミスタであるとき、セラミック層3は、正の抵抗温度係数を有するサーミスタ材料すなわち半導体セラミックから構成される。この半導体セラミックとしては、チタン酸バリウム系、遷移元素酸化物系、酸化亜鉛系または炭化ケイ素系等の半導体セラミックを用いることができる。また、積層型セラミック電子部品1が積層セラミックコンデンサであるとき、セラミック層3は、誘電体セラミックから構成される。

【0043】

内部電極4および5に含まれる導電成分としては、たとえば、NiもしくはCu等の卑金属、Ag、PdもしくはPt等の貴金属、またはこれらの合金を用いることができる。より具体的に、積層型セラミック電子部品1が積層型正特性サーミスタであるとき、内部電極4および5は、セラミック層4とのオーミック性が得られる、たとえばニッケルのような金属をもって構成される。

【0044】

積層型セラミック電子部品1は、また、上述した積層体2の第1および第2の端面6および7上にそれぞれ形成された、端子となる第1および第2の外部電極8および9を備えている。第1の外部電極8は、積層体2の第1の端面6上において第1の内部電極4に電氣的に接続され、第2の外部電極9は、積層体2の第2の端面7上において第2の内部電極5に電氣的に接続されている。

【0045】

外部電極8および9は、たとえばスパッタリングによって形成される。より具体的には、外部電極8および9の各々は、積層体2の端面6および7上に形成されるNi-Cr層10、その上に形成されるCu層11およびその上に形成されるAg層12から構成される。Ni-Cr層10およびCu層11は、たとえば、Cr層またはNi層等に置き換えられてもよい。Ag層12は、外部電極8および9の表面でのめっき付与性および半田付け性を向上させるためのものであり、Ag以外の金属をもって構成されてもよい。

【0046】

10

20

30

40

50

外部電極 8 および 9 は、導電性金属粉末を有機バインダとともに有機溶剤に分散させた導電性ペーストを、積層体 2 の端面 6 および 7 上に付与し、焼き付けることによって形成されてもよい。この場合、導電性ペーストに含まれる導電性金属粉末としては、大気中のような酸化性雰囲気中で焼付け工程が実施されるならば、たとえば、A g、P d、P t 等の酸化しにくい貴金属を含むものが用いられるが、非酸化性雰囲気中で焼付け工程が実施されるならば、C u、N i 等の卑金属を含むものが用いられてもよい。

【 0 0 4 7 】

上述した外部電極 8 および 9 上には、必要に応じて、めっき膜 1 3 および 1 4 がそれぞれ形成される。めっき膜 1 3 および 1 4 の各々は、たとえば半田付け性を向上させたり、外部電極 8 および 9 に備える A g 層 1 2 の半田食われを防止したりするために形成されるもので、そこで用いられる金属は、外部電極 8 および 9 の各々の表面層を構成する金属との相性を考慮して選ばれる。前述したように、A g 層 1 2 によって表面層が構成された外部電極 8 および 9 に対しては、めっき膜 1 3 および 1 4 の各々として、N i 層 1 5 が形成され、その上に S n 層 1 6 が形成される。なお、S n 層 1 6 に代えて、半田層が形成されてもよい。

【 0 0 4 8 】

図 1 では図示されないが、積層体 2 の表面であって、外部電極 8 および 9 によって覆われていない部分には、たとえばガラスからなる保護膜が形成されてもよい。この保護膜は、積層体 2 に対する外部環境の影響を受けにくくし、外部の温度や湿度等による積層型セラミック電子部品 1 の特性の劣化を生じさせにくくすることができる。また、積層体 2 に備えるセラミック層 3 が半導体セラミックから構成される場合、外部電極 8 および 9 の表面にめっき膜 1 3 および 1 4 を形成しようとするとき、積層体 2 の表面であってセラミック層 3 をもって構成される表面に不所望にもめっき成長したり、積層体 2 の内部にめっき液が浸入したりすることがあるが、保護膜の形成によって、これらを防止することができる。

【 0 0 4 9 】

この発明の特徴的構成は、図 5 によく示されている。図 5 は、積層体 2 の第 2 の端面 7 側を示しているが、第 1 の端面 6 側においても実質的に同様の構成となっている。

【 0 0 5 0 】

図 5 を参照して、内部電極 4 および 5 の各々は、セラミック層 3 間に位置する主要部 1 7 と、主要部 1 7 に連なる部分であって積層体 2 の端面 6 および 7 の各々上において外部電極 8 および 9 の各々との電気的接続を図るように機能する端縁部 1 8 とを有している。この端縁部 1 8 は、積層体 2 の端面 6 および 7 の各々上において当該端面 6 および 7 の各々に沿って扁平状に延びている。

【 0 0 5 1 】

端縁部 1 8 としては、典型的には、図 5 の上部に示すように、端縁部 1 8 と主要部 1 7 とによって断面 T 字状部分 1 9 を形成するものと、図 5 の中央部および下部に示すように、端縁部 1 8 と主要部 1 7 とによって断面 L 字状部分 2 0 を形成するものがある。断面 T 字状部分 1 9 を形成する端縁部 1 8 にあっては、主要部 1 7 の一側面側および他側面側の各々において積層体 2 の端面 6 および 7 の各々に沿って延びる部分を有している。他方、断面 L 字状部分 2 0 を形成する端縁部 1 8 にあっては、主要部 1 7 の一側面側のみにおいて積層体 2 の端面 6 および 7 の各々に沿って延びる部分を有している。

【 0 0 5 2 】

なお、図示した断面 T 字状部分 1 9 および断面 L 字状部分 2 0 は、ともに典型例であって、実際には、これらの中間的な形態をとるものもあり、また、1 つの内部電極 4 または 5 の端縁部 1 8 について、断面 T 字状部分 1 9 と断面 L 字状部分 2 0 とが混在することもある。

【 0 0 5 3 】

上述のような構成は、内部電極 4 および 5 と外部電極 8 および 9 との接合面積を大きくするように作用し、したがって、内部電極 4 および 5 と外部電極 8 および 9 との間での電

10

20

30

40

50

氣的導通の信頼性を高め、かつ機械的接合強度を高めることができる。特に、内部電極 4 および 5 の各々の端縁部 18 が断面 T 字状部分 19 を形成する場合の方が、断面 L 字状部分 20 を形成する場合に比べて、上述した電氣的導通の信頼性および機械的接合強度をより向上させることができる。

【 0 0 5 4 】

内部電極 4 および 5 の各々の端縁部 18 における上述した特徴的形狀は、内部電極 4 および 5 とセラミック層 3 との間で強度の差を設けながら、以下のような製造方法を適用して積層型セラミック電子部品を製造することによって得ることができる。

【 0 0 5 5 】

まず、積層体 2 の生の状態のものであって、セラミック層 3 となるセラミックグリーンシートおよび内部電極 4 および 5 となる導電性ペースト膜を備える、生の積層体を作製する、生の積層体作製工程が実施され、次いで、生の積層体を焼成し、それによって、焼結後の積層体 2 を得る、焼成工程が実施される。この焼成工程の後に得られた積層体 2 の第 2 の端面 7 側の一部が図 2 に拡大されて示されている。

【 0 0 5 6 】

上述した生の積層体作製工程において、導電性ペースト膜の厚みは、 $0.5 \mu\text{m}$ 以上の厚みの内部電極 4 および 5 が焼成工程によって得られるようにされ、また、焼成工程において、焼結後の積層体 2 に備えるセラミック層 3 の焼結密度が 60% 以上かつ 85% 以下となるようにされる。なお、焼結密度とは、セラミック層 3 のセラミック組成から求められる理論密度に対する相対比のことである。

【 0 0 5 7 】

次に、焼結後の積層体 2 を、少なくとも玉石とともにバレル研磨する、バレル研磨工程が実施される。図 3 および図 4 は、図 2 に相当する図であって、バレル研磨工程を実施することによって得られる典型的な状態を示している。

【 0 0 5 8 】

前述したように、内部電極 4 および 5 の厚みを $0.5 \mu\text{m}$ 以上とすることによって、内部電極 4 および 5 に対して所定以上の強度を持たせながら、セラミック層 3 の焼結密度を 85% 以下というようにあえて低くすることによって、焼結後の積層体 2 において、セラミック層 3 の強度を内部電極 4 および 5 の強度より低くした上で、前述したようなバレル研磨工程を実施すると、図 3 に示すように、セラミック層 3 の方が内部電極 4 および 5 よりも先に削り取られる。そのため、内部電極 4 および 5 の端縁部 18 が、積層体 2 の端面 6 および 7 から突出する状態となる。図 3 において、積層体 2 の第 2 の端面 7 が図示されているが、バレル研磨工程を実施する前の段階での端面 7 の位置が破線で示されている。

【 0 0 5 9 】

上述したように、セラミック層 3 が削り取られると同時に、内部電極 4 および 5 の突出した端縁部 18 は、玉石によって、積層体 2 の端面 6 および 7 に向かって打ち付けられる。その結果、図 4 に示すように、内部電極 4 および 5 の端縁部 18 は、端面 6 および 7 上において当該端面 6 および 7 に沿って延びるように折り曲げられ、さらには、扁平状となるように塑性変形される。このようにして、内部電極 4 および 5 の端縁部 18 は、断面 T 字状部分 19 または断面 L 字状部分 20 を形成する。

【 0 0 6 0 】

内部電極 4 および 5 の厚みが $0.5 \mu\text{m}$ 未満というように薄い場合には、内部電極 4 および 5 の端縁部 18 を、積層体 2 の端面 6 および 7 から一旦突出させることができたとしても、バレル研磨で用いる玉石によって、セラミック層 3 とともに簡単に除去されてしまう。

【 0 0 6 1 】

なお、内部電極 4 および 5 の厚みが $3.0 \mu\text{m}$ より厚い場合には、生の積層体を焼成するとき、デラミネーションが発生しやすく、積層型セラミック電子部品 1 が与える比抵抗が大きくなりやすい。

【 0 0 6 2 】

また、セラミック層 3 の焼結密度が 85% より高い場合には、積層体 2 に対してバレル研磨を実施したとしても、内部電極 4 および 5 の端縁部 18 が突出し得るほどセラミック層 3 を削り取ることができない。そのため、内部電極 4 および 5 の端縁部 18 において、断面 T 字状部分 19 や断面 L 字状部分 20 を形成することが困難である。

【0063】

なお、セラミック層 3 の焼結密度は 60% 以上となるようにされる。セラミック層 3 の焼結密度が 60% 未満であると、セラミック層 3 の強度が低くなり、積層体 2 において、実装に耐え得る機械的強度を与えることができないからである。

【0064】

前述したように、内部電極 4 および 5 に所定以上の強度をもたせるため、内部電極 4 および 5 を形成するために用いられる導電性ペースト中の金属粉末の種類や含有率等を調整することも考えられるが、この実施形態のように、内部電極 4 および 5 の厚みを $0.5 \mu\text{m}$ 以上とすることが、より簡易な方法であるとして評価できる。

【0065】

他方、セラミック層 3 の強度を低くするために焼結密度を低くする方法としては、セラミック層 3 となるセラミックグリーンシートに含まれる有機バインダ量を増やしたり、焼結後の積層体 2 を得るための焼成工程において付与される焼成温度を下げたりするなどの方法を採用することができる。

【0066】

バレル研磨工程において用いられる玉石の径は、積層体 2 の端面 6 および 7 の積層方向の寸法より小さいことが好ましい。玉石の径が、積層体 2 の端面 6 および 7 の積層方向の寸法より大きい場合、内部電極 4 および 5 の端縁部 18 が、積層体 2 の端面 6 および 7 から一旦突出する状態となっても、この突出した端縁部 18 が、玉石によって容易に削り取られてしまうことが確認されている。

【0067】

玉石としては、たとえば Si 系、Al 系または Zr 系等の任意の材料からなるものを用いることができる。また、バレル研磨工程において、玉石のほかに、水、たとえば SiO_2 または Al_2O_3 からなる研磨粉、その他の添加剤等を加えてもよい。

【0068】

前述した断面 T 字状部分 19 および断面 L 字状部分 20 のいずれが主として形成されるかについては、バレル研磨実施時の玉石、積層体 2、水、研磨粉、その他の添加剤等の割合、バレルの回転数、バレル研磨実施時間等の条件によって変わることが確認されている。

【0069】

次に、積層体 2 の端面 6 および 7 上に、図 1 および図 5 に示すように、外部電極 8 および 9 が形成され、さらに、必要に応じて、めっき膜 13 および 14 が形成され、また、ガラス等からなる保護膜が形成され、それによって、積層型セラミック電子部品 1 が完成される。

【0070】

次に、この発明に従って実施された実験例について説明する。この実験例では、試料として積層型正特性サーミスタを作製した。

【0071】

(実験例 1)

まず、 BaCO_3 、 TiO_2 および Sm_2O_3 の各粉末を用意し、これらを、 $(\text{Ba}_{0.998}\text{Sm}_{0.002})\text{TiO}_3$ の組成が得られるように調合した。

【0072】

次に、この調合粉末に、純水を加えて、ジルコニアボールとともに 10 時間混合粉碎し、乾燥後、 1000°C の温度で 2 時間仮焼し、次いで、粉碎することによって、仮焼粉末を得た。

【0073】

10

20

30

40

50

次に、この仮焼粉末に、有機バインダ、分散剤および水を加えて、ジルコニアボールとともに数時間混合することによって、セラミックスラリーを得た。ここで、後述する焼成工程後において、その焼結密度が、表1の「焼結密度」の欄に示すように、50～90%の範囲で異なった複数種類のセラミック層を得るため、バインダ量を異ならせた複数種類のセラミックスラリーを作製した。

【0074】

次に、各セラミックスラリーを、ドクターブレード法によりシート状に成形し、乾燥させることによって、セラミックグリーンシートを得た。

【0075】

次に、ニッケル粉末と有機バインダと有機溶剤とを含む導電性ペーストを用意し、所定のセラミックグリーンシート上に、スクリーン印刷法によって、内部電極となる導電性ペースト膜を形成した。ここで、後述する焼成工程後において、その厚みが、表1の「内部電極厚み」の欄に示すように、0.3～3.6 μmの範囲で異なった複数種類の内部電極を得るため、厚みを異ならせた複数種類の導電性ペースト膜を形成した。

【0076】

次に、導電性ペースト膜がセラミックグリーンシートを介して対向する状態となるように複数のセラミックグリーンシートを積み重ね、さらに、導電性ペースト膜が形成されていない保護用セラミックグリーンシートをその上下に積み重ね、圧着した後、長さ2.2 mm、幅2.75 mmおよび厚み1.2 mmの寸法に切断して、生の積層体を得た。

【0077】

次に、生の積層体を、大気中、400 の温度で2時間脱脂した後、 $H_2/N_2 = 3\%$ の還元性雰囲気下にて1300 の温度で2時間焼成した。これによって、セラミックグリーンシートによってセラミック層が与えられ、かつ導電性ペースト膜によって内部電極が与えられた、焼結後の積層体を得た。

【0078】

次に、焼結後の積層体を、SiおよびAlを含む直径1 mmの玉石と混合し、さらに所定量の水を加えて、バレル研磨を実施した。

【0079】

次に、バレル研磨後の積層体に対して、大気中において700 の温度を付与する再酸化処理を行なった。

【0080】

次に、積層体の両端面上に、外部電極となるNi-Cr層、Cu層およびAg層を順次スパッタリングによって形成した後、さらに、外部電極上に、めっき膜としてのNi層およびSn層を順次電気めっきによって形成した。

【0081】

以上のようにして、各試料に係る積層型正特性サーミスタを得た。そして、これら積層型正特性サーミスタについて、次のような特性評価を行なった。

【0082】

1. 室温抵抗値

各試料につき20個ずつの積層型正特性サーミスタを用意し、各々の室温(25)での抵抗値を測定し、その平均値、最大値、最小値およびばらつき()をそれぞれ求めた。この室温抵抗値は、内部電極と外部電極との導通の安定性を表す指標となるものである。

【0083】

2. 抗折強度

各試料につき10個ずつの積層型正特性サーミスタを用意し、JIS C 5102「電子機器用固定コンデンサの試験方法」の「8.12項 コンデンサ本体強度」の方法を用いて、各々の抗折強度を測定し、その平均値を求めた。この抗折強度は、積層体ひいては積層型正特性サーミスタの機械的強度の指標となるものである。

【0084】

10

20

30

40

50

3. デラミネーション発生率

各試料につき50個ずつの積層型正特性サーミスタを用意した。そして、各積層型正特性サーミスタについて、その一方の外部電極から他方の外部電極までを積層方向に対して平行な方向に切断し、得られた縦断面を表面研磨した後、目視観察によって、デラミネーションの発生の有無を評価し、全試料数に対する、デラミネーションの発生した試料数の比率を百分率に換算して、デラミネーション発生率とした。

【0085】

以上のような室温抵抗値、抗折強度およびデラミネーション発生率が、表1に示されている。

【0086】

【表1】

試料番号	焼結密度 (%)	内部電極厚み (μm)	室温抵抗値 (Ω)				抗折強度 (N)	デラミネーション発生率 (%)
			平均値	最大値	最小値	σ		
* 1	50	1.5	0.348	0.41	0.31	0.03	21	0
2	60	1.5	0.345	0.38	0.32	0.015	46	0
3	70	1.5	0.311	0.34	0.29	0.016	49	0
4	80	1.5	0.309	0.33	0.28	0.013	52	0
* 5	85	0.3	0.869	1.24	0.56	0.175	54	0
* 6	85	0.4	0.59	0.82	0.34	0.154	47	0
7	85	0.5	0.327	0.37	0.27	0.03	56	0
8	85	1	0.316	0.36	0.29	0.017	51	0
9	85	1.5	0.315	0.34	0.29	0.014	53	0
10	85	2	0.305	0.34	0.29	0.011	53	0
11	85	2.5	0.299	0.32	0.29	0.009	53	0
12	85	3	0.306	0.33	0.28	0.013	54	0
* 13	85	3.3	0.306	0.33	0.29	0.012	51	4
* 14	85	3.6	0.301	0.33	0.28	0.011	55	22
* 15	90	1.5	0.492	0.71	0.34	0.108	58	0

【0087】

表1において、試料番号に*を付したものは、この発明に係る製造方法の条件から外れた条件で作製された試料である。

【0088】

表1からわかるように、「内部電極厚み」が $0.5\mu\text{m}$ 以上であり、かつ「焼結密度」が60～85%の範囲にある、試料2～4および7～14については、「室温抵抗値」の「平均値」がいずれも0.35以下と低くなっている。

【0089】

特に、上記試料のうち、「内部電極厚み」が $3.0\mu\text{m}$ 以下の条件をさらに満たす、試料2～4および7～12については、「デラミネーション発生率」を0%に抑制することができる。これら試料2～4および7～12の各々に係る積層型正特性サーミスタについて、その縦断面を観察したところ、図5に示すように、内部電極4および5の各々の端縁部18が、積層体2の端面6および7上において当該端面6および7に沿って扁平状に延びており、断面T字状部分19および断面L字状部分20が形成されていることが確認された。

【0090】

他方、「内部電極厚み」が $0.5\mu\text{m}$ 未満の試料5および6では、「室温抵抗値」の「平均値」が0.5以上と高く、また「 σ 」についても格段に大きいことがわかる。これは、内部電極と外部電極との電氣的導通が十分に得られていないためであると考えられる。

【0091】

また、「焼結密度」が60%未満の試料1では、「抗折強度」が他の試料に比べて大きく低下している。このことから、「焼結密度」が60%未満の場合には、積層型正特性サーミスタの機械的強度が低く、製造時の取り扱いはもちろん、実装時の取り扱いにおいても、積層型正特性サーミスタの破損等が懸念される。

10

20

30

40

50

【 0 0 9 2 】

他方、「焼結密度」が 8 5 %より高い試料 1 5 では、「室温抵抗値」の「平均値」が 0 . 4 5 以上と大きいことがわかる。この試料 1 5 に係る積層型正特性サーミスタの断面を目視観察すると、図 6 に示すように、内部電極 4 および 5 の端縁部 1 8 が積層体 2 の端面 6 および 7 から突出しておらず、内部電極 4 および 5 と外部電極 8 および 9 との間において十分な電氣的導通が図られていないことが確認された。なお、図 6 において、図 5 に示した要素に相当する要素には同様の参照符号を付している。

【 0 0 9 3 】

(実験例 2)

内部電極の端縁部の形態の違いによる積層型正特性サーミスタの抵抗安定性への影響を調査するため、上記実験例 1 における試料 9 を比較の基準とし、内部電極の端縁部の形態を試料 9 の場合とは異ならせた試料 1 6 および 1 7 に係る積層型正特性サーミスタをさらに作製した。

【 0 0 9 4 】

より具体的には、試料 1 6 および 1 7 の各々に係る積層型正特性サーミスタを作製するため、試料 9 に係る積層体と同様の積層体を用いた。そして、試料 1 6 では、積層体の端面の積層方向の寸法より大きい 5 m m の直径を有する玉石を用いてバレル研磨した後、積層体における内部電極の端縁部が引き出される端面に向かってサンドブラストを適用して、端面から内部電極の端縁部を突出させた。他方、試料 1 7 では、バレル研磨工程において、試料 9 の場合と比較して、同じ直径の玉石を用いながらも、玉石の量をより少なくし、内部電極の端縁部によって、断面 T 字状部分よりも断面 L 字状部分がより多く形成されるようにした。

【 0 0 9 5 】

その後、試料 9 の場合と同様の工程を経て、試料 1 6 および 1 7 の各々に係る積層型正特性サーミスタを得た。

【 0 0 9 6 】

このようにして得られた試料 1 6 および 1 7 に係る積層型正特性サーミスタについて、実験例 1 の場合と同様の方法によって、室温での抵抗値を測定した。その平均値、最大値、最小値およびばらつき () が表 2 に示されている。なお、表 2 には、比較を容易にするため、表 1 に示した試料 9 についての「室温抵抗値」が再び示されている。

【 0 0 9 7 】

また、試料 9、1 6 および 1 7 の各々に係る積層型正特性サーミスタの信頼性、より具体的には抵抗安定性を評価するため、断続通電試験を行なった。すなわち、各試料につき 1 0 個ずつの積層型正特性サーミスタを用意し、各々に対して、6 V の電圧を 3 0 秒間印加することと 1 分間通電を遮断することとを 1 0 0 0 サイクル繰り返す断続通電試験を実施し、この断続通電試験後の室温抵抗値を測定した。そして、この断続通電試験後の室温抵抗値の、断続通電試験前の室温抵抗値に対する変化率を求めた。その平均値が表 2 の「抵抗変化率」の欄に示されている。

【 0 0 9 8 】

【表 2】

試料番号	室温抵抗値(Ω)				抵抗変化率 (%)
	平均値	最大値	最小値	σ	
9	0.315	0.34	0.29	0.014	1.8
16	0.319	0.34	0.31	0.011	9.6
17	0.309	0.33	0.3	0.008	4.7

【 0 0 9 9 】

表 2 からわかるように、断続通電試験による負荷を印加する前にあっては、試料 1 6 および 1 7 は、試料 9 と同等の室温抵抗値を示している。しかしながら、断続通電試験といった冷熱サイクルによる膨張収縮ストレスが加わると、抵抗値の上昇が見られ、この抵抗変化率については、試料 9、試料 1 7、試料 1 6 の順に、より大きくなっている。このこ

とから、外部電極と接触する内部電極の端縁部の面積がより広くなるほど、抵抗変化率が小さくなり、信頼性が向上することがわかる。

【産業上の利用可能性】

【0100】

この発明に係る積層型セラミック電子部品の製造方法は、特に内部電極と外部電極との接合部での抵抗が低くかつ安定であることが要求される積層型正特性サーミスタのような積層型セラミック電子部品を製造するために有利に適用される。

【図面の簡単な説明】

【0101】

【図1】図1は、この発明の一実施形態による積層型セラミック電子部品を図解的に示す断面図である。

10

【図2】図2は、図1に示した積層型セラミック電子部品を製造するために実施される焼成工程の後に得られる焼結後の積層体の端面部分を拡大して示す断面図である。

【図3】図3は、図2に示した焼結後の積層体に対して実施されるパレル研磨工程において、積層体の端面から内部電極が突出した状態を示す、図2に相当する図である。

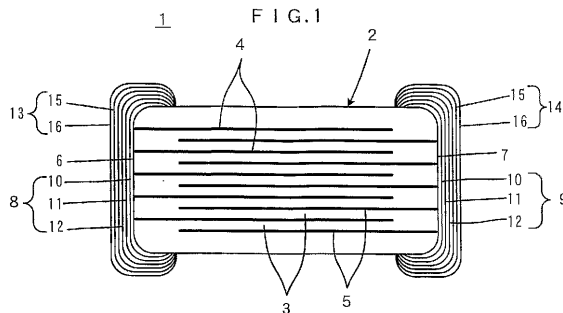
【図4】図4は、上述のパレル研磨工程において、図3に示した状態と実質的に並行して生じる、内部電極の端縁部が変形される状態を示す、図2に相当する図である。

【図5】図5は、図4に示した状態を得た後に外部電極が形成された状態を示す、図2に相当する図である。

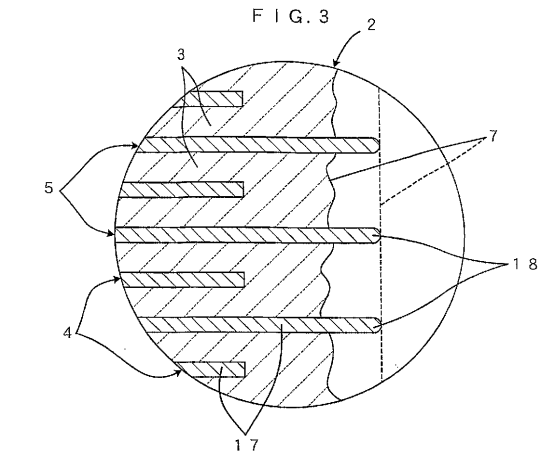
【図6】図6は、この発明の比較例を説明するためのもので、パレル研磨工程が適正に実施されなかった場合のパレル研磨工程後の状態を示す、図2に相当する図である。

20

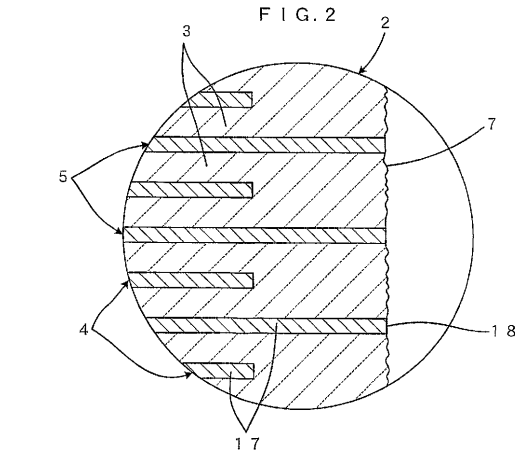
【図1】



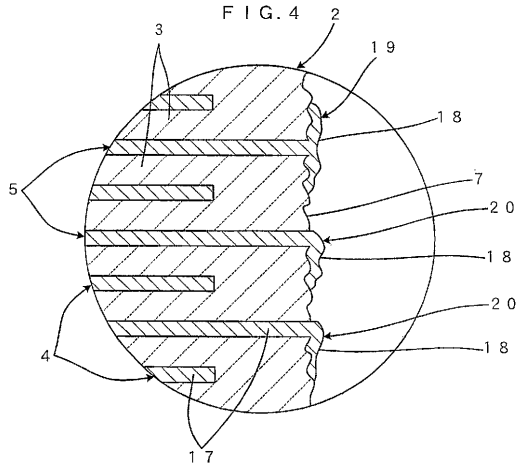
【図3】



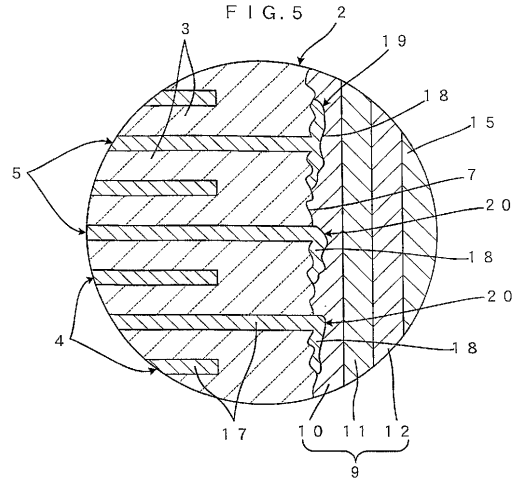
【図2】



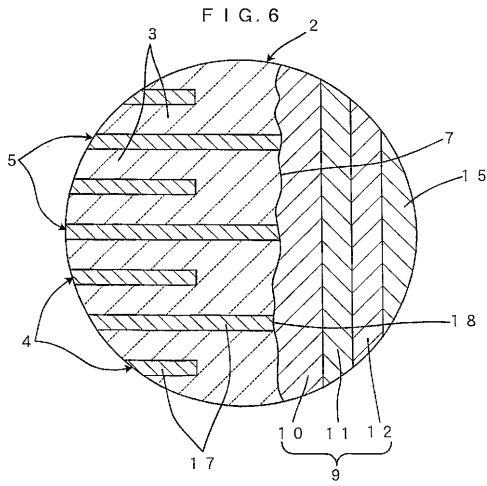
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 G 4/30 3 1 1 E

審査官 田中 純一

- (56)参考文献 特開平06-302404(JP,A)
特開2001-130957(JP,A)
特開2000-082605(JP,A)
特開平05-029680(JP,A)
特開昭57-148334(JP,A)
特開2002-217004(JP,A)
特開平05-047511(JP,A)
特開平05-021211(JP,A)
特開平04-280603(JP,A)
特開2002-231570(JP,A)
特開平11-288841(JP,A)
特開平11-288840(JP,A)
特開平05-166606(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01C 7/02 - 7/04
H01G 4/12
H01G 4/00 - 4/018
H01G 4/14 - 4/22
H01G 4/255 - 4/258
H01G 4/26 - 4/32
H01G 4/35 - 4/40
H01G 15/00
H01G 17/00