

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5121119号
(P5121119)

(45) 発行日 平成25年1月16日(2013.1.16)

(24) 登録日 平成24年11月2日(2012.11.2)

(51) Int.Cl.	F I
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 Z
GO 6 K 19/077 (2006.01)	GO 6 K 19/00 K
GO 6 K 19/07 (2006.01)	GO 6 K 19/00 H
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 3 3
HO 1 L 27/112 (2006.01)	HO 1 L 29/78 6 2 7 D
請求項の数 1 (全 38 頁) 最終頁に続く	

(21) 出願番号 特願2004-362116 (P2004-362116)
 (22) 出願日 平成16年12月15日(2004.12.15)
 (65) 公開番号 特開2005-252232 (P2005-252232A)
 (43) 公開日 平成17年9月15日(2005.9.15)
 審査請求日 平成19年10月19日(2007.10.19)
 (31) 優先権主張番号 特願2003-432343 (P2003-432343)
 (32) 優先日 平成15年12月26日(2003.12.26)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2004-30976 (P2004-30976)
 (32) 優先日 平成16年2月6日(2004.2.6)
 (33) 優先権主張国 日本国(JP)

前置審査

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 チップ搭載物

(57) 【特許請求の範囲】

【請求項1】

第1のメモリセル乃至第3のメモリセルを有する集積回路を備えたチップを搭載したチップ搭載物であって、

前記第1のメモリセルは、第1のトランジスタを有し、

前記第1のトランジスタは、同じ導電型である第1の不純物領域及び第2の不純物領域を有し、前記第1の不純物領域及び前記第2の不純物領域はチャンネル形成領域を介して配置され、

前記第1のトランジスタの第1の不純物領域上に、第1のビット線が設けられ、

前記第1のトランジスタの第2の不純物領域上に、第1の配線と、前記第1の配線の電位より高い電位を有する第2の配線とが設けられ、

前記第1のビット線と、前記第1の不純物領域とを接続するための第1のコンタクトホールが設けられ、

前記第1の配線と、前記第2の不純物領域とを接続するための第2のコンタクトホールが設けられ、

前記第2の配線と、前記第2の不純物領域とを接続するための第3のコンタクトホールが設けられ、

前記第2の配線の一部はレーザカット法により切断されており、前記第2のコンタクトホールで前記第1の配線と前記第2の不純物領域とが電気的に接続されていることにより、前記第1のメモリセルのデータは前記第1の配線の電位に応じたものとなっており、

10

20

前記第2のメモリセルは、第2のトランジスタを有し、

前記第3のメモリセルは、第3のトランジスタを有し、

前記第2のトランジスタは、同じ導電型である第3の不純物領域及び第4の不純物領域を有し、前記第3の不純物領域及び前記第4の不純物領域はチャンネル形成領域を介して配置され、

前記第3のトランジスタは、同じ導電型である第5の不純物領域及び第6の不純物領域を有し、前記第5の不純物領域及び前記第6の不純物領域はチャンネル形成領域を介して配置され、

前記2のトランジスタの第3の不純物領域、及び前記第3のトランジスタの第5の不純物領域の上にわたって、第2のビット線が設けられ、

前記第2のビット線と、前記第2のトランジスタの第3の不純物領域とを接続するための第4のコンタクトホールはフォトリソグラフィ法によって形成され、

前記第2のビット線と、前記第3のトランジスタの第5の不純物領域とを接続するための第5のコンタクトホールはフォトリソグラフィ法によって形成され、

前記2のトランジスタの第4の不純物領域、及び前記第3のトランジスタの第6の不純物領域の上にわたって、第3の配線と、前記第3の配線の電位より高い電位を有する第4の配線とが設けられ、

前記第3の配線と、前記第2のトランジスタの第4の不純物領域とを接続するための第6のコンタクトホールはフォトリソグラフィ法によって形成され、前記第2のメモリセルのデータは前記第3の配線の電位に応じたものとなっており、

前記第4の配線と、前記第3のトランジスタの第6の不純物領域とを接続するための第7のコンタクトホールはフォトリソグラフィ法によって形成され、前記第3のメモリセルのデータは前記第4の配線の電位に応じたものとなっており、

前記第1乃至第3のトランジスタが有する半導体膜は0.2 μm以下の厚さを有する結晶性半導体膜からなることを特徴とするチップ搭載物。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁表面上に形成した薄膜集積回路、及び薄膜集積回路を内蔵するチップに関する。特に、該チップを搭載した有価証券、並びにその他の搭載物、及びそれらの作製方法に関する。

【背景技術】

【0002】

近年、有価証券や商品の管理など、自動認識が必要なあらゆる分野を対象に、非接触でデータの授受が行えるICカードや、ICタグの必要性が高まっている。これらのICカードや、ICタグは、耐衝撃性能でみたところ小型化が、使い捨て用途のために安価が、特に有価証券の管理を視野に入れて紙との親和性が、あるいは、情報量の増加からメモリの大容量化が求められ、シリコン基板上では様々な技術を駆使し、それらの要求を満たしたICチップの開発が進められている。

【0003】

このようなICチップを利用する用途としては、有価な証券類に微細なICチップを搭載し、不正利用を防ぐとともに、正規な管理元に取り戻せた場合には再利用が可能となる方法が提案されている(特許文献1参照)。

【特許文献1】特開2001-260580号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、シリコンウェハから形成されるICチップは磁気カードと比較してコスト高である。その結果、付加価値が重要となる用途に限られ、普及を妨げる要因となってい

10

20

30

40

50

る。

【0005】

また、ICチップを搭載するICカードにおいてセキュリティ等の機能を備える場合、CPUやある程度の容量を有するメモリが必要となり、ICチップの面積が大きくなってしまふ。シリコンウェハ上に形成されるICチップは、カード向けに薄くして使用されるため、耐衝撃性が低いという問題がある。特に、ICチップの面積が大きい場合には、ICカードの信頼性に重大な影響を及ぼしてしまふ。

【0006】

またシリコンウェハ上に形成されるチップは厚いため製品や商品、特に紙幣等の紙、又は製品や商品に付すラベル自体に搭載する場合、表面に凹凸が生じてしまふ。その結果、製品や商品のデザイン性が低下してしまつた。

【0007】

そこで本発明は、コスト低減及び耐衝撃性向上を実現し、かつにデザイン性に優れたIDチップ、及び該IDチップが搭載された商品等及びそれらの作製方法を提供することを課題とする。

【課題を解決するための手段】

【0008】

上記課題を鑑み本発明は、紙幣を含む有価証券、所有物、飲食品等の容器等（以下、商品等と表記する）に厚さが $0.2\mu\text{m}$ 以下、代表的には $40\text{nm}\sim 170\text{nm}$ 、好ましくは $50\text{nm}\sim 150\text{nm}$ の半導体膜を有する集積回路（以下、薄膜集積回路と表記する）を搭載することを特徴とする。本発明の薄膜集積回路は、シリコンウェハで作製されたチップと比較して、非常に薄い集積回路であるため、商品等に搭載する場合であってもデザイン性を損なうことがない。このような半導体膜を有する薄膜集積回路の厚みは、全体として $0.3\sim 3\mu\text{m}$ 、代表的には $2\mu\text{m}$ 程度となる。

【0009】

またこのように薄い薄膜集積回路は、シリコンウェハで作製されたチップと異なり透光性を有することを特徴とする。そのため、商品等の表面に薄膜集積回路を搭載しても、表示を邪魔することがなく好ましい。

【0010】

本発明の薄膜集積回路は、絶縁表面上に設けられるため、シリコンウェハで作製されたチップと比較して、電波吸収の心配がなく、高感度な信号の受信を行うことができる。

【0011】

絶縁表面を有する基板としては、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ステンレス基板等が挙げられる。またその他の絶縁表面を有する基板としては、ポリエチレン-テレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板がある。このような絶縁表面を有する基板に薄膜集積回路を形成する場合、円形のシリコンウェハからチップを取り出すシリコンウェハで作製されたチップと比較して、母体基板形状に制約がない。そのため、本発明の薄膜集積回路の生産性を高め、大量生産を行うことができる。その結果、薄膜集積回路のコストの削減が期待できる。単価が非常に低い薄膜集積回路は、単価コストの削減により非常に大きな利益を生むことができる。

【0012】

なお有価証券とは、紙幣、株券、小切手、等を含む。これらの有価証券に本発明のチップを搭載することができる。また免許証、戸籍謄本、住民票等の証書に本発明のチップを搭載することができる。その結果、これらの不正使用を防止することができる。また有価証券以外に、飲食品等の容器に薄膜集積回路を搭載してもよい。飲食品等の容器とは、ペットボトル、弁当箱、薬瓶、若しくはその他の容器、又は該容器へ付するラベル等を含む。また所有物に、薄膜集積回路を搭載してもよい。所有物としては、自転車、自動車等があり、盗難防止、又は盗難後の所在を把握することができる。また更に、本、CD、又はビ

10

20

30

40

50

デオ等に薄膜集積回路を搭載してもよく、特に貸し出しを行う商品に搭載するとよい。バーコード処理よりも素早く貸し出し手続をおこなうことができ、加えてスムーズな情報管理を行うことができる。このような商品等を包装する包装紙へ薄膜集積回路を搭載してもよい。またこのような薄膜集積回路に入力された情報、例えばメッセージ等を、リーダにより読み取り、表示装置へ表示することもできる。

【0013】

このような本発明の薄膜集積回路を有する本発明のチップを、IDチップ、又は半導体装置と呼ぶ。また本発明は、薄膜集積回路に電氣的に接続されるアンテナを有するチップを提供することができる。アンテナが実装されているIDチップは、非接触型IDチップ（無線チップ）とも呼ばれる。特にタグとして使用する場合、無線タグとも呼ぶことができる。また、アンテナは実装せずに外部電源と接続する端子を形成した接触型IDチップと、非接触型及び接触型とを混在したハイブリッド型IDチップと呼ぶことができる。本発明のチップは、厚さが0.2 μm以下の半導体膜を有する集積回路を有することを特徴としており、接触型、非接触型、及びハイブリッド型のいずれのチップであっても本発明の効果を奏する。

10

【0014】

また本発明のチップを搭載した上記商品及びその他の商品をチップ搭載物と表記する。またIDチップを搭載した商品をIDチップ搭載物と呼ぶことができる。

【0015】

具体的な本発明は、厚さが0.2 μm以下の半導体膜を有する集積回路を備えたチップを搭載した有価証券、及びその他のチップ搭載物を特徴とする。

20

【0016】

別の本発明の形態は、厚さが0.2 μm以下の半導体膜を有する集積回路を備えたチップを搭載した有価証券、及びその他のチップ搭載物であって、集積回路は、液滴吐出法又はレーザカット法により形成された回路接続（これらにより形成された配線による接続）により、選択されるメモリセルを有するROM、を有する有価証券、及びその他のチップ搭載物を特徴とする。なお、液滴吐出法とは、選択的にパターンを形成可能な方法であり、導電膜や絶縁膜などの材料が混入された組成物の液滴（ドットとも表記する）を選択的に吐出（噴出）してパターンを形成する方法である。そのため、方法により液滴吐出法は、インクジェット描画法、スクリーン印刷、又はオフセット印刷と呼ばれる。

30

【0017】

別の本発明の形態は、厚さが0.2 μm以下の半導体膜を有する集積回路を備えたチップを搭載した有価証券、及びその他のチップ搭載物であって、集積回路は、液滴吐出法又はレーザカット法により形成された回路接続により、選択されるメモリセルを有する第1ROMと、フォトリソグラフィ法により形成された回路接続により、選択されるメモリセルを有する第2ROMと、を有する有価証券、及びその他のチップ搭載物を特徴とする。

【0018】

別の本発明の形態は、厚さが0.2 μm以下の半導体膜を有する集積回路を備えたチップを搭載した有価証券、及びその他のチップ搭載物であって、集積回路は、半導体膜の特性ばらつきに基づく固有なデータを格納した書き換え不可能な不揮発性メモリを有する有価証券、及びその他のチップ搭載物を特徴とする。また本形態において半導体膜は結晶性半導体膜からなり、該結晶性半導体膜の特性ばらつきに基づく固有なデータを格納することができる。

40

【0019】

別の本発明の形態は、厚さが0.2 μm以下の半導体膜を有する集積回路と、集積回路上に設けられたアンテナと、を有し、アンテナは、集積回路と電氣的に接続されているチップを搭載した有価証券、及びその他のチップ搭載物を特徴とする。

【0020】

別の本発明の形態は、第1の基板上に設けられ、厚さが0.2 μm以下の半導体膜を有する集積回路と、第2の基板上に設けられたアンテナと、を有し、アンテナは、集積回路と

50

電氣的に接続されているチップを搭載した有価証券、及びその他のチップ搭載物を特徴とする。

【0021】

このような本発明において、半導体膜は、ガラス基板、石英基板、ステンレス基板、及び可撓性を有する合成樹脂からなる基板のいずれかの絶縁表面上に設けられている。

【0022】

また本発明において、集積回路は、半導体膜を有する薄膜トランジスタを有している。

【0023】

具体的な本発明の形態は、有価証券、及びその他のチップ搭載物の作製方法は、厚さが0.2 μm以下の半導体膜を形成し、半導体膜を結晶化して結晶性半導体膜を形成し、結晶性半導体膜を有する集積回路を形成し、集積回路を有するチップを搭載することを特徴とする。

10

【0024】

別の形態を有する本発明の有価証券、及びその他のチップ搭載物の作製方法は、厚さが0.2 μm以下の半導体膜を形成し、半導体膜を結晶化して結晶性半導体膜を形成し、結晶性半導体膜上に、フォトリソグラフィ法を用いて金属配線を形成し、金属配線による回路接続によって選択される第1メモリセルを形成し、且つ結晶性半導体膜上に、液滴吐出法又はレーザカット法を用いて金属配線を形成し、金属配線による回路接続によって選択される第2メモリセルを形成することにより集積回路を形成し、集積回路を有するチップを搭載することを特徴とする。

20

【0025】

別の形態を有する本発明の有価証券、及びその他のチップ搭載物の作製方法は、厚さが0.2 μm以下の半導体膜を形成し、半導体膜をレーザーにより結晶化して結晶性半導体膜を形成し、結晶性半導体膜を有する集積回路を形成し、集積回路を有するチップを搭載することを特徴とする。

【0026】

別の形態を有する本発明の有価証券、及びその他のチップ搭載物の作製方法は、厚さが0.2 μm以下の半導体膜を形成し、半導体膜と接するように金属元素を添加し、加熱することにより結晶化して第1の結晶性半導体膜を形成し、第1の結晶性半導体膜をレーザーにより結晶化して第2の結晶性半導体膜を形成し、第2の結晶性半導体膜を有する集積回路を形成し、集積回路を有するチップを搭載することを特徴とする。

30

【0027】

このような有価証券、及びその他のチップ搭載物の作製方法において、レーザーの照射方向と、キャリア移動方向とが沿うように、半導体膜のチャンネル形成領域を形成し、レーザーの照射方向と垂直な方向に曲がるように固定してチップを搭載してもよい。その結果、薄膜トランジスタの剥がれや破壊を防止することができる。

【0028】

このような有価証券、及びその他のチップ搭載物の作製方法において、集積回路と電氣的に接続されたアンテナを形成することができる。またアンテナは集積回路を介して対称に形成してもよい。またさらにアンテナは、第2の基板上に形成し、第2の基板は集積回路を間に挟むように折り畳まれ、アンテナは集積回路を介して対称に形成してもよい。

40

【発明の効果】

【0029】

絶縁表面上に形成するため、従来のシリコンウェハと比較してチップ、つまりチップのコストを削減することができる。特にシリコンウェハで作製されたチップは、円形のシリコンウェハからチップを取り出すため、母体基板形状に制約があるが、一方本発明のチップは、母体基板がガラス等の絶縁基板であり、形状に制約がない。そのため、生産性を高めることができ、大量生産することができる。その結果さらなるコストの削減が期待できる。チップのように単価が非常に低い集積回路は、単価コストの削減により非常に大きな利益を生むことができる。

50

【0030】

また可撓性を有する合成樹脂からなる基板上に薄膜集積回路を形成することができるため、チップの耐衝撃性向上が期待できる。

【0031】

さらに本発明の薄膜集積回路は、従来のシリコンウェハと異なり非常に薄い集積回路であり、更に透光性を有することができるため、商品等に付す場合であってもデザイン性を損なうことがない。

【0032】

このような本発明の薄膜集積回路は、バーコード等の情報提供手段と比較し、情報取引又は情報管理を簡便、短時間に行うことができ、多種多様な情報を提供することができる。

10

【発明を実施するための最良の形態】

【0033】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。また以下の本実施の形態では、チップを強調するため、実際より非常に大きな形状で記載している。

【0034】

20

(実施の形態1)

本実施の形態では、IDチップ搭載物である商品について説明する。またIDチップを搭載する位置や形状、更に搭載するIDチップの数は本実施の形態に限定されるものではない。

【0035】

IDチップが有する薄膜集積回路の中に、データの書き換えができないROMなどのメモリを形成しておけば、紙幣、小切手等の有価証券、戸籍謄本、住民票、トラベラーズチェック、パスポート等の証書などの偽造を防止することができる。また例えば、産地、生産者などによって商品価値が大きく左右される食料品に、本発明の無線タグを用いることは、産地、生産者などの偽装を防止するのに有用である。なお本発明の無線タグは、シリコンウェハから形成されるICチップよりも低コストで提供することができる。

30

【0036】

以下に、多様な商品へIDチップを実装する場合を説明する。

【0037】

図1(A)には、IDチップを搭載した紙幣101を示す。図1(A)では、IDチップ102が紙幣101の内部に取り付けられているが、表に露出させておいてもよい。

【0038】

また本発明のIDチップを含有するインクを用いて紙幣を印刷してもよい。またさらに、紙幣の材料と薬品とを混ぜ合わせるときに、IDチップをばらまいて、複数のIDチップを搭載した紙幣としてもよい。本発明のIDチップは低コストであるため、複数のIDチップを搭載しても紙幣の製造コストに影響を及ぼすことが少なくてすむ。

40

【0039】

また紙幣以外の硬貨にIDチップを搭載してもよい。

【0040】

図1(B)には、IDチップを搭載した小切手111を示す。図1(B)では、IDチップ112を小切手111の表に露出させて設けている。本発明のIDチップは透光性を有するため、小切手111の表に露出されて設けても構わない。もちろん小切手111の内部にIDチップ112を取り付けてもよい。

【0041】

また本発明のIDチップを含有するインクを用いて小切手を印刷してもよい。またさらに

50

、小切手の材料と薬品とを混ぜ合わせるときに、IDチップをばらまいて複数のIDチップを搭載した小切手としてもよい。本発明のIDチップは低コストであるため、複数のIDチップを搭載しても小切手の製造コストに影響を及ぼすことが少なくすむ。

【0042】

図1(C)には、IDチップを搭載した株券121を示す。図1(C)では、IDチップ122が株券121の内部に取り付けられているが、表に露出させておいてもよい。またIDチップの大きさや形(合わせて形状)、及び搭載する位置は限定されるものではないが、情報量が多い場合はIDチップの形状を大きくするとよい。

【0043】

また本発明のIDチップを含有するインクを用いて株券を印刷してもよい。またさらに、株券の材料と薬品とを混ぜ合わせるときに、IDチップをばらまいて複数のIDチップを搭載した株券としてもよい。本発明のIDチップは低コストであるため、複数のIDチップを搭載しても株券の製造コストに影響を及ぼすことが少なくすむ。

【0044】

以上のように、IDチップは非常に薄い薄膜集積回路を用いて形成するため、非常に薄い紙状の商品にIDチップを搭載することができる。そのため、商品のデザイン性を損ねることがない。またIDチップは透光性を有するため、商品表面に搭載しても構わない。

【0045】

図2(A)には、IDチップを搭載した免許証131を示す。図2(A)では、IDチップ132が免許証131の内部に取り付けられており、IDチップは免許証131を覆うラミネート下に取り付けることもできる。本発明のIDチップは透光性を有するため、免許証131の印刷面上に設けても構わない。

【0046】

図2(B)には、IDチップを搭載した保険証141を示す。図2(B)では、IDチップ142が保険証141の内部に取り付けられているが、保険証141の表面にIDチップを取り付けてもよい。本発明のIDチップは透光性を有するため、保険証141の印刷面上に設けても構わない。

【0047】

図2(C)に、IDチップを搭載したパスポート151を示す。図2(C)ではIDチップ152がパスポート151の表紙に取り付けられているが、その他のページに取り付けられていてもよい。またIDチップを表紙等の内部に取り付けても、表面に取り付けてもよい。本発明のIDチップは透光性を有するため、パスポート151の印刷面上に設けても構わない。

【0048】

以上のような商品にIDチップを搭載することにより、不正使用を防止することができる。またIDチップにより、商品の管理を簡便にすることができる。さらに直接商品(パスポート)に記入することなく、IDチップに情報等を保存することができるため、プライバシーを守ることができる。もちろん非常に薄い薄膜集積回路を用いるため、商品(パスポート)のデザイン性を損ねることがない。またIDチップは透光性を有するため、商品(パスポート)表面に搭載しても構わない。

【0049】

図3(A)に、IDチップを搭載した表示ラベル163と、該表示ラベル163が貼られた肉のパック161を示す。IDチップ162は表示ラベル163の表面に露出しているもよいし、内部に取り付けられていてもよい。また、野菜等の生鮮食品の場合、生鮮食品を覆うラップにIDチップを取り付けてもよい。IDチップに、商品の値段がデータとして書き込まれていれば、従来のバーコードを用いる方式よりも、簡便、短時間に商品の精算が可能となる。すなわち、従来のバーコードと異なり、IDチップが搭載された商品の場合、複数の商品を一挙に精算することができる。さらにIDチップにより、レジスターと商品との距離が遠くても、商品の精算を可能とすることができ、加えて万引きなどの防止にも役立つ。もちろんIDチップには、商品の生産地、生産者、加工年月日、賞味期限

10

20

30

40

50

等の、商品に関する基本情報、更には商品を用いた調理例等その他の情報を書き込むことができる。またＩＤチップとバーコードと併用する場合、バーコードには書き換え不要な情報、例えば上記基本情報を入力し、ＩＤチップには書き換え可能な情報を書き込むとよい。

【 0 0 5 0 】

図 3 (B) に、ＩＤチップを搭載した表示ラベル 1 7 3 と、該表示ラベルが貼られたペットボトル 1 7 1 を示す。ＩＤチップ 1 7 2 は、表示ラベル 1 7 3 の表面に露出しているもよいし、内部に取り付けられていてもよい。またＩＤチップ 1 7 2 は、ペットボトル 1 7 1 の蓋に取り付けてもよい。また更にＩＤチップ 1 7 2 は、ペットボトル 1 7 1 内部に設けてもよい。例えば複数の層から構成されるペットボトルの場合、層と層の間にＩＤチップ 1 7 2 を取り付けることもできる。

10

【 0 0 5 1 】

図 3 (C) に、ＩＤチップを搭載した表示ラベル 1 8 3 と、該表示ラベルが貼られた薬瓶 1 8 1 を示す。ＩＤチップ 1 8 2 は表示ラベル 1 8 3 の表面に露出しているもよいし、内部に取り付けられていてもよい。また、薬瓶 1 8 1 の蓋にＩＤチップ 1 8 2 を取り付けてもよい。商品が薬の場合、ＩＤチップ 1 8 2 には薬の服用方法、効果、副作用、アレルギー情報等がデータとして書き込まれているとよい。

【 0 0 5 2 】

消費者は、このような商品に関する情報を、購入時に入手したいため、店頭にリーダ及び表示装置を設置しておくもよい。また消費者が携帯する電子機器にリーダの機能及び表示装置機能を持たせてもよい。例えば、携帯電話機や P D A にリーダの機能を持たせ、情報を画面に表示させればよい。

20

【 0 0 5 3 】

また本発明のＩＤチップは安価であるため、最終的に消費者によって使い捨てられるような用途にも向いている。特に、数円、数十円単位の値段の差が売り上げに大きく影響する商品の場合、本発明の安価なＩＤチップは非常に有用である。

【 0 0 5 4 】

図 4 (A) に、ＩＤチップを搭載したぬいぐるみ 1 9 1 を示す。ＩＤチップ 1 9 2 はぬいぐるみ内部に取り付けることができる。またＩＤチップ 1 9 2 はぬいぐるみ 1 9 1 の瞳又は鼻の表面に取り付けてもよい。本発明のＩＤチップは透光性を有するため、ぬいぐるみ 1 9 1 の表面に設けることができる。ＩＤチップにより、ぬいぐるみを紛失したり、盗難された場合、所在を確認することができる。

30

【 0 0 5 5 】

図 4 (B) に、ＩＤチップを搭載した車両の一例として自転車 1 2 0 1 を示す。ＩＤチップ 1 2 0 2 は、サドルの内部に取り付けることができる。またＩＤチップはハンドル、ペダル又はタイヤに取り付けることもできる。ＩＤチップにより、自転車を紛失したり、盗難された場合、所在を確認することができる。

【 0 0 5 6 】

図 4 (C) に、ＩＤチップを搭載した傘 2 1 1 を示す。ＩＤチップ 2 1 2 は、枝又は布の内部に取り付けることができる。またＩＤチップは枝又は布の表面に取り付けることもできる。

40

【 0 0 5 7 】

図 2 4 に示すように、バッグ 1 7 0 1 にＩＤチップ 1 7 0 2 を実装する。例えば、バッグ 1 7 0 1 の底又は側面の一部等にＩＤチップ 1 7 0 2 を実装することができる。ＩＤチップは非常に薄型で小さいため、バッグのデザイン性を低下させずに実装することができる。加えてＩＤチップは透光性を有することができるため、盗難者はＩＤチップが実装されているかを判断しにくい。そのため、盗難者によってＩＤチップが取り外される恐れが少ない。

【 0 0 5 8 】

このようなＩＤチップ実装商品が盗難された場合、例えば G P S (G l o b a l P o s

50

itioning System)を用いて実装商品の現在位置に関する情報を得ることができる。なおGPSとは、GPS用の衛星から送られる信号をとらえてその時間差を求め、これをもとに測位するシステムである。

【0059】

また盗難された商品以外にも忘れ物や落とし物を、GPSを用いて現在位置に関する情報を得ることができる。

【0060】

このような個人所有物に、IDチップを搭載することにより、紛失時又は盗難時における所在を確認することができる。

【0061】

またこのような所有物を包む包装紙にIDチップを取り付けてもよい。さらにIDチップには、音声データとしてメッセージを書き込むことができる。この場合、リーダーにより情報を読み取り、再生機器によりメッセージを聞くことができる。

【0062】

図5(A)には、IDチップを搭載した本221を示す。IDチップ222は、本の表紙の表面又は内部に設けることができる。また本のその他のページにIDチップを搭載してもよい。

【0063】

図5(B)には、IDチップを搭載したDVD231を示す。IDチップ232は、DVDパッケージの表面又は内部に設けることができる。DVDの代わりに、CD、ビデオ等の商品にIDチップを搭載してもよいことは言うまでもない。

【0064】

このようなレンタル事業が盛んに行われている商品にIDチップを搭載することにより、簡便、且つ短時間で貸し出し処理及び返却処理を行うことができる。またIDチップには、商品の内容、宣伝、出演者等の情報をデータとして書き込むことができる。

【0065】

また本発明のIDチップは、取り付ける対象物の形状に合わせて、その形状をある程度変化させることができる。そのため、本発明の無線タグは、本実施の形態で示した用途に限定されることなく、他の様々な用途に用いることができる。また、シリコンウェハから形成されたICチップを用いた無線タグに比べて、柔軟性に富むため、機械的強度を高めることができる。

【0066】

次に物流管理を行うため、ビール瓶等の商品へIDチップを実装する場合を説明する。図25(A)に示すように、ビール瓶711にIDチップ712を実装する。例えば、ラベル713を用いてIDチップを実装することができる。

【0067】

IDチップ712には、製造日、製造場所、使用材料等の基本事項を記録する。このような基本事項は、書き換える必要がないためマスクROM等の書き換え不能なメモリを用いて記録するとよい。加えてIDチップには、各ビール瓶の配送先、配送日時等の個別事項を記録する。例えば、図25(B)に示すように、各ビール瓶がベルトコンベア714により流れ、ライタ装置715を通過するときに、各配送先、配送日時を記録することができる。このような個別事項は、EEPROM等の書き換え、消去可能なメモリを用いて記録するとよい。

【0068】

また配達先から購入された商品情報がネットワークを通じて物流管理センターへ送信されると、この商品情報に基づき、ライタ装置又は当該ライタ装置を制御するパーソナルコンピュータ等が配送先や配送日時を算出し、IDチップへ記録するようなシステムを構築するとよい。

【0069】

また配達にはケース毎に行われるため、ケース毎、又は複数のケース毎にIDチップを実装

10

20

30

40

50

し、個別事項を記録してもよい。

【0070】

このような複数の配達先が記録されうる飲料品は、IDチップを実装することにより、手作業で行う入力にかかる時間を削減でき、それに起因した入力ミスを低減することができる。加えて物流管理の分野において最もコストのかかる人件費用を削減することができる。従って、IDチップを実装したことにより、ミスの少ない、低コストな物流管理を行うことができる。

【0071】

さらに配達先において、ビールに合う食料品や、ビールを使った料理法等の応用事項を記録してもよい。その結果、食料品等の宣伝を兼ねることができ、消費者の購買意欲を高めることができる。このような応用事項は、EEPROM等の書き換え、消去可能なメモリを用いて記録するとよい。このようにIDチップを実装することにより、消費者へ提供できる情報を増大させることができるため、消費者は安心して商品を購入することができる。

10

【0072】

次に製造管理を行うため、IDチップを実装した製造品と、当該IDチップの情報に基づき制御される製造装置（製造ロボット）について説明する。

【0073】

現在、オリジナル商品を生産する場面が多くみられ、生産ラインでは当該商品のオリジナル情報に基づくように生産する。例えば、ドアの塗装色を自由に選択することができる自動車の生産ラインにおいては、自動車の一部にIDチップを実装し、当該IDチップからの情報に基づき、塗装装置を制御する。そしてオリジナル性を有する自動車を生産することができる。

20

【0074】

IDチップを実装する結果、事前に生産ラインに投入される自動車の順序や同色を有する数を調整する必要がない。強いては、自動車の順序や数それに合わせるように塗装装置を制御するプログラムを設定しなくてすむ。すなわち製造装置は、自動車に実装されたIDチップの情報に基づき、個別に動作することができる。

【0075】

このようにIDチップは様々な場所で使用することができる。そしてIDチップに記録された情報により、製造に関する固有情報を得ることができ、当該情報に基づき製造装置を制御することができる。

30

【0076】

図6には、IDチップが搭載された商品の断面図を示す。

【0077】

図6(A)には、図1(A)に示したIDチップが搭載された紙幣101の断面図を示す。IDチップ102が紙幣101の内部に取り付けられている状態である。

【0078】

図6(B)には、図1(B)に示したIDチップが搭載された小切手111の断面図を示しており、IDチップ112が小切手111の表面に取り付けられている状態である。さらに好ましくは、小切手111を覆うように絶縁膜115が設けられている。

40

【0079】

図6(C)には、図2(A)に示したIDチップが搭載された免許証131の断面図を示す。IDチップ132は、免許証用131基板に挟まれるように取り付けられている。そして免許証131を覆うように絶縁膜135が設けられている。

【0080】

このようなシート状の商品へIDチップを実装する場合、IDチップは、実装する商品（実装商品）に対して中心部に配置し、IDチップの周囲は商品の材料で覆われるように形成するとよい。その結果、IDチップの機械的強度を高めることができる。具体的には、IDチップを挟み込む位置（IDチップの中心）：Xは、実装商品の厚みをDとすると、

50

$(1/2) \cdot D - 30 \mu\text{m} < X < (1/2) \cdot D + 30 \mu\text{m}$ を満たすように配置するとするとよい。

【0081】

このように非常に薄型の薄膜集積回路を実装するIDチップにより、多種多様な情報を提供することができる。またIDチップにより、情報取引又は情報管理を簡便、短時間に行うことができる。また更に商品容器にラベルと共にIDチップを付する場合であっても、非常に薄いためデザイン性を損ねることがない。

【0082】

また本発明の薄膜集積回路は、シリコンウェハで作製された集積回路のように、クラックや研磨痕の原因となるバックグラインド処理を行う必要がない。またさらに本発明の薄膜集積回路は、厚さのパラッキも、半導体膜等の成膜時におけるばらつきに依存することになるので、大きくても数百nm程度であり、バックグラインド処理による数～数十 μm のばらつきと比べて格段に小さく抑えることができる。

【0083】

また本発明のIDチップは、シリコンウェハで作製されたチップと比較して、低コストで形成することができる。ガラス基板等の低価格な母体基板に形成することができるためである。またシリコンウェハで作製されたチップは、円形のシリコンウェハからチップを取り出すため、母体基板形状に制約があるが、一方本発明のIDチップは、母体基板がガラス等の絶縁基板であり、形状に制約がない。そのため、生産性を高め、低コスト化を図ることができ、さらにIDチップの形状寸法は自由に設定することができる。

【0084】

またIDチップを形成する材料の面からみても、シリコンウェハから形成されるチップと比較して低コスト、且つ安全な材料を使用している。そのため使用済みのIDチップを回収する必要性が低く、環境に優しい。またIDチップを破棄する際、ある程度の面積を有するため、ハサミ等で切断することができ、不正使用を防止することができる。

【0085】

またシリコンウェハで作製されたICチップは、シリコンウェハによる電波吸収が懸念され、信号の感度が問題となる場合がある。特に、よく用いられる電波13.56MHz、又は2.45GHzに関して電波吸収が懸念される。一方、本発明のIDチップは、ガラス等の絶縁基板上に形成されるため電波吸収は生じない。その結果、高感度なIDチップを形成することができる。強いては、本発明のIDチップが有するアンテナの面積を小さくすることができ、IDチップの小型化が期待できる。

【0086】

またシリコンウェハ上に形成するチップは、シリコンウェハが半導体性を有するため、交流の電波に対し、接合が順バイアスになりやすく、ラッチアップ対策の必要がある。一方、本発明のIDチップは、絶縁基板上へ薄膜集積回路を形成するため、このような心配がない。

【0087】

以上、アンテナが実装された非接触型IDチップについて説明したが、薄膜集積回路のみ商品に搭載し、外部電源と接続する端子を形成した接触型のIDチップを搭載してもよい。また非接触型と接触型とが混在したハイブリッド型のIDチップを搭載しても構わない。本発明は、絶縁表面上に形成された薄型の薄膜集積回路を特徴としており、接触型、非接触型、及びハイブリッド型であっても上記の効果を奏するからである。

【0088】

(実施の形態2)

非接触型IDチップとして機能するためには、上述のように薄膜集積回路及びアンテナが必要となる。アンテナは、多様な配置をとることができ、アンテナの先端には、薄膜集積回路と接続するための接続端子を設けるとよい。本実施の形態では、IDチップにおいてアンテナを実装する場合のアンテナの形状、アンテナの作製方法、及びの実装形態について説明する。

【 0 0 8 9 】

まずアンテナの形状について説明する。

【 0 0 9 0 】

例えばアンテナを設けるための基板（以下、アンテナ用基板と表記する）5 1 6 上に設けられたアンテナ5 1 5 は、巻くように設けられ、先端にはそれぞれ接続端子5 1 7 が設けられている。接続端子5 1 7 はどこに設けてもよく、薄膜集積回路側の接続端子に合わせて、各接続端子の配置を決定することができる。

【 0 0 9 1 】

アンテナ5 1 5 は、矩形上に蛇行するように設けてもよい。そしてアンテナ5 1 5 の先端には、接続端子5 1 7 を設けるとよい。接続端子5 1 7 はどこに設けてもよく、薄膜集積回路側の接続端子に合わせて、各接続端子の配置を決定することができる。接続端子同士が離れるように設けたり、近接するように設けてもよい。

【 0 0 9 2 】

またアンテナ5 1 5 は、矩形状に配置せずとも、円状に配置してもよい。

【 0 0 9 3 】

次いで、アンテナの作製方法について説明する。

【 0 0 9 4 】

アンテナ用基板5 1 6 上に上記のような配置となるようにアンテナ5 1 5 を形成する。アンテナ材料には、A g（銀）、A l（アルミニウム）、A u（金）、C u（銅）、P t（白金）等の導電材料を用いることができる。比較的抵抗の高いA lやA uを用いる場合、配線抵抗が懸念される。しかし、アンテナ5 1 5 を厚くしたり、アンテナ形成面積が広い場合には、アンテナ5 1 5 の幅を広くすることで配線抵抗を低減することができる。C uのように拡散が懸念される導電材料は、アンテナ5 1 5 の被形成面、又はC uの周囲を覆うように保護膜として機能する絶縁膜を形成するとよい。またアンテナ5 1 5 は、スパッタリング法、液滴吐出法、印刷法、メッキ法、フォトリソグラフィ法及びメタルマスクを用いた蒸着法のいずれかにより形成することができる。特に、液滴吐出法、印刷法、又はメッキ法によりアンテナを形成する場合、導電膜をパターニングする必要がないため、作製工程を低減することができる。

【 0 0 9 5 】

更に好ましくは、アンテナ5 1 5 に圧力を加え、平坦性を向上させるとよい。その結果、アンテナ5 1 5 を薄膜化することができる。加圧手段に加えて、加熱手段を有してもよく、加圧処理と加熱処理とを同時に行うことができる。

【 0 0 9 6 】

またアンテナ用基板5 1 6 に開口部を形成し、開口部にアンテナ5 1 5 を形成してもよい。開口部内にアンテナ5 1 5 を形成することができるため、アンテナ用基板5 1 6 の薄膜化を達成することができる。

【 0 0 9 7 】

次いで、アンテナと薄膜集積回路とを実装する具体的な方法について説明する。

【 0 0 9 8 】

上記実施の形態に基づいて形成されたアンテナ用基板と、薄膜集積回路とを実装する。図7（A）に示すように、アンテナ5 1 5 が形成された一組のアンテナ用基板5 1 6 を用意する。アンテナ用基板5 1 6 間に、薄膜集積回路5 0 1 を配置し、つまり、アンテナ用基板5 1 6 は、薄膜集積回路5 0 1 を介して対称となるように配置する。なお、アンテナに流れる電流の向きは複数のアンテナ間で同じとなるようにする。そのためアンテナの巻く方向を、薄膜集積回路5 0 1 を介して対称とするとよい。その後、アンテナ5 1 5 用及び薄膜集積回路5 0 1 用の接続端子5 1 7 が互いに接続するように固定する。接続する手段にワイヤボンディング法を用いてもよい。そしてI Dチップが完成する。

【 0 0 9 9 】

図7（A）と異なる方法により薄膜集積回路を実装する方法を図7（B）に示す。

【 0 1 0 0 】

図7(B)に示すように、一組のアンテナ515が形成されたアンテナ用基板516を用意する。アンテナ用基板516は、中心部から折り畳むことができる可撓性を有する基板、例えばポリエチレンテレフタレート(PET)、塩化ビニリデン、塩化ビニル樹脂、等の基板を使用する。

【0101】

その後、薄膜集積回路501を間に挟むように、アンテナ用基板516を折り畳む。折り畳み易いように、アンテナ用基板の折り目に切り込みや凹部を形成するとよい。その後、アンテナ515用及び薄膜集積回路501用のそれぞれの接続端子517が接続するように固定する。接続する手段にワイヤボンディング法を用いてもよい。そしてIDチップ522が完成する。

10

【0102】

一組のアンテナを設けることにより、一方のアンテナは電源発生回路用に使用し、他方のアンテナは変調回路用に使用することもできる。その結果、各回路に対してアンテナを設定することができ、通信距離や感度を高めることができる。

【0103】

またこのように薄膜集積回路を一組のアンテナへ接続するため、薄膜集積回路の両面(上面及び下面)にそれぞれ接続端子部を形成する必要がある。そしてアンテナ同士がショートしないように保護膜として機能する絶縁膜を設ける必要がある。絶縁膜は、有機材料や無機材料を用いることができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。シロキサンとは、珪素(Si)と酸素(O)との結合で骨格構造が構造され、置換基に少なくとも水素を含む、又は置換基にフッ素、アルキル基、又は芳香族炭化水素のうち少なくとも1種を有するポリマー材料、を出発原料として形成される。またポリシラザンとは、珪素(Si)と窒素(N)の結合を有するポリマー材料、いわゆるポリシラザンを含む液体材料を出発原料として形成される。無機材料としては、酸化珪素、又は窒化珪素を用いることができる。絶縁膜は、プラズマCVD法、減圧CVD法、液滴吐出法、スピンコーティング法又はディップ法を用いて形成することができる。粘性の高い原料を用いて形成する場合、液滴吐出法、スピンコーティング法、又はディップ法を用いると好ましい。また接続端子部間には導電性の樹脂を塗布し、それ以外の領域には絶縁性の樹脂を塗布してもよい。

20

30

【0104】

または、アンテナ用基板にコンタクトを開口し、アンテナの接続端子部をアンテナ用基板の裏面(アンテナが設けられていない面)に形成することにより、アンテナ同士がショートしない構成とすることができる。

【0105】

本実施の形態では、一組のアンテナ用基板間に薄膜集積回路を実装する場合を説明したが、一つのアンテナ用基板上に薄膜集積回路を実装してもよい。

【0106】

また本実施の形態と異なり、アンテナ用基板を用いることなく、薄膜集積回路上に設けられた絶縁膜を介して薄膜回路上にアンテナを形成しても構わない。

40

【0107】

次に、大型基板からIDチップを複数個作製する、いわゆる多面取りにについて説明する。

【0108】

例えば、大型基板に複数(例えば25個)の薄膜集積回路を形成する。アンテナ用基板間に、大型基板を配置し、各薄膜集積回路の接続端子と、各アンテナの接続端子とが接続するように固定する。

【0109】

その後、大型基板に複数のIDチップを形成し、スクライビグまたはダイシング等で切り離し一つのIDチップが完成する。なおIDチップの切り離しには、レーザーを用いて

50

もよい。特にIDチップを切断する場合、シリコンウェハ上に形成されたチップと比較し、切断時のダメージを受けにくいと考えられる。そのため、IDチップの切断領域は、シリコンウェハ上に形成されたチップの切断領域より小さくすることが可能である。その結果、アンテナ形成領域を大きくすることができる。その後さらに、IDチップを封止膜として機能する絶縁膜で封止してもよい。

【0110】

このように、大型基板から複数のIDチップを得ることで、IDチップのコストを削減することができる。チップのように単価が非常に低い集積回路は、コストの削減により非常に大きな利益を生むことができる。

【0111】

例えば、直径12インチのシリコンウェハを用いた場合と、7300×9200mm²のガラス基板を用いた場合とで取り数等を比較する。前者のシリコン基板の面積は約730000mm²であるが、後者のガラス基板の面積は約6720000mm²であり、ガラス基板はシリコン基板の約9.2倍に相当する。後者のガラス基板の面積は約6720000mm²では、基板の分断により消費される面積を無視すると、1mm四方のIDチップが約672000個形成できる計算になり、該個数はシリコン基板の約9.2倍の数に相当する。そしてIDチップの量産化を行なうための設備投資は、7300×9200mm²のガラス基板を用いた場合の方が直径12インチのシリコン基板を用いた場合よりも工程数が少なく済むため、その額を3分の1で済ませることができる。

【0112】

次いで、IDチップの完成形態について説明する。またアンテナ用基板を用いることなく、薄膜集積回路上に設ける場合で説明する。

【0113】

図8(A)に示すように、絶縁表面を有する基板500上に薄膜集積回路等を有する領域(薄膜集積回路領域)501を形成する。薄膜集積回路領域上に絶縁膜518を介してアンテナ515を形成する。アンテナ515は、例えば液滴吐出法により形成することができる。絶縁膜518は、上記アンテナ515同士がショートしないように保護膜として機能する絶縁膜と同様に形成することができる。そしてアンテナ用接続端子と、薄膜集積回路用接続端子とは接続する必要がある。そのため例えば、絶縁膜518にコンタクトホールを形成し、アンテナ515に設けられる接続端子と、薄膜集積回路501の接続端子とを接続する。このとき、導電性樹脂を介して接続してもよい。

【0114】

その後図8(B)に示すように、薄膜集積回路501及びアンテナ515を覆うように保護膜として機能する絶縁膜519を形成する。絶縁膜519は、上記アンテナ同士がショートしないように保護膜として機能する絶縁膜と同様に形成することができる。絶縁膜519を設ける結果、薄膜集積回路501を外部から保護することができ、持ち運びが容易な形態を有するIDチップを完成することができる。またさらに絶縁膜519で覆うことにより、薄膜集積回路501の機能を補助することもできる。

【0115】

図9(A)には、図8(B)におけるA-Bの断面図を示す。絶縁表面を有する基板500上に設けられた薄膜集積回路501、薄膜集積回路501上に設けられた絶縁膜518、絶縁膜518上に設けられたアンテナ515、アンテナ515を覆うように設けられた保護膜として機能する絶縁膜530が順に形成され、これらを覆って絶縁膜519が設けられている。図示しないが、上述のように絶縁膜518にコンタクトホールを形成し、アンテナ515の接続端子と、薄膜集積回路501の接続端子とを接続することにより、アンテナ515と薄膜集積回路501とを電氣的に接続することができる。

【0116】

薄膜集積回路上にアンテナを形成することにより、IDチップの小型化を達成することができる。

【0117】

10

20

30

40

50

また図8及び図9(A)以外の形態を有するIDチップを完成することもできる。

【0118】

例えば図9(B)に示すように、絶縁膜519側にアンテナ515bを設けてもよい。アンテナ515bは、保護膜として機能する絶縁膜530bに覆われており、薄膜集積回路501と接続する領域にコンタクトホールが設けられている。また薄膜集積回路501側の接続端子517としてパッドが設けられており、該アンテナ515とは導電性樹脂532を介して接続することができる。

【0119】

このように絶縁膜519側にアンテナ515を形成し、薄膜集積回路501と別に形成することによって、歩留まりが向上する。

10

【0120】

また図9(C)に示すように、薄膜集積回路501上に設けられるアンテナ515と、絶縁膜519側に設けられるアンテナ515bとを合わせて形成してもよい。この場合、アンテナ515を覆う絶縁膜530において、アンテナ515bと接続する領域にコンタクトホールが設けられ、アンテナ515bを覆う絶縁膜530bにおいて、アンテナ515と接続する領域にコンタクトホールが設けられている。そして、アンテナ515と、アンテナ515bとを、導電性樹脂532を介して接続することができる。なお導電性樹脂532は、アンテナ515と、アンテナ515bとの間に複数箇所、又は広範囲に設けてもよい。その結果、アンテナの抵抗を低くすることができる。

【0121】

このように複数の面にアンテナを設ける場合、各アンテナに流れる電流の向きは、互いに磁界を打ち消さない方向とする。

20

【0122】

また複数のアンテナを設ける場合、それらを直列、又は並列に接続することができる。直列に接続する場合、アンテナのインダクタンスを高めることができる。また並列に接続する場合、アンテナの抵抗を低くすることができる。

【0123】

このようにアンテナを多くの領域に形成する構成により、高感度なIDチップを形成することができる。

【0124】

なお図9において、薄膜集積回路501と、絶縁膜519とには空間が形成されるように記載しているが、当該空間にアンテナを覆うようにして充填された保護膜として機能する絶縁膜530や樹脂等を設けてもよい。その結果、薄膜集積回路501の強度を高めることができる。

30

【0125】

またアンテナを一体形成した薄膜集積回路であっても、5mm四方(25mm²)以下、好ましくは0.3mm四方(0.09mm²)~4mm四方(16mm²)とすることができる。このように非常に小さな薄膜集積回路を形成することができるため、微少な凹部等に実装することが可能となる。

【0126】

以上のようにIDチップは多様な構成をとることができる。

40

【0127】

(実施の形態3)

本実施の形態では、特に商品の曲面にIDチップを搭載する場合について説明する。

【0128】

図10(A)には、絶縁表面を有する大型基板500上に設けられた複数の薄膜集積回路501を示す。複数の薄膜集積回路を取り出す、いわゆる多面取りにより薄膜集積回路、つまりIDチップのコストを低減することができる。

【0129】

また薄膜集積回路が有する半導体膜は、非晶質半導体、非晶質状態と結晶状態とが混在し

50

たセミアモルファス半導体（SASとも表記する）、及び結晶性半導体から選ばれたいずれの状態を有してもよい。またSASには、非晶質半導体中に0.5nm～20nmの結晶粒を観察することができる微結晶半導体が含まれ、特に、0.5nm～20nmの結晶を粒観察することができる微結晶状態はいわゆるマイクロクリスタル（ μc ）と呼ばれている。

【0130】

本実施の形態では、非晶質半導体膜を形成し、加熱処理により結晶化された結晶性半導体膜を形成する。加熱処理とは、加熱炉、レーザー照射、若しくはレーザー光の代わりにランプから発する光の照射（以下、ランプアニールと表記する）、又はそれら組み合わせて用いることができる。

10

【0131】

加熱炉を用いる場合、非晶質半導体膜を500～550℃で2～20時間かけて加熱する。このとき、徐々に高温となるように温度を500～550℃の範囲で多段階に設定するとよい。最初の低温加熱工程により、非晶質半導体膜の水素等が出てくるため、結晶化の際の膜荒れを低減する、いわゆる水素だしを行うことができる。さらに、結晶化を促進させる金属元素、例えばNiを非晶質半導体膜上に形成すると、加熱温度を低減することができる。また金属元素を用いる場合であっても、600～950℃の高温加熱を行ってもよい。

【0132】

但し、金属元素を形成する場合、半導体素子の電気特性に悪影響を及ぼすことが懸念されるので、該金属元素を低減又は除去するためのゲッタリング工程を施す必要が生じる。例えば、非晶質半導体膜をゲッタリングシンクとして、金属元素を捕獲するよう工程を行えばよい。

20

【0133】

またレーザー照射を用いる場合、連続発振型のレーザー（CWレーザー）やパルス発振型のレーザー（パルスレーザー）を用いることができる。レーザーとしては、Arレーザー、Krレーザー、エキシマレーザー、YAGレーザー、 Y_2O_3 レーザー、 YVO_4 レーザー、YLFレーザー、 $YAlO_3$ レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti：サファイヤレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種を用いることができる。またレーザーのビーム形状は、線状とすると好ましく、長軸の長さは200～350 μm とすればよい。またさらにレーザーは、半導体膜に対して入射角（ $0^\circ < \theta < 90^\circ$ ）を持たせてもよい。

30

【0134】

なお連続発振の基本波のレーザー光と連続発振の高調波のレーザー光とを照射するようにしてもよいし、連続発振の基本波のレーザー光とパルス発振の高調波のレーザー光とを照射するようにしてもよい。

【0135】

またパルス発振型のレーザーであって、半導体膜がレーザー光によって溶融してから固化するまでに、次のパルスのレーザー光を照射できるような発振周波数でレーザー光を発振させることで、走査方向に向かって連続的に成長した結晶粒を得ることができる。すなわち、パルス発振の周期が、半導体膜が溶融してから完全に固化するまでの時間よりも短くなるように、発振の周波数の下限を定めたパルスビームを使用してもよい。

40

【0136】

実際に用いることができるパルスビームの発振周波数は10MHz以上であって、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を使用する。

【0137】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザー光を照射するようにしてもよい。これにより、レーザー光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

【0138】

50

また直接被形成面に、結晶性半導体膜を形成してもよい。この場合、 GeF_4 、又は F_2 等のフッ素系ガスと、 SiH_4 、又は Si_2H_6 等のシラン系ガスとを用い、熱又はプラズマを利用して直接被形成面に、結晶性半導体膜を形成することができる。このとき加熱温度が高い場合、耐熱性の高い石英基板を用いるとよい。

【0139】

また SiH_4 と F_2 、又は SiH_4 と H_2 を用いて微結晶半導体膜を形成し、その後上記のようなレーザー照射をおこなって結晶化してもよい。

【0140】

本実施の形態では、レーザー照射を用いて加熱処理を行う。図10(A)に示すように、レーザーの照射領域502を、矩形状503に走査することにより、全面的非晶質半導体膜を結晶化し、結晶性半導体膜を形成することができる。

10

【0141】

図10(B)に示すように、薄膜集積回路501をみると、複数の結晶性半導体膜を有する薄膜トランジスタ510が形成されている。薄膜トランジスタは、ソース電極及びドレイン電極511、チャンネル形成領域512、ゲート電極514、結晶性半導体膜を有し、結晶性半導体膜は、ソース電極及びドレイン電極511下方に設けられた不純物領域、ゲート電極514下方に設けられたチャンネル形成領域512を有する。このとき、チャンネル形成領域においてキャリアの移動方向513が、レーザー光の走査方向(照射方向)503とが沿うようにソース電極及びドレイン電極511、ゲート電極514を形成すると好ましい。

20

【0142】

図10(C)に示すように、薄膜集積回路501上にアンテナ515、及びアンテナ用の接続端子517を形成し、IDチップ522を形成する。このとき、アンテナが実装された非接触型IDチップとなる。

【0143】

IDチップ522を、曲げる場合、レーザーの走査方向503と垂直な方向に曲げるとよい。すなわち、キャリアの移動方向513と垂直な方向にIDチップ522を曲げる。このような方向にIDチップ522を曲げることにより、薄膜集積回路、特に薄膜トランジスタを破壊することがない。

【0144】

その後図10(D)に示すように、曲面を有する商品521へIDチップ522を固定する。このとき、ラベル523の接着剤によりIDチップを固定することができる。

30

【0145】

加えて本発明の集積回路に用いられる半導体膜は、シリコンウェハから形成されるチップと異なり、水素を $1 \times 10^{19} \sim 1 \times 10^{22}$ 、好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 有することを特徴とする。水素により、半導体膜中の欠陥を緩和でき、所謂欠陥のターミネート効果を奏する。加えて水素により、IDチップの柔軟性を高めることができる。また水素の代わりにハロゲンを添加してもよい。

【0146】

そのため、フレキシブル基板に薄膜集積回路を形成したり、曲げる場合、集積回路の破壊を防止することができる。

40

【0147】

さらにIDチップは、パターニングされた半導体膜が薄膜集積回路において占める面積の割合が1~30%であるため、曲げ応力による薄膜トランジスタの破壊や剥がれを防止することができる。

【0148】

本実施の形態では、アンテナが実装された非接触型IDチップを搭載する場合について説明したが、接触型IDチップ、及びハイブリッド型IDチップのいずれでもよい。またさらにアンテナの実装方法として、例えば、ラベルをアンテナ用基板として、該ラベルに薄膜集積回路を転置した後、商品に搭載してもよい。

50

【0149】

(実施の形態4)

本実施の形態では、図21～23を参照して、TFTを含む薄膜集積回路の具体的な作製方法について説明する。ここでは、簡単のため、n型TFTとp型TFTを用いたCPUとメモリ部分の断面構造を示すことによって、その作製方法について説明する。

【0150】

まず、図21(A)に示すように、基板60上に、剥離層61を形成する。ここでは、ガラス基板(例えば、コーニング社製1737基板)上に、50nmの膜厚のa-Si膜(非晶質シリコン膜)を減圧CVD法により形成する。なお、基板60としては、ガラス基板の他にも、石英基板、アルミナなど絶縁物質で形成される基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。

10

【0151】

剥離層61としては、非晶質シリコンの他に、多結晶シリコン、単結晶シリコン、SAS(微結晶シリコン、マイクロクリスタルシリコンを含む。)等、シリコンを主成分とする膜を用いることが望ましいが、これらに限定されるものではない。剥離層61は、減圧CVD法の他にも、プラズマCVD法、スパッタリング法等によって形成してもよい。また、リンなどの不純物をドーブした膜を用いてもよい。また剥離層は、30nm～1μmの膜厚とすればよく、剥離層1の成膜装置の薄膜形成限界が許容すれば、30nm以下とすることも可能である。

【0152】

次に、剥離層61上に、保護膜55(下地膜、下地絶縁膜と呼ぶこともある。)を形成する。ここでは、SiON膜(100nm)/SiNO膜(50nm)/SiON膜(100nm)の順に積層された3層構造としたが、材質、膜厚、積層数は、これに限定されるものではない。例えば、下層のSiON膜に代えて、膜厚0.5～3μmのシロキサン等の有機材料をスピンコート法、スリットコーター法、液滴吐出法などにより形成してもよい。また、窒化珪素膜(SiN、Si₃N₄等)を用いてもよい。また、それぞれの膜厚は、0.05～3μmとするのが望ましく、その範囲から自由に選択することができる。

20

【0153】

なお、剥離層61及び島状半導体膜57として、a-Si等の珪素を主成分とする材料を用いる場合には、それらに接する保護膜は、密着性確保の点から、SiO_xN_yを用いるとよい。

30

【0154】

ここで、酸化珪素膜は、SiH₄及びO₂、TEOS(テトラエトキシシラン)及びO₂等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、SiH₄及びNH₃の混合ガスを用い、プラズマCVDによって形成することができる。また、SiON膜又はSiNO膜は、代表的には、SiH₄及びN₂Oの混合ガスを用い、プラズマCVDによって形成することができる。

【0155】

その後、図21(B)に示すように、保護膜55上に、島状半導体膜57を形成する。島状半導体膜57は、アモルファス半導体、結晶性半導体、又はSAS(微結晶シリコン、マイクロクリスタルシリコンを含む。)で形成する。いずれも、シリコン、シリコン・ゲルマニウム(SiGe)等を主成分とする半導体膜を用いることができる。

40

【0156】

本実施の形態では、非晶質半導体膜を形成し、加熱処理により結晶化された結晶性半導体膜を形成する。その他の半導体膜の作製方法は、実施の形態3を参照することができる。

【0157】

また半導体膜に加熱する工程により、剥離層への影響があると考えられる。例えば、炉を用いた加熱処理を行う場合や、532nmの波長を用いてレーザー照射を行う場合、剥離層までエネルギーが到達することがある。その結果、剥離層も同時に結晶化されることが

50

ある。このような剥離層の結晶化状態によって、反応速度を改善することができる。

【0158】

一方、効率よく半導体膜を結晶化するため、剥離層へレーザーによるエネルギーを到達させないように、保護膜の構造を選択することもできる。例えば、保護膜の材料、膜厚、積層順を選択する。

【0159】

なお、TF T内の特にチャンネル領域には、 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$ 、好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の水素又はハロゲンが添加されているのがよい。S A Sに関しては、 $1 \times 10^{19} \sim 2 \times 10^{21} \text{ cm}^{-3}$ とするのが望ましい。いずれにしても、シリコンウェハから形成されるICチップに含まれる水素又はハロゲンの含有量よりも多く含有させておくことが望ましい。これにより、TF T部に局部クラックが生じても、水素又はハロゲンによってターミネート(終端)されうる。

10

【0160】

次に、図21(B)に示すように、島状半導体膜57上にゲート絶縁膜58を形成する。ゲート絶縁膜はプラズマCVD法又はスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成する。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのがよい。

【0161】

次に、図21(C)に示すように、ゲート電極56を形成する。ここでは、SiとW(タングステン)をスパッタリング法により積層形成した後に、レジスト62をマスクとしてエッチングを行うことにより、ゲート電極56を形成した。勿論、ゲート電極56の材料、構造、作製方法は、これに限定されるものではなく、適宜選択することができる。例えば、n型不純物がドーピングされたSiとNiSi(ニッケルシリサイド)との積層構造や、Ta₂N(窒化タンタル)とW(タングステン)の積層構造としてもよい。また、種々の導電材料を用いて単層構造で形成してもよい。

20

【0162】

また、レジストマスクの代わりに、SiO_x等の無機材料を有するマスク(ハードマスクと呼ばれる。)を用いてもよい。この場合、SiO_x、SiON等のハードマスクをパターンニング形成工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅のゲート電極層を形成することができる。また、レジスト62を用いずに、液滴吐出法を用いて選択的にゲート電極56を形成してもよい。

30

【0163】

また、ゲート電極56とアンテナとを同時に形成することができる。その場合には、ゲート電極56及びアンテナの機能を考慮して材料を選択する。

【0164】

なお、ゲート電極56をエッチング形成する際のエッチングガスとしては、CF₄、Cl₂、O₂の混合ガスやCl₂ガスを用いることができるが、これに限定されるものではない。

【0165】

次に図21(D)に示すように、p型TF T70、72となる部分をレジスト63で覆い、ゲート電極をマスクとして、n型TF T69、71の島状半導体膜中に、n型を付与する不純物元素64(代表的にはP(リン)又はAs(砒素))を低濃度にドーピングする(第1のドーピング工程)。第1のドーピング工程の条件は、ドーズ量： $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧：50～70keVとしたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜58を介してドーピング(スルードーピング)され、一対の低濃度不純物領域65が形成される。なお、第1のドーピング工程は、p型TF T領域をレジストで覆わずに、全面に行ってもよい。

40

【0166】

次に、図21(E)に示すように、レジスト63をアッシング等により除去した後、n型TF T領域を覆うレジスト66を新たに形成し、ゲート電極をマスクとして、p型TF T

50

70、72の島状半導体膜中に、p型を付与する不純物元素67(代表的にはB(ホウ素))を高濃度にドーピングする(第2のドーピング工程)。第2のドーピング工程の条件は、ドーズ量： $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧：20～40keVとして行う。この第2のドーピング工程によって、ゲート絶縁膜58を介してスルードーピングがなされ、一对のp型の高濃度不純物領域68が形成される。

【0167】

次に、図22(A)に示すように、レジスト66をアッシング等により除去した後、ゲート電極等を覆うように、絶縁膜75を形成した。ここでは、膜厚100nmのSiO₂膜をプラズマCVD法によって形成する。

【0168】

その後、図22(B)に示すように、基板全面をレジスト84で覆い、エッチバック法により、レジスト84、絶縁膜75、ゲート絶縁膜58をエッチング除去し、サイドウォール(側壁)76を自己整合的(セルフアライン)に形成した。エッチングガスとしては、CHF₃及びHeの混合ガスを用いた。なお、サイドウォールを形成する工程は、これらに限定されるものではない。

【0169】

なお、絶縁膜75形成時に基板の裏面にも絶縁膜が形成された場合には、レジスト84をマスクとして、裏面の絶縁膜をエッチング除去する(裏面処理)とよい。

【0170】

なお、サイドウォール76の形成方法は上記に限定されるものではない。例えば、図23に示した方法を用いることができる。図23(A)は、絶縁膜75を二層又はそれ以上の積層構造とした例を示している。絶縁膜75としては、例えば、膜厚100nmのSiON(酸化窒素)膜と、膜厚200nmのLTO膜(Low Temperature Oxide、低温酸化膜)の2層構造とした。ここでは、SiON膜は、プラズマCVD法で形成し、LTO膜としては、SiO₂膜を減圧CVD法で形成する。その後、レジスト84をマスクとしてエッチバックを行うことにより、L字状と円弧状からなるサイドウォール76を形成することができる。

【0171】

また、図23(B)は、エッチバック時に、ゲート絶縁膜58を残すようにエッチングを行った例を示している。この場合の絶縁膜75は、単層構造でも積層構造でもよい。

【0172】

上記サイドウォール76は、後に高濃度のn型不純物をドーピングし、サイドウォール76の下部に低濃度不純物領域又はノンドーピングのオフセット領域を形成する際のマスクとして機能するものであるが、上述したサイドウォールのいずれの形成方法においても、低濃度不純物領域又はオフセット領域の幅によって、エッチバックの条件を適宜変更すればよい。

【0173】

次に、図22(C)に示すように、p型TFT領域を覆うレジスト77を新たに形成し、ゲート電極56及びサイドウォール76をマスクとして、n型を付与する不純物元素78(代表的にはP又はAs)を高濃度にドーピングする(第3のドーピング工程)。第3のドーピング工程の条件は、ドーズ量： $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧：60～100keVとして行う。この第3のドーピング工程によって、ゲート絶縁膜57を介してスルードーピングがなされ、一对のn型の高濃度不純物領域79が形成される。

【0174】

なお、レジスト77をアッシング等により除去した後、不純物領域の熱活性化を行ってもよい。例えば、50nmのSiON膜を成膜した後、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含むSiNx膜を、100nmの膜厚に形成した後、410℃、1時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性半導体膜中に存在するダングリングボンドを終端させるものであり、水素化処理工程などと呼ばれる。さらに

10

20

30

40

50

、この後、TFTを保護するキャップ絶縁膜として、膜厚600nmのSiON膜を形成する。なお、水素化処理工程は、該SiON膜形成後に行ってもよい。この場合、SiNx膜及びSiON膜は連続成膜することができる。このように、TFT上には、SiON/SiNx/SiONの順に3層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。また、これらの絶縁膜は、TFTを保護する機能をも有しているため、できるだけ形成しておくことが望ましい。

【0175】

次に、図22(D)に示すように、TFT上に、層間膜53を形成する。層間膜53としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂を用いることができる。形成方法としては、その材料に応じて、スピコート法、ディップ法、スプレー塗布法、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター、又はインクジェット描画法、スクリーン印刷法、或いはオフセット印刷法等の液滴吐出法等を採用することができる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、層間膜53を形成してもよい。

10

【0176】

さらに、層間膜53上に、保護膜54を形成してもよい。保護膜54としては、DLC(ダイヤモンドライクカーボン)或いは窒化炭素(CN)等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂を用いてもよい。

20

【0177】

なお、層間膜53又は保護膜54と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、これらの膜の膜剥がれや割れが生じるのを防ぐために、層間膜53又は保護膜54中にフィラーを混入させておいてもよい。

【0178】

次に、レジストを形成した後、エッチングによりコンタクトホールを開孔し、TFT同士を接続する配線51及び外部アンテナと接続するための接続配線82を形成する。このときメモリ部分の接続配線は、以下の実施の形態6に示すインクジェット描画法、又はレーザカット法を用いて、用途に応じて作り分けることができる。

30

【0179】

コンタクトホール開孔時のエッチングに用いられるガスは、 CHF_3 とHeの混合ガスを用いたが、これに限定されるものではない。また、配線51と接続配線82は同一材料を用いて同時に形成してもよいし、別々に形成してもよい。ここでは、TFTと接続される配線51は、Ti/TiN/Al-Si/Ti/TiNの順に積層された5層構造とし、スパッタリング法によって形成した後、パターニング形成した。

【0180】

なお、Al層において、Siを混入させることにより、配線パターニング時のレジストベークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させてもよい。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用してもよい。

40

【0181】

なお、本実施の形態では、CPU73、メモリ74等を構成するTFT領域とアンテナと接続する端子部80のみを一体形成する場合について示したが、TFT領域とアンテナとを一体形成する場合にも、本実施の形態のTFT構造等を適用できる。この場合には、層間膜53又は保護膜54上にアンテナを形成し、さらに、別の保護膜で覆うとよい。アン

50

テナの導電材料としては、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co若しくはTi、又はそれらを含む合金を用いることができるが、これらに限定されるものではない。また、配線とアンテナで材料が異なってもよい。なお、配線及びアンテナは、展性、延性に富む金属材料を有するように形成し、更に好ましくは膜厚を厚くして変形による応力に耐えるようにするのが望ましい。

【0182】

また、アンテナの形成方法としては、スパッタリング法によって全面成膜した後、レジストマスクを用いてパターンニングを行ってもよいし、液滴吐出法等によってノズルから選択的に形成してもよい。また配線とアンテナは、同時に形成してもよいし、一方を先に形成した後に、他方が乗り上げるように形成してもよい。

10

【0183】

以上の工程を経て、TFTからなる薄膜集積回路が完成する。なお、本実施の形態では、トップゲート構造としたが、ボトムゲート構造（逆スタガ構造）としてもよい。

【0184】

また、図22(D)に示すように、薄膜集積回路装置におけるTFTの半導体膜から下部の保護膜までの距離(t_{under})と、半導体膜から上部の層間膜（保護膜が形成されている場合には該保護膜）までの距離(t_{over})が、等しく又は概略等しくなるように、上下の保護膜又は層間膜の厚さを調整するのが望ましい。このようにして、半導体膜を薄膜集積回路装置の中央に配置せしめることで、半導体膜への応力を緩和することができ、クラックの発生を防止することができる。

20

【0185】

その後、剥離層を除去し、基板を剥離する。このとき、剥離層を除去するエッチング剤は、エッチング剤としては、ハロゲン化フッ素を含む気体又は液体を使用する。具体的には、ハロゲン化フッ素として ClF_3 （三フッ化塩素）を使用することができる。このようにしてIDチップを形成することができる。さらにその後、フレキシブル基板へ転置してもよい。IDチップの破壊強度を高めることができるからである。

【0186】

（実施の形態5）

本実施の形態では、IDチップを搭載した商品、特に有価証券についての使用形態を説明する。

30

【0187】

IDチップは、一商品に一つ設けても、複数設けてもよい。複数のIDチップを設けると、高いセキュリティ性を提供することができる。図19(A)には、10つのIDチップ242が搭載された有価証券241を示す。各IDチップが有する情報は、同一であっても異なってもよい。同一な情報を有するIDチップの場合、あるIDチップが破損した場合であっても、正規な情報を提供し続けることができる。また異なる情報を有するIDチップの場合、各IDチップの情報が全て一致する場合のみ正規な商品、つまり有価証券として取り扱うことができる。すなわち、搭載するIDチップの数が増すにつれて、高いセキュリティ性を提供することができる。更に加えて、IDチップの配列を特定することにより、全てのIDチップの配列個所までも一致するか否かを判断することができる。

40

【0188】

例えば図19(B)に示すように、有価証券の使用者が、IDチップ搭載の有価証券で支払を行うとする。そして販売店で、有価証券を受け取り、例えばレジスター等に通す。するとインターネットを介して、有価証券の管理者、具体的には管理サーバにIDチップの情報が送られる。管理サーバでは、IDチップの情報が正規なものであるか否か判断し、その旨を通知する。例えば正規である旨を通知すると、販売店では、有価証券が使用可能な状態となり、使用者の支払は終了することとなる。

【0189】

このとき管理者、具体的には管理サーバで行われるIDチップの情報が正規なものか判断する手順について、図20に示すフローチャートを用いて説明する。

50

【 0 1 9 0 】

管理サーバでは、まず正規な I D チップか否かを判断する。正規であると判断された I D チップに対し、各 I D チップの情報が正しいかを判断する。正しいと判断された I D チップに対し、各 I D チップの数及び配列が正しいかを判断する。その結果、正しいと判断された I D チップを搭載された有価証券等の商品に対して使用許可の情報を販売店へ通知する。それ以外の有価証券等の商品に対しては、使用不可の情報を販売店へ通知する。

【 0 1 9 1 】

このようにして、 I D チップにより有価証券等の商品の不正使用を防止することができる。

【 0 1 9 2 】

インターネット以外にも、 I D チップの情報が入力された電子機器により I D チップの情報が正規なものであるか否かを判断させることができる。販売店の電子機器を用いることにより、短時間で有価証券の使用状態を判断することができる。

10

【 0 1 9 3 】

また例えば、自動販売機等に I D チップ搭載の紙幣を使用する場合、自動販売機内に、 I D チップの情報が正規なものであるか否かを判断させる手段を設置するとよい。現状の自動販売機は、紙幣の状態が悪いと、正規な紙幣か否か判断できないため、受け付けてくれないことがある。 I D チップ搭載の紙幣であれば、紙幣の状態に関わらず、正規な紙幣か否か判断することができるのと期待できる。

【 0 1 9 4 】

なお商品に搭載する I D チップの数や配置は限定されない。例えば、複数の I D チップをランダムに配置してもよい。

20

【 0 1 9 5 】

次に、本発明の I D チップを用いたカードを、電子マネーとして利用する形態について説明する。図 2 6 に、カード 7 2 1 を用いて、決済を行なっている様子を示す。カード 7 2 1 は、本発明の I D チップ 7 2 2 を有している。そしてレジスター 7 2 3、リーダ/ライタ装置 7 2 4 を有する。 I D チップ 7 2 2 には、カード 7 2 1 に入金されている金額の情報が保持されており、リーダ/ライタ装置 7 2 4 は該金額の情報を非接触で読み取り、レジスター 7 2 3 に送信することができる。レジスター 7 2 3 では、カード 7 2 1 に入金されている金額が、決済する金額以上であることを確認し、決済を行なう。そしてリーダ/ライタ装置 7 2 4 に決済後の残額の情報を送信する。リーダ/ライタ装置 7 2 4 は該残額の情報を、カード 7 2 1 の I D チップ 7 2 2 に書き込むことができる。

30

【 0 1 9 6 】

なおリーダ/ライタ装置 7 2 4 に、暗証番号などを入力することができるキー 7 2 5 を付加し、第三者によってカード 7 2 1 を用いた決済が無断で行なわれるのを制限できるようにしてもよい。

【 0 1 9 7 】

(実施の形態 6)

本実施の形態では、メモリとして、書き換え不可能な不揮発性の R O M を有する I D チップの回路構成及びその作製方法について説明する。

40

【 0 1 9 8 】

例えば、最も簡便な I D チップの回路構成として、高周波回路、電源回路、クロック発生回路、認証データを格納する R O M のみを搭載して、その機能を固体識別などに限定し、不足する機能をインターネットなどのネットワーク技術を利用して補完するものが挙げられる。逆に、複雑な例としては、上記の回路に、 C P U や、同じ電波エリアに複数の I D チップが存在するときにそれらを個別に認識するふくそう制御回路などを加え、セキュリティ機能や演算機能を加えたものなどが挙げられる。

【 0 1 9 9 】

図 1 1 には、メモリとして、書き換え不可能な不揮発性の R O M を有する I D チップの代表的なブロック図であって、認証データ等、固定データのみを読み出す簡単な機能を有す

50

る構成を示す。同図において、IDチップ522は、アンテナ515、高周波回路103、電源回路104、リセット回路105、クロック発生回路106、データ復調回路107、データ復調/変調回路108、制御回路109、第1ROM110a、及び第2ROM110bを有する。

【0200】

また、上記回路及びROMは、絶縁表面上に一体形成された薄膜集積回路501として形成することができる。アンテナ515は、絶縁表面上に設けられた薄膜集積回路501上に形成したり、別の基板、つまりアンテナ用基板上に形成することができる。

【0201】

絶縁表面を有する基板には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ステンレス基板等を用いることができる。また好ましくは、ポリエチレン-テレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチックや、アクリル等の合成樹脂からなる基板を用いるとよい。このような合成樹脂からなる基板は、可撓性を有し、さらに軽量である。

10

【0202】

またこのような基板の平坦性を高めるため、化学的又は機械的ポリッシング法、いわゆるCMP(Chemical-Mechanical Polishing)法により、表面研磨してから用いると好ましい。CMPの研磨剤(スラリー)には、例えば、塩化シリコンガスを熱分解して得られるフュームドシリカ粒子をKOH添加水溶液に分散したものを

20

【0203】

またガラス基板等の絶縁表面上に薄膜集積回路を形成し、それを合成樹脂からなる基板上に転置することが可能である。そのため、合成樹脂からなる基板の耐熱性を考慮せずに薄膜集積回路を形成することができる。このとき、アンテナ用基板に薄膜集積回路を転置してもよい。なお薄膜集積回路を剥離する方法は、応力による剥離法、レーザー或いはエッチング液を用いて剥離層を除去する剥離法、基板を除去する剥離法、その他の剥離法を使用することができる。また合成樹脂からなる基板、又はアンテナ用基板には、紫外線硬化樹脂、具体的にはエポキシ樹脂系接着剤或いは樹脂添加剤等の接着剤、又は両面テープ等の接着剤により転置することができる。その結果、フレキシブル性が高く、軽量、且つ薄膜化されたIDチップを形成することができる。このようなIDチップは応力に強い

30

【0204】

特に、紙幣等のシート状商品は手で触ることが多く、Na等のアルカリ金属の拡散が懸念される。そこで薄膜集積回路への不純物拡散を防止するため、樹脂や窒素を有する絶縁膜で薄膜集積回路を覆うとよい。例えば、薄膜集積回路の下地膜に窒素を有する絶縁膜(SiN、SiON、若しくはSiNO、又はこれらとSiO₂との積層)を用いるとよい。また配線等を覆うように窒素を有する絶縁膜を形成するとよい。すなわち薄膜トランジスタを、窒素を有する絶縁膜により挟む構造が好ましい。

【0205】

また第1ROM110aは第1のメモリセルによって構成されるマスクROMであり、「基板間で共通のデータ」が保存されている。第2ROM110bは第2のメモリセルによって構成されるROMであり、「基板間で異なるデータ」が保存されている。

40

【0206】

このように保存するデータ異なることもあり、第1のメモリセルと第2のメモリセルは、デザインルールも異なることが多い。そのため各ROMを、異なる作製工程により形成すると好ましい。

【0207】

例えば、フォトマスクを用いた工程と合わせて、インクジェット描画法又はレーザカット法を用いて作製することができる。

50

【 0 2 0 8 】

具体的には、第1のメモリセルは、フォトリソグラフィ法より作製し、第2のメモリセルは、基板ごとに異なるレイアウトを実現するため、インクジェット描画法、又はレーザカット法により作製するとよい。特に、第2のメモリセルにおける回路を接続するための、金属配線の形成工程にインクジェット描画法を用いたり、金属配線の分断工程においてレーザカット法を用いることができる。

【 0 2 0 9 】

以上のように異なる作製方法を適応する結果、周波数特性や動作マージンに優れたメモリセルを形成することができる。

【 0 2 1 0 】

なお本実施の形態では、第1のメモリセルと第2のメモリセルとに分け構成する場合を示したが、これに限定されない。第1及び第2のメモリセルのいずれか一方において、必要となるメモリセル数が少ない場合には、同様な作製工程により形成されたROMで構成した方が、面積的に有利な場合があるからである。

【 0 2 1 1 】

次いで、各回路について説明する。高周波回路103は、アンテナ515よりアナログ信号を受信し、またデータ復調/変調回路108より受け取ったアナログ信号をアンテナ515から出力する回路である。電源回路104は受信信号から定電源を生成する回路である。リセット回路105はリセット信号を生成する回路である。クロック発生回路106はクロック信号を発生する回路である。データ復調回路107は受信した信号からデータを抽出する回路である。データ復調/変調回路108は制御回路1019から受け取ったデジタル信号をもとにアンテナ515へ出力するアナログ信号を生成、又は、アンテナ特性を変化させる回路である。そして以上の回路からアナログ部が構成されている。

【 0 2 1 2 】

制御回路109は受信した信号から抽出したデータを受け取って、データ読み出しを行う。具体的には、第1ROM110aや第2ROM110bのアドレス信号、ROM選択信号を生成して、データの読み出しを行い、読み出したデータをデータ復調/変調回路に送る。以上の制御回路109、第1ROM110a、及び第2ROM110bからデジタル部が構成されている。

【 0 2 1 3 】

第1ROM110aは、基板に依存にしないデータを格納するため、フォトリソグラフィ法によって形成すればよい。例えばフォトリソグラフィ法による絶縁膜に形成するコンタクトホールを介して配線を接続して、データを確定する場合、図12(A)のようなメモリセルのレイアウト例を挙げることができる。

【 0 2 1 4 】

図12(A)には4つのメモリセルが示されており、一つのメモリセルは、ビット線201、VDD202、GND203、ワード線204、半導体膜206から構成されている。フォトリソグラフィ法によって、絶縁膜に形成するコンタクトホールを介して配線を接続して、データを確定するときのマスクROMのレイアウトでは、ビット線201がメモリセルを作る薄膜トランジスタ(TFT)の一方の高濃度不純物領域に重なり、他方の高濃度不純物領域にはVDD202、GND203が重なる。ビット線201は、データ読み出しの経路であるため、コンタクトホール205を通して、半導体膜206と短絡している。

【 0 2 1 5 】

例えば、読みだされる電位がGNDの場合のデータを「0」、VDDの場合のデータを「1」とすると、TFTの一方の高濃度不純物領域に、VDD202とGND203両線が形成されているので、コンタクトホール205の穿つ部位を、VDD202にするか、GND203にするかによりデータ内容を「0」か「1」に決定することができる。すなわち、データとして「0」を記録したいときは、GND203の下にコンタクトホール205を、「1」を記録したい場合VDD202の下にコンタクトホール205を穿ち、半導

10

20

30

40

50

体膜 206 と短絡すればよい。

【0216】

勿論、配線工程や半導体膜のパターニング工程においてデータを確定しても構わないが、第1ROM110aでは、データ内容を決定する工程にフォトリソグラフィ法を使用する。

【0217】

一方、第2ROM110bは、メモリセルの回路接続を基板ごとに異ならせるための作製工程にはフォトリソグラフィ法を使用せず、インクジェット描画法又はレーザカット法を用いるとよい。インクジェット描画法を用いる場合には、例えば、図12(B)に示すようなレイアウトを想定して描画プログラムを準備するとよい。

10

【0218】

図12(B)において、インクジェット描画法のためのメモリセルは、ビット線301、VDD302、GND303、ワード線304、半導体膜305から構成されている。インクジェット描画法によってデータを確定する時のレイアウトでは、TF Tの一方の高濃度不純物領域と接続するビット線301は、データ読み出しの経路であるために、コンタクトホール306が穿たれ、半導体膜305と短絡している。一方、TF Tの他方の高濃度不純物領域には、コンタクトホール308は穿たれているものの、VDD302、及びGND303は半導体膜305と短絡していない。

【0219】

例えば、読みだされる電位がGNDの場合のデータを「0」、VDDの場合のデータを「1」とすると、図12(B)に示すように、メモリセルを作るTF Tの高濃度不純物領域のうち、ビット線301と短絡していない一方と、GND303の金属配線を、インクジェット描画法を用いて金属配線307で短絡する。その結果、データを「0」とすることができる。

20

【0220】

一方、メモリセルのデータを「1」にする場合、メモリセルを形成するTF Tの高濃度不純物領域のうち、ビット線301と短絡していない一方と、VDD302の配線とを、インクジェット描画法を用いて金属配線307で短絡する。その結果、データを「1」とすることができる。

【0221】

インクジェット描画法によってどこに金属配線を描くかは、あらかじめ、描画プログラムに入力しておけばよい。このように、描画プログラムの局所変更のみで基板毎の所望のデータを格納することが可能となり、フォトリソグラフィ法に使用するフォトマスクの使い捨てを回避することができる。なお、設計においては、インクジェット描画工程に合わせたデザインルールや制約を満たすように全体を設計することが肝要である。

30

【0222】

またインクジェット描画法を用いる場合、絶縁膜を形成することなく、金属配線を選択的に描くことができるため、コンタクトホールは必ずしも設ける必要はない。

【0223】

また、メモリセルの回路接続を基板ごとに異ならせるための作製工程において、インクジェット描画法によってコンタクトホールを形成してもよい。

40

【0224】

また、レーザカット法を用いる場合には、例えば、図12(C)に示すようなレイアウトを作製すればよい。一つのメモリセルは、ビット線401、VDD402、GND403、ワード線404、半導体膜405から構成されている。レーザカット法によってデータを確定する時のレイアウトでは、TF Tの一方の高濃度不純物領域に接続されるビット線401は、データ読み出しの経路であるためにコンタクトホール406が穿たれ、半導体膜と短絡している。そして、TF Tの他方の高濃度不純物領域には、VDD402、GND403がともに短絡している。

【0225】

50

例えば、読みだされる電位がGNDの場合のデータを「0」、VDDの場合のデータを「1」のとき、メモリセルのデータを「0」にするには、メモリセルを形成するTFTの一方の高濃度不純物領域に繋がっているVDD402の一部の金属配線を、レーザカット法で切り離す。その結果、TFTの一方の高濃度不純物領域がGND403のみと短絡するので、メモリの内容が「0」になる。

【0226】

一方、メモリセルのデータを「1」にする場合、メモリセルを形成するTFTの他方の高濃度不純物領域に繋がっているGND403の一部の金属配線を、レーザカットを用いて、切り離す。その結果、TFTの他方の高濃度不純物領域がVDD402のみと短絡するので、メモリの内容が「1」とすることができる。

10

【0227】

また、レーザカット法によってどの金属配線を切り離すかは、あらかじめ、プログラムに入力しておけばよい。このようにTFT作製後のレーザカット法により、基板毎に所望のデータを格納することが可能となり、フォトリソグラフィ法に使用するフォトマスクの使い捨てを回避することができる。もちろん、設計においては、レーザカット法に合わせたデザインルールや制約を満たすように全体を設計することが肝要である。

【0228】

なお、第2ROMの作製工程において、メモリセルの回路接続を基板ごとに異ならせるための作製工程として、インクジェット描画法、及びレーザカット法の両方を用いてもかまわない。

20

【0229】

以上のようにROM内のデータを決定することで、フォトマスクの使い捨てを回避し、IDチップの更なる低コスト化を達成することが可能となる。

【0230】

図13(A)は、1枚のガラス基板701上に、縦 2^m 、横 2^n 個、合計 2^{m+n} 個のIDチップ702を作製したときの例を示す。(m, nは正の整数)IDチップには順に、702(1)、702(2)、 \dots 702(2^{m+n})という個別のナンバーを付す。

【0231】

図13(B)のように、ひとつのIDチップ内の認証用シリアルデータをLビットとしたとき、下位の $m+n$ ビットが、フォトマスクを用いた工程によってデータ内容を決定する第1のROMに格納する、基板間に共通の第1のデータとし、上位の $L-(m+n)$ ビットが、インクジェット描画法又はレーザカット法によってデータ内容を決定する第2のROMに格納する、基板ごとに異なる第2のデータとする。

30

【0232】

図13(C)は、下位の第1のデータ内容について説明したものである。この、基板間に共通のデータも、基板内のチップに関しては全て異ならなければならないので $m+n$ ビットの領域が必要である。N番のチップの持つ第1のデータの内容をID{702(N)}と表すとすると、ID{702(N)} = N - 1であり、これをROMのデータ内容に対応する二進数で表すと、図13(C)のようになる。

【0233】

なお、本実施の形態では、1基板上のIDチップ702の数を 2^{m+n} 個としたが、これに限定されない。

40

【0234】

(実施の形態7)

本実施の形態では、フィンガープリントを用いたIDチップの回路構成及びその作製方法について説明する。フィンガープリントとは、製造するTFTの特性ばらつきを利用することでランダムな固定データを格納するメモリを実現する。なお、TFTの特性ばらつきとしては、TFTの活性層を構成する結晶性半導体膜のグレインパターンに起因するばらつきや、プロセスに起因する種々のばらつき(膜厚、膜質、不純物濃度など)が挙げられる。回路構成やレイアウトが共通であって、かつ同じ製造工程を用いても製造するたびにラン

50

ダムな固定データが格納されるような不揮発性メモリを、乱数ROMと呼ぶことにする。

【0235】

フィンガープリントを用いたIDチップの簡単な構成例として、図14のようなブロック図を挙げることができる。図14に示すのは、アンテナを内蔵した非接触型のIDチップであり、識別番号等の固定データを読み出す機能を有する。なお、IDチップの機能が識別番号等の固定データを読み出し程度に限定される場合であっても、不足する機能をインターネットなどのネットワーク技術を利用して補完することで、様々な用途に応用することが可能である。

【0236】

図14に示すように、IDチップ522は、アンテナ515、RF回路13、電源/クロック信号/リセット信号発生回路14、データ復調/変調回路15、制御回路16、マスクROM17、乱数ROM18によって構成される。

【0237】

図14(A)に示した回路及びROMは、絶縁表面上に一体形成された薄膜集積回路501として形成することができる。絶縁表面を有する基板は、上記実施の形態を参照することができる。アンテナ515は、絶縁表面上に設けられた薄膜集積回路501上に形成したり、別の基板、つまりアンテナ用基板上に形成することができることは上記実施の形態と同様である。また上記実施の形態で示した薄膜集積回路を剥離、転置する方法は、本実施の形態と組み合わせて用いることができる。

【0238】

次いで、各回路について説明する。RF回路13はアンテナ515よりアナログ信号を受信すると共に、データ復調/変調回路15より受け取ったアナログ信号をアンテナ515から出力する回路である。電源/クロック信号/リセット信号発生回路14は受信信号をもとに定電源、リセット信号及びクロック信号を発生する回路であり、データ復調/変調回路15は受信信号からデータを抽出すると共に、制御回路16から受け取ったデジタル信号をアンテナ515へ出力するアナログ信号に変換する回路である。

【0239】

一方、制御回路16はマスクROM17及び乱数ROM18を制御し、復調した受信信号に従ってデータ読み出しを行う。具体的には、マスクROM17や乱数ROM18のアドレス信号やイネーブル信号を生成して、データの読み出しを行い、読み出したデータをデータ復調/変調回路15に送る。

【0240】

乱数ROM18は、回路構成やレイアウトが共通であって、かつ同じ製造工程を用いても製造するたびにランダムな固定データが格納されるメモリ回路であり、IDチップごとに固有なデータ(識別番号など)を格納するROMとして使用することができる。以下、図15、図16を用いて乱数ROMの形態について説明する。

【0241】

図15(A)に示すのは乱数ROMの代表的な構成例である。同図において、乱数ROMは、デコーダ21、メモリセルアレイ22、及び読み出し回路23からなる。デコーダ21はアドレス信号を受け取って対応するアドレスのワード線を選択する。メモリセルアレイ22は、メモリセル24がマトリクス状に配置されてなり、同じ行のメモリセルは同一のワード線に接続され、同じ列のメモリセルは同一のビット線に接続される。メモリセルはワード線を介して選択され、ビット線を介してデータ読み出しが行われる。読み出し回路23はビット線を入力し、ビット線電位を増幅してデータの読み出しを行う。

【0242】

図15(B)に示すのは、乱数メモリを構成するメモリセルの例である。メモリセルは1つのTF T25から構成され、TF Tのソース電極およびドレイン電極の一方はビット線に、残る一方とゲート電極はワード線に接続されている。このメモリセルは、ワード線にTF T25のしきい値電圧 V_{th} よりも高い電圧 V_{word} が印加されると、ビット線に $(V_{word} - V_{th})$ の電位を充電する。TF Tのしきい値電圧はグレインパタンやブ

10

20

30

40

50

ロセスばらつきに起因するばらつきを有するため、そのばらつきを V_{th} とすると、図 15 (C) に示すような分布に従ったアナログ電位がビット線に充電されることになる。その結果、本メモリセルは T F T のしきい値電圧のばらつきに基づいたランダムな電位を出力する。

【0243】

図 16 に示すのは読み出し回路の構成例であり、メモリセル一列分に対応する読み出し回路を示す。読み出し回路 31 は参照用メモリセル 32、差動増幅回路 33、ラッチ回路 34 によって構成される。ワード線が選択されると、メモリセルアレイ 36 のメモリセル 35 によってビット線に電位 V_{bit} が充電される。一方、参照用メモリセル 32 からは参照電位 V_{ref} が出力され、この 2 つの電位が差動増幅回路 33 によって比較増幅され、ラッチ回路 34 に格納される。

10

【0244】

なお、参照電位 V_{ref} は、メモリセルによって充電されるビット線電位の平均値に近いことが好ましい。そうすることで、各メモリセル列においても、ほぼ $1/2$ の確率でメモリセルのデータが 0 もしくは 1 に割り当てられ、一様な乱数が発生する。例えば、参照用メモリセルを構成する T F T のチャネル幅を大きくすることで実現することができる。

【0245】

以上のようにして、参照用メモリセル 32 を構成する T F T のしきい値電圧と選択されたメモリセル 35 を構成する T F T のしきい値電圧の差に基づいて、1 ビットの乱数が決定しラッチ回路 34 に格納される。より正確には、乱数は差動増幅回路 33 を構成する T F T のばらつきも含めて決定されるが、いずれにせよ、T F T の特性ばらつきによって乱数が決まる。こうして、同じ製造工程を用いてもランダムな固定データを格納する乱数 R O M を構成することができる。

20

【0246】

なお、上述した乱数 R O M は、通常の T F T 作製技術を用いることで作製することが可能であり、他の集積回路を製造するプロセスと同じプロセスで作製することが可能である。

【0247】

従って、本乱数 R O M の作製に伴うプロセスコストの上昇はなく、フラッシュメモリを作製する場合と比較してプロセスコストを低く抑えることが可能である。

【0248】

なお、乱数メモリ回路に格納される値はランダムであるから、異なる I D チップにおいて同一の I D が格納される確率は 0 ではない。しかしながら、例えば、128 ビット程度の容量を考えても、存在し得る乱数は 2^{128} 個あり、乱数一致する確率は実質的に 0 となるため、問題にはならない。

30

【0249】

上記のような乱数 R O M を用い、そのデータを I D チップに固有のデータ（識別番号など）として使用することで、マスク R O M を製造する場合のフォトマスクの使い捨てを回避し、かつ、プロセスコストの上昇を伴わない、低コストの I D チップを作製することが可能となる。

【0250】

図 15、図 16 では、各メモリセルを参照用メモリセルと比較することによってデータの判定を行う乱数 R O M を示したが、隣り合うメモリセル間の電位比較によってデータの判定を行う乱数 R O M とすることもできる。例えばメモリセルアレイ内のメモリセルが選択されると、各メモリセルを構成する T F T のしきい値電圧を反映した電位が対応するビット線に充電され、差動増幅回路により両ビット線の電位差を増幅し、ラッチ回路にデータを格納する。このような乱数 R O M は、プロセスによっては偏った乱数が発生する可能性があるものの、面積的に有利な回路構成である。

40

【0251】

I D チップは、認証番号等の固定データを読み出す機能だけであれば、小容量のデータで十分である。例えば、128 ビットもあれば、I D チップ固有の識別番号として十分であ

50

る。そのような場合には、乱数ROMを構成するメモリセルをマトリクス状に配置するのではなく、シフトレジスタの初期値を与えるような構成とすることも可能である。

【0252】

そのような例を、図17を用いて説明する。図17(A)にはブロック図、図17(B)にはその一部分を抽出した回路図、図17(C)にはタイミングチャートをそれぞれ示す。図17(A)において、シフトレジスタ41はクロック信号、ロード信号を入力し、乱数ROM42はロード信号とアドレス信号を入力とする。同図に示した回路は、ロード信号により乱数ROM42からシフトレジスタ41へ乱数データをロードした後、クロック信号に従ってシフトレジスタ41から乱数データをシリアルに出力する。

【0253】

図17(B)は、図17(A)に示したブロック図において乱数1ビットに関わるの回路構成例を示したものである。同図には、クロックインバータを用いたシフトレジスタ41と、これを構成するフリップフロップ43の両端に、選択TFT44、45を介して接続される、メモリセル46、47が示されている。

【0254】

図17(C)にはタイミングチャートが示されている。まずクロック信号を停止した状態で、シフトレジスタ41に乱数ROM42から初期値をロードする。ロード信号がアサートされるとシフトレジスタ41の電源電位が接地されレジスタに格納された情報が消去されると共に、メモリセル46、47からはランダムな電位がビット線B1、B2に読み出されて、選択TFT44、45を介して、フリップフロップ43の両端P1、P2に与えられる。その後、ロード信号がデアサートされると、選択トランジスタ44、45がオフになりシフトレジスタ41とメモリセル46、47は切り離される。同時に、フリップフロップ43にはメモリセル46、47によって充電されたアナログ電位を初期値としたデータが格納され、シフトレジスタ41への乱数のロードが完了する。その後、クロック信号を動作させることにより、チップに固有なデータがシリアルに出力される。

【0255】

以上のようにして、IDチップに固有なデータを格納し、これを読み出す機能を有する簡単な回路を実現することができる。

【0256】

またIDチップは、CPU等を含むロジック部を有する高機能回路として使用することも可能である。図18にそのような構成例を示す。同図において、IDチップ522は、アンテナ515、RF回路603、電源/クロック信号/リセット信号発生回路604、データ復調/変調回路605、およびロジック部606によって構成されている。ロジック部606はさらに制御回路607、CPU608、プログラムROM609、ワークRAM610、乱数ROM611によって構成されている。

【0257】

図18に示した回路、ROM、及びRAMは、絶縁表面上に一体形成された薄膜集積回路501として形成することができる。絶縁表面を有する基板は、上記実施の形態を参照することができる。アンテナ515は、絶縁表面上に設けられた薄膜集積回路501上に形成したり、別の基板、つまりアンテナ用基板上に形成することができることは上記実施の形態と同様である。また上記実施の形態で示した薄膜集積回路を剥離、転置する方法は、本実施の形態と組み合わせる用いることができる。

【0258】

図18に示したIDチップ522は、単にIDチップに付与された識別番号を読み出す機能に限らず、CPU608がプログラムROM609に格納されたプログラムを実行し処理を行うことで、様々な機能を有しうる。

【0259】

代表的には、セキュリティ機能であり、例えばパスワードの照合を行ったり、メモリをセグメントに分け、セグメント毎にアクセス権限を制御するなどの処理を行うことが可能である。また、暗号化/復号化処理などを行うことも可能である。暗号化/復号化処理は処

10

20

30

40

50

理速度向上のために専用ハードウェアを設けてもよい。

【0260】

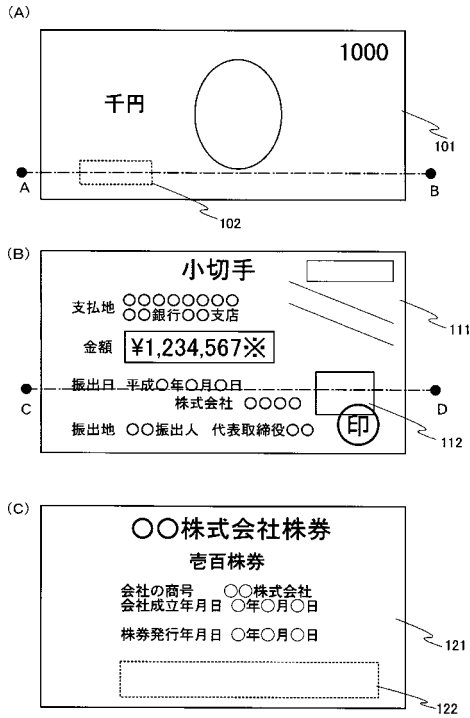
なお、このような複雑な薄膜集積回路を、シリコンウェハを用いて実現する場合には、回路面積が大きくなり、耐衝撃性能が問題となる。一方、本発明のIDチップはフレキシブル基板上に形成することによって、多少回路面積が大きくなっても高い耐衝撃性能を有することができる。

【図面の簡単な説明】

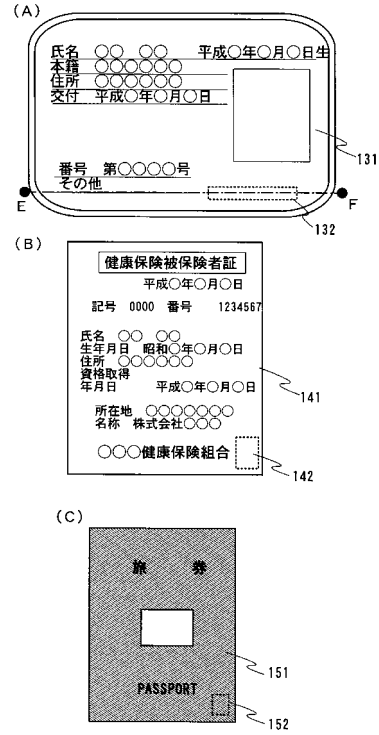
【0261】

- 【図1】IDチップを搭載した商品を示した図である
- 【図2】IDチップを搭載した商品を示した図である 10
- 【図3】IDチップを搭載した商品を示した図である
- 【図4】IDチップを搭載した商品を示した図である
- 【図5】IDチップを搭載した商品を示した図である
- 【図6】IDチップを搭載した商品を示した断面図である
- 【図7】IDチップの形態を示した図である
- 【図8】IDチップの形態を示した図である
- 【図9】IDチップの形態を示した断面図である
- 【図10】IDチップの搭載方法を示した図である
- 【図11】IDチップの回路構成を示した図である
- 【図12】IDチップの構成を示した図である 20
- 【図13】複数のIDチップを形成する工程を示した図である
- 【図14】IDチップの回路構成を示した図である
- 【図15】IDチップの構成を示した図である
- 【図16】IDチップの構成を示した図である
- 【図17】IDチップの構成を示した図である
- 【図18】IDチップの回路構成を示した図である
- 【図19】IDチップを搭載した商品の使用形態を示した図である
- 【図20】IDチップを搭載した商品が使用できるか否かを判断するフローチャートを示した図である
- 【図21】IDチップの作製工程を示した断面図である 30
- 【図22】IDチップの作製工程を示した断面図である
- 【図23】IDチップの作製工程を示した断面図である
- 【図24】IDチップを搭載した商品を示した図である
- 【図25】IDチップを搭載した商品を示した図である
- 【図26】IDチップを搭載した商品を示した図である

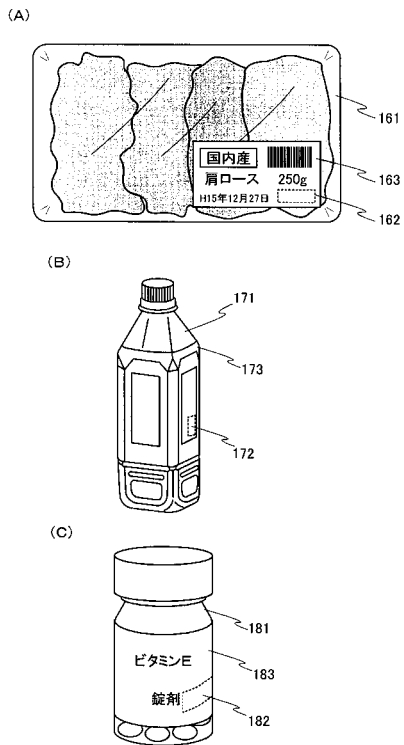
【図1】



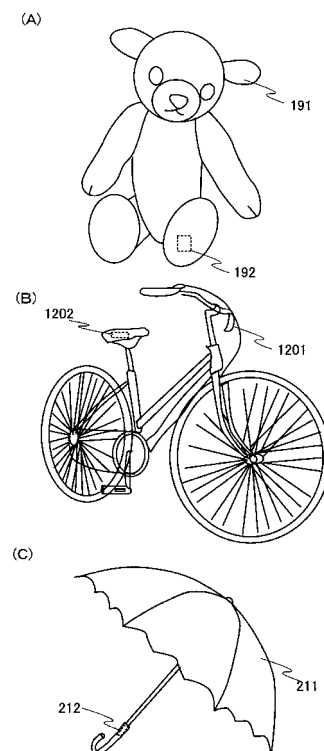
【図2】



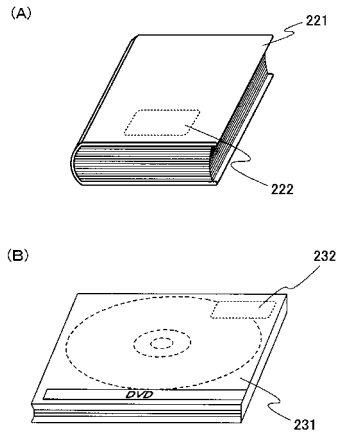
【図3】



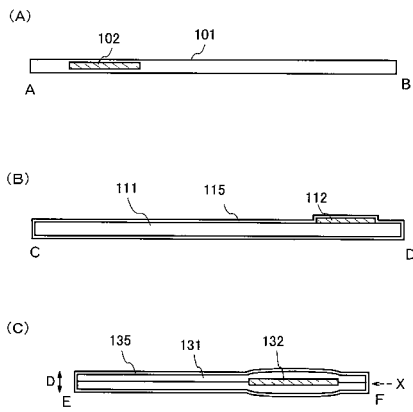
【図4】



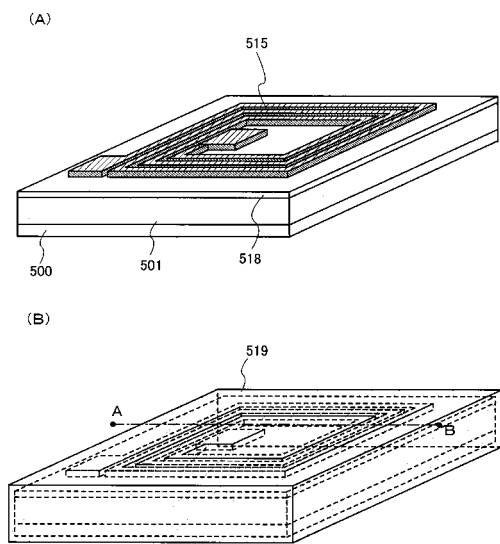
【図5】



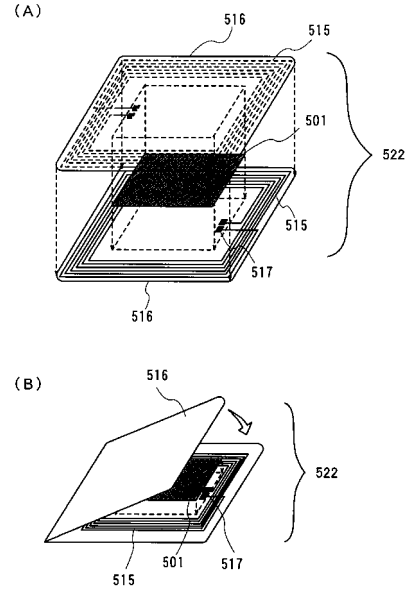
【図6】



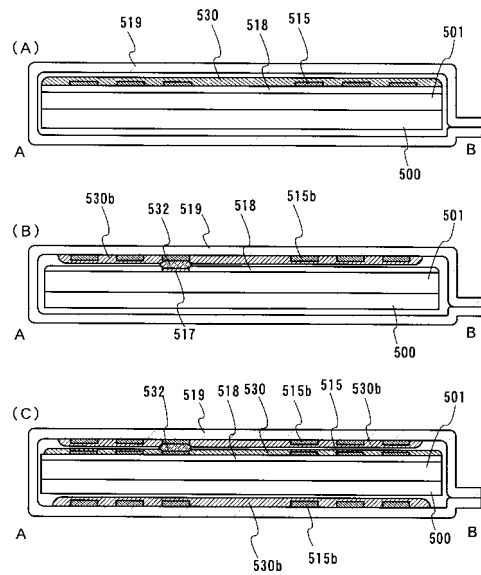
【図8】



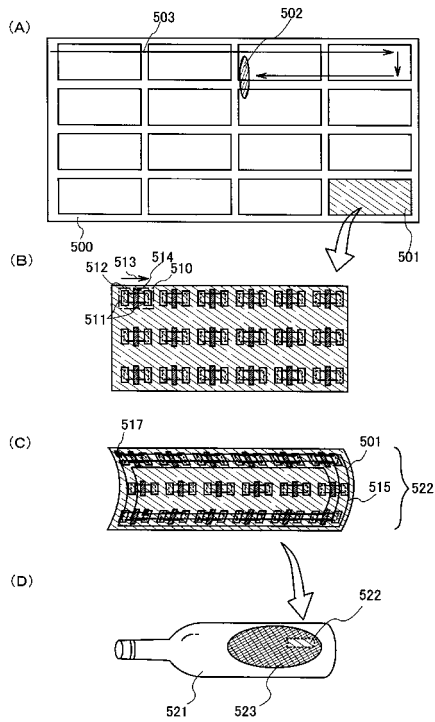
【図7】



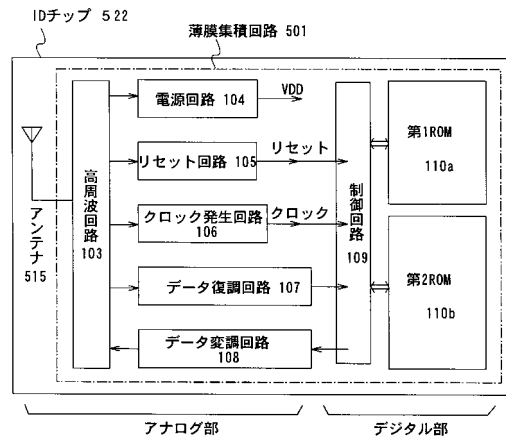
【図9】



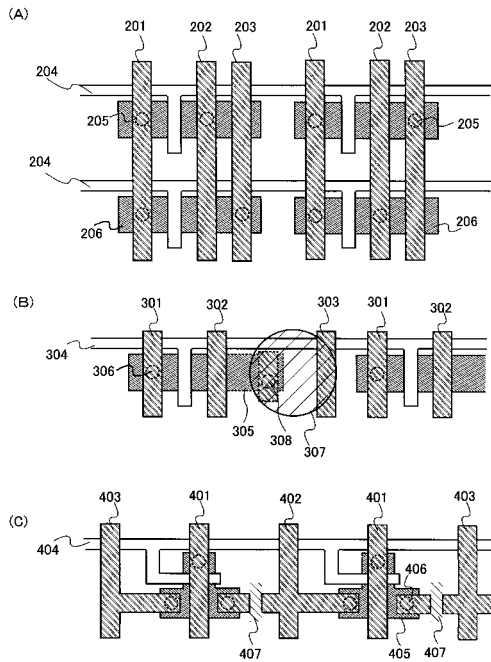
【図10】



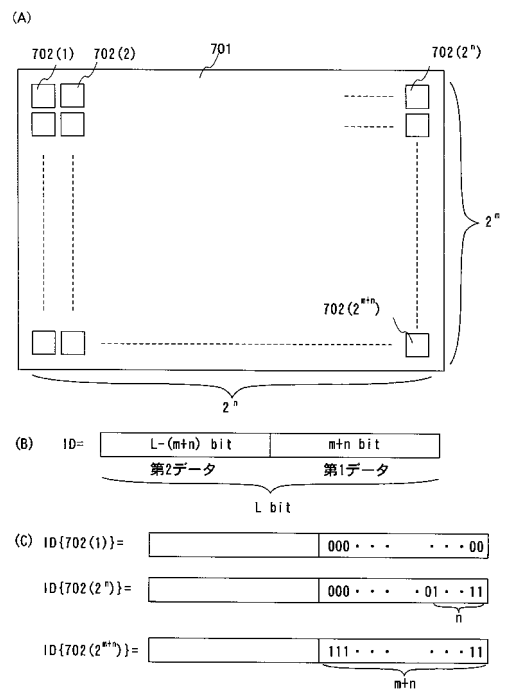
【図11】



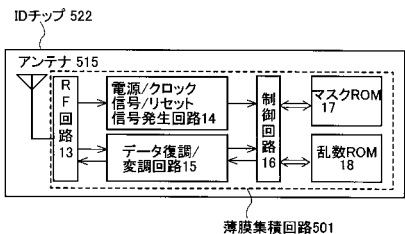
【図12】



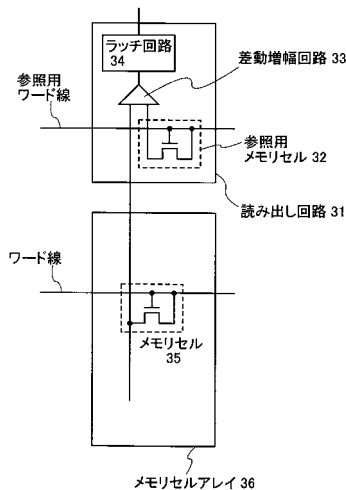
【図13】



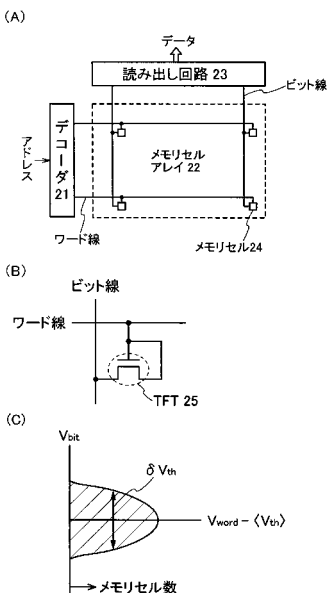
【図14】



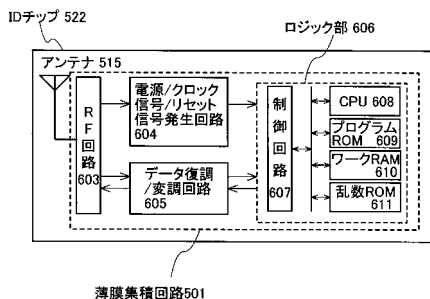
【図16】



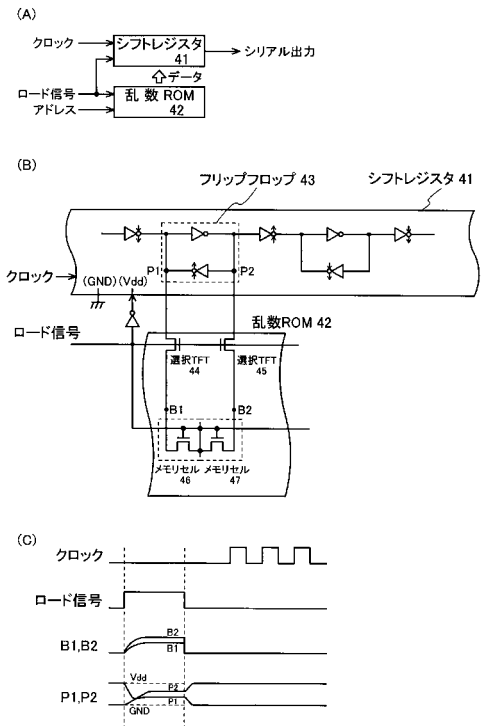
【図15】



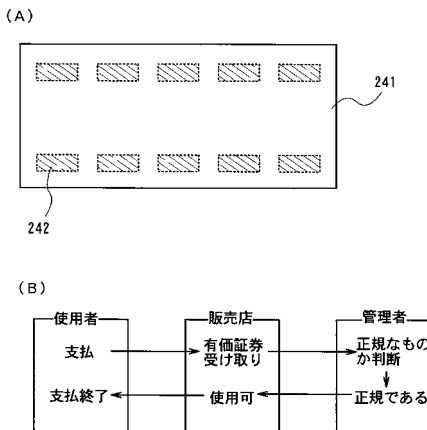
【図18】



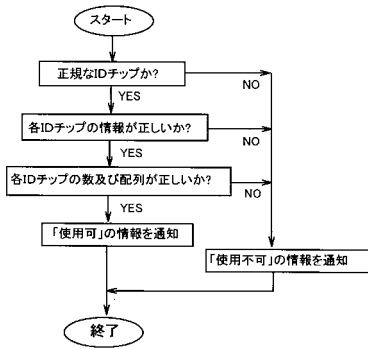
【図17】



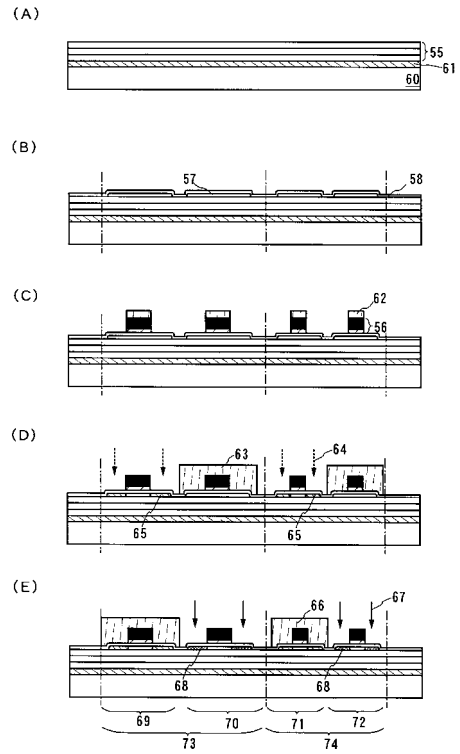
【図19】



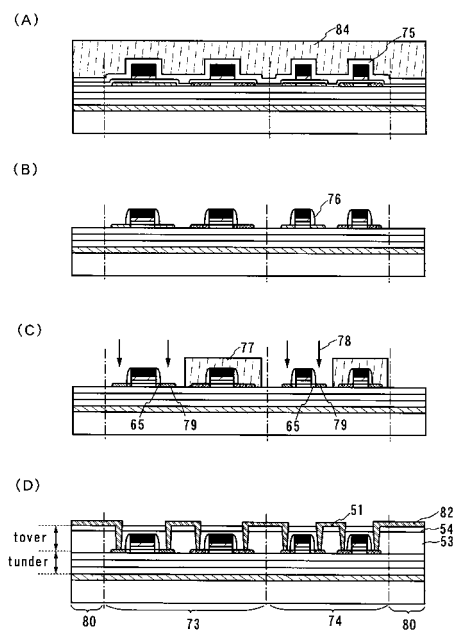
【図20】



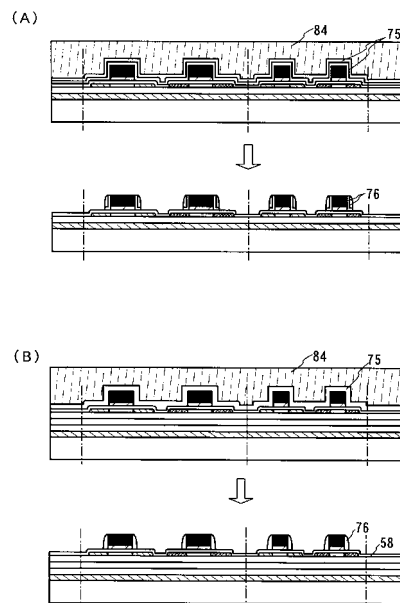
【図21】



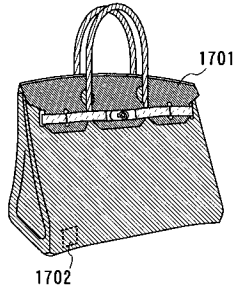
【図22】



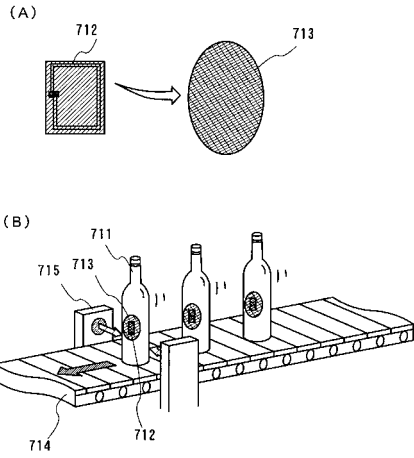
【図23】



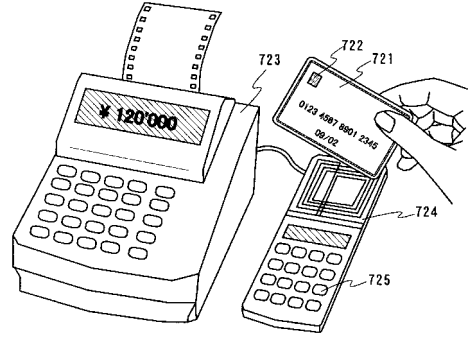
【 2 4 】



【 2 5 】



【 2 6 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 1 3 B
H 0 1 L 29/786 (2006.01)

(56)参考文献 特開平08-181226(JP,A)
特開昭63-244497(JP,A)
国際公開第03/010825(WO,A1)
特開平11-020360(JP,A)
特開2003-045890(JP,A)
特開平06-196659(JP,A)
特開2003-209421(JP,A)
特開2003-203832(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 6 K 1 9 / 0 7
G 0 6 K 1 9 / 0 7 7
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 4 6
H 0 1 L 2 7 / 1 1 2
H 0 1 L 2 7 / 1 2
H 0 1 L 2 9 / 7 8 6