(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3727065号
(P3727065)
(45)発行日　平成17年12月14日(2005.12.14)　(24)登録日　平成17年10月7日(2005.10.7)

(51)Int.Cl.[7]　F I
H03K 19/177　H03K 19/177

請求項の数 4　(全 18 頁)

(21)出願番号　特願平8-533406
(86)(22)出願日　平成8年4月30日(1996.4.30)
(65)公表番号　特表平11-505081
(43)公表日　平成11年5月11日(1999.5.11)
(86)国際出願番号　PCT/US1996/005964
(87)国際公開番号　WO1996/035261
(87)国際公開日　平成8年11月7日(1996.11.7)
審査請求日　平成15年2月21日(2003.2.21)
(31)優先権主張番号　08/433,041
(32)優先日　平成7年5月3日(1995.5.3)
(33)優先権主張国　米国(US)

(73)特許権者
ビィティアール・インコーポレーテッド
アメリカ合衆国・８９５０１・ネバダ州・レノ・イースト　１　エスティ　ストリート・１・コーポレーション　トラスト　カンパニイ　オブ　ネバダ内
(74)代理人
弁理士　山川　政樹
(74)代理人
弁理士　黒川　弘朗
(74)代理人
弁理士　紺野　正幸
(74)代理人
弁理士　西山　修

最終頁に続く

(54)【発明の名称】スケーリング可能な多重レベル相互接続アーキテクチャ

(57)【特許請求の範囲】
【請求項１】
信号に関する関数を実行するプログラム可能な相互接続された複数の構成可能な関数生成器（ＣＦＧ）を備える第１の論理ブロックと、少なくとも１つの第２の論理ブロックとの間のインタフェースを２方向経路指定線を通じてとるブロック・コネクタ・タブ回路網であって、
第１の論理ブロックの少なくとも１つのＣＦＧがプログラム可能に結合された、第１の２方向入出力線と、
第１の２方向入出力線に結合された第１のスイッチと、
第１の論理ブロックの第１の２方向入出力線と第２の論理ブロックの第２の２方向入出力線をプログラム可能に接続するために、第１のスイッチおよび第２の論理ブロックの第２の２方向入出力線に結合された第１のブロック・コネクタ・タブ線と、
２方向経路線群に結合された複数の第２のスイッチと、
第１の２方向入出力線および複数の第２のスイッチに結合され、第１の２方向入出力線を介して受け取った信号を複数の第２のスイッチにドライブする第１のプログラム可能ドライバと、
第１の２方向入出力線および複数の第２のスイッチに結合され、複数の第２のスイッチのうちの１つのスイッチを介して受け取った信号をプログラム可能に第１の２方向入出力線にドライブする第２のプログラム可能ドライバと
を備えることを特徴とするブロック・コネクタ・タブ回路網。

【請求項２】
論理デバイスであって；
この論理デバイスは、それぞれ、信号に関する関数を実行するプログラム可能な相互接続された複数の構成可能な関数生成器（ＣＦＧ）を備える複数の論理ブロックと、
複数の論理ブロックを結合する、第１の方向に配向させた第１の組の経路指定線および第２の方向に配向させた第２の組の経路指定線と、
複数の論理ブロックの各論理ブロックと第１の組の経路指定線とのインタフェースを取る複数のブロック・コネクタ・タブ回路網とを備え；
上記各ブロック・コネクタ・タブ回路網は、
複数の論理ブロックの論理ブロックのＣＦＧがプログラム可能に結合された第１の２方向入出力線と、
第１の組の２方向経路指定線に結合された複数の第１のスイッチと、
第１の２方向入出力線および複数の第１のスイッチに結合され、第１の２方向入出力線を介して受け取った信号をプログラム可能に複数の第１のスイッチにドライブする第１のプログラム可能ドライバと、
第１の２方向入出力線および複数の第１のスイッチに結合され、複数の第１のスイッチを介して受け取った信号をプログラム可能に第１の２方向入出力線にドライブする、第２のプログラム可能ドライバと、
を具備しており；
複数のブロック・コネクタ・タブ回路網と、
上記論理デバイスは、
それぞれが、第１の組の経路指定線群のうちの１つの経路指定線と第２の組の経路指定線群のうちの１つの経路指定線との間にプログラム可能に結合された、複数の第２のスイッチを備えるターンマトリックスを更に有することを特徴とする論理デバイス。
【請求項３】
論理デバイスであって、
それぞれ、信号に関する関数を実行するプログラム可能な相互接続された複数の構成可能な関数生成器（ＣＦＧ）を備える複数の論理ブロックと、
複数の論理ブロックを結合する第１の組の経路指定線と、
複数の論理ブロックの第１の論理ブロックと第１の組の経路指定線の第１の部分とのインタフェースを取り、
ＣＦＧがプログラム可能に結合された、第１のブロックの第１の２方向入出力線と、
第１の２方向入出力線と第１の組の経路指定線の第１の部分との間に結合された複数の第１のスイッチと
を有する第１のブロック・コネクタ・タブ回路網と、
複数の論理ブロックの第２の論理ブロックと第１の組の経路指定線の第２の部分とのインタフェースを取り、
ＣＦＧがプログラム可能に結合された、第２の２方向入出力線と、
第２の２方向入出力線と第１の組の経路指定線の第２の部分との間に結合された複数の第２のスイッチと
を有する第２のブロック・コネクタ・タブ回路網とを備え、
前記第１のブロック・コネクタ・タブ回路網がさらに、第１の論理ブロックの第１の２方向入出力線と第３の論理ブロックの第３の２方向入出力線とをプログラム可能に結合するために、複数の第１のスイッチおよび第３の２方向入出力線に結合された第１のブロック・コネクタ・タブ線を備え、
前記第２のブロック・コネクタ・タブ回路網がさらに、第２の論理ブロックの第２の２方向入出力線と第１の論理ブロックの第４の２方向入出力線とをプログラム可能に結合するために、複数の第２のスイッチおよび第４の２方向入出力線に結合された第２のブロック・コネクタ・タブ線を備え、
前記第１および第２のブロック・コネクタ・タブ回路網が、第１および第２の論理ブロッ

クをそれぞれ、第１の組の経路指定線の第１および第２の部分に結合するようにプログラム可能であることを特徴とする論理デバイス。

【請求項４】

それぞれのより高い経路指定線階層レベルの線が、隣接するより低いレベルの線よりも長い、階層構成された複数のレベルの経路指定線にプログラム可能に接続することができる、信号上の動作を実行する複数の素子と、素子と所定のレベルよりも高い経路指定線レベルとのインタフェースをとる経路指定線コネクタ・タブとを備えるプログラム可能なデバイスであって、前記経路指定線コネクタ・タブが、

それぞれ、各素子がプログラム可能に結合された２方向入出力線と、

所定のレベルよりも高い経路指定線レベルの線に結合された複数のスイッチと、

２方向入出力線および複数のスイッチに結合され、２方向入出力線を介して所定のレベルよりも低い経路指定線のうちの線から受け取った信号をプログラム可能に複数のスイッチにドライブし、それによって信号が、所定のレベルよりも高い経路指定線レベルの線上で選択的にドライブされるようにする第１のプログラム可能ドライバと、

２方向入出力線および複数のスイッチに結合され、複数のスイッチのうちのスイッチを介して所定のレベルよりも高い経路指定線レベルの線から受け取った信号をプログラム可能に２方向入出力線にドライブし、それによって信号が、所定のレベルよりも低い経路指定線のうちの線上でドライブされるようにする第２のプログラム可能ドライバとを備えることを特徴とするプログラム可能なデバイス。

【発明の詳細な説明】

１．発明の分野

本発明は、プログラム可能なゲート・アレイの分野に関する。詳細には、本発明は、経路指定可能性を増大させ、フィールド・プログラマブル・ゲート・アレイ内の信号速度を向上させるスケーリング可能な多重レベル・コネクタ・タブ・ネットワークに関する。

２．背景技術

フィールド・プログラマブル・ゲート・アレイ（ＦＰＧＡ）は、論理関数を実行するためにユーザによってプログラムできる費用有効で高密度のオフザシェルフ集積論理回路である。回路設計者は所望の論理関数を定義し、ＦＰＧＡはそれに応じて信号を処理するようにプログラムされる。ＦＰＧＡは、論理密度要件および生産量に応じた、コストおよび市場時間に関して優れた代替策である。典型的なＦＰＧＡは基本的に、構成可能な関数生成器（ＣＦＧ）論理ブロックの内部マトリックスを囲む入出力ブロックの外側リングからなる。ＦＰＧＡの周縁に存在する入出力ブロックはユーザプログラム可能であり、各入出力ブロックが入力または出力になり、かつ三状態可能になるようにプログラムすることができる。各論理ブロックは通常、ＣＦＧと記憶レジスタとを含む。ＣＦＧは、入力変数に対してブール関数を実行するために使用される。

相互接続資源は、論理ブロックのマトリックスの行と列の間、および論理ブロックと入力ブロックとの間のチャネルを占有する。このような相互接続資源は、チップ上の２つ以上の指定された点の間の相互接続を制御するうえで融通が利く。通常、金属配線回路網が、論理ブロック内の行列として水平方向および垂直方向に配向される。プログラム可能なスイッチが、論理ブロックおよび入出力ブロックの入力および出力をこれらの金属配線に接続する。行と列の交差点にある交差点スイッチおよびインタチェンジを使用して、信号がある線から他の線に切り換えられる。多くの場合、長い線を使用して、長さまたは幅全体あるいはチップをカバーし、ポイントツーポイント接続性が与えられる。入力論理ブロックの機能およびそのそれぞれの相互接続はすべてプログラム可能である。通常、このような機能は、オンチップ・メモリまたは独立のメモリに記憶された構成プログラムによって制御される。

技術がより高度になるにつれて、ＦＰＧＡの機能も高度になっている。アレイ内のＣＦＧの数が増加し、より複雑な論理関数が可能になっている。したがって、相互接続資源の数も増加している。ＣＦＧおよび相互接続資源の増大する数に対処するには、チップをできるだけ小型化する必要がある。チップ上の必要な面積を最小限に抑える１つの方法は、あ

るレベルの相互接続性を維持しながら経路指定資源を最小限に抑えることである。したがって、チップ上で実施される機能が増大するにつれて、多数の信号を接続するために必要な相互接続資源が急激になくなる恐れがあることが分かる。したがって、大部分のＣＦＧはアクセス不能のために使用されず、あるいはある種の論理関数を実行するのではなく単にワイヤを接続するためにＣＦＧが使用される。この結果、経路指定遅延が不必要に長くなり、論理使用度が低くなる。この代替策は、チップ・ダイ寸法を大幅に増加させることができるより多くの経路指定資源を提供することである。

発明の要約

論理セル群とより低い相互接続レベルとのインタフェースをとり、より低い相互接続レベルとより高い相互接続レベルとのインタフェースをとるタブ・ネットワーク・コネクタを含む改良されたＦＰＧＡを提供する。一実施形態では、コネクタを使用して、記憶素子を含む素子または構成可能な関数生成器（ＣＦＧ）の群とあるレベルの階層経路指定回路網とのインタフェースがとられる。各論理ブロック群または論理ブロック・クラスタは、１組の２方向入出力線にプログラム可能に結合された複数のＣＦＧで形成される。本実施態様では、論理素子をそれほど増大させずにより密な粒度を与える斬新なクラスタ・アーキテクチャが使用される。２方向入出力線はコネクタに結合される。コネクタは、プログラム可能なスイッチを通じて２方向入出力線に結合されたコネクタ・タブ線を含むが、このスイッチは、２方向入出力線とコネクタ・タブ線とを接続または切断するためにオンまたはオフされるプログラムによって制御される状態によって制御される。コネクタ・タブ線は、隣接するブロックのコネクタおよび２方向入出力線にも結合される。隣接するブロック間で信号経路指定が行われることが多く、従来技術では、より高い経路指定階層レベルと相互接続する貴重な経路指定線が使用されていた。本発明の改良されたＦＰＧＡでは、経路指定線の回路網を使用せずに、論理ブロックからの信号を直接、隣接する論理ブロックに経路指定することができる。このため、貴重な経路指定線が解放され、より長い非隣接ブロック経路指定が行われ、したがって非隣接経路指定に必要な空間を最適化することができる。他の重要な利点は、各２方向入出力線が２つのブロック・コネクタ・タブ回路網を通じて選択的に経路指定階層に結合されるので、信号経路指定によって生じる遮断が最小限に抑えられることである。

２方向入出力線には、その２方向入出力線から発信された信号を１本以上の複数のレベルの階層経路指定線に結合できるようにプログラムすることができる複数の２方向スイッチも結合される。２方向入出力線と複数のスイッチとの間に第１のプログラム可能なドライバと第２のプログラム可能なドライバがプログラム可能に結合される。第１のドライバは、２方向入出力線を介して論理セルから受け取った信号を、所定のプログラム可能なスイッチを通じて経路指定線階層のうちの１本または複数の経路指定線にドライブする。第２のドライバは、プログラム可能なスイッチを通じて経路指定線階層の経路指定線から受け取った信号を２方向入出力線に与える。したがって、融通の利くプログラム可能なコネクタが形成される。さらに、このコネクタは、それほどの追加信号遅延を生じさせず、かつ複数のタブ・コネクタ回路網を使用せずに、複数の経路指定線をドライブする「ファンアウト」機能を与えるようにプログラムすることができる。

他の実施態様では、タブ・コネクタ回路網を使用して低レベル経路指定線を高レベル経路指定線に経路指定することもできる。これは特に、必ずしもすべての信号ドライバを最長の経路指定線に沿って信号をドライブするのに十分な大きさにする必要なしに、長い経路指定線に沿って信号をドライブする必要を満たすうえで望ましい。具体的には、第３の経路指定階層レベルに相当する距離をカバーする経路指定タブ線が設けられる。タブ回路網は各経路指定タブ線に結合され、各ブロックが、このタブ線を通じて複数の高レベル経路指定線のうちの１本にプログラム可能に接続される。コネクタは、経路指定階層のより長い高レベル経路指定線に沿って信号をドライブするプログラム可能な２方向ドライバを含む。

このようなコネクタ回路網によって、各レベルでの経路指定線が各組に分割される、融通の利く経路指定方式を実施することができる。たとえば１つの組に第１の組の論理素子ま

たはＣＦＧからアクセスすることができ、第２の組に第２の組の論理素子またはＣＦＧからアクセスすることができる。第１の１組の経路指定線は、第２の組の論理素子またはＣＦＧの対応するコネクタ回路網を介して第２の組の論理素子またはＣＦＧにアクセスすることができる。同様に、第２の組の論理素子またはＣＦＧは、第１の組の論理素子またはＣＦＧのコネクタ回路網を介して第１の組の論理素子またはＣＦＧにアクセスすることができる。したがって、第１の組のＣＦＧおよび第２の組のＣＦＧが両方の組の経路指定線にアクセスすることができ、それによって信号の経路指定遮断の可能性が最小限に抑えられる。

さらに、１本の経路指定線上に配置された信号を異なる配向の経路指定線へ転送させるターン・マトリックスを含めることが好ましい。たとえば、ターン・マトリックスのターン素子によって、信号を水平経路指定線と垂直経路指定線との間で転送することができる。ターン・マトリックスにはチップ上のかなりの量の空間が必要なので、コネクタ回路網を使用して、特に最も一般的に行われる２つのセグメントの斜め接続の場合に、十分な接続性を与え、同時にターン・マトリックスの面積を最小限に抑えることができる。具体的には、コネクタ回路網によって、デバイスは、最大で半数のターン素子がなくなりチップ上の空間が節約される部分ターン・マトリックスを実施することができる。

また、複数のレベルの経路指定線と、コネクタ・タブ回路網と、ターン・マトリックスとからなるこの斬新な経路指定階層は、集積回路実施態様において空間を節約する斬新なフロア・プランを使用できるようにし、ＳＲＡＭを構成ビットとして使用する際に特に効率的である。このフロア・プランは、２×２ブロック・グループ化の各ブロック・コネクタ・タブ回路網が、互いに対する隣接軸に沿った鏡像として構成されたスケーリング可能なブロック・アーキテクチャである。さらに、各ブロックごとに入出力手段として設けられる２方向入出力線は、隣接するブロックのブロック・コネクタ・タブ回路網が対向するように（通常の東西南北方向ではなく）２方向のみに配向される。この配向および構成のために、ブロックは経路指定資源を共用することができる。これによって、経路指定セグメント要件が低減される。また、この構成では、複数のブロックからなるグループを基本ユニットとして使用し、水平方向および垂直方向の少なくとも１つの方向を複製することによって２×２ブロック・グループ化または４×４ブロック・グループ化をスケーリングすることができる。

この斬新なフロア・プランでは、ブロック・コネクタ・タブ回路網のＣＦＧおよびドライバ用に小さなロジック領域を用いれば（２方向スイッチの機能を与える）複数の連続メモリ及びパスゲート・アレイが形成されるので、ほぼレイアウト死空間なしにダイ空間を効率的に使用することもできる。したがって、通常メモリとロジックを混合するために生じるギャップが回避される。クラスタ内経路指定線と２方向経路指定線が混合され、メモリ及びパスゲート・アレイと共にチップのいくつかの異なる層上に載置され、より高いレベルの経路指定線との接続およびブロック内のＣＦＧ間の接続が可能になる。

【図面の簡単な説明】

本発明の目的、特徴、利点は、下記の詳細な説明から明らかになろう。

第１図は、本発明を実施することができるＦＰＧＡロジックのブロック図である。

第２Ａ図は、論理クラスタの一実施形態を示す図である。

第２Ｂ図は、論理クラスタ間の局所相互接続の一実施形態を示す図である。

第３Ａ図は、垂直ブロック・コネクタを含む論理クラスタの例を示す図である。

第３Ｂ図は、垂直ブロック・コネクタを含む論理クラスタの例を示す図である。

第４Ａ図は、経路指定階層のより高いレベルの経路指定線とのインタフェースをとる、ブロック・コネクタとブロック・コネクタ・タブ回路網との間の接続を示す図である。

第４Ｂ図は、複数のレベルの経路指定階層の垂直線にプログラム可能に接続された例示的な垂直ブロック・コネクタ・タブ回路網を示す図である。

第４Ｃ図は、複数のレベルの経路指定階層の水平線にプログラム可能に接続された例示的な水平ブロック・コネクタ・タブ回路網を示す図である。

第５図は、２×２論理ブロックと、ターン・マトリックスと共により高い経路指定階層レ

ベルとのインタフェースをとるブロック・コネクタ・タブ回路網とを示す概略図である。
第６Ａ図は、ブロック・コネクタ・タブ回路網が複数の経路指定線レベルの経路指定線のサブセットに接続された代替実施形態を示す図である。
第６Ｂ図は、ブロック・コネクタ・タブ回路網が複数の経路指定線レベルの経路指定線のサブセットに接続された代替実施形態を示す図である。
第７Ａ図は、第１の経路指定線レベルの水平垂直ＭＬＡターン回路網の実施形態の概略ブロック図である。
第７Ｂ図は、第２の経路指定線レベルの部分ターン回路網の実施形態の概略ブロック図である。
第７Ｃ図は、第３の経路指定線レベルの部分ターン回路網の実施形態の概略ブロック図である。
第８Ａ図は、論理ブロックのレイアウト・フロア・プランを示す概略図である。
第８Ｂ図は、２×２論理ブロック・アレイの概略レイアウト・フロア・プランである。

詳細な説明

フィールド・プログラマブル・ゲート・アレイ（ＦＰＧＡ）などプログラム可能な論理回路用の斬新なコネクタ・タブ回路網、相互接続アーキテクチャ、レイアウト・フロア・プランについて説明する。下記の説明では、説明の都合上、本発明を完全に理解していただくために組み合わせ論理セル構成または構成可能な関数生成器（ＣＦＧ）構成やＣＦＧの数など多数の特定の詳細について述べる。しかし、当業者には、本発明がこれらの特定の詳細なしに実施できることが自明であろう。他の例では、本発明を不必要に曖昧にするのを回避するために、周知の構造および装置はブロック図で示した。本発明が、スタティック・ランダム・アクセス・メモリ（ＳＲＡＭ）を使用して、使用される２方向スイッチの状態を制御する実施形態について説明するものであることにも留意されたい。しかし、本発明は、ＳＲＡＭ、ダイナミック・ランダム・アクセス・メモリ（ＤＲＡＭ）、ヒューズ／アンチヒューズ、消去可能なプログラム可能読取り専用メモリ（ＥＰＲＯＭ）、電気的に消去可能なプログラム可能読取り専用メモリ（ＥＥＰＲＯＭ）、強誘電プロセスを含むがこれらに限らない様々なプロセスに関するものである。経路指定階層でインタフェース点として使用され、かつ２方向ドライバとして使用されるコネクタ・タブ回路網の概念は、そのようなドライバを適切に配置することが重大である深サブミクロン・マスク・ゲート・アレイに適用することができる。

第１図は、本発明を実施することができる例示的なＦＰＧＡのブロック図である。アレイ１００は、入出力論理ブロック１０２、１０３、１１１、１１２を備え、ＥＰＧＡのパッケージの外部ピンと内部ユーザ・ロジックとの間のインタフェースを直接とり、あるいは入出力論理ブロックを通じてコア・インタフェース・ブロック１０４、１０５、１１３、１１４とのインタフェースをとる。４つのインタフェース・ブロック１０４、１０５、１１３、１１４は、コア１０６と入出力論理ブロック１０２、１０３、１１１、１１２との間の結合解除を行う。

コア１０６は、本発明の教示に従って本明細書で説明するコネクタ・タブ回路網を含む論理及び相互接続階層を含む。後述のように、この斬新な相互接続階層は、ダイ寸法を著しく節約できるようにするフロア・プランを生成するのに使用することができる。したがって、相互接続密度が増大するにつれて、ダイ寸法はかなりゆっくり増大していく。コアは、ＣＦＧならびに制御ロジック用のプログラミングを含む。本明細書で説明する実施形態では、ＳＲＡＭ技法が使用される。しかし、ヒューズ／アンチヒューズ技法、ＥＥＰＲＯＭ／強誘電技法、またはその他の技法を使用することができる。独立のクロック／リセット・ロジック１１０を使用して、グループごとにクロック線およびリセット線が設けられ、スキューイングが最小限に抑えられる。

この実施形態では、、クラスタと呼ばれるグループにＣＦＧが設けられる。第２Ａ図は、論理クラスタの例を示す。第２Ａ図に示した論理クラスタが例示的なものであり、論理ゲートやフリップフロップなど他の素子で論理クラスタを形成できることは当然である。第２Ａ図を参照すると分かるように、論理クラスタ２００は４つの素子で形成される。これ

らの素子には、１つの２入力ＣＦＧ２０２と、２つの３入力ＣＦＧ２０４、２０６と、Ｄフリップフロップ２０８とが含まれる。ＣＦＧ２０２は３入力ＣＦＧであってもよい。ＣＦＧ２０２、２０４、２０６はプログラム可能な組み合わせロジックであり、（ＣＦＧ２０２に関する）２つの入力値または（ＣＦＧ２０４、２０６に関する）３つの入力値を使用して所定の出力を与える。ＣＦＧは、所望の論理関数を表す出力を与える値を用いてプログラムされる。Ｄフリップフロップ２０８は、レジスタなどの一時記憶素子として機能する。

１つの２入力１出力ＣＦＧと、２つの３入力１出力ＣＦＧと、Ｄフリップフロップのこの組合せによって、様々な論理関数および算術関数を実行することができる。たとえば、素子は、そのような関数を比較器関数または累算器機能として実行するようにプログラムすることができる。素子のこの組合せによって、ダイ寸法を増加させ、かつ処理速度を増加させる冗長素子を追加せずに密な粒度が与えられることに留意されたい。さらに、素子のこの組合せでは、素子の使用度が最大になり、それによってダイ寸法空間の使用度が最大になる。素子の特定の組合せによって生成される信号が必要になることが多いので、複数の出力を有する複数の論理セルを含むこの密粒度のために、タップできる出力点が増加することは望ましい特性である。

また、クラスタ内の局所相互接続は、信号を最小限の遅延で処理できるように構成される。クラスタ素子２０２、２０４、２０６、２０８は、論理クラスタを通じて水平および垂直に配向された相互接続線Ｉ－Ｍ０ないし Ｉ－Ｍ５（本明細書では集合的にＩ－マトリックス線と呼ぶ）を通じて接続される。クラスタのこのような内部接続線は、スイッチ、たとえばスイッチ２２０ないし２４４を使用することによって内部接続される。内部接続線Ｉ－Ｍ０ないし Ｉ－Ｍ５およびスイッチ２２０ないし２４４は、本明細書でＩ－マトリックスと呼ぶものを形成する。Ｉ－マトリックスは、素子２０２、２０４、２０６、２０８のうちのどれかをクラスタの少なくとも１つの他の素子と接続する。たとえば、スイッチ２２４および２２８をイネーブルすることによって、ＣＦＧ２０２の出力をＣＦＧ２０４の入力に接続することができる。

処理時の信号遅延を最小限に抑えられるように、Ｄフリップフロップ２０８と３入力ＣＦＧ２０４、２０６が独立に直接接続される。引き続き第２Ａ図を参照すると分かるように、スイッチ２５０ないし２５５およびそれらに接続された線がそのような接続を形成している。３入力ＣＦＧ２０４、２０６の入力および出力が、レジスタ２０８と共にプログラム済み関数を実行することが多いことが判定されている。たとえば、３入力ＣＦＧをレジスタと共に使用して１ビット多重化関数を与えることができる。

２方向スイッチ２５０ないし２５５は、信号を特定の関数を実行するように経路指定するように様々な方法でプログラムすることができる。たとえば、スイッチ２５１をイネーブルすることにより、ＣＦＧ２０４から出力された信号によってＤフリップフロップ２０８をドライブすることができる。別法として、スイッチ２５０をイネーブルすることによってこの信号をＩ－マトリックス上にドライブすることができる。同様に、スイッチ２５５をイネーブルすることにより、ＣＦＧ２０６の出力によってＤフリップフロップ２０８の入力をドライブすることができる。スイッチを選択的にイネーブルすることによる他の経路指定経路も可能である。さらに、Ｉ－マトリックスを通じた間接的な接続により、ＣＦＧ２０２の出力によってＤフリップフロップ２０８をドライブすることができる。したがって、極めて高い融通性が得られる。

Ｄフリップフロップの出力信号の経路指定をスイッチ２５２および２５３を使用することによってプログラムすることもできる。スイッチ２５２または２５３およびＩ－マトリックスの選択的なスイッチを選択的にイネーブルすることによって、そのクラスタまたは他のクラスタの１つの素子に出力信号を経路指定することができる。出力された信号は、ＣＦＧ２０４に隣接するスイッチ２３３ないし２３５を通じて選択的に経路指定され、あるいはＣＦＧ２０６に隣接するスイッチ２４１、２４２、２４３に選択的に経路指定される。デバイス内の素子の使用度を低減させずにダイが節約される。

各論理クラスタは、近傍のクラスタ間のＩ－マトリックスに延びているスイッチを通じて

論理ブロック内部の他の論理クラスタに接続することができる。第２Ｂ図は、それぞれ、スイッチ２６４、２６５、２６６、２６７、２７５、２７６を通じて隣接する論理クラスタ２６１および２６３のＩ－マトリックス線に選択的に接続された、第１の論理クラスタ２６０のＩ－マトリックス相互接続線Ｉ－Ｍ０ないし Ｉ－Ｍ５を示す。

本明細書で説明する融通性は、使用される多数の２方向スイッチを通じて達成される。前述のように、スイッチは様々な方法で実施することもできる。たとえばスイッチは、ヒューズを溶融させスイッチを開路または短絡させることによってプログラムされる溶融リンクとして実施することができる。別法として、スイッチはＳＲＡＭアレイ内のビットによって制御されるパスゲートである。アレイ内のビットの状態は、対応するパスゲートが開路しているか、それとも短絡しているかを示す。プログラミングが容易であるため、ＳＲＡＭを使用するのが好ましいことが多いが、必要なダイ空間が著しく増加する。したがって、ダイ空間を最小限に抑える１つの技法は、より少ない数のスイッチを使用して後述の経路指定階層の個別の経路指定線どうしを相互接続することである。これを本明細書では部分カバレージ構造と呼ぶ。たとえば第２Ａ図で、スイッチ２２１、２２０はＩ－Ｍ０およびＩ－Ｍ５をＣＦＧ２０２の入力に接続する。下記でこの実施形態に関して説明するように、通常、ターン・マトリックスで使用されるスイッチの最大５０％をなくすために部分ターン・マトリックスが使用される。

桁上げチェーンならびにその他の応用例を効率的に実施できるように、クラスタのｉ番目の線が次のクラスタの（ｉ＋１）番目の線に接続しているクラスタ間のスタガ接続またはバレル接続を使用して接続性が増大される。第２Ｂ図は、論理クラスタ内のＩ－マトリックスを近傍のクラスタに拡張したものを示す。近傍のクラスタとはすなわち、４つのクラスタ、２６０ないし２６２であり、各クラスタは６つのＩ－Ｍ線を有し、各Ｉ－Ｍ線は拡張スイッチ２６４ないし２７６を通じて隣接するクラスタの隣接するＩ－Ｍ線に接続されている。たとえば、スイッチ２７５は、クラスタ２６０のＩ－Ｍ５をクラスタ２６１のＩ－Ｍ０に接続し、スイッチ２７６は、クラスタ２６０のＩ－Ｍ１をクラスタ２６１のＩ－Ｍ２に接続する。

相互接続された複数の論理クラスタは論理ブロックを形成する。この実施形態では、各論理ブロックは、２×２アレイとして構成された４つの論理クラスタからなる。各論理ブロックは、論理クラスタ内部のすべてのＣＦＧがプログラム可能に接続された１組の２方向経路指定線を有する。２方向経路指定線は、信号を論理ブロックへ送り、かつ論理ブロックから、階層のいくつかの異なるレベルで複数の長さの相互接続を有する階層経路指定アーキテクチャの経路指定線へ送るための経路を形成する。ブロック・コネクタが、同じブロックおよび隣接するブロックの論理クラスタのＣＦＧ間も接続することも分かる。論理ブロックの各論理クラスタの各素子の入力および出力を選択的に各ブロック・コネクタに接続することができるが、ダイ寸法の拡大を制御するために、各入力および出力を選択的にブロック・コネクタ・サブセットに接続することが好ましい。そのような実施形態の例を第３Ｂ図に示す。

第３Ｂ図を参照すると、ブロック３００内のブロック・コネクタとの接続の一実施形態の記号表現が示されている。各クラスタ２００の各素子、たとえばＣＦＧ１、ＣＦＧ２、ＣＦＧ３は、２つの異なるブロック・コネクタ（ＢＣ）がそれぞれの入力に接続される。２つのブロック・コネクタが２入力ＣＦＧ１の出力に結合されたブロック・コネクタとして識別され、３つのブロック・コネクタが３入力ＣＦＧ（ＣＦＧ２、ＣＦＧ３）の出力に結合されている。

ブロック・コネクタは、多重レベル・アーキテクチャ（ＭＬＡ）経路指定回路網と呼ばれる経路指定階層のより高い接続レベルと相互接続するための入出力機構を形成する。この回路網は、高いレベルの経路指定線がより低いレベルの経路指定線よりも数倍長い階層として構成された複数のレベルの経路指定線（たとえば、ＭＬＡ－１、ＭＬＡ－２、ＭＬＡ－３など）からなる。たとえば、ＭＬＡ－２経路指定線はＭＬＡ－１経路指定線の２倍の長さであり、ＭＬＡ－３経路指定線はＭＬＡ－２経路指定線の２倍の長さである。

斬新なブロック・コネクタ・タブ回路網を使用して、ブロック・コネクタ（ＢＣ）とＭＬ

Ａ経路指定回路網とのインタフェース、およびブロック・コネクタと隣接する論理ブロックの隣接するブロック・コネクタとのインタフェースがとられる。第４Ａ図に示したように、ブロック・コネクタ・タブ回路網、たとえば４０１ないし４０８は、各ブロック３００の各ブロック・コネクタ線に接続される。第４Ｂ図は、４０５ないし４０８が水平ＭＬＡ経路指定線とインタフェースをとっている４つのＢＣタブ・ネットワークである、垂直ＭＬＡ経路指定線に接続された水平ブロック・コネクタ・タブ回路網の一実施形態を示す。第４Ｃ図は、水平ＭＬＡ経路指定線に接続された垂直ブロック・コネクタ・タブ回路網の一実施形態を示す。

第４Ｂ図に示した実施形態では、第１の論理ブロックのブロック・コネクタ（ＢＣ）タブ回路網４０１は複数のプログラム可能なスイッチ４３２ないし４３７を含む。これらの２方向スイッチによって、ＢＣ線４３８を通じた論理ブロックとの間の信号の選択的な経路指定が可能になる。ネットワーク４０１には、プログラム可能な２つのドライバ４３９および４４０も含まれる。この実施形態では、これらのドライバ４３９、４４０は２つのビット４４１、４４２の状態によって制御されるが、２つの制御ビットではなく１つの制御ビットを使用できることが容易に明らかになろう。その場合、ビットがある状態のときにドライバ、たとえばドライバ４４０がアクティブであり、ビットが第２の状態のときに第２のドライバ、たとえばドライバ４３９がアクティブである。また、単一または複数のドライバを他の素子と共に使用して、本明細書で説明する機能を実行するようにＢＣタブ回路網を実施することもできることが容易に明らかになろう。

ＢＣタブ・コネクタ回路網は、論理ブロックとの間で信号を経路指定する簡単であるが効率的な方法を提供する。プログラム可能なスイッチ４３２を通じて、ＢＣ線４３８を通じてブロックとの間で送受信される信号が、隣接する論理ブロックのＢＣタブ回路網４０２にプログラム可能に結合される。本発明の例では、ＢＣ線４３８を介しスイッチ４３２を通じて経路指定される信号をスイッチ４５４を通じてＢＣ線４４３に経路指定することができる。線４１５を介しスイッチ４３２を通じてＢＣ線４３８から来る同じ信号をドライバ４５６を通じて選択的に経路指定し、かつ４つのスイッチ４４７ないし４５０のうちの１つを通じて、選択されたＭＬＡに経路指定することができる。たとえば、ＢＣタブ回路網、たとえばＢＣタブ４０１および４０２は、４２５、４２６、４２７として指定されたＭＬＡ１、２、３と相互接続される。したがって、ＢＣタブ回路網は、隣接する論理ブロックに対する直接経路指定機構を形成するだけでなく、隣接する論理ブロックのタブ・コネクタ回路網を通じてＭＬＡに信号を経路指定する代替経路を形成する。このため、遮断またはアクセス不能な経路指定経路の発生が最小限に抑えられる。たとえばスイッチ４５２および４３３を通じた相互接続ブロック・コネクタ４３８および４４３への代替経路４５１が形成される。したがって、これらのＢＣタブ回路網を使用して、極めて融通に富み効率的な経路指定を行うことができることが分かる。他の利点は信号速度であり、このアーキテクチャは速度を最適化するためにドライバの適切なサイズ決めを可能にし（たとえば、負荷の軽い線はより小さいドライバで十分である）、したがって経路指定面の融通性が向上しても信号速度が犠牲になることはない。第４Ｂ図で、ＢＣタブ回路網を使用して、適切なスイッチ、たとえば４３４、４３５、４３６、４３７を設定することによって、通常、ファンアウト構成で生じる、信号速度の犠牲を生じさせずに、信号ファンアウト機能を与え複数のＭＬＡ線を接続することができる。同様に、４０２では、ＢＣタブ・ネットワークは４０１の鏡像であり、ビット１ないしビット８は、２方向入出力線４４３とＭＬＡ経路指定線の間を接続するプログラム可能なスイッチである。

第５図に示したような一実施形態では、各ＢＣ線はＢＣタブ回路網を通じて隣接するＢＣタブ回路網にプログラム可能に接続され、ＭＬＡ回路網の経路指定線にプログラム可能に接続される。このため、経路指定は極めて融通が利く。この実施形態におけるＭＬＡ経路指定回路網は、接続性を向上させるために水平ＭＬＡ線および垂直ＭＬＡ線を選択的に結合するプログラム可能なスイッチ・マトリックスを含む複数のレベルの経路指定線を有する回路網として記載されている。レベル１のＭＬＡ経路指定線（ＭＬＡ－１）は、いくつかの組のブロック・コネクタどうしを相互接続する。プログラム可能なスイッチを使用し

て、接続すべきブロック・コネクタを選択する機能がユーザに与えられる。したがって、ある１組の論理ブロック群の第１の論理ブロックを同じ群に属する第２の論理ブロックに接続することができる。この場合、論理ブロック群は１組の論理ブロックである。論理ブロック内のスイッチはもちろん、さらに論理ブロック内で信号を経路指定するように構成することができる。レベル２のＭＬＡ経路指定線（ＭＬＡ－２）は、様々なＭＬＡ線と相互接続され、この実施形態では４×４ブロック・マトリックスからなるブロック・クラスタのアクセスおよび接続に影響を与える。ユーザが所望の接続をプログラムできるようにするスイッチが設けられる。レベル２のＭＬＡ線のスパンは、ＭＬＡ－２線のスパンよりも大きな係数であることが好ましい。たとえば、ＭＬＡ－２線はＭＬＡ－１線の２倍のスパンであることが好ましい。

本明細書から分かるように、他のレベルのＭＬＡ経路指定線を実施し、より大きな数および群の論理ブロック、ブロック・クラスタ、ブロック・セクタ（すなわち、８×８ブロック・マトリックス）などのプログラム可能な相互接続を行うことができる。各追加レベルは、隣接する低いレベルより数倍（たとえば２倍）大きい距離に広がる。したがって、多次元経路指定実施手法が提供される。信号は論理ブロックの相互接続部間で経路指定される。この信号は次いで、ブロック・コネクタおよび対応するブロック・コネクタ・タブ回路網を通じてアクセスされ、プログラム済みスイッチに従って経路指定される。ブロック・コネクタ・タブ回路網によって、より高いレベルのＭＬＡ経路指定線、たとえばＭＬＡ－２経路指定線やＭＬＡ－３経路指定線とのプログラム可能な直接接続が可能になる。別法として、より低い階層レベルを通じ、階層の各経路指定線レベル間に配置されたプログラム可能なスイッチを通じて、階層のより高い経路指定線レベルに到達することができる。

第６Ａ図および第６Ｂ図は、各ＢＣタブ回路網が複数の経路指定線レベルのうちの１組の経路指定線に接続された代替実施形態を開示するものである。隣接するＢＣタブ回路網は他の１組の経路指定線に接続される。本発明では、各組の線の数は、組に分割されていないレベルのＭＬＡ線の数と同じである。この結果、経路指定線の数が２倍になり、したがって接続性が増大する。しかし、所望のレベルの接続性を達成するために各組に含める線の数を増減させることができる。

所望のレベルの接続性を達成するためにＢＣタブ回路網間で信号をプログラム可能に経路指定することができる。たとえば、第６Ａ図は、隣接する水平ＢＣタブ回路網６００、６０５を示す。ＢＣ回路網６００は第１の組のＭＬＡ－２線６１５にプログラム可能に接続される。同様に、隣接するＢＣタブ回路網６０５は第２の組のＭＬＡ－２線６２０にプログラム可能に接続される。たとえばＢＣ線６２７上で発信された信号を、ＢＣタブ回路網６０５にのみ結合されたＭＬＡ－２の信号線に経路指定する場合、この信号をスイッチ６３１を通じ、タブ線６２９、ドライバ６３０、スイッチ６３２を通じてＢＣタブ回路網６００からＢＣタブ回路網６０５に経路指定し、ＭＬＡ－２線６２０にプログラム可能に接続することができる。同様に、ＢＣタブ回路網６０５に接続されたブロックから発信された信号をＭＬＡ－３　６３５に経路指定する場合、この信号はＢＣタブ回路網６００を通じ、スイッチ６３３、ドライバ６３４、スイッチ６３６を通じてＭＬＡ－３　６３５に経路指定される。したがって、ＢＣタブ回路網は限られた接続性構造において接続性を増大させるように機能する。ＢＣタブ回路網によって、設計者は、ＭＬＡが、隣接するＢＣタブ回路網を通じてアクセスできるかどうかにかかわらず、信号を経路指定するのに最適なＭＬＡ線を選択することによって負荷を最小限に抑え信号速度を最大にすることができる。さらに、負荷が最小限に抑えられる。具体的には、ＢＣタブ・コネクタ回路網および部分ターン・マトリックスによって負荷が最大で５０％削減され、信号速度が著しく向上する。

この実施形態では、第１の３つのレベルの経路指定階層、ＭＬＡ－１、ＭＬＡ－２、ＭＬＡ－３を使用して８×８ブロック・マトリックスが相互接続され、その場合、各ブロックは４つの論理クラスタで形成される。各ブロックはＢＣタブ・コネクタ回路網を介してＭＬＡタブ線にプログラム可能に接続される。各ＭＬＡタブ線は、より高いレベルの経路指

定線との間で信号を経路指定するためにＢＣタブ回路網と同様に機能するＭＬＡタブ・コネクタ回路網にプログラム可能に接続される。
チップ上のＣＦＧの数が増加するにつれて、追加相互接続が必要になる。このアーキテクチャでは、経路指定階層レベルを追加して信号の経路指定可能性を維持することが望ましい。階層のそれぞれのより高いレベルでは、より低いレベルの回線よりも経路指定長が増加する。より長い信号経路指定線をドライブするには、より大きな信号ドライバが必要である。ダイ寸法に対する影響を最小限に抑えるために、より高い経路指定階層レベルに特有のより長い経路指定線をドライブする信号ドライバの数を制限することが好ましい。また、このアーキテクチャは、チップ上の論理回路の増加する密度と必要な接続性に適応し、多数の部品に関連する技術作業を最小限に抑えるために、有効な設計機構を形成するようにスケーリング可能であることが好ましい。したがって、第１のいくつかの階層レベルの後に、ＭＬＡタブ・コネクタ回路網を設けてスケーリング可能にすると共に、より長くより高いレベルの経路指定線用の信号ドライブ機能を与えることが望ましい。
水平ＭＬＡ線と垂直ＭＬＡ線を選択的に接続するためにプログラム可能なターン・スイッチを設けることが好ましい。これを第７Ａ図に示す。第７Ａ図は、ターン・マトリックス、すなわち４つの論理ブロック７１２、７１４、７１６、７１８を相互接続するＭＬＡ－１の８本の線用の部分ターン回路網７１０を示す。ターン回路網７１０は、水平ＭＬＡ線、たとえば線７２０と垂直ＭＬＡ線、たとえば線７２２の特定の交差点が、水平ＭＬＡ線７２０と垂直ＭＬＡ線７２２の間で信号を経路指定できるように接続するかどうかを制御する複数のターン・ビットによって制御される。第７Ａ図は、ＭＬＡ－１経路指定線を相互接続するために使用されるターン・マトリックスを表す。このターン・マトリックス７１０は完全なカバレージを与え、すなわち各水平ＭＬＡ－１線は各垂直ＭＬＡ－１線にプログラム可能に接続される。
より高いレベルのＭＬＡ線、たとえばＭＬＡ－２やＭＬＡ－３に完全なターン・マトリックスを使用することもできる。しかし、この実施形態では、各レベルでの線の数は、複数組の経路指定線を有する。ターン・マトリックスを形成するために必要なスイッチの数を削減することによってダイ空間を節約するために、部分ターン・マトリックスが使用される。第７Ｂ図は、２×２論理ブロック・マトリックス内のＭＬＡ－２線およびＭＬＡ－３線用のターン回路網７１０の部分ターン・マトリックスを示す。前述のように、ターン・マトリックスの寸法を最小限に抑えることによって達成されるダイ節約は、接続性の低減を相殺するのに十分なものである。さらに、接続性の低減は、第６Ａ図および第６Ｂ図に示したように信号をブロック・コネクタ・タブ回路網４１０、４２０、４３０、４４０、４５０、４６０、４７０、４８０を通じてＭＬＡ経路指定階層内の他の経路指定線に経路指定する機能によっても相殺される。
第７Ｃ図は、４つの２×２論理ブロック・マトリックスで構成された４×４マトリックス内でＭＬＡ－２経路指定線とＭＬＡ－３経路指定線を相互接続するために使用される部分ターン・マトリックスの実施形態を示す。部分ターン・マトリックス内の個別のスイッチの位置が、各線上の負荷を平衡させるように構成されることに留意されたい。特に、各線上に同じ数のスイッチを配置し各線上で一定の負荷を維持することが望ましい。この実施形態では、これは、第７Ｃ図に示したような部分ターン・マトリックスの鏡像を交互に配置することによって行われる。
経路指定線と、ブロック・コネクタ・タブ回路網と、ターン・マトリックスとからなるこの斬新な経路指定階層によって、空間を節約する斬新なフロア・プランを半導体デバイス上で使用することができる。本明細書で論じるアーキテクチャおよび斬新なフロア・プランの利益は特に、ＳＲＡＭ実施態様に見ることができる。メモリを大きな連続ブロックとしてグループ化することによって広範囲なダイ節約が実現される。これは、ロジックとメモリを統合し、レイアウト死空間と呼ばれることの多い著しく無駄な空間を生じさせる従来技術のフロア・プランとはまったく異なる。また、このフロア・プランは、各ブロックが複数の連続メモリ及びパスゲート・アレイを含むスケーリング可能なブロック・アーキテクチャを含む。より高いレベルの経路指定線との接続およびブロック内のＣＦＧ間の接

続を行うクラスタ内経路指定線と２方向経路指定線がメモリ及びパスゲート・アレイの上方のそれぞれの異なる層上に載置される。各メモリ及びパスゲート・アレイは、前述のプログラム可能なスイッチを制御するＳＲＡＭおよびパスゲートを含む。単一のブロックのフロア・プランを、複数のブロック構造のフロア・プランを生成するように容易にスケーリングすることができる。この実施形態では、経路指定線とターン・マトリックスとを含む４×４ブロック・マトリックスを、４×４マトリックスの簡単な複製および当接によって、より大きなブロック・マトリックスにスケーリングすることができる。

第８Ａ図および第８Ｂ図に示した実施形態を参照してこの斬新なフロア・プランについて説明する。論理ブロックに関するフロア・プランの一実施形態を第８Ａ図に示す。各論理クラスタ８００は、クラスタ８２０の素子すなわちＣＦＧとＩ－マトリックスとを含む。そのＩ－マトリックスは、Ｉ－マトリックス線８４１ないし８４６と、そのＩ－マトリックス線とクラスタの素子に結合されたクラスタ内のＣＦＧに対して合計１１のポートまたは入出力線で８つの入力ポートと３つの出力ポートのあるＣＦＧの入出力線８０１ないし８１１との間の選択的な接続を制御するメモリ及びパスゲート・アレイ８３０とで形成される。小さなメモリ及びパスゲート・アレイで形成されたＩ－マトリックス拡張部８４０が、あるクラスタのＩ－マトリックス線８４１ないし８４６を選択的に、隣接するクラスタのＩ－マトリックスに接続するために、隣接するメモリ及びパスゲート８３０の間に配置される。

各クラスタ８２０の素子には、ブロック・コネクタ線８６１ないし８６８と、クラスタの素子とブロック・コネクタ線との間での信号の経路指定を制御するメモリ及びパスゲート・アレイ８５０とを含むブロック・コネクタ（第８Ａ図を簡単にするために垂直ブロック・コネクタは示されていない）が選択的に結合される。

このフロア・プランは、下記の基準を満たす論理設計を使用することによって最もうまく実現される。各ブロックは、ブロックのすべての可能な方向（すなわち、東西南北）よりも少ない数の方向または「辺」で２方向入出力アクセスを行う。この実施形態では、各ブロックは、ブロックの２つの辺上でブロック・コネクタ・タブ回路網を形成し、すなわち１つのブロック・コネクタ・タブ回路網を水平方向で形成し、もう１つのブロック・コネクタ・タブ回路網を垂直方向で形成する。ブロック・コネクタ・タブ回路網は、互いの複製であることが好ましく、２×２アレイのそれぞれの軸に沿って互いの鏡像として配向される。これは、再び第７Ｃ図を参照することによって視覚化することができる。第７Ｃ図を参照し、特にブロック・コネクタ・タブ回路網の配向を参照すると分かるように、４１０は４５０の鏡像であり、４６０は４８０の鏡像であり、４４０は４３０の鏡像であり、４７０は４５０の鏡像である。

引き続き第７Ｃ図を参照すると分かるように、各ブロックに対応する、プログラム可能なスイッチ、すなわち素子をＩ－マトリックス線に接続するスイッチと、クラスタの素子をブロック・コネクタ線に接続するスイッチと、Ｉ－マトリックス拡張部を形成するスイッチが、フロア・プランにおいて隣接することができるように、鏡像化が実行される。第８Ａ図で最もよく分かるように、２×２マトリックスは、メモリ８５５の連続ブロックとして実施されたメモリ及びパスゲート・アレイ８３０、８４０、８５０を有するように設計することができる。このフロア・プランは、レイアウト死空間を最小限に抑えるだけでなく、ダイの大部分が、小さなロジック・セクション（たとえば、論理クラスタ８２０）を含むメモリ・アレイからなるので、製造を簡略化する。さらに、メモリ・アレイをグループ化することによって、簡単なＸ－Ｙアドレス指定を使用できるのでチップのプログラミングが簡略化される。

このフロア・プランの他の利益は、ブロックの構成のために、線または追加ビットの数をそれほど増加させずに、隣接するブロックどうしが経路指定資源を共用できるようにする簡単で有効な方法が可能になることである。

第８Ｂ図は引き続き、２×２ブロックに関するレイアウトを示すことによって斬新なフロア・プランの例を示す。各ブロック（素子８６０として概略的に示されている）は、複数のブロック・コネクタＢＣ０ないしＢＣ７を含む。各ブロック８６０のフロア・プランは

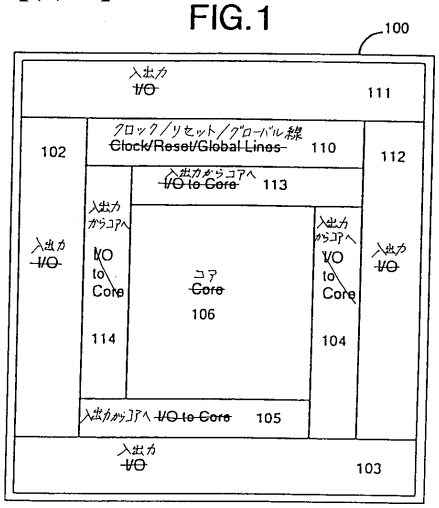
、第８Ａ図で説明したフロア・プランである。前述のように、各８６０内のブロック・コネクタ線は、隣接するブロックとの接続および経路指定階層のより高いレベルの経路指定線との接続を行うブロック・コネクタ・タブ回路網に結合される。メモリ及びパスゲート・アレイ８８０は、ブロック・コネクタ・タブ回路網のスイッチを表す。ドライバ・ロジック８８２は、ブロック・コネクタ・タブ回路網内に配置されたドライバを含み、メモリから分離され、ダイの小さな部分を必要とする。ターン・マトリックス８８４もメモリ及びパスゲート・アレイで構成される。ＭＬＡ線（図示せず）は、接続性を制御する簡単な手段を形成するようにメモリ及びパスゲート・アレイ８８０および８８４の上方の平行な層において配向させることが好ましい。

このフロア・プランは、第８Ｂ図に示した構成を複製することによってスケーリングすることができる。しかし、前述のように、部分ターン・マトリックスを使用する本発明において線上の負荷を最小限に抑えるには、部分ターン・マトリックスを、第７Ｃ図に示したような配向で交互に配置することが好ましい。４×４ブロック・マトリックス・フロア・プランを実現した後、より大きなマトリックスを実現するには、４×４マトリックスを複製し、隣接するマトリックスどうしの経路指定線およびブロック・コネクタを当接させる。

そのようなフロア・プランの利点は当業者には明らかである。ダイ空間の使用度が高められる。また、論理ブロックのレイアウトを複製し、それにより可変寸法のデバイスをし最小限の技術作業で容易に複製できるようにすることによって、スケーリング可能性を容易に達成することができる。

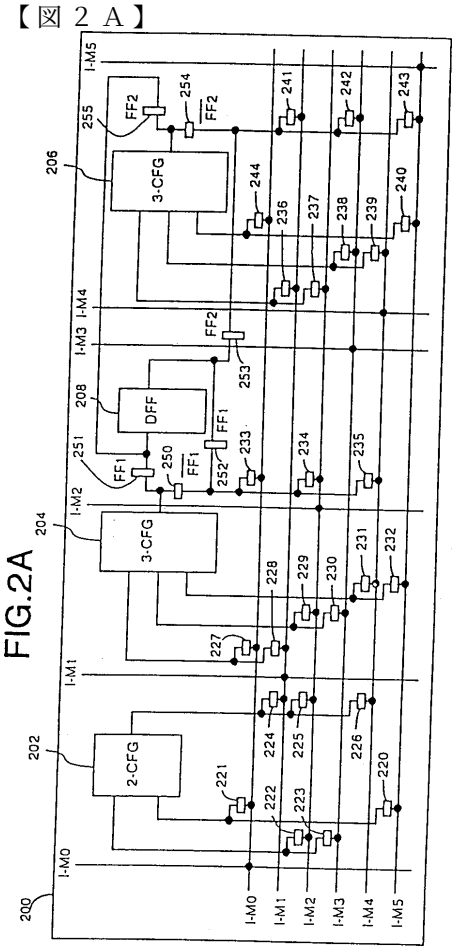
【図１】

FIG.1



【図２Ａ】

FIG.2A



【図２Ｂ】

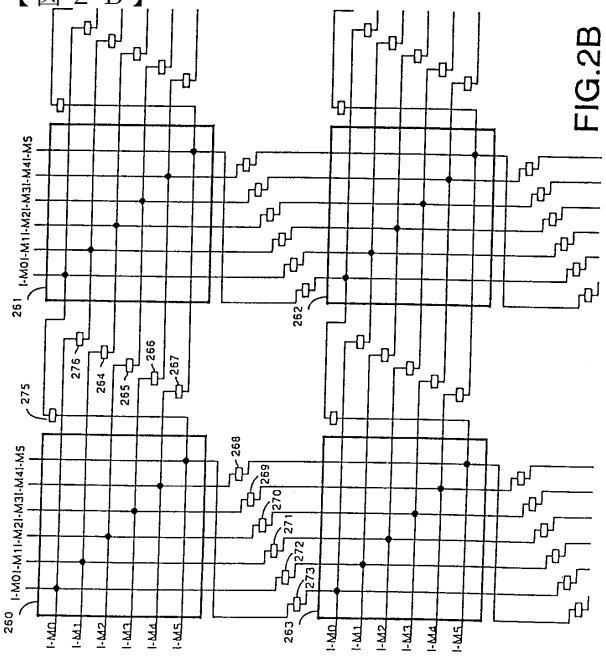


FIG.2B

【図３Ａ】

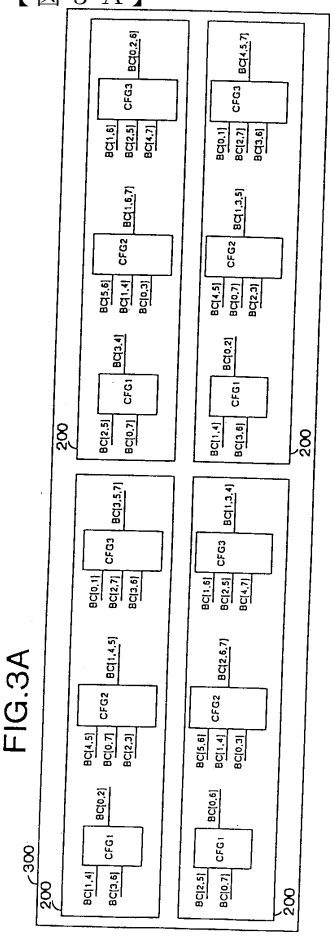


FIG.3A

【図３Ｂ】

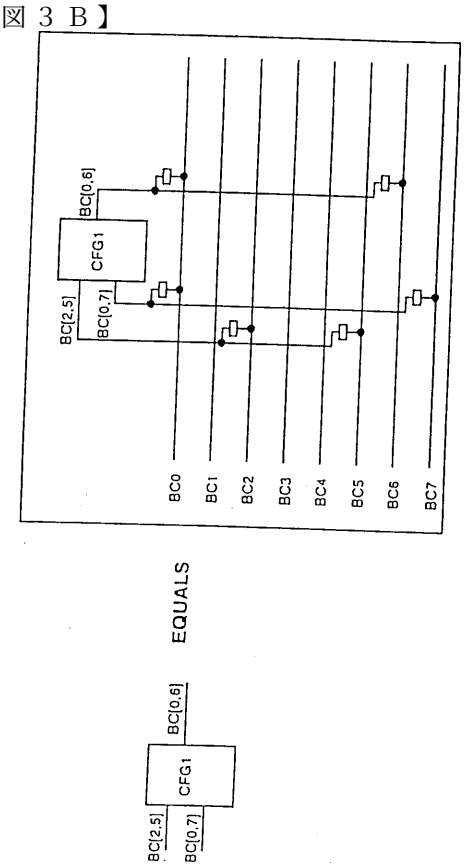
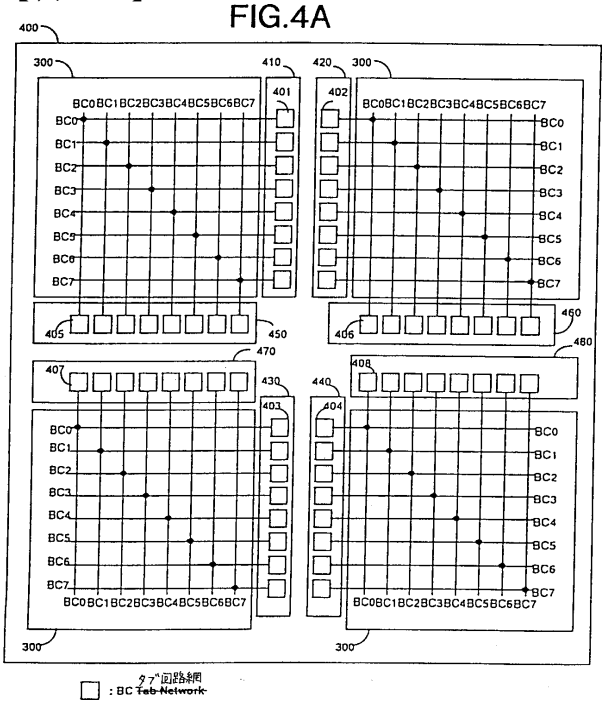


FIG.3B

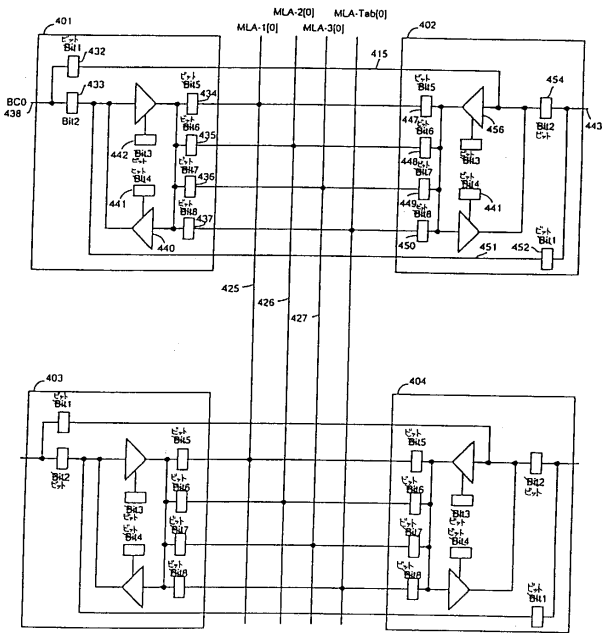
【図４Ａ】

FIG.4A



【図４Ｂ】

FIG.4B



【図４Ｃ】

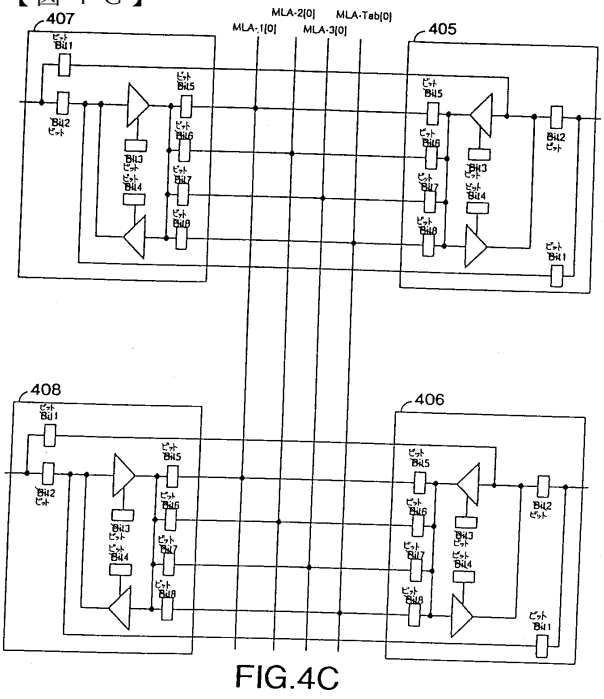
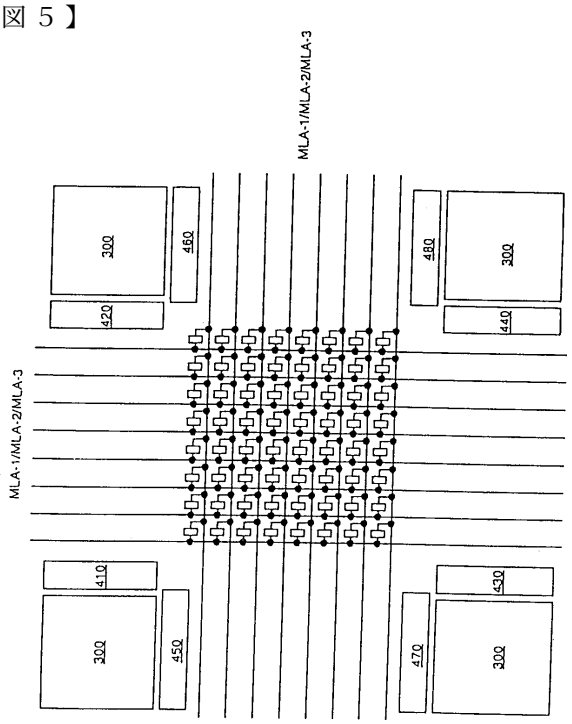


FIG.4C

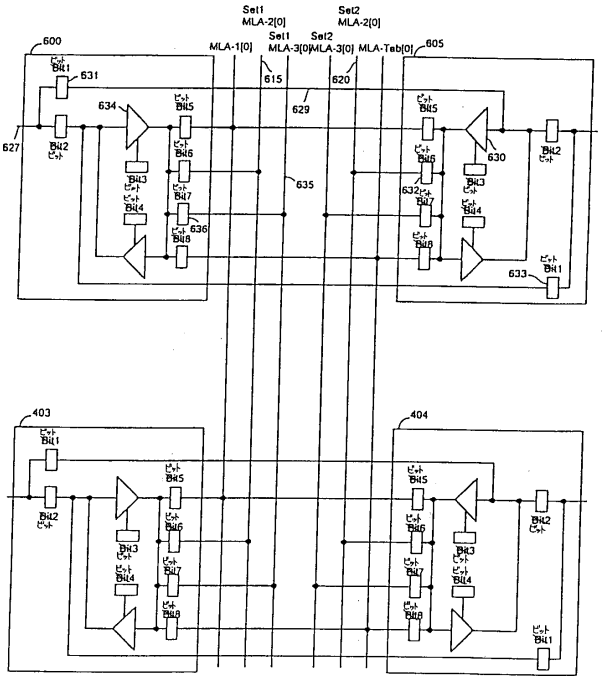
【図５】

FIG.5



【図６Ａ】

FIG.6A



【図６Ｂ】

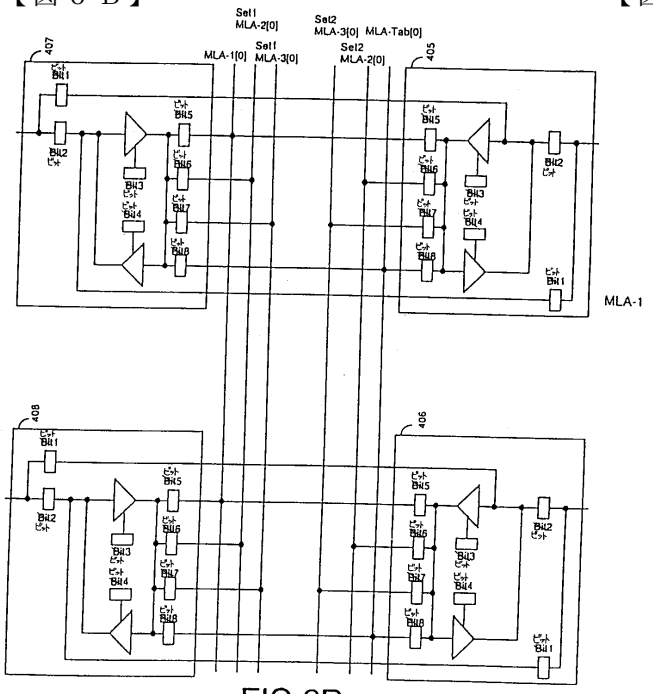


FIG.6B

【図７Ａ】

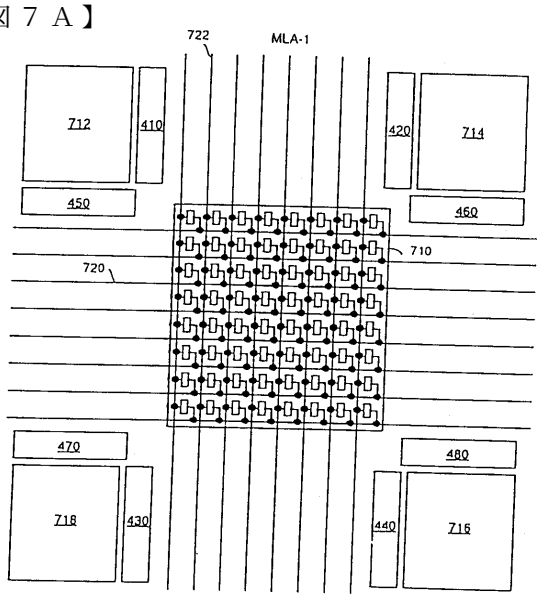


FIG.7A

【図７Ｂ】

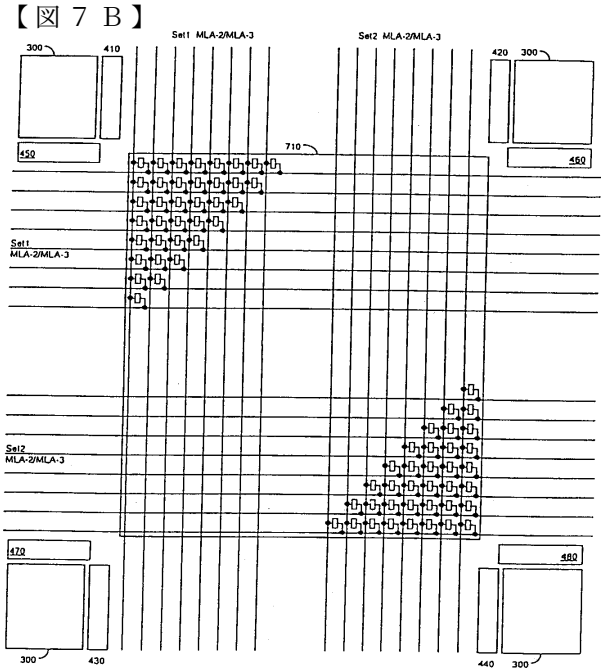
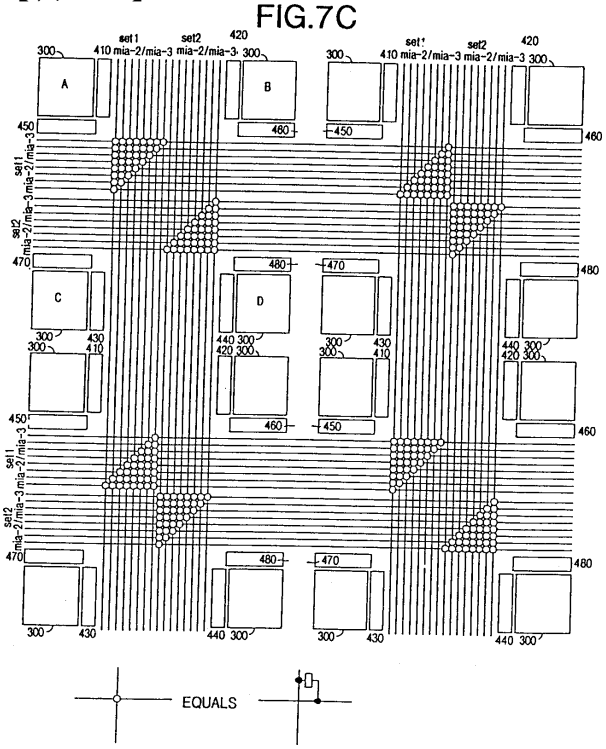


FIG.7B

【図７Ｃ】

FIG.7C



【図８Ａ】

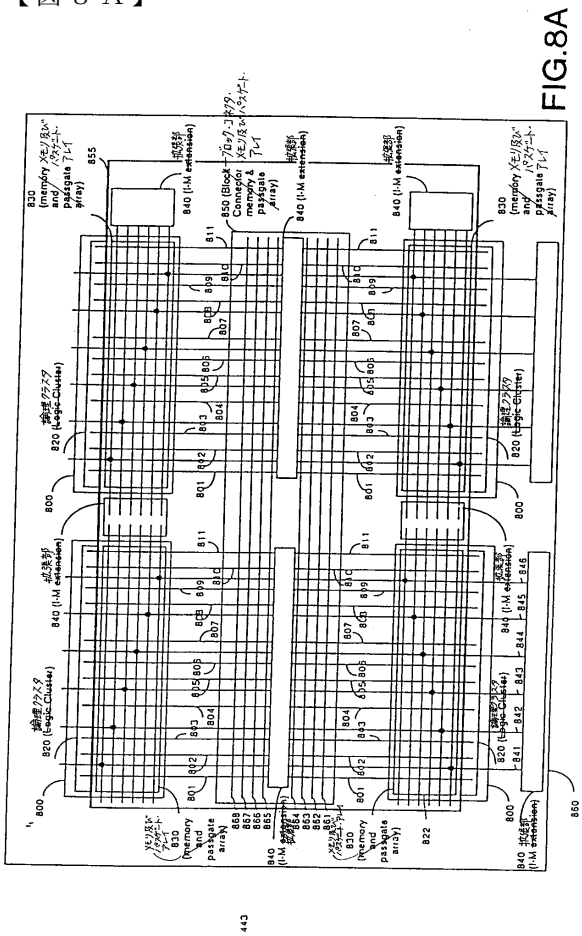
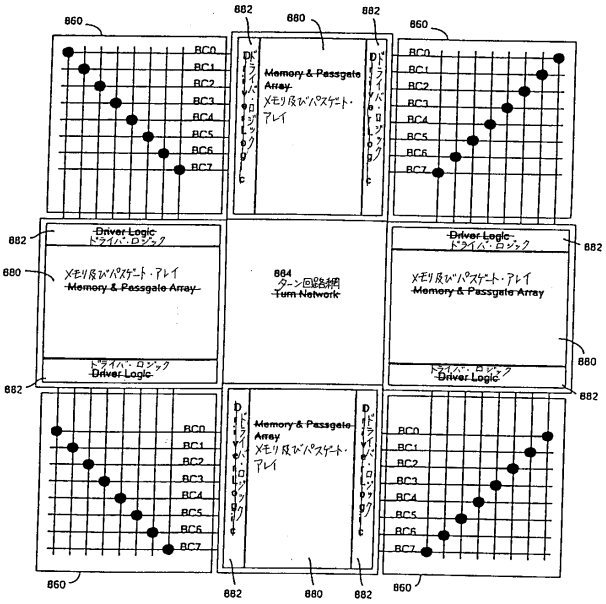


FIG.8A

【図８Ｂ】

FIG.8B



フロントページの続き

(74)代理人
弁理士　鈴木　二郎
(74)代理人
弁理士　山川　茂樹
(72)発明者　ティング，ベンジャミン・エス
アメリカ合衆国・９５０７０・カリフォルニア州・サラトガ・サリバン　ウェイ・２１１２０
(72)発明者　パニ，ピーター・エム
アメリカ合衆国・９４０４０・カリフォルニア州・マウンテン　ビュー・アナ　プリバダ・１１１０

審査官　清水　稔

(56)参考文献　米国特許第０５３７１４２２（ＵＳ，Ａ）
Dobbelaere, I. El Gamal, A. How, D. Kleveland, B. , Peripheral circuit design for field programmable MCM systems, Multi-Chip Module Conference, 1992. MCMC-92, Proceedings 1992 IEEE , １９９２年　3月２０日, 119 - 122

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 19/177