

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/137098 A1

PCT

(43) 国際公開日
2010 年 12 月 2 日(02.12.2010)

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 23/52 (2006.01)
H01L 21/3205 (2006.01) H01L 27/04 (2006.01)
H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2009/007142
- (22) 国際出願日: 2009 年 12 月 22 日(22.12.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-127377 2009 年 5 月 27 日(27.05.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 平野博茂 (HIRANO, Hiroshige). 太田行俊 (OTA, Yukitoshi).

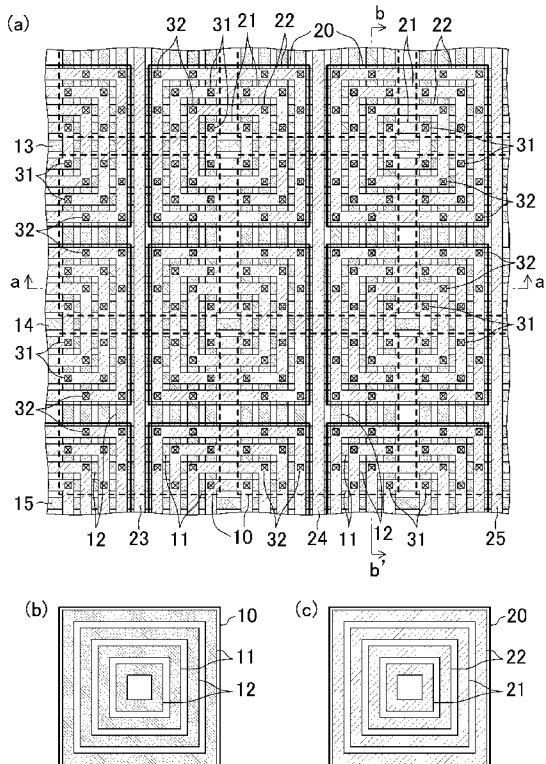
- (74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: A first interconnect layer includes a plurality of first interconnect blocks (10), each of said first interconnect blocks (10) being provided with: a first interconnect (11) which has a first potential and which at least extends in two directions; and a second interconnect (12) which has a second potential different from the first potential and which extends in at least two directions. A second interconnect layer includes: a third interconnect (21) which electrically connects together first interconnects (11) in a pair of adjacent first interconnect blocks (10); and a fourth interconnect (22) which electrically connects together the second interconnects (12) in the pair of first interconnect blocks (10).

(57) 要約: 第1配線層は複数の第1配線ブロック(10)を含み、当該各第1配線ブロック(10)には、第1電位を持ち且つ少なくとも二方向以上に延びる第1配線(11)と、第1電位と異なる第2電位を持ち且つ少なくとも二方向以上に延びる第2配線(12)とが配置されている。第2配線層は、隣り合う一対の第1配線ブロック(10)における第1配線(11)同士を電氣的に接続する第3配線(21)と、当該一対の第1配線ブロック(10)における第2配線(12)同士を電氣的に接続する第4配線(22)とを含む。

WO 2010/137098 A1



NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, 添付公開書類:

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, — 国際調査報告 (条約第 21 条(3))
TD, TG).

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体集積回路の配線構造に関し、詳しくは、半導体集積回路の電源配線の配線構造に関する。

背景技術

[0002] 半導体集積回路の電源配線が複数配線層に亘って形成される場合、通常、電源配線はメッシュ状又はそれに準じた形状の配線構造を有している。この場合、信号配線がノイズの影響を受けにくくするために、信号配線の横方向及び上下方向は電源配線によってシールドされる（例えば特許文献１参照）。

[0003] 図１４は、従来例に係る半導体装置における信号配線及び電源配線の配置例を示す図である。図１４において、「２００」はメモリコア、「２０１」は n 層目メモリコア用電源配線、「２０２」は n 層目信号配線、「２０３」は $(n+1)$ 層目メモリコア用電源配線、「２０４」は $(n+1)$ 層目信号配線、「２０５」は配線層間コンタクトである。図１４に示す従来例においては、 n 層目と $(n+1)$ 層目とを用いてチップ全体にメッシュ状の電源配線が配置されている。尚、 n 層目及び $(n+1)$ 層目のそれぞれにおいて個々の電源配線は所定の方に一次元的に延びている。

先行技術文献

特許文献

[0004] 特許文献１：特開２００５－３３２９０３号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、メッシュ状に広がる電源配線網において電流は周縁部から中心部に向けて供給される。また、半導体集積回路の内部各点において、当該各点に位置するセルが電源配線網から電流を受け取って消費する。従って、半

導体集積回路の内部各点において電流が消費されることにより、チップの中心部に向かって電源配線網における電圧ドロップ（電圧降下）が大きくなる。すなわち、半導体集積回路の周縁部では電源配線網上の電圧が高く、半導体集積回路の中心部に向かうにつれて電源配線網上の電圧が低くなる。

[0006] 従って、前述の従来例に係る単純なメッシュ構造を持つ電源配線においては、 n 層目と $(n+1)$ 層目との間で配線層の膜厚などが異なることに起因して抵抗が異なる場合には電圧降下に方向性が生じてしまう。すなわち、抵抗が高い配線層において電源配線が延びる方向に電圧降下が大きくなるという問題が生じる。

[0007] 図15及び図16は、図14に示す従来例の電源配線パターンを簡素化して模式的に示す上面図及び断面図である。また、図17は、図15に示す簡素化パターンに対して電源電圧を印加したときの配線抵抗による電圧降下例を示した図である。尚、図15～図17において、図14に示す従来例と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

[0008] 図17に示すように、 $(n+1)$ 層目メモリコア用電源配線203の両端にそれぞれ接続された電源供給パッド206及び207から電源電圧が印加されている。ここで、 $(n+1)$ 層目メモリコア用電源配線（縦方向の配線）203の抵抗は、 n 層目メモリコア用電源配線（横方向の配線）201の抵抗よりも高く、その結果、 $(n+1)$ 層目メモリコア用電源配線203の延びる方向に沿ってパターンの周縁部から中心部に向かうにつれて順次電圧降下が発生している。ここで、「208」は電圧降下がほとんどない領域、「209」は小さい電圧降下が発生している領域、「210」は大きい電圧降下が発生している領域である。

[0009] 尚、前述の電圧降下を防ぐために、電源供給パッド数を増やしたり、電源配線を太くするなどの対策を講じることも可能であるが、チップサイズの制約などから、このような対策にも限界がある。

[0010] 以上に鑑みて、本発明は、局所的な電圧降下を効果的に抑制できる電源配線構造を有した半導体装置を提供することを目的とする。

課題を解決するための手段

- [0011] 前記の目的を達成するために、本発明に係る半導体装置は、第1配線層と、前記第1配線層の上側又は下側に形成された第2配線層とを半導体基板上に備えており、前記第1配線層は複数の第1配線ブロックを含み、当該各第1配線ブロックには、第1電位を持ち且つ少なくとも二方向以上に延びる第1配線と、前記第1電位と異なる第2電位を持ち且つ少なくとも二方向以上に延びる第2配線とが配置されており、前記第2配線層は、前記複数の第1配線ブロックのうちの互いに隣り合う一対の第1配線ブロックにおける前記第1配線同士を電氣的に接続する第3配線と、前記一対の第1配線ブロックにおける前記第2配線同士を電氣的に接続する第4配線とを含む。
- [0012] 本発明に係る半導体装置によると、第1配線層に設けられた第1配線及び第2配線のいずれも二方向以上に延びるため、従来例のように各配線層において電源配線が一方向のみに延びている場合と比較して、電圧降下に方向性が生じる事態を回避することができる。
- [0013] また、本発明に係る半導体装置によると、第1配線層に設けられた第1配線及び第2配線のいずれもが二方向以上に延びる配線として二次元的に形成されているため、従来例のように一方向のみに延びる配線として一次的に形成された電源配線と比べて、各配線の抵抗値を低減することができる。
- [0014] 従って、本発明に係る半導体装置によると、チップ内での局所的な電圧降下を効果的に抑制できる電源配線構造を実現することができる。
- [0015] 尚、本発明に係る半導体装置において、電源電圧（ V_{dd} ）には複数の電圧があってもよい。例えば、本発明に係る半導体装置において、第1配線層の各第1配線ブロックに、第1電位を持つ第1配線、及び第1電位と異なる第2電位を持つ第2配線に加えて、第1電位及び第2電位と異なる第3電位を持つ第3配線が配置されていてもよい。
- [0016] また、本発明に係る半導体装置において、前記一対の第1配線ブロックのうちの一方の第1配線ブロックにおける前記第1配線及び前記第2配線の配置の仕方と、前記一対の第1配線ブロックのうちの他方の第1配線ブロック

における前記第 1 配線及び前記第 2 配線の配置の仕方とが異なってもよい。このようにすると、第 1 配線と第 2 配線との間の抵抗差を解消することができる。

[0017] また、本発明に係る半導体装置において、前記第 2 配線層は、前記第 3 配線及び前記第 4 配線がそれぞれ配置された複数の第 2 配線ブロックを含んでもよい。ここで、第 1 配線層の各第 1 配線ブロックと第 2 配線層の各第 2 配線ブロックとを互いにずらして配置してもよい。また、この場合、前記第 3 配線及び前記第 4 配線はそれぞれ二方向以上に延びてもよい。このようにすると、従来例と比較して、前述の本発明の効果がより顕著に発揮される。

[0018] また、本発明に係る半導体装置において、前記第 1 配線の抵抗と前記第 3 配線の抵抗とが異なっており、前記第 2 配線の抵抗と前記第 4 配線の抵抗とが異なっていると、言い換えると、第 1 配線層と第 2 配線層との間で抵抗が異なっていると、従来例と比較して、前述の本発明の効果がより顕著に発揮される。

[0019] また、本発明に係る半導体装置において、前記第 1 配線と前記第 3 配線とは第 1 コンタクトを介して電氣的に接続されており、前記第 2 配線と前記第 4 配線とは第 2 コンタクトを介して電氣的に接続されていてもよい。

[0020] また、本発明に係る半導体装置において、前記第 1 配線及び前記第 2 配線のそれぞれはリング状に形成されていてもよい。このようにすると、前述の本発明の効果を確実に得ることができる。

[0021] また、本発明に係る半導体装置において、前記第 1 配線及び前記第 2 配線のそれぞれは渦巻き状に形成されていてもよい。このようにすると、前述の本発明の効果を確実に得ることができる。また、前記第 1 配線及び前記第 2 配線のそれぞれをリング状に形成する場合と同様に、前記第 1 配線及び前記第 2 配線のそれぞれと前記第 3 配線及び前記第 4 配線のそれぞれとを電氣的に接続するコンタクトを容易に配置することができる。さらに、前記第 1 配線及び前記第 2 配線のそれぞれをリング状に形成する場合と比べて、コンタ

クトを介することなく広範囲に亘って各配線を延伸させることができるので、各配線のさらなる低抵抗化が可能となる。

[0022] また、本発明に係る半導体装置において、前記第 1 配線層における前記複数の第 1 配線ブロック同士の間信号配線が配置されていてもよい。

[0023] また、本発明に係る半導体装置において、前記複数の第 1 配線ブロックは、前記半導体基板の各辺が延びる方向に配列されていてもよい。このようにすると、半導体基板の各辺が延びる方向（チップエッジ方向）における電圧降下を抑制できるので、チップ周縁部に電源供給パッドが均一に配置されている構成に対して有効である。

[0024] また、本発明に係る半導体装置において、前記半導体基板の平面形状は方形形状であり、

前記複数の第 1 配線ブロックは、前記半導体基板の各辺が延びる方向に対して斜め方向に配列されていてもよい。特に、前記半導体基板の平面形状は正方形形状であり、前記複数の第 1 配線ブロックは、前記半導体基板の各辺が延びる方向に対して 45 度の方向に配列されていてもよい。このようにすると、一般的な正方形形状のチップにおいて、チップエッジ方向に対して 45 度方向における電圧降下を抑制できるので、チップコーナー部に電源供給パッドが多く配置されている構成に対して有効である。

[0025] また、本発明に係る半導体装置において、前記第 3 配線及び前記第 4 配線のそれぞれはリング状に形成されていてもよい。このようにすると、前述の本発明の効果を確実に得ることができる。

発明の効果

[0026] 本発明によると、電圧降下に方向性が生じる事態を回避することができるため、半導体装置内での局所的な電圧降下を効果的に抑制できるので、半導体装置を安定的に動作させることができると共にチップ面積を削減することができる。

図面の簡単な説明

[0027] [図1]図 1（a）は本発明の第 1 の実施形態に係る半導体装置の平面図であり

、図 1（b）は本発明の第 1 の実施形態に係る半導体装置における下側の配線層の配線ブロックを示す図であり、図 1（c）は本発明の第 1 の実施形態に係る半導体装置における上側の配線層の配線ブロックを示す図である。

[図2]図 2 は図 1（a）の a－a' 線における断面図である。

[図3]図 3 は図 1（a）の b－b' 線における断面図である。

[図4]図 4（a）は本発明の第 1 の実施形態の変形例に係る半導体装置の平面図であり、図 4（b）及び（c）は本発明の第 1 の実施形態の変形例に係る半導体装置における下側の配線層の配線ブロックを示す図であり、図 4（d）及び（e）は本発明の第 1 の実施形態の変形例に係る半導体装置における上側の配線層の配線ブロックを示す図である。

[図5]図 4（a）の a－a' 線における断面図である。

[図6]図 4（a）の b－b' 線における断面図である。

[図7]図 7（a）は本発明の第 2 の実施形態に係る半導体装置の平面図であり、図 7（b）は本発明の第 2 の実施形態に係る半導体装置における下側の配線層の配線ブロックを示す図であり、図 7（c）は本発明の第 2 の実施形態に係る半導体装置における上側の配線層の配線ブロックを示す図である。

[図8]図 8（a）は本発明の第 2 の実施形態の変形例に係る半導体装置の平面図であり、図 8（b）及び（c）は本発明の第 2 の実施形態の変形例に係る半導体装置における下側の配線層の配線ブロックを示す図であり、図 8（d）及び（e）は本発明の第 2 の実施形態の変形例に係る半導体装置における上側の配線層の配線ブロックを示す図である。

[図9]図 9 は、本発明の各実施形態（その変形例を含む）の配線ブロックの半導体チップ内での配置の一例を示す平面図である。

[図10]図 10 は、本発明の各実施形態（その変形例を含む）の配線ブロックの半導体チップ内での配置の他例を示す平面図である。

[図11]図 11 は、本発明の各実施形態（その変形例を含む）の第 1 配線層及び第 2 配線層よりも下層に設けられた他の配線層の構造例を示す断面図である。

[図12] 図 1 2 は、本発明の各実施形態（その変形例を含む）の電源配線及び接地配線として、二方向に延びる配線を配置した例を示す平面図である。

[図13] 図 1 3 は、下層配線層に一方方向に延びるように設けられた電源配線（又は接地配線）によって、上層配線層において千鳥状に配列された配線ブロックにおける電源配線同士（又は接地配線同士）を電氣的に接続している様子を模式的に示す平面図である。

[図14] 図 1 4 は、従来例に係る半導体装置における信号配線及び電源配線の配置例を示す図である。

[図15] 図 1 5 は、図 1 4 に示す従来例の電源配線パターンを簡素化して模式的に示す上面図である。

[図16] 図 1 6 は、図 1 4 に示す従来例の電源配線パターンを簡素化して模式的に示す断面図である。

[図17] 図 1 7 は、図 1 5 に示す簡素化パターンに対して電源電圧を印加したときの配線抵抗による電圧降下例を示した図である。

発明を実施するための形態

[0028] （第 1 の実施形態）

以下、本発明の第 1 の実施形態に係る半導体装置について、図面を参照しながら説明する。

[0029] 図 1（a）は第 1 の実施形態に係る半導体装置の平面図であり、図 1（b）は第 1 の実施形態に係る半導体装置における下側の配線層の配線ブロックを示す図であり、図 1（c）は第 1 の実施形態に係る半導体装置における上側の配線層の配線ブロックを示す図である。また、図 2 は図 1（a）の a－a' 線における断面図であり、図 3 は図 1（a）の b－b' 線における断面図である。

[0030] 図 1（a）に示すように、本実施形態の半導体装置においては、半導体基板（図示省略）の上側に複数の第 1 配線ブロック 10（図中の点線枠内）を有する第 1 配線層が設けられていると共に、第 1 配線層の上側に複数の第 2 配線ブロック 20（図中の実線枠内）を有する第 2 配線層が設けられている

。ここで、複数の第1配線ブロック10及び複数の第2配線ブロック20は行列状に配列されていると共に、各第1配線ブロック10と各第2配線ブロック20とは互いにずらして配置されている。具体的には、 2×2 の行列状に隣接する4つの第1配線ブロック10の集合体の中心が1つの第2配線ブロック20内の中心と一致するように各ブロックが配置されている。言い換えれば、 2×2 の行列状に隣接する4つの第2配線ブロック20の集合体の中心が1つの第1配線ブロック10内の中心と一致するように各ブロックが配置されている。尚、後述する他の実施形態及び変形例においても、各ブロックの配置は同様である。

[0031] また、図1(b)に示すように、各第1配線ブロック10には、電源配線と接地配線とが交互に配置されてなる4重構造のリング状配線が設けられている。具体的には、外側から順にそれぞれリング状の電源配線11、接地配線12、電源配線11及び接地配線12が設けられている。ここで、各電源配線11には電源電圧が印加されており、各接地配線12には接地電圧が印加されている。

[0032] また、図1(c)に示すように、各第2配線ブロック20には、電源配線と接地配線とが交互に配置されてなる4重構造のリング状配線が設けられている。具体的には、外側から順にそれぞれリング状の接地配線22、電源配線21、接地配線22及び電源配線21が設けられている。ここで、各電源配線21には電源電圧が印加されており、各接地配線22には接地電圧が印加されている。

[0033] また、図1(a)、図2及び図3に示すように、各第1配線ブロック10の電源配線11は第1コンタクト31を介して各第2配線ブロック20の電源配線21と電氣的に接続されており、各第1配線ブロック10の接地配線12は第2コンタクト32を介して各第2配線ブロック20の接地配線22と電氣的に接続されている。ここで、各第1配線ブロック10と各第2配線ブロック20とは互いにずらして配置されているため、隣り合う一対の第1配線ブロック10における電源配線11同士が第2配線ブロック20の電源

配線 2 1 を介して電氣的に接続されると共に、隣り合う一対の第 1 配線ブロック 1 0 における接地配線 1 2 同士が第 2 配線ブロック 2 0 の接地配線 2 2 を介して電氣的に接続される。同様に、隣り合う一対の第 2 配線ブロック 2 0 における電源配線 2 1 同士が第 1 配線ブロック 1 0 の電源配線 1 1 を介して電氣的に接続されると共に、隣り合う一対の第 2 配線ブロック 2 0 における接地配線 2 2 同士が第 1 配線ブロック 1 0 の接地配線 1 2 を介して電氣的に接続される。これによって、チップ全体に亘って電源配線網及び接地配線網が形成される。

[0034] さらに、図 1 (a)、図 2 及び図 3 に示すように、第 1 配線層における複数の第 1 配線ブロック 1 0 同士の間には、電源配線 1 1 及び接地配線 1 2 とは異なり一方向に延びる信号配線 1 3 ~ 1 5 が配置されていると共に、第 2 配線層における複数の第 2 配線ブロック 2 0 同士の間には、電源配線 2 1 及び接地配線 2 2 とは異なり一方向に延びる信号配線 2 3 ~ 2 5 が配置されている。すなわち、本実施形態においては、電源配線及び接地配線とは異なる信号配線についても第 1 配線層及び第 2 配線層を用いて形成されている。

[0035] 本実施形態においては、第 1 配線層の各配線 1 1 ~ 1 5 として、例えば厚さ $0.3 \mu\text{m}$ 程度の銅配線を用い、第 2 配線層の各配線 2 1 ~ 2 5 として、例えば第 1 配線層の各配線 1 1 ~ 1 5 の厚さの 5 倍の厚さ $1.5 \mu\text{m}$ 程度の銅配線を用いている。ここで、第 1 配線層及び第 2 配線層のいずれにおいても、配線幅は例えば $10 \mu\text{m}$ 程度であり、配線間隔は例えば $2.5 \mu\text{m}$ 程度である。すなわち、第 1 配線層の各配線 1 1 ~ 1 5 の抵抗は、第 2 配線層の各配線 2 1 ~ 2 5 の抵抗の約 5 倍である。

[0036] 以上に説明した本実施形態によると、第 1 配線層に設けられた電源配線 1 1 及び接地配線 1 2 のいずれもリング状に形成されているため、従来例のように各配線層において電源配線や接地配線が一方向のみに延びている場合と比較して、電圧降下に方向性が生じる事態を回避することができる。特に、本実施形態のように第 1 配線層と第 2 配線層との間で抵抗が異なっている場合、従来例と比べて前述の効果は顕著である。

- [0037] また、本実施形態によると、第 1 配線層に設けられた電源配線 1 1 及び接地配線 1 2 のいずれもが二方向以上に延びる配線として二次元的に形成されているため、従来例のように一方向のみに延びる配線として一次的に形成された電源配線や接地配線と比べて、各ブロック内の単位面積当たりの抵抗値を約 20 % 程度低減することができる。
- [0038] 従って、本実施形態によると、チップ内での局所的な電圧降下を効果的に抑制できる電源配線構造を実現することができる。すなわち、半導体装置内での局所的な電圧降下を効果的に抑制できるので、半導体装置を安定的に動作させることができると共にチップ面積を削減することができる。
- [0039] また、本実施形態によると、第 2 配線層に設けられた電源配線 2 1 及び接地配線 2 2 のいずれもリング状に形成されているため、従来例と比較して、前述の本実施形態の効果がより顕著に発揮される。
- [0040] 尚、第 1 の実施形態において、各第 1 配線ブロック 1 0 における電源配線 1 1 及び接地配線 1 2 の配置順を入れ替えると共に、各第 2 配線ブロック 2 0 における電源配線 2 1 及び接地配線 2 2 の配置順を入れ替えてもよい。また、各第 1 配線ブロック 1 0 及び各第 2 配線ブロック 2 0 に 4 重構造のリング状配線を設けたが、これに代えて、2 重、3 重又は 5 重以上の構造のリング状配線を設けてもよい。さらに、各第 1 配線ブロック 1 0 及び各第 2 配線ブロック 2 0 に設けるリング状配線の構造が互いに異なってもよい。
- [0041] また、第 1 の実施形態において、図示はしていないが、第 1 配線層の信号配線 1 3 ~ 1 5 のそれぞれに、第 1 配線層の下側の基板若しくは配線層又は第 1 配線層の上側の第 2 配線層又はパッドとの電氣的接続を行うためのコンタクトが形成されていてもよい。また、第 2 配線層の信号配線 2 3 ~ 2 5 のそれぞれに、第 2 配線層の下側の基板若しくは第 1 配線層等の配線層又は第 2 配線層の上側のパッドとの電氣的接続を行うためのコンタクトが形成されていてもよい。
- [0042] また、第 1 の実施形態において、第 1 配線層における複数の第 1 配線ブロック 1 0 同士の間信号配線 1 3 ~ 1 5 を配置すると共に、第 2 配線層にお

ける複数の第2配線ブロック20同士の間には信号配線23～25を配置した。しかし、これに代えて、信号配線13～15、23～25を配置しなくてもよい。言い換えると、第1配線層には電源配線11及び接地配線12のみを配置し、第2配線層には電源配線21及び接地配線22のみを配置してもよい。このようにすると、各配線層の全体に電源配線及び接地配線が無駄なく設けることができるので、信号配線13～15、23～25を配置する場合と比べて、電源配線及び接地配線の抵抗値をさらに約5%程度低減することが可能となる。

[0043] (第1の実施形態の変形例)

以下、本発明の第1の実施形態の変形例に係る半導体装置について、図面を参照しながら説明する。

[0044] 図4(a)は第1の実施形態の変形例に係る半導体装置の平面図であり、図4(b)及び(c)は第1の実施形態の変形例に係る半導体装置における下側の配線層の配線ブロックを示す図であり、図4(d)及び(e)は第1の実施形態の変形例に係る半導体装置における上側の配線層の配線ブロックを示す図である。また、図5は図4(a)のa-a'線における断面図であり、図6は図4(a)のb-b'線における断面図である。

[0045] 尚、図4(a)～(e)、図5及び図6において、図1(a)～(c)、図2及び図3に示す第1の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

[0046] 本変形例が第1の実施形態と異なっている第1の点は、図4(a)～(c)に示すように、第1配線ブロック10として、電源配線11及び接地配線12の配置順が異なる2種類の第1配線ブロック10A及び10Bが交互に隣り合うように配列されていることである。ここで、第1配線ブロック10Aには、外側から順にそれぞれリング状の電源配線11、接地配線12、電源配線11及び接地配線12が配置されてなる4重構造のリング状配線が設けられている。また、第1配線ブロック10Bには、外側から順にそれぞれリング状の接地配線12、電源配線11、接地配線12及び電源配線11が

配置されてなる４重構造のリング状配線が設けられている。

[0047] また、本変形例が第１の実施形態と異なっている第２の点は、図４（ａ）、（ｄ）及び（ｅ）に示すように、第２配線ブロック２０として、電源配線２１及び接地配線２２の配置順が異なる２種類の第２配線ブロック２０Ａ及び２０Ｂが交互に隣り合うように配列されていることである。ここで、第２配線ブロック２０Ａには、外側から順にそれぞれリング状の電源配線２１、接地配線２２、電源配線２１及び接地配線２２が配置されてなる４重構造のリング状配線が設けられている。また、第２配線ブロック２０Ｂには、外側から順にそれぞれリング状の接地配線２２、電源配線２１、接地配線２２及び電源配線２１が配置されてなる４重構造のリング状配線が設けられている。

[0048] 以上に述べた本変形例によると、第１の実施形態と同様の効果に加えて、次のような効果が得られる。すなわち、隣り合う第１配線ブロック１０Ａ及び１０Ｂ同士の間で電源配線１１及び接地配線１２の配置順を逆にしているため、電源配線１１と接地配線１２との間の抵抗差を解消することができる。また、隣り合う第２配線ブロック２０Ａ及び２０Ｂ同士の間で電源配線２１及び接地配線２２の配置順を逆にしているため、電源配線２１と接地配線２２との間の抵抗差を解消することができる。

[0049] （第２の実施形態）

以下、本発明の第２の実施形態に係る半導体装置について、図面を参照しながら説明する。

[0050] 図７（ａ）は第２の実施形態に係る半導体装置の平面図であり、図７（ｂ）は第２の実施形態に係る半導体装置における下側の配線層の配線ブロックを示す図であり、図７（ｃ）は第２の実施形態に係る半導体装置における上側の配線層の配線ブロックを示す図である。尚、図７（ａ）～（ｃ）において、図１（ａ）～（ｃ）に示す第１の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

[0051] 本実施形態が第１の実施形態と異なっている点は、図７（ａ）～（ｃ）に

示すように、各第1配線ブロック10には、それぞれ渦巻き状を有する電源配線11及び接地配線12が1つずつ設けられていると共に、各第2配線ブロック20には、それぞれ渦巻き状を有する電源配線21及び接地配線22が1つずつ設けられていることである。

[0052] 以上に述べた本実施形態によると、第1の実施形態と同様の効果に加えて、次のような効果が得られる。すなわち、電源配線11及び接地配線12並びに電源配線21及び接地配線22のそれぞれをリング状に形成する場合と同様に、電源配線11及び接地配線12のそれぞれと電源配線21及び接地配線22のそれぞれとを電氣的に接続するコンタクトを容易に配置することができる。また、電源配線11及び接地配線12並びに電源配線21及び接地配線22のそれぞれをリング状に形成する場合と比べて、電源配線11及び接地配線12並びに電源配線21及び接地配線22をそれぞれ渦巻き状配線として形成しているため、コンタクト31及び32を介することなく広範囲に亘って各配線を延伸させることができるので、各配線のさらなる低抵抗化が可能となる。

[0053] 尚、第2の実施形態において、各第1配線ブロック10における電源配線11及び接地配線12の配置順を入れ替えると共に、各第2配線ブロック20における電源配線21及び接地配線22の配置順を入れ替えてもよい。また、渦巻き状配線である電源配線11、接地配線12、電源配線21及び接地配線22のそれぞれの巻き数は特に限定されないことは言うまでもない。さらに、各第1配線ブロック10及び各第2配線ブロック20に設ける渦巻き状配線の構造が互いに異なってもよい。

[0054] また、第2の実施形態において、各第1配線ブロック10及び各第2配線ブロック20のいずれにも渦巻き状配線を設けたが、これに代えて、各第1配線ブロック10には電源配線11及び接地配線12として、第1の実施形態と同様のリング状配線を設けると共に、各第2配線ブロック20には電源配線21及び接地配線22として、本実施形態と同様の渦巻き状配線を設けてもよい。或いは、各第1配線ブロック10には電源配線11及び接地配線

12として、本実施形態と同様の渦巻き状配線を設けると共に、各第2配線ブロック20には電源配線21及び接地配線22として、第1の実施形態と同様のリング状配線を設けてもよい。

[0055] また、第2の実施形態において、第1配線層における第1配線ブロック10A及び10Bの間に信号配線を配置すると共に、第2配線層における第2配線ブロック20A及び20Bの間に信号配線を配置してもよい。

[0056] (第2の実施形態の変形例)

以下、本発明の第2の実施形態の変形例に係る半導体装置について、図面を参照しながら説明する。

[0057] 図8(a)は第2の実施形態の変形例に係る半導体装置の平面図であり、図8(b)及び(c)は第2の実施形態の変形例に係る半導体装置における下側の配線層の配線ブロックを示す図であり、図8(d)及び(e)は第2の実施形態の変形例に係る半導体装置における上側の配線層の配線ブロックを示す図である。

[0058] 尚、図8(a)～(e)において、図1(a)～(c)に示す第1の実施形態及び図7(a)～(c)に示す第2の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

[0059] 本変形例が第2の実施形態と異なっている第1の点は、図8(a)～(c)に示すように、第1配線ブロック10として、それぞれ渦巻き状配線である電源配線11及び接地配線12の配置の仕方が異なる2種類の第1配線ブロック10A及び10Bが交互に隣り合うように配列されていることである。

[0060] また、本変形例が第2の実施形態と異なっている第2の点は、図8(a)、(d)及び(e)に示すように、第2配線ブロック20として、それぞれ渦巻き状配線である電源配線21及び接地配線22の配置の仕方が異なる2種類の第2配線ブロック20A及び20Bが交互に隣り合うように配列されていることである。

[0061] 以上に述べた本変形例によると、第2の実施形態と同様の効果に加えて、

次のような効果が得られる。すなわち、隣り合う第1配線ブロック10A及び10B同士の間で電源配線11及び接地配線12の配置の仕方を変えているため、電源配線11と接地配線12との間の抵抗差を解消することができる。また、隣り合う第2配線ブロック20A及び20B同士の間で電源配線21及び接地配線22の配置の仕方を変えているため、電源配線21と接地配線22との間の抵抗差を解消することができる。

[0062] 尚、前記各実施形態（それぞれの変形例を含む：以下同じ）において、電源電圧には複数の電圧があってもよい。言い換えると、各配線層の各配線ブロックに、異なる2種類以上の電源電圧がそれぞれ印加される2種類以上の電源配線を設けてもよい。

[0063] また、前記各実施形態において、各配線ブロックのサイズは特に限定されるものではないが、例えば約100 μm □から約400 μm □までのサイズで形成してもよい。但し、コンタクト抵抗が高い場合には、コンタクト抵抗の影響を少なくするために、ある程度大きいブロックサイズとすることが望ましい。一方、コンタクト抵抗が低い場合には、複数のリング状配線又は渦巻き状配線等を配置できる限りにおいて小さいブロックサイズとしてもよい。

[0064] 図9は、前記各実施形態の配線ブロック（具体的には上層配線層である第2配線層の第2配線ブロック）の半導体チップ内での配置の一例を示す平面図である。図9に示すように、方形状の半導体チップ1の周縁部には複数のパッド2が配置されており、パッド2の配置領域の内側に、複数の第2配線ブロック20が半導体チップ1（つまり半導体基板）の各辺が延びる方向に配列されている。すなわち、各第2配線ブロック20はチップエッジ方向と同じ方向に沿って配置されている。このようにすると、チップエッジ方向における電圧降下を抑制できるので、チップ周縁部に電源供給パッドが均一に配置されている構成に対して有効である。

[0065] 図10は、前記各実施形態の配線ブロック（具体的には上層配線層である第2配線層の第2配線ブロック）の半導体チップ内での配置の他例を示す平

面図である。図 10 に示すように、正形状の半導体チップ 1 の周縁部には複数のパッド 2 が配置されており、パッド 2 の配置領域の内側に、複数の第 2 配線ブロック 20 が半導体チップ 1（つまり半導体基板）の対角線方向、つまりチップエッジ方向に対して 45 度の方向に配列されている。このようにすると、チップエッジ方向に対して 45 度方向（チップ対角線方向）における電圧降下を抑制できるので、チップコーナー部に電源供給パッドが多く配置されている構成に対して有効である。尚、この場合、チップエッジに沿って、途中で切断された第 2 配線ブロック 20 が配列されるものの、当該第 2 配線ブロック 20 における電源配線 21 及び接地配線 22 はそれぞれコンタクト 31 及び 32 を介して、第 1 配線層（下層配線層）の電源配線 11 及び接地配線 12 と電氣的に接続されるので、チップ全体に亘って有効な電源配線網及び接地配線網が形成される。また、図 10 においては、半導体チップ 1 が正形状である場合を示したが、半導体チップ 1 が長形状である場合には、複数の第 2 配線ブロック 20 を半導体チップ 1（つまり半導体基板）の対角線方向、つまりチップエッジ方向に対して斜め方向に配列すればよい。

[0066] 尚、図 9 及び図 10 において、図示は省略しているが、下層配線層である第 1 配線層の第 1 配線ブロック 10 についても、チップエッジ方向と同じ方向に沿って配列してもよいし、又はチップエッジ方向に対して斜め方向に配列してもよいことは言うまでもない。

[0067] また、図 9 及び図 10 において、第 2 配線ブロックが設けられる第 2 配線層（上層配線層）がパッドと同じチップ最上層である場合を示したが、第 2 配線層がパッドの直下の配線層であってもよいし、又は第 2 配線層とチップ最上層との間にさらに他の配線層が介在していてもよい。

[0068] また、図 9 及び図 10 において、半導体チップ 1 の周縁部にパッド 2 を配置する場合を示したが、これに代えて、半導体チップ 1 の全面にパッド（エリアパッド）を配置してもよい。

[0069] 図 11 は、前記各実施形態の第 1 配線層及び第 2 配線層よりも下層に設け

られた他の配線層の構造例を示す断面図である。尚、図 11 において、図 1 (a) ~ (c)、図 2 及び図 3 に示す第 1 の実施形態、図 4 (a) ~ (e)、図 5 及び図 6 に示す第 1 の実施形態の変形例、図 7 (a) ~ (c) に示す第 2 の実施形態、又は図 8 (a) ~ (e) に示す第 2 の実施形態の変形例と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。図 11 に示すように、電源配線 11 及び接地配線 12 が設けられた第 1 配線層の下側には、電源配線 11 及び接地配線 12 よりも配線加工寸法が微細な 5 層の配線層 6A、6B、6C、6D 及び 6E が下から順次形成されている。尚、配線層 6A ~ 6E は、トランジスタ等が形成された半導体基板 5 上に形成されている。また、半導体基板 5 と配線層 6A とはコンタクト 7A によって電氣的に接続されており、配線層 6A と配線層 6B とはコンタクト 7B によって電氣的に接続されており、配線層 6B と配線層 6C とはコンタクト 7C によって電氣的に接続されており、配線層 6D と配線層 6E とはコンタクト 7D によって電氣的に接続されている。

[0070] 尚、前記各実施形態において、第 1 配線層の各配線 11 ~ 15 及び第 2 配線層の各配線 21 ~ 25 として共に銅配線を用いたが、これに代えて、第 1 配線層には銅配線を用いる一方、第 2 配線層にはアルミニウム配線を用いてもよい。この場合、第 2 配線層に用いるアルミニウム配線はワイヤボンディングに形成されたアルミニウム配線であって、少なくともこの第 2 配線層に前記各実施形態の電源配線構造を適用することによって、前記各実施形態と同様の効果として、電圧降下に方向性が生じることのない低抵抗の電源配線網及び接地配線網を実現することができる。

[0071] また、前記各実施形態において、配線ブロック 10 及び 20 の形状を方形（例えば正方形）に設定したが、配線ブロック 10 及び 20 の形状は特に限定されるものではない。配線ブロック 10 及び 20 の形状として、例えば三角形、六角形、八角形等の任意の形状を採用した場合にも、各ブロック形状に応じたリング状配線又は渦巻き状配線等を設けることにより、前記各実施形態と同様の効果として、電圧降下に方向性が生じることのない低抵抗の電

源配線網及び接地配線網を実現することができる。また、配線ブロック 10 及び 20 の形状として、複数の形状を同時に使用してもよいし、配線ブロック 10 及び 20 のそれぞれの形状が互いに異なってもよい。

[0072] また、前記各実施形態において、配線ブロック 10 及び 20 に配置される電源配線 11 及び接地配線 12 並びに電源配線 21 及び接地配線 22 として、リング状配線又は渦巻き状配線等を配置したが、電源配線 11 及び接地配線 12 並びに電源配線 21 及び接地配線 22 として配置可能な配線は、少なくとも二方向以上に延びる配線であれば、特に限定されるものではない。図 12 (a) ~ (c) はそれぞれ、電源配線 11 及び接地配線 12 として、二方向に延びる配線を配置した例を示す平面図である。

[0073] また、前記各実施形態において、下層配線層である第 1 配線層に複数の配線ブロック 10 を行列状に配列すると共に上層配線層である第 2 配線層に複数の配線ブロック 20 を行列状に配列した。しかし、これに代えて、例えば図 13 に示すように、上層配線層である第 2 配線層に複数の配線ブロック 20 を千鳥状に配列すると共に、下層配線層である第 1 配線層に電源配線（又は接地配線）50 を一方向に延びるように設けて、部分的に隣り合う配線ブロック 20 における電源配線同士（又は接地配線同士）を電源配線（又は接地配線）50 によって電氣的に接続してもよい。すなわち、下層配線層である第 1 配線層には配線ブロックを設けなくてもよい。逆に、下層配線層である第 1 配線層に複数の配線ブロック 10 を千鳥状に配列すると共に、上層配線層である第 2 配線層に電源配線（又は接地配線）を一方向に延びるように設けて、当該一方向に延びる電源配線（又は接地配線）によって、部分的に隣り合う配線ブロック 10 における電源配線同士（又は接地配線同士）を電氣的に接続してもよい。すなわち、上層配線層である第 2 配線層には配線ブロックを設けなくてもよい。

産業上の利用可能性

[0074] 本発明は、半導体装置内での局所的な電圧降下を効果的に抑制できるものであり、これによって、半導体装置を安定的に動作させることができると共

にチップ面積を削減することができるので、有用である。

符号の説明

- [0075]
- 1 半導体チップ
 - 2 パッド
 - 5 半導体基板
 - 6 A、6 B、6 C、6 D、6 E 配線層
 - 7 A、7 B、7 C、7 D コンタクト
 - 10、10 A、10 B 第1配線ブロック
 - 11 電源配線
 - 12 接地配線
 - 13～15 信号配線
 - 20、20 A、20 B 第2配線ブロック
 - 21 電源配線
 - 22 接地配線
 - 23～25 信号配線
 - 31 第1コンタクト
 - 32 第2コンタクト
 - 50 電源配線（又は接地配線）

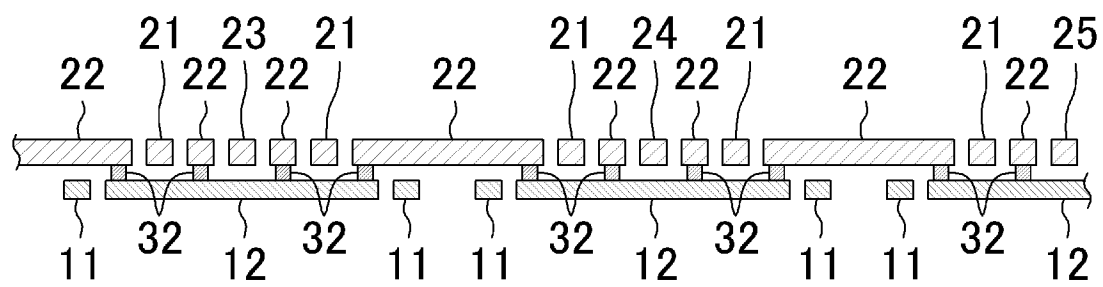
請求の範囲

- [請求項1] 第1配線層と、前記第1配線層の上側又は下側に形成された第2配線層とを半導体基板上に備えており、
- 前記第1配線層は複数の第1配線ブロックを含み、当該各第1配線ブロックには、第1電位を持ち且つ少なくとも二方向以上に延びる第1配線と、前記第1電位と異なる第2電位を持ち且つ少なくとも二方向以上に延びる第2配線とが配置されており、
- 前記第2配線層は、前記複数の第1配線ブロックのうちの互いに隣り合う一対の第1配線ブロックにおける前記第1配線同士を電氣的に接続する第3配線と、前記一対の第1配線ブロックにおける前記第2配線同士を電氣的に接続する第4配線とを含むことを特徴とする半導体装置。
- [請求項2] 請求項1に記載の半導体装置において、
- 前記一対の第1配線ブロックのうちの一方の第1配線ブロックにおける前記第1配線及び前記第2配線の配置の仕方と、前記一対の第1配線ブロックのうちの他方の第1配線ブロックにおける前記第1配線及び前記第2配線の配置の仕方が異なっていることを特徴とする半導体装置。
- [請求項3] 請求項1に記載の半導体装置において、
- 前記第2配線層は、前記第3配線及び前記第4配線がそれぞれ配置された複数の第2配線ブロックを含むことを特徴とする半導体装置。
- [請求項4] 請求項3に記載の半導体装置において、
- 前記第3配線及び前記第4配線はそれぞれ二方向以上に延びることを特徴とする半導体装置。
- [請求項5] 請求項1に記載の半導体装置において、
- 前記第1配線の抵抗と前記第3配線の抵抗とは異なっており、
- 前記第2配線の抵抗と前記第4配線の抵抗とは異なっていることを特徴とする半導体装置。

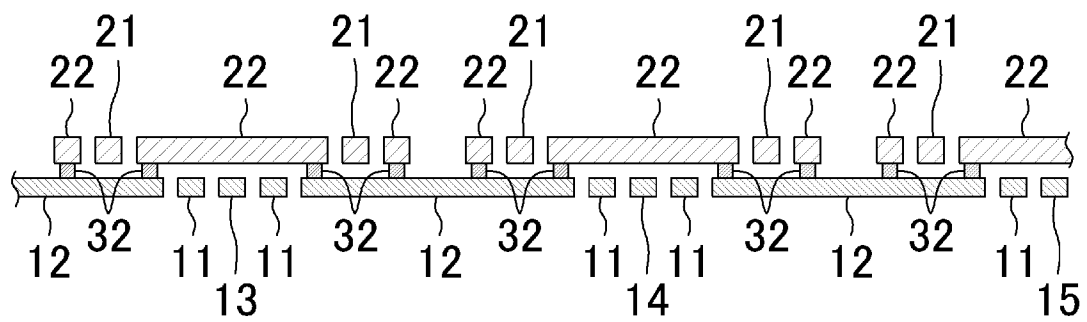
- [請求項6] 請求項 1 に記載の半導体装置において、
 前記第 1 配線と前記第 3 配線とは第 1 コンタクトを介して電氣的に
 接続されており、
 前記第 2 配線と前記第 4 配線とは第 2 コンタクトを介して電氣的に
 接続されていることを特徴とする半導体装置。
- [請求項7] 請求項 1 に記載の半導体装置において、
 前記第 1 配線及び前記第 2 配線のそれぞれはリング状に形成されて
 いることを特徴とする半導体装置。
- [請求項8] 請求項 1 に記載の半導体装置において、
 前記第 1 配線及び前記第 2 配線のそれぞれは渦巻き状に形成されて
 いることを特徴とする半導体装置。
- [請求項9] 請求項 1 に記載の半導体装置において、
 前記第 1 配線層における前記複数の第 1 配線ブロック同士の間に信
 号配線が配置されていることを特徴とする半導体装置。
- [請求項10] 請求項 1 に記載の半導体装置において、
 前記半導体基板の平面形状は方形状であり、
 前記複数の第 1 配線ブロックは、前記半導体基板の各辺が延びる方
 向に配列されていることを特徴とする半導体装置。
- [請求項11] 請求項 1 に記載の半導体装置において、
 前記半導体基板の平面形状は方形状であり、
 前記複数の第 1 配線ブロックは、前記半導体基板の各辺が延びる方
 向に対して斜め方向に配列されていることを特徴とする半導体装置。
- [請求項12] 請求項 1 に記載の半導体装置において、
 前記半導体基板の平面形状は正形状であり、
 前記複数の第 1 配線ブロックは、前記半導体基板の各辺が延びる方
 向に対して 45 度の方向に配列されていることを特徴とする半導体装
 置。
- [請求項13] 請求項 1 ～ 12 のいずれか 1 項に記載の半導体装置において、

前記第 3 配線及び前記第 4 配線のそれぞれはリング状に形成されていることを特徴とする半導体装置。

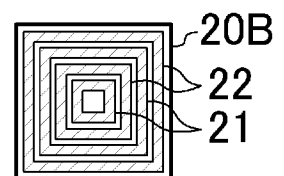
[図2]



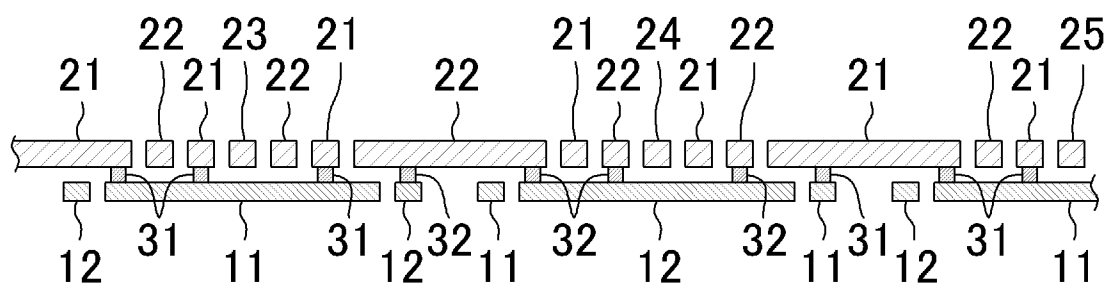
[図3]



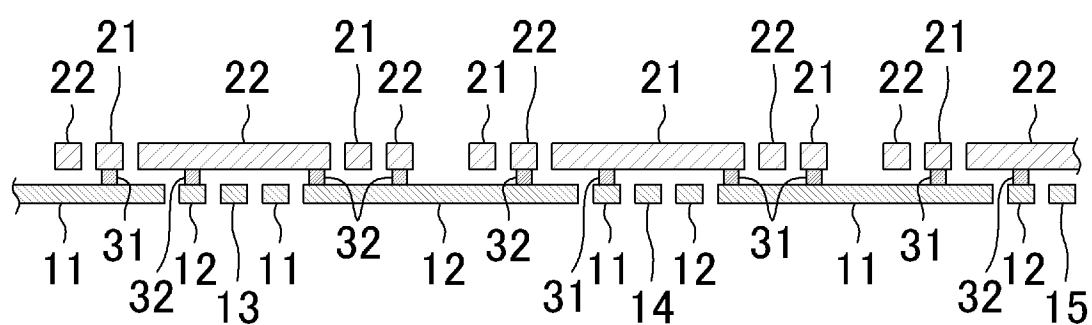
(a)



[図5]

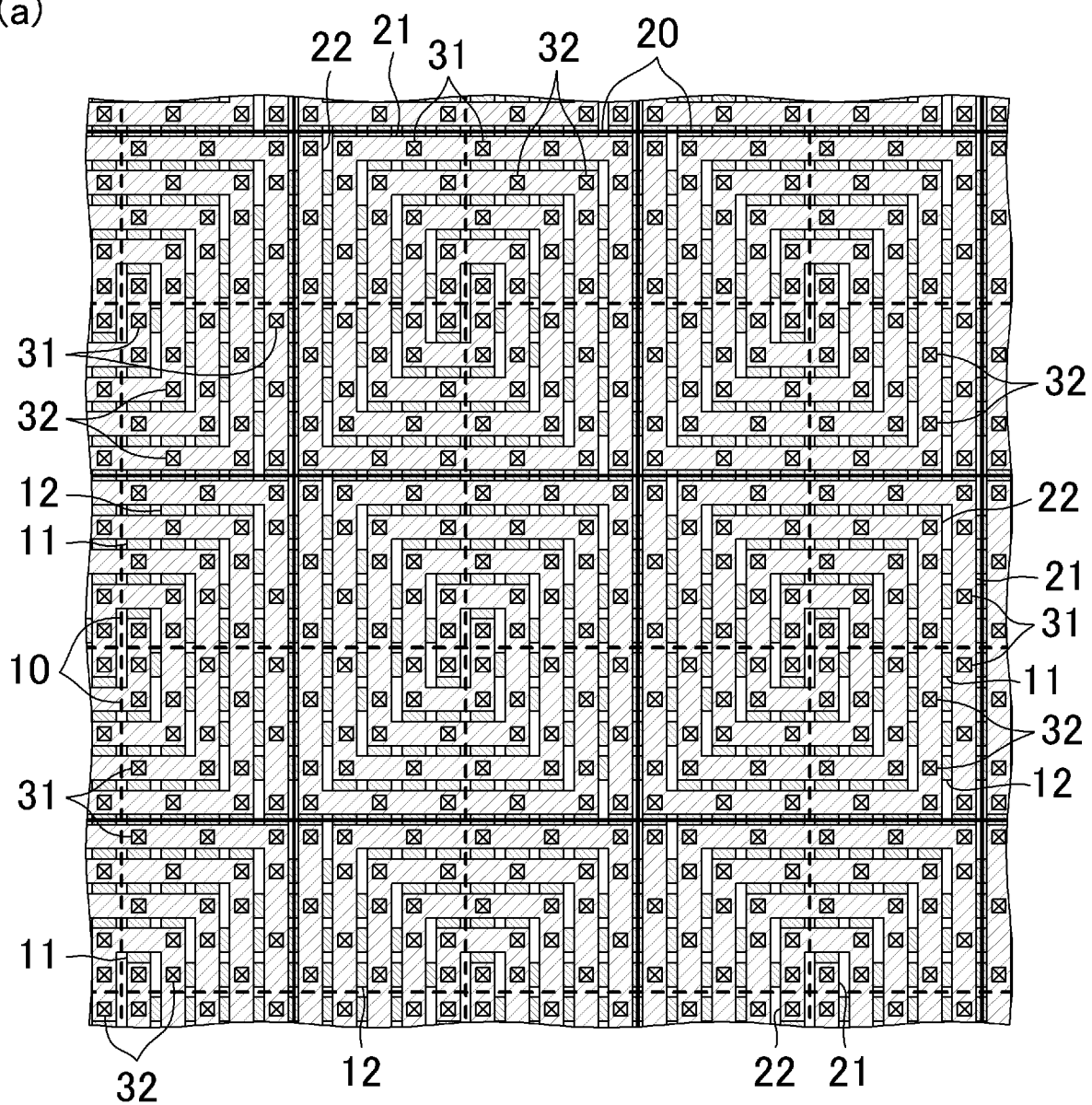


[図6]

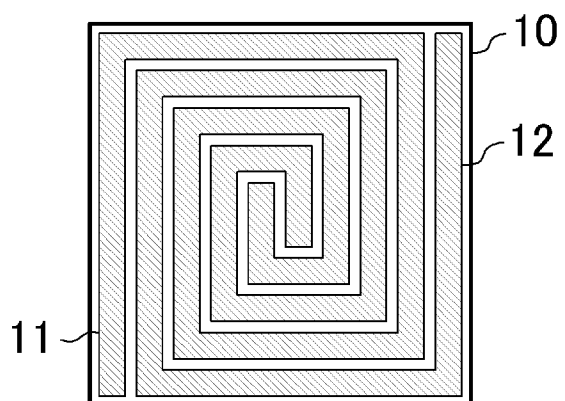


[図7]

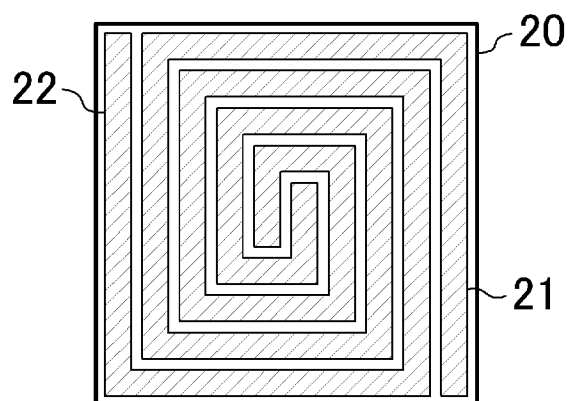
(a)



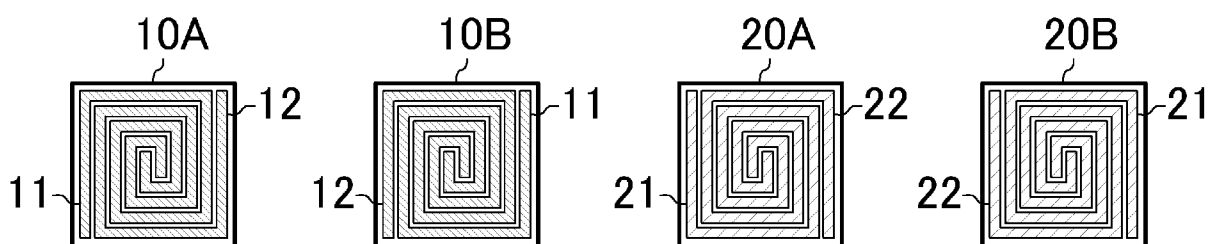
(b)



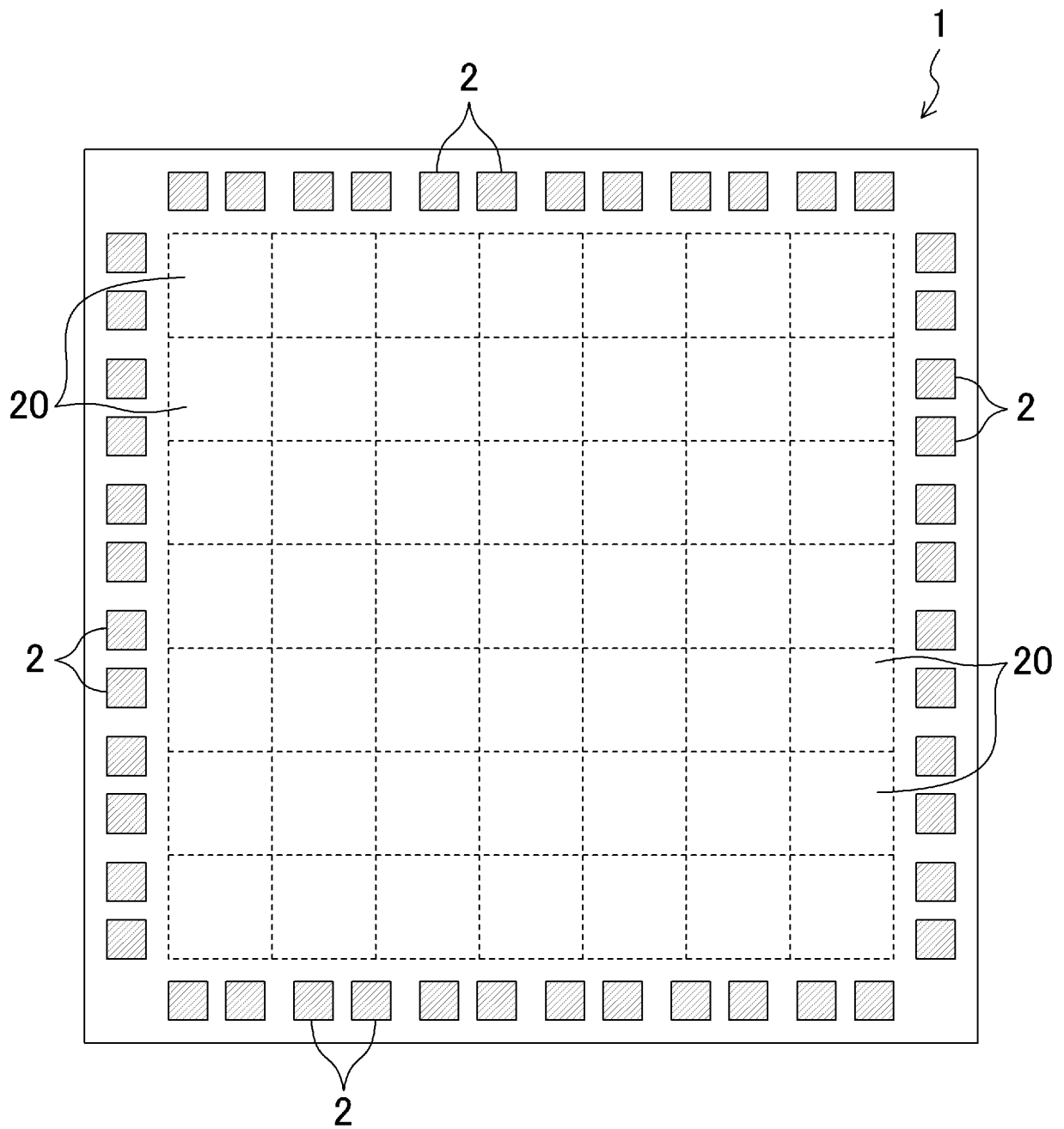
(c)



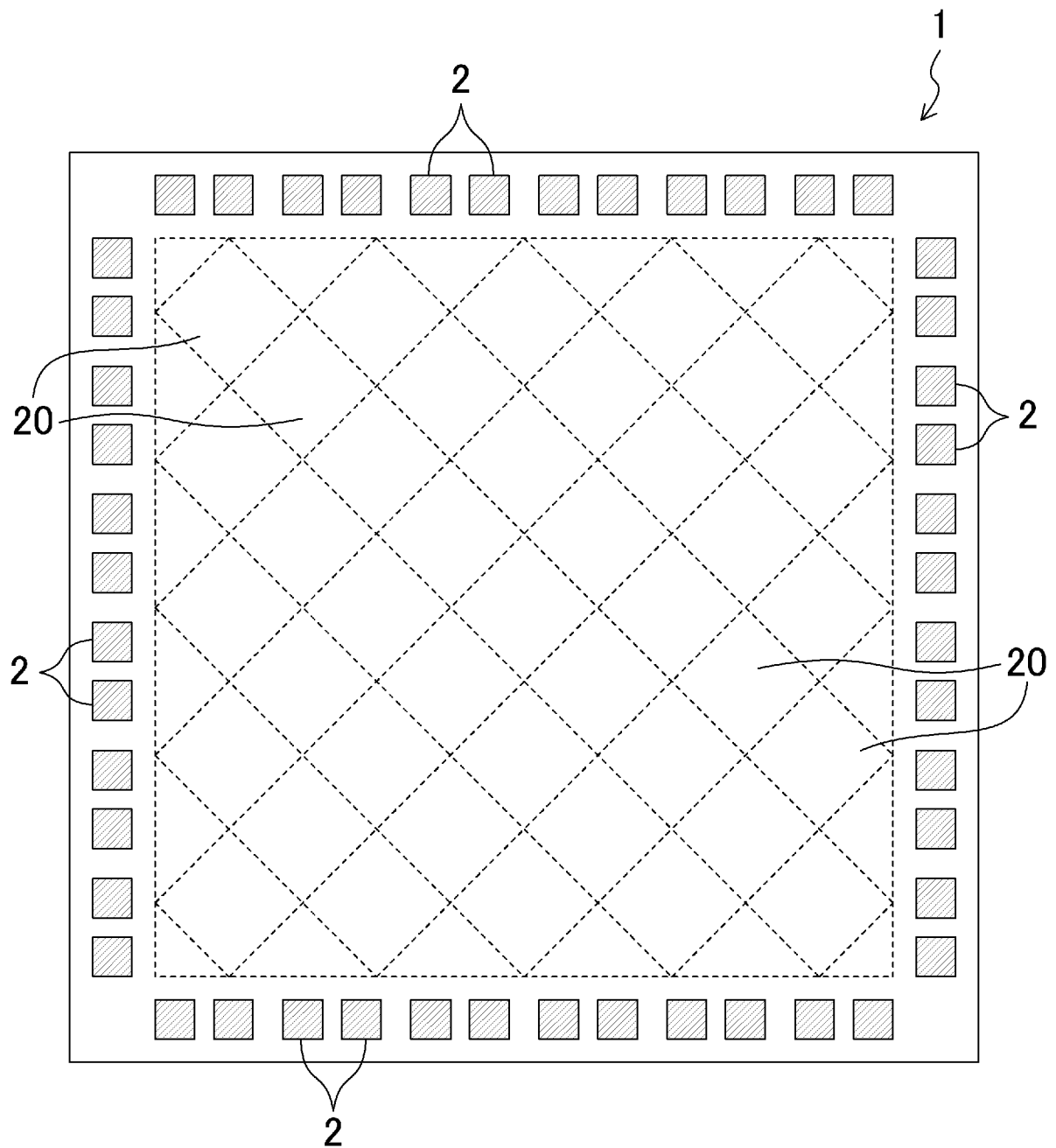
(a)



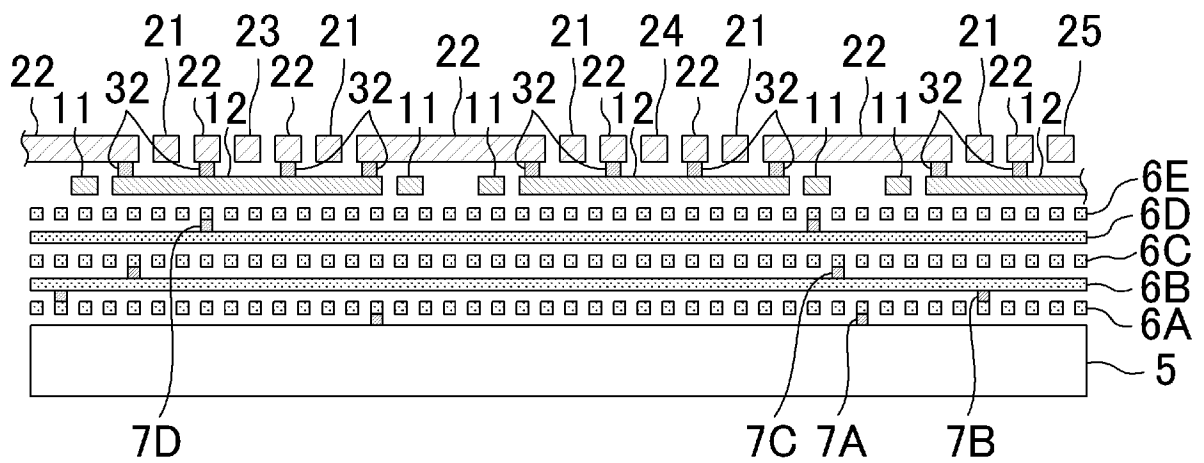
[図9]



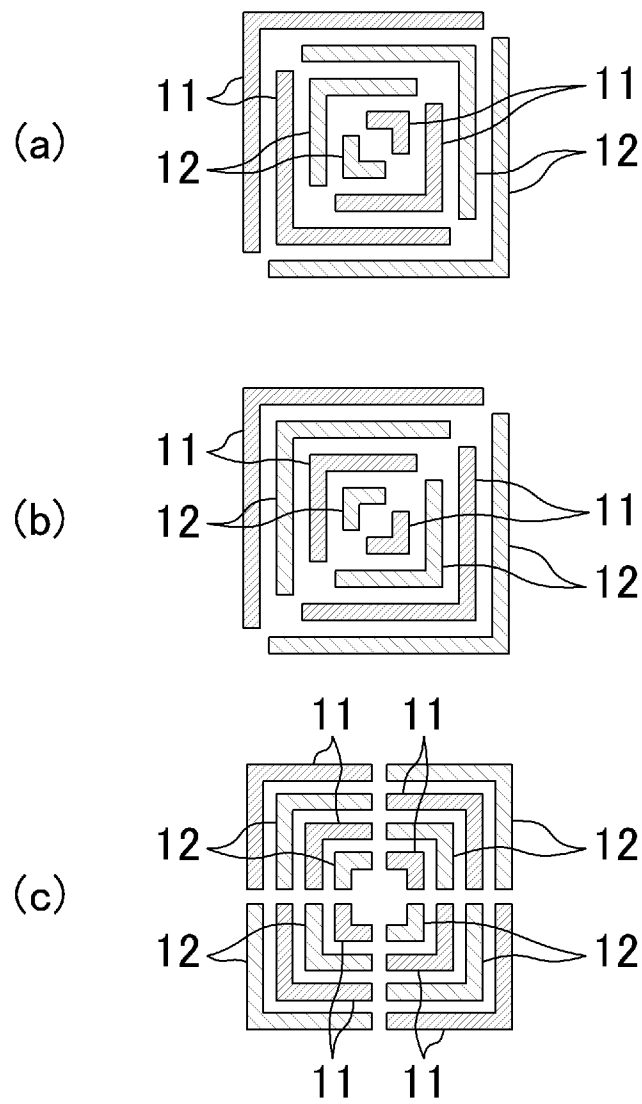
[図10]



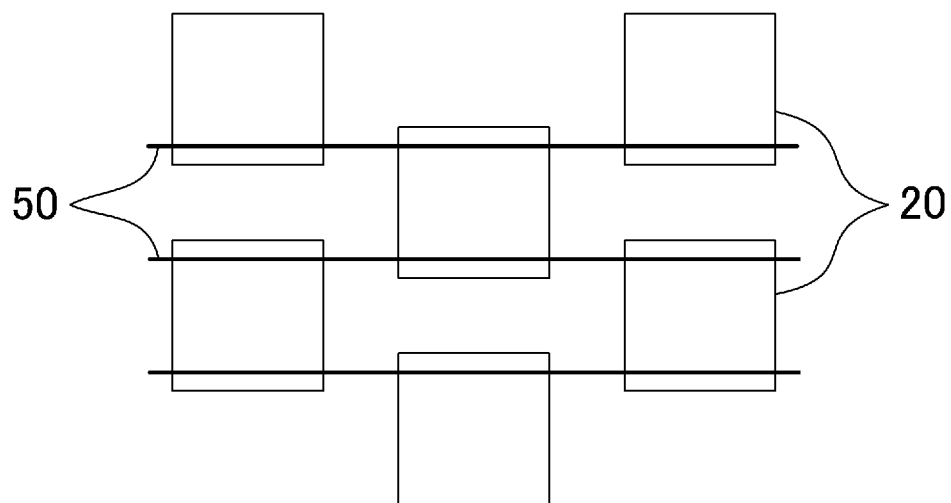
[図11]



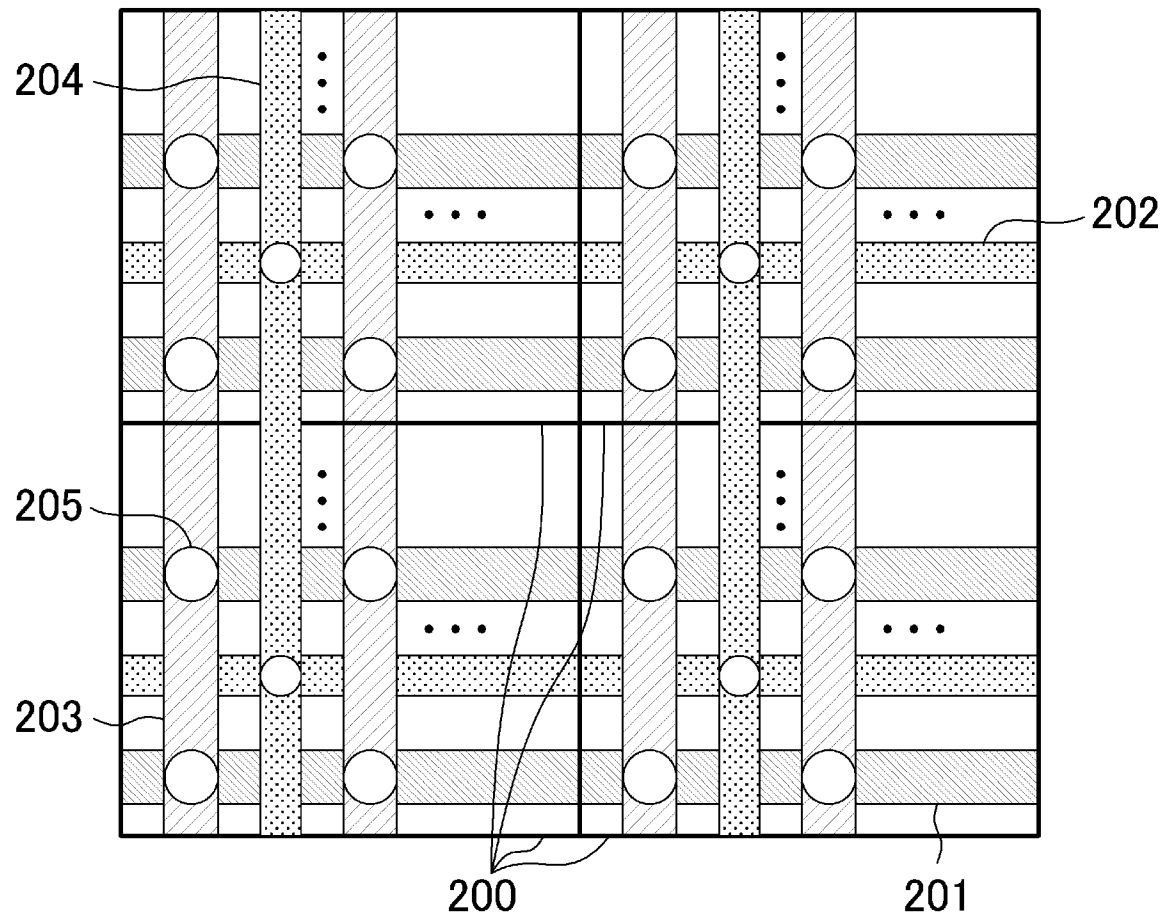
[図12]



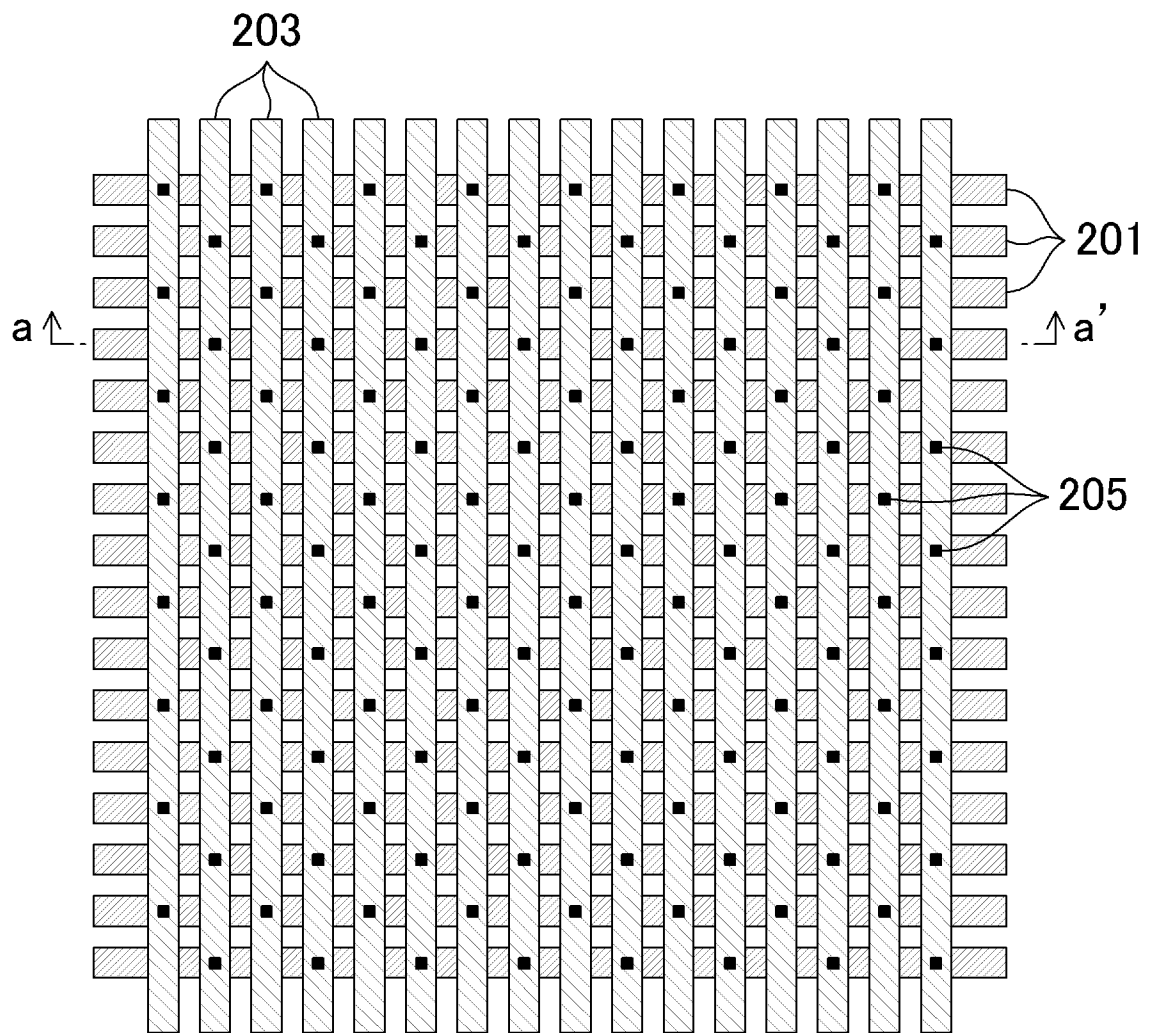
[図13]



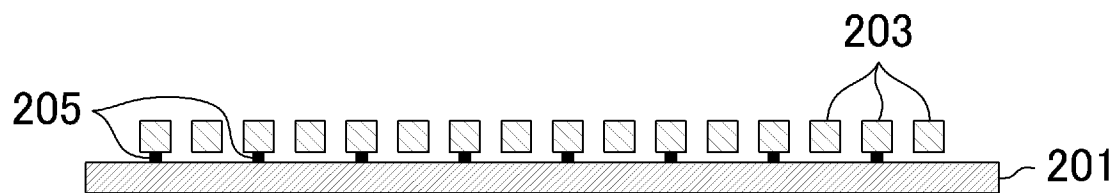
[図14]



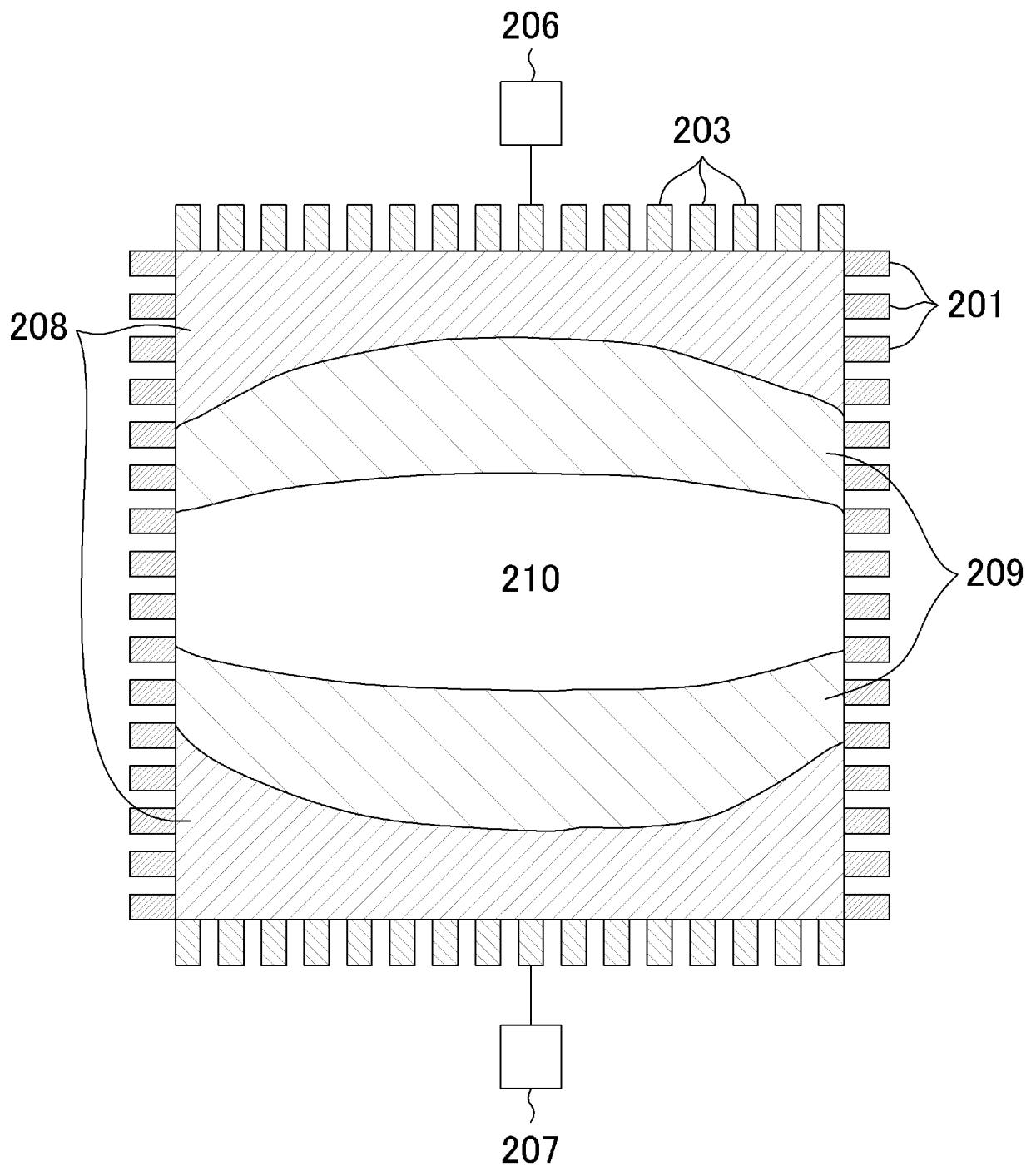
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/007142

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L21/3205(2006.01)i, H01L21/82(2006.01)i,
H01L23/52(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L21/3205, H01L21/82, H01L23/52, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2008-270319 A (Toshiba Corp.), 06 November 2008 (06.11.2008), paragraphs [0022] to [0037]; fig. 2 (Family: none)	1, 6-8, 10 2 3-5, 9, 11-13
Y A	JP 2009-054702 A (Panasonic Corp.), 12 March 2009 (12.03.2009), paragraphs [0064] to [0074]; fig. 10 to 14 & US 2009/0051035 A1 & CN 101373755 A	2 1, 3-13
A	JP 2004-273844 A (Fujitsu Ltd.), 30 September 2004 (30.09.2004), paragraphs [0008] to [0017]; fig. 1, 2 & US 2004/0206985 A1	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 January, 2010 (14.01.10)

Date of mailing of the international search report
26 January, 2010 (26.01.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/822 (2006.01) i, H01L21/3205 (2006.01) i, H01L21/82 (2006.01) i, H01L23/52 (2006.01) i, H01L27/04 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/822, H01L21/3205, H01L21/82, H01L23/52, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2008-270319 A (株式会社東芝) 2008. 11. 06, 段落【0022】-【0037】, 図 2 (ファミリーなし)	1, 6-8, 10 2 3-5, 9, 11-13
Y A	JP 2009-054702 A (パナソニック株式会社) 2009. 03. 12, 段落【0064】-【0074】, 図 10-14 & US 2009/0051035 A1 & CN 101373755 A	2 1, 3-13
A	JP 2004-273844 A (富士通株式会社) 2004. 09. 30, 段落【0008】-【0017】, 図 1, 2 & US 2004/0206985 A1	1-13

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 1 . 2 0 1 0

国際調査報告の発送日

2 6 . 0 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

大嶋 洋一

4 L

4 6 6 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8