

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2008年3月13日 (13.03.2008)

PCT

(10) 国際公開番号  
WO 2008/029778 A1

- (51) 国際特許分類:  
H03M 1/36 (2006.01) H03M 1/14 (2006.01)
- (21) 国際出願番号: PCT/JP2007/067161
- (22) 国際出願日: 2007年9月4日 (04.09.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2006-239097 2006年9月4日 (04.09.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大川 剛史 (OHKAWA, Takeshi) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 尾野 孝一 (ONO, Koichi) [JP/JP]; 〒1080075 東京都港区港

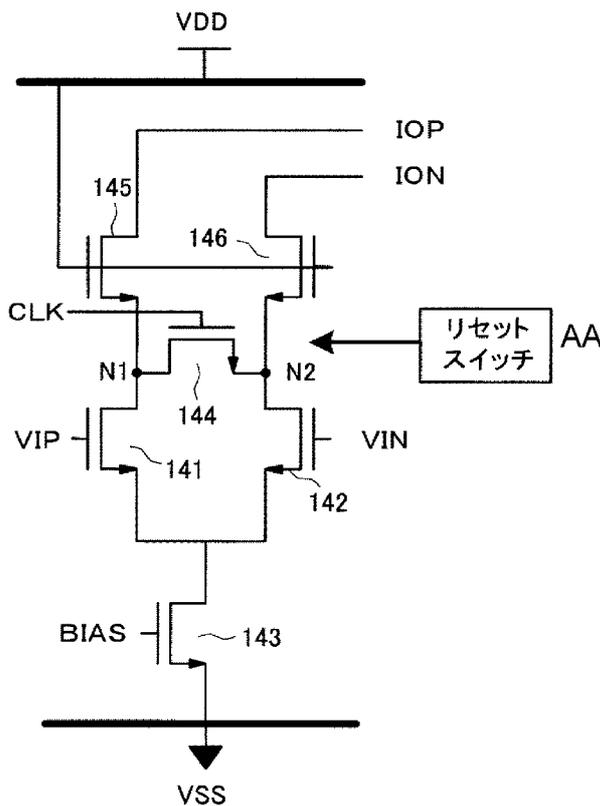
南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 松浦 浩二 (MATSUURA, Kouji) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 山下 幸利 (YAMASITA, Yukitosi) [JP/JP]; 〒8140001 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内 Fukuoka (JP). 豊村 純次 (TOYOMURA, Junji) [JP/JP]; 〒8140001 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内 Fukuoka (JP). 中村 章吾 (NAKAMURA, Shogo) [JP/JP]; 〒8140001 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内 Fukuoka (JP). 金川 典史 (KANAGAWA, Norifumi) [JP/JP]; 〒8140001 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内 Fukuoka (JP).

- (74) 代理人: 佐藤 隆久 (SATO, Takahisa); 〒1110052 東京都台東区柳橋2丁目4番2号 創造国際特許事務所 Tokyo (JP).

[続葉有]

(54) Title: FOLDING CIRCUIT AND ANALOG-TO-DIGITAL CONVERTER

(54) 発明の名称: フォールディング回路およびアナログ-デジタル変換器



AA RESET SWITCH

(57) Abstract: A folding circuit and an analog-to-digital converter wherein the response to small signals is improved, the load on clock signals can be reduced and the increase of circuit area can be prevented. There are included a reference voltage generating circuit that generates a plurality of different voltages as reference voltages; and a plurality of amplifying circuits that convert difference voltages between the plurality of reference voltages and an analog input voltage to difference currents and output these difference currents. The output terminals of the amplifying circuits are alternately connected. Each of the amplifying circuits comprises a differential amplifier circuit having cascode output transistors (145,146). A switch (144), which is turned on in synchronism with a control clock, is connected between the sources of the cascode output transistors (145,146).

(57) 要約: 小信号応答性がよく、クロック信号の負荷を軽減でき、面積の増大を防止することができるフォールディング回路およびアナログ-デジタル変換器を提供する。複数の異なる電圧を基準電圧として発生させる基準電圧発生回路と、複数の基準電圧とアナログ入力電圧との差電圧を差電流に変換して出力する複数の増幅回路と、を有し、増幅回路の出力端がそれぞれ交互に接続され、増幅回路はカスコード出力トランジスタ(145, 146)を有する差動増幅回路で構成されており、カスコード出力トランジスタ(145, 146)の両ソース間に制御クロックに同期してオン状態となるスイッチ(144)が設けられている。

WO 2008/029778 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

## 明 細 書

フォールディング回路およびアナログーデジタル変換器

技術分野

[0001] 本発明は、フォールディング回路、および、これを含むアナログーデジタル変換器に関するものである。

背景技術

[0002] 図1は、一般的なフォールディング (falling) 回路を示す回路図である。

このフォールディング回路10は、基準電圧を生成するラダー抵抗11と、交互に電流出力端が接続された複数の増幅回路D1～D5と、負荷抵抗R1,R2とを有する。

ラダー抵抗11は、最大の基準電圧 $V_{rt}$ の供給端子と最小の基準電圧 $V_{rb}$ の供給端子との間に縦続接続されている複数の抵抗R3～R6を有する。各抵抗間のノードおよび上記2つの供給端子から、値が順次変化する複数の基準電圧 $V_{rb}, V_{r1}, V_{r2}, V_{r3}, V_{rt}$ が出力される。

複数の増幅回路D1～D5はそれぞれ、入力電圧 $V_{in}$ を基準電圧 $V_r$ (最大の基準電圧 $V_{rt}$ 、最小の基準電圧 $V_{rb}$ 、または、基準電圧 $V_{ri}(i=1,2,3)$ )と比較し、入力電圧 $V_{in}$ と基準電圧 $V_r$ との差に応じて電流を出力する(電流を出力端子から引き込む)。

[0003] 図2は、増幅回路の回路例を示す図である。

増幅回路D1～D5は、図示のように、差動ペア(対)をなす2つのNMOSTランジスタ12aおよび12bと、1つの電流源13とからなる。NMOSTランジスタ12aのゲートに入力信号の電圧(入力電圧 $V_{in}$ )が印加され、他のMOSトランジスタ12bのゲートに基準電圧 $V_r$ が入力される。NMOSTランジスタ12aと12bはソース同士が接続され、電流源13を流れる電流によりバイアスされる。

このように、差動ペア(増幅回路)が電流源13にてバイアスされると、その入出力特性は図3に示すようになる。

[0004] 図1の構成において、この入出力特性(図3)を考えると、それぞれの増幅回路が基準電圧 $V_r$ を超える度に差動ペア内で電流を引き込むトランジスタを、図2に示すように基準電圧 $V_r$ が印加されているNMOSTランジスタ12b側(以下、正相出力側という

)から、入力電圧 $V_{in}$ が印加されているNMOSトランジスタ12a側(以下、逆相出力側)に切り替える。この出力電流の切り替え(ステアリング)により、順次異なる基準電圧 $V_r$ の値を各々閾値とするフォールディング波形が生成される。

[0005] つぎに、フォールディング波形の生成について、5個の増幅回路が用いられた例(図1)で説明する。増幅回路D1~D5において、記号“-”は入力端子に対応する端子側が逆相出力側、記号“+”は入力端子に対応する端子が正相出力側を表す。

[0006] まず、入力電圧 $V_{in}$ と最小の基準電圧 $V_{rb}$ との関係が入力電圧 $V_{in} < V_{rb}$ の場合、全ての増幅回路D1~D5の出力は正相出力側から出力電流 $I_o$ を出力する。このため負荷抵抗 $R_1$ に流れる電流(負荷電流)を $I_{r1}$ 、負荷抵抗 $R_2$ に流れる電流(負荷電流)を $I_{r2}$ とすると、次式(1-1),(1-2)が成り立つ。

[0007] [数1]

$$I_{r1} = 3I_o \cdots (1-1)$$

$$I_{r2} = 2I_o \cdots (1-2)$$

[0008] 次に、入力電圧 $V_{in}$ が最小の基準電圧 $V_{rb}$ を超えて、つぎの基準電圧 $V_{r1}$ 未満のとき( $V_{rb} < V_{in} < V_{r1}$ )、増幅回路D1に供給された最小の基準電圧 $V_{rb}$ を入力電圧 $V_{in}$ が超えることで増幅回路D1は、その出力電流 $I_o$ を正相出力側から逆相出力側にステアリングし、このとき負荷抵抗 $R_1, R_2$ に流れる負荷電流 $I_{r1}, I_{r2}$ は、それぞれ次式(2-1),(2-2)のように変化する。

[0009] [数2]

$$I_{r1} = 2I_o \cdots (2-1)$$

$$I_{r2} = 3I_o \cdots (2-2)$$

[0010] 次に、入力電圧 $V_{in}$ が基準電圧 $V_{r1}$ を超えて、つぎの基準電圧 $V_{r2}$ 未満のとき( $V_{r1} < V_{in} < V_{r2}$ )、増幅回路D2に接続された基準電圧 $V_{r1}$ を入力電圧 $V_{in}$ が超えることで増幅回路D2は、その出力電流 $I_o$ を正相出力側から逆相出力側にステアリングし、このとき負荷抵抗 $R_1, R_2$ に流れる負荷電流 $I_{r1}, I_{r2}$ は、それぞれ次式(3-1),(3-2)のように変化する。

[0011] [数3]

$$I_{r1} = 3I_o \cdots (3-1)$$

$$I_{r2} = 2I_o \cdots (3-2)$$

[0012] 以下、同様に入力電圧 $V_{in}$ が基準電圧 $V_{r2}$ , $V_{r3}$ を順次超えるたびに増幅回路D3, D4,D5は、その出力電流 $I_o$ を正相出力側から逆相出力側にステアリングし、図4に示すようなフォールディング波形が生成される。

[0013] フォールディング回路は前述の通り、入力信号変化が折り返し数分だけ変化分が増すことから入力帯域が低くなる傾向にある。このため入力段に制御クロックに同期して入力信号変化を止めるトラックホールド回路(T/H)を設ける場合が多い。これにより入力帯域はT/Hが有する帯域まで容易に延ばすことができる。

[0014] 一方、フォールディング波形を生成する増幅回路は連続系の回路のため、大振幅応答に大変弱いことが一般的に知られている。これはフォールディング回路を構成する差動ペアが過大入力によりバイアス電流が完全にステアリングしてしまい、図2に例示した片方のトランジスタがカットオフすることが大きな原因である。

このような問題点に対し非特許文献1にあるような手法で問題点を解決し、高速応答を達成している。

[0015] このアプローチは、図5に示すように、フォールディング波形を生成する増幅回路の出力端にスイッチ14を設け、トラックホールド回路(T/H)のトラック期間のみスイッチをオンして出力端をリセットすることで増幅回路のリカバリータイムを改善させることが狙いである。これにより従来の5倍早くなったとこの非特許文献1には記載されている。

非特許文献1:“An 8b 600MS/s 200mW CMOS Folding A/D Converter Using an Amplifier Preset Technique”Govert Geelen et al, ISSCC04 Digest of Technical Paper 1 4.2, 2004 Feb.

## 発明の開示

### 発明が解決しようとする課題

[0016] 上述したように、増幅回路の出力端をスイッチ14によりショートリセットすることで、過大入力時の出力飽和を防ぐアプローチは、増幅回路のレスポンスの高速化に効果があり非常に良い。

しかしながら、出力端にスイッチを設けることからスイッチの寄生容量も出力端に付

加することになり、小信号応答を犠牲にする傾向にある。

[0017] また、フォールディングAD変換器において、パラレル型では、差動アナログ入力信号をトラックホールドが受けトラック時に差動アナログ入力信号に追従した差動出力、ホールド時にCLK信号の立ち上がり(立ち下がり)時の入力信号を維持して差動出力し、差動増幅回路が増幅し差動出力を行い、差動分散増幅回路によって所望の折り返し波形を生成している。

[0018] さらに、高速AD変換器を実現する下記のアプローチが試みられている。

(1)分散増幅回路の差動出力にスイッチを設けることにより、トラック時における振幅を抑えて、ホールド時の増幅回路レスポンスを早める。

(2)カスケード型とし、初段の差動増幅回路、差動分散増幅回路の数を減らし、折り返し波形を生成するノードの寄生容量を減らし、増幅回路のレスポンスを早める。

しかし、これらの技術は以下のような不利益がある。

[0019] (1')分散増幅回路の差動出力にスイッチを設けることにより、スイッチの寄生容量が付き、この分小信号応答を悪化させている。

(2')カスケード型とし、各段の差動分散増幅回路にリセットスイッチを設けることにより、CLK信号の負荷が増え、さらに面積が増大する。

[0020] 本発明は、小信号応答性がよく、クロック信号の負荷を軽減でき、回路を構成する面積の増大を防止することができるフォールディング回路およびアナログーデジタル変換器を提供することにある。

#### 課題を解決するための手段

[0021] 本発明の第1の観点は、複数の異なる電圧を基準電圧として発生させる基準電圧発生回路と、上記複数の基準電圧とアナログ入力電圧との差電圧を差電流に変換して出力する複数の増幅回路と、を有し、上記増幅回路の出力端がそれぞれ交互に接続されたフォールディング回路であって、上記増幅回路はカスコード出力トランジスタを有する差動増幅回路で構成されており、上記カスコード出力トランジスタの両ソース間に制御クロックに同期してオン状態となるスイッチが設けられている。

[0022] 好適には、上記増幅回路の前段には差動ペア入力段と、カスコード出力トランジスタと、負荷抵抗で構成されるプリ増幅回路が設けられており、上記プリ増幅回路のカ

カスコード出力トランジスタの両ソース間に制御クロックに同期してオン状態となるスイッチが設けられている。

[0023] 本発明の第2の観点は、所定の折り返し数のフォールディング波形を生成するフォールディング回路を有するアナログ-デジタル変換器であって、上記フォールディング回路は、複数の異なる電圧を基準電圧として発生させる基準電圧発生回路と、上記複数の基準電圧とアナログ入力電圧との差電圧を差電流に変換して出力する複数の増幅回路と、を有し、上記増幅回路の出力端がそれぞれ交互に接続され、上記増幅回路はカスコード出力トランジスタを有する差動増幅回路で構成されており、上記カスコード出力トランジスタの両ソース間に制御クロックに同期してオン状態となるスイッチが設けられている。

[0024] 本発明によれば、カスコードトランジスタのソース側のノードにリセットスイッチを設けている。

これにより、増幅回路の差動電流出力へスイッチの寄生容量を付けずに、出力差動振幅が抑えられる。

#### 発明の効果

[0025] 本発明によれば、小信号応答性がよく、クロック信号の負荷を軽減でき、回路を構成する面積の増大を防止することができる。

#### 図面の簡単な説明

[0026] [図1]一般的なフォールディング回路の回路図である。

[図2]増幅回路の回路図である。

[図3]増幅回路の入出力特性図である。

[図4]フォールディング波形図である。

[図5]リセットスイッチ付き差動増幅回路を示す回路図である。

[図6]本発明の第1の実施形態に係るパラレル型フォールディングAD変換器の構成例を示すブロック図である。

[図7]図6のパラレル型フォールディングAD変換器の下位ビットの体的な構成例を示す回路図である。

[図8]第1の実施形態における分散増幅回路出力の折り返し波形を示す図である。

[図9]差動分散増幅回路の構成例を示す回路図である。

[図10]第1の実施形態における補間回路による補間波形を示す図である。

[図11]リセットスイッチがない場合の差動分散増幅回路出力を示し図である。

[図12]リセットスイッチがある場合の差動分散増幅回路出力を示し図である。

[図13]本発明の第2の実施形態に係るカスケード型フォールディングAD変換器の構成例を示すブロック図である。

[図14]図13のカスケード型フォールディングAD変換器の下位ビットの体的な構成例を示す回路図である。

[図15]第2の実施形態における分散増幅回路出力の折り返し波形を示す図である。

[図16]第2の実施形態における補間回路による補間波形を示す図である。

[図17]第2の実施形態における初段のプリ増幅回路の回路例を示す図である。

#### 符号の説明

[0027] 100・・・パラレル型フォールディングAD変換器、100A・・・カスケード型フォールディングAD変換器、110・・・トラックホールド(T/H)回路、120, 120A・・・基準電圧発生回路、130, 130A・・・プリ増幅回路群、140・・・分散増幅回路群、140A・・・第1分散増幅回路群、150・・・負荷抵抗群、150A・・・第2負荷抵抗群、160・・・バッファ群、160A・・・第2バッファ群、170・・・補間回路、170A・・・第2補間回路、180・・・上位側のマスタコンパレータラッチ群、190・・・下位側のマスタコンパレータラッチ群、200・・・第1負荷抵抗群、210・・・第1バッファ群、220・・・第1補間回路、230・・・第2分散増幅回路群、144・・・リセットスイッチ、145, 146・・・カスコードトランジスタ(NMOSトランジスタ)、NT1304, NT1310・・・リセットスイッチ、NT1305, NT1305, NT1311, NT1312・・・カスコードトランジスタ。

#### 発明を実施するための最良の形態

[0028] 以下、本発明の実施形態を図面に関連付けて説明する。

[0029] <第1実施形態>

図6は、本発明の第1の実施形態に係るパラレル型フォールディングAD変換器の構成例を示すブロック図である。

また、図7は、図6のパラレル型フォールディングAD変換器の下位ビットの具体的

な構成例を示す回路図である。

[0030] 本フォールディングAD変換器100は、図6および図7に示すように、トラックホールド(T/H)回路110、基準電圧発生回路120、プリ増幅回路群130、分散増幅回路群140、負荷抵抗群150、バッファ群160、下位側補間回路170、上位側のマスタコンパレータラッチ群180、および下位側のマスタコンパレータラッチ群190を有する。

なお、図1において、たとえば負荷抵抗群150は、分散増幅回路群140に含まれており、バッファ群160は補間回路170に含まれている。

[0031] トラックホールド回路110は、入力段において、制御クロック信号CLKに同期して入力信号 $V_{in}$ の変化を止める機能を有する。

トラックホールド回路110は、クロック信号CLKがハイレベルのときトラック、ローレベルのときにホールド出力する。

トラックホールド回路110の出力はプリ増幅回路群130の各差動増幅回路の非反転入力(+)に並列に供給される。

[0032] 基準電圧発生回路120は、ラダー抵抗121を有する。

ラダー抵抗121は、最大の基準電圧VRTの供給端子と最小の基準電圧VRBの供給端子との間に縦続接続されている複数の抵抗R1101~R1124を有する。直列接続された2つの抵抗間のノードREF1~REF1および上記2つの供給端子から、値が順次変化する複数の基準電圧VRB, VR1, VR2, VR3, ..., VR12が出力される。

[0033] プリ増幅回路群130は、複数、たとえば12個の差動増幅回路1301~1312を有する。

複数の差動増幅回路1301~1312は、入力電圧 $V_{in}$ を基準電圧VR1~VR12と比較し、入力電圧 $V_{in}$ と基準電圧VR1~VR12との差に応じて電流を分散増幅回路群140に出力する(電流を出力端子から引き込む)。

[0034] 分散増幅回路群140は、複数、たとえば12個の差動分散増幅回路1401~1412を有する。

各差動分散増幅回路1401~1412は、プリ増幅回路群130の対応する差動増幅回路1301~1312の負側出力を非反転入力端子(+)に、正側出力を反転入力端子(-)を受けて、いわゆる図8に示すような折り返し波形を生成する。

ここで、図8中の $\Delta Vin1$ は差動分散増幅回路の入力ダイナミックレンジである。

この線形範囲を第1番目、第5番目、および第9番目の差動分散増幅回路1401, 1405, 1409とで重ね合わせることで、ディグリー (degree) 数が3の第1の折り返し波形WV1を生成する。

同様に、第2番目、第6番目、および第10番目の差動分散増幅回路1402, 1406, 1410とで重ね合わせることで、ディグリー数が3の第2の折り返し波形WV2を生成する。

第3番目、第7番目、および第11番目の差動分散増幅回路1403, 1407, 1411とで重ね合わせることで、ディグリー数が3の第3の折り返し波形WV3を生成する。

第4番目、第8番目、および第12番目の差動分散増幅回路1404, 1408, 1411とで重ね合わせることで、ディグリー数が3の第4の折り返し波形WV4を生成する。

[0035] 図9は、差動分散増幅回路1401～1412の構成例を示す回路図である。

[0036] 図9の差動分散増幅回路は、NMOSTランジスタNT141～146により構成されている。

差動ペアを構成するNMOSTランジスタNT141とNT142のソース同士が接続され、その接続点がNMOSTランジスタNT143のドレインに接続され、NMOSTランジスタNT143のソースが基準電位VSSに接続されている。

そして、NMOSTランジスタ141のゲートが信号(電圧)VIPの供給ラインに接続され、NMOSTランジスタNT142のゲートが信号(電圧)VOPの供給ラインに接続され、NMOSTランジスタNT143のゲートがバイアス信号BAISの供給ラインに接続されている。このNMOSTランジスタNT143は電流源として機能する。

[0037] NMOSTランジスタNT141のドレインにNMOSTランジスタNT144のドレインが接続され、その接続点によりノードN1が形成されている。NMOSTランジスタNT142のドレインにNMOSTランジスタNT144のソースが接続され、その接続点によりノードN2が形成されている。

NMOSTランジスタNT144のゲートはトラック時にハイレベル、ホールド時にローレベルに設定されるクロック信号CLKの供給ラインに接続されている。

このNMOSTランジスタ144がリセットスイッチとして機能する。

[0038] NMOSTランジスタNT145のソースがノードN1 (NMOSTランジスタNT141、NT144のドレイン)に接続され、ドレインが負荷抵抗群150の所定の負荷抵抗素子に接続されている。

NMOSTランジスタNT146のソースがノードN2 (NMOSTランジスタNT142のドレイン、NT144のソース)に接続され、ドレインが負荷抵抗群150の所定の他の負荷抵抗素子に接続されている。

NMORトランジスタNT145とNT146のゲートが電源電位VDDに接続されている。

[0039] 負荷抵抗群150は、一端が電源電位VDDに接続された負荷抵抗素子R151～R158と、一端が各負荷抵抗素子R151～158の他端に接続され、他端側が分散増幅回路群140の差動分散増幅回路1401～1412の2つの出力のいずれかが接続された出力ラインL1～L8を有する。

[0040] 出力ラインL1には第1番目の差動分散増幅回路1401の第1出力、第5番目の差動分散増幅回路1405の第2出力、第9番目の差動分散増幅回路1409の第1出力が接続され、出力ラインL2には第1番目の差動分散増幅回路1401の第2出力、第5番目の差動分散増幅回路1405の第1出力、第9番目の差動分散増幅回路1409の第2出力が接続されている。

[0041] 出力ラインL3には第2番目の差動分散増幅回路1402の第1出力、第6番目の差動分散増幅回路1406の第2出力、第10番目の差動分散増幅回路1410の第1出力が接続され、出力ラインL4には第2番目の差動分散増幅回路1402の第2出力、第6番目の差動分散増幅回路1406の第1出力、第10番目の差動分散増幅回路1410の第2出力が接続されている。

[0042] 出力ラインL5には第3番目の差動分散増幅回路1403の第1出力、第7番目の差動分散増幅回路1407の第2出力、第11番目の差動分散増幅回路1411の第1出力が接続され、出力ラインL6には第3番目の差動分散増幅回路1403の第2出力、第7番目の差動分散増幅回路1407の第1出力、第11番目の差動分散増幅回路1411の第2出力が接続されている。

[0043] 出力ラインL7には第4番目の差動分散増幅回路1404の第1出力、第8番目の差

動分散増幅回路1408の第2出力、第12番目の差動分散増幅回路1412の第1出力が接続され、出力ラインL8には第4番目の差動分散増幅回路1404の第2出力、第8番目の差動分散増幅回路1408の第1出力、第12番目の差動分散増幅回路1412の第2出力が接続されている。

- [0044] バッファ群160は、複数、たとえば4つのバッファ161(I1)～164(I4)を有する。  
バッファ161の入力端子(－)側が負荷抵抗群150の出力ラインL1に接続され、入力端子(＋)側が負荷抵抗群150の出力ラインL2に接続されている。  
バッファ162の入力端子(－)側が負荷抵抗群150の出力ラインL3に接続され、入力端子(＋)側が負荷抵抗群150の出力ラインL4に接続されている。  
バッファ163の入力端子(－)側が負荷抵抗群150の出力ラインL5に接続され、入力端子(＋)側が負荷抵抗群150の出力ラインL6に接続されている。  
バッファ164の入力端子(－)側が負荷抵抗群150の出力ラインL7に接続され、入力端子(＋)側が負荷抵抗群150の出力ラインL8に接続されている。
- [0045] 補間回路170は、バッファ161の第1出力と第2出力との間に直列に接続された抵抗素子R1701～R1716と、バッファ161の第2出力と第1出力との間に直列に接続された抵抗素子R1717～R1732により構成されている。  
バッファ162の第1出力が抵抗素子R1728とR1729との接続点に接続され、バッファ162の第2出力が抵抗素子R1712とR1713との接続点に接続されている。  
バッファ163の第1出力が抵抗素子R1724とR1725との接続点に接続され、バッファ163の第2出力が抵抗素子R1708とR1709との接続点に接続されている。  
バッファ164の第1出力が抵抗素子R1720とR1721の接続点に接続され、バッファ164の第2出力が抵抗素子R1704とR1705との接続点に接続されている。
- [0046] このように、補間回路170は抵抗分割により、図10に示すように、16個の補間波形を出力する。
- [0047] 上位側のマスタ・コンパレータ・ラッチ群180は、分散増幅回路群140の差動出力を比較して所定ビット数の2値の信号を出力する。
- [0048] 下位側のマスタ・コンパレータ190は、16個のマスタ・コンパレータ1901～1916を有し、補間回路170の出力を比較し、2値信号を出力する。

[0049] 次に、上記構成による動作を説明する。

[0050] 図6および図7の平行型のフォールディングAD変換器100において、差動入力信号Vinをトラックホールド回路110でクロック信号CLKがハイレベル時にトラック、ローレベル時にホールド出力し、その出力をプリ増幅回路群130に入力する。

プリ増幅回路群130のプリ増幅回路1301～1312においては、基準電圧発生回路120で抵抗分割された差動基準電位との比較を行い、増幅して出力する。

プリ増幅回路1301～1312からの差動出力信号を受け、差動分散増幅回路1401～1412により折り返し波形(図8)を生成する。

ここで、前述したように、図8中の $\Delta Vin1$ は差動分散増幅回路の入力ダイナミックレンジである。この線形範囲を差動分散増幅回路1401(第1番目)、1405(第5番目)、1409(第9番目)とで重ね合わせることにより、degree数が3の第1の折り返し波形V1を生成する。同様に2-6-10番目、3-7-11番目、4-8-12番目の差動分散増幅回路とで重ね合わせ、合計で4本の折り返し波形を生成する。

次に、折り返し波形をバッファ161(I1)、162(I2)、163(I3)、164(I4)が受け出力し、抵抗分割の補間回路170により、16個の補間波形(図10)を出力する。

ここで、図10はバッファ161、162(I1,I2)の出力から生成される補間波形であり、同様にバッファ162と163(I2とI3)、バッファ163と164(I3とI4)、バッファ164と161(I4とI1)によって補間波形が生成される。この信号をラッチコンパレータ(MCL)が受け、4bitのデジタル信号を出力する。

[0051] ここで、差動分散増幅回路について図9に関連付けて述べる。

前段のプリ増幅回路からの差動出力VIP、VINを受け、差動電流出力IOP、IONを行う。ここで、カスコードトランジスタNT145、145のソース側のノードN1、N2にリセットスイッチ144を設けている。

これにより、差動電流出力IOP、ION側へスイッチの寄生容量を付けずに、出力差動振幅を抑えることができる。

[0052] 図11および図12はスイッチがなし、ありの場合で、入力がREF1～REF9(VR1～VR9)へ変化したときの差動分散増幅回路出力波形を示す図である。

リセットスイッチ144がトラックホールドのクロックと同期し、ハイレベルh時、すなわち

トラック時にオン、ローレベル時、すなわちホールド時にオフする。ここで、ホールド時の差動出力は以下のように表される。

[0053] [数4]

$$V_{\text{hold}} = (V_1 - V_0) \exp(-t / \tau) \dots\dots\dots (*1)$$

[0054] ここで、 $V_{\text{hold}}$ はホールド時の差動分散増幅回路出力、 $V_1$ は入力をDCゲイン倍した所望の出力電圧値、 $V_0$ はクロックがトラックからホールドに切替る瞬間の初期出力電圧値、 $\tau$ は増幅回路出力の時定数である。

スイッチなしの場合、図11に示すように、差動分散増幅回路出力波形のようにトラック時に振幅を持つため、初期電圧値 $V_0$ から $V_1$ へセトリング (settling) する。

スイッチがある場合、図12に示すように、差動分散増幅回路出力波形のようにトラック時にスイッチがオンとなり、振幅は0となる。よってホールド時の $V$ 初期電圧値 $0=0$ となり、 $V_0$ の分だけセトリングが早くなる。

これにより、増幅回路のレスポンスを向上し、高速なAD変換を可能とする。

[0055] <第2実施形態>

図13は、本発明の第2の実施形態に係るカスケード型フォールディングAD変換器の構成例を示すブロック図である。

図14は、図13のカスケード型フォールディングAD変換器の下位ビットの体的な構成例を示す回路図である。

[0056] 第2の実施形態のAD変換器100Aが第1の実施形態のAD変換器100と異なる点は、基準電圧発生回路120Aで発生する基準電圧を $VR_1 \sim VR_9$ の9個とし、これに対応して第1分散増幅回路群140Aの差動分散増幅回路1401～1409として、第1分散増幅回路群140Aの出力段に第1負荷抵抗群200を配置し、その出力段に第1バッファ群210を配置し、第1バッファ群210の出力段に第1補間回路220を配置し、第1補間回路220の出力段に第2分散増幅回路群230を配置し、第2分散増幅回路群230の出力段に第2負荷抵抗素子群150Aを配置し、第2負荷抵抗群150Aの出力段に第2バッファ群160A、さらには第2補間回路170Aを配置したことにある。

[0057] これらの回路のうち、第2負荷抵抗群150Aは第1の実施形態の負荷抵抗群150と同様の構成を有し、第2バッファ群160Aは第1の実施形態のバッファ群160と同様

の構成を有し、第2補間回路170Aは第1の実施形態の補間回路170と同様の構成を有している。

- [0058] 第1負荷抵抗群200は、一端が電源電位VDDに接続された負荷抵抗素子R201～R206と、一端が各負荷抵抗素子R201～208の他端に接続され、他端側が分散増幅回路群140Aの差動分散増幅回路1401～1409の2つの出力のいずれかが接続された出力ラインL11～L16を有する。
- [0059] 出力ラインL11には第1番目の差動分散増幅回路1401の第1出力、第5番目の差動分散増幅回路1405の第2出力、第9番目の差動分散増幅回路1409の第1出力が接続され、出力ラインL12には第1番目の差動分散増幅回路1401の第2出力、第5番目の差動分散増幅回路1405の第1出力、第9番目の差動分散増幅回路1409の第2出力が接続されている。
- [0060] 出力ラインL13には第2番目の差動分散増幅回路1402の第1出力、第6番目の差動分散増幅回路1406の第2出力、第10番目の差動分散増幅回路1410の第1出力が接続され、出力ラインL14には第2番目の差動分散増幅回路1402の第2出力、第6番目の差動分散増幅回路1406の第1出力、第10番目の差動分散増幅回路1410の第2出力が接続されている。
- [0061] 出力ラインL15には第3番目の差動分散増幅回路1403の第1出力、第7番目の差動分散増幅回路1407の第2出力、第11番目の差動分散増幅回路1411の第1出力が接続され、出力ラインL16には第3番目の差動分散増幅回路1403の第2出力、第7番目の差動分散増幅回路1407の第1出力、第11番目の差動分散増幅回路1411の第2出力が接続されている。
- [0062] 第1バッファ群210は、複数、たとえば3つのバッファ211～213を有する。
- バッファ201の入力端子(－)側が第1負荷抵抗群200の出力ラインL13に接続され、入力端子(＋)側が負荷抵抗群150の出力ラインL14に接続されている。
- バッファ212の入力端子(－)側が第1負荷抵抗群200の出力ラインL15に接続され、入力端子(＋)側が第1負荷抵抗群200の出力ラインL15に接続されている。
- バッファ213の入力端子(－)側が第1負荷抵抗群200の出力ラインL11に接続され、入力端子(＋)側が第1負荷抵抗群200の出力ラインL12に接続されている。

[0063] 第1補間回路220は、バッファ213の第1出力と第2出力との間に直列に接続された抵抗素子R2201～R2212と、バッファ213の第2出力と第1出力との間に直列に接続された抵抗素子R2213～R2224により構成されている。

そして、バッファ212の第1出力が抵抗素子R2204とR2205との接続点に接続され、バッファ212の第2出力が抵抗素子R2216とR2217との接続点に接続されている。

バッファ211の第1出力が抵抗素子R2208とR2209との接続点に接続され、バッファ211の第2出力が抵抗素子R2220とR2221との接続点に接続されている。

[0064] 第2分散増幅回路群230は、12個の差動分散増幅回路2301～2312を有する。

差動分散増幅回路2301の入力端子(－)側がバッファ213の第2出力に接続され、入力端子(＋)側がバッファ213の第1出力に接続されている。

差動分散増幅回路2302の入力端子(－)側が抵抗素子R2211とR2212との接続点に接続され、入力端子(＋)側が抵抗素子R2223とR2224との接続点に接続されている。

差動分散増幅回路2303の入力端子(－)側が抵抗素子R2210とR2211との接続点に接続され、入力端子(＋)側が抵抗素子R2222とR2223との接続点に接続されている。

差動分散増幅回路2304の入力端子(－)側が抵抗素子R2209とR2210との接続点に接続され、入力端子(＋)側が抵抗素子R2221とR2222との接続点に接続されている。

差動分散増幅回路2305の入力端子(－)側が抵抗素子R2208とR2209との接続点に接続され、入力端子(＋)側が抵抗素子R2220とR2221との接続点に接続されている。

差動分散増幅回路2306の入力端子(－)側が抵抗素子R2207とR2208との接続点に接続され、入力端子(＋)側が抵抗素子R2219とR2220との接続点に接続されている。

差動分散増幅回路2307の入力端子(－)側が抵抗素子R2206とR2207との接続点に接続され、入力端子(＋)側が抵抗素子R2218とR2219との接続点に接続され

ている。

差動分散増幅回路2308の入力端子(−)側が抵抗素子R2205とR2206との接続点に接続され、入力端子(+)側が抵抗素子R2217とR2218との接続点に接続されている。

差動分散増幅回路2309の入力端子(−)側が抵抗素子R2204とR2205との接続点に接続され、入力端子(+)側が抵抗素子R2216とR2217との接続点に接続されている。

差動分散増幅回路2310の入力端子(−)側が抵抗素子R2203とR2204との接続点に接続され、入力端子(+)側が抵抗素子R2215とR2216との接続点に接続されている。

差動分散増幅回路2311の入力端子(−)側が抵抗素子R2202とR2203との接続点に接続され、入力端子(+)側が抵抗素子R2214とR2215との接続点に接続されている。

差動分散増幅回路2312の入力端子(−)側が抵抗素子R2201とR2202との接続点に接続され、入力端子(+)側が抵抗素子R2213とR2214との接続点に接続されている。

[0065] なお、第2分散増幅回路群230の差動分散増幅回路2301～2312の出力は、第1の実施形態(図7)の差動分散増幅回路1401～1412と負荷抵抗群150の出力ラインL1～L8と同様の関係をもって接続される。したがって、ここではその詳細な説明は省略する。

[0066] 本第2の実施形態において、基本的に、第1補間回路220までの処理は第1の実施形態と同様に行われる。

そして、図15に示すように、第1補間回路220からのdegreeに折り返された増幅回路出力を第2分散増幅回路群230の差動分散増幅回路2301～2312が受け、1番目、5番目、9番目とで重ね合わせることにより、degree数が9の折り返し波形WV2を生成する。

次に、上記折り返し波形をバッファ161～164が受け出力し、抵抗を用いた4分割の第2補間回路170Aにより、16個の補間波形(図15)を出力し、ラッチコンパレータ

MCLが受け、4bitのデジタル信号を出力する。

[0067] ここで、カスケード型フォールディングAD変換器100Aの第2分散増幅回路群230の差動分散増幅回路2301～2312のゲインをA2、出力信号をVO2、第1分散増幅回路群140Aの差動分散増幅回路1401～1409のゲインをA1、出力信号をVO1、プリ増幅回路群130Aのプリ増幅回路1301～1309のゲインをAP、出力信号をVOP、入力信号をVinとすると、次の関係式が得られる。

[0068] [数5]

$$VOP = AP * Vin \dots \dots \dots (*1)$$

$$VO1 = A1 * VOP \dots \dots \dots (*2)$$

$$VO2 = A2 * VO1 \dots \dots \dots (*3)$$

[0069] ここで初段のプリ増幅回路にリセットスイッチを入れることにより、トラック時にVOP=0となり、各増幅回路出力信号VO1、VO2も0となる。

よって初段のプリ増幅回路のみにリセットスイッチを設けることにより、各分散増幅回路の出力振幅を抑え、アナログセトリングを早めることができる。

[0070] 図17は、第2の実施形態における初段のプリ増幅回路の回路例を示す図である。

[0071] 図17の差動増幅回路は、NMOSTランジスタNT1301～NT1312、および負荷抵抗素子Rout1、Rout2により構成されている。

[0072] 差動ペアを構成するNMOSTランジスタNT1301とNT1302のソース同士が接続され、その接続点がNMOSTランジスタNT1303のドレインに接続され、NMOSTランジスタNT1303のソースが基準電位VSSに接続されている。

そして、NMOSTランジスタ1301のゲートが信号(電圧)VIPの供給ラインに接続され、NMOSTランジスタNT1302のゲートが信号(電圧)REFPの供給ラインに接続され、NMOSTランジスタNT1303のゲートがバイアス信号BAISの供給ラインに接続されている。このNMOSTランジスタNT1303は電流源として機能する。

[0073] NMOSTランジスタNT1301のドレインにNMOSTランジスタNT1304のドレインが接続され、その接続点によりノードN11が形成されている。NMOSTランジスタNT1302のドレインにNMOSTランジスタNT1304のソースが接続され、その接続点によりノードN12が形成されている。

NMOSトランジスタNT1304のゲートはトラック時にハイレベル、ホールド時にローレベルに設定されるクロック信号CLKの供給ラインに接続されている。

このNMOSトランジスタ1304がリセットスイッチとして機能する。

NMOSトランジスタNT1305のソースがノードN11 (NMOSトランジスタNT1301、NT1304のドレイン)に接続され、ドレインが負荷抵抗Rout1に接続されている。

NMOSトランジスタNT1306のソースがノードN12 (NMOSトランジスタNT1302のドレイン、NT1304のソース)に接続され、ドレインが負荷抵抗素子Rout2に接続されている。

そして、NMOSトランジスタNT1305とNT1306のゲートが電源電位VDDに接続されている。

[0074] 差動ペアを構成するNMOSトランジスタNT1307とNT1308のソース同士が接続され、その接続点がNMOSトランジスタNT1309のドレインに接続され、NMOSトランジスタNT1309のソースが基準電位に接続されている。

そして、NMOSトランジスタ1307のゲートが信号(電圧)PEFNの供給ラインに接続され、NMOSトランジスタNT1308のゲートが信号(電圧)VINの供給ラインに接続され、NMOSトランジスタNT1309のゲートがバイアス信号BAISの供給ラインに接続されている。このNMOSトランジスタNT1309は電流源として機能する。

[0075] NMOSトランジスタNT1307のドレインにNMOSトランジスタNT1310のドレインが接続され、その接続点によりノードN13が形成されている。NMOSトランジスタNT1308のドレインにNMOSトランジスタNT1310のソースが接続され、その接続点によりノードN14が形成されている。

NMOSトランジスタNT1310のゲートはトラック時にハイレベル、ホールド時にローレベルに設定されるクロック信号CLKの供給ラインに接続されている。

このNMOSトランジスタ1310がリセットスイッチとして機能する。

NMOSトランジスタNT1311のソースがノードN13 (NMOSトランジスタNT1307、NT1310のドレイン)に接続され、ドレインが負荷抵抗Rout1に接続されている。

NMOSトランジスタNT1312のソースがノードN14 (NMOSトランジスタNT1308のドレイン、NT1310のソース)に接続され、ドレインが負荷抵抗素子Rout2に接続

されている。

そして、NMORトランジスタNT1311とNT1312のゲートが電源電位VDDに接続されている。

[0076] 出力の差動ペアVOPとVONにカスコードトランジスタNT1305, NT1306, NT1311, 1312を入れ、そのソース側にリセットスイッチNT1304, NT1310を入れ、第1の実施形態と同様にトラックホールドのクロック信号CLKと同期し、クロック信号CLKがハイレベル時、すなわちトラック時にオン、ローレベル時、すなわちホールド時にオフする。

これにより、トラック時に後段の信号振幅を抑え、増幅回路のレスポンスを向上し、高速なAD変換を可能とする。

[0077] 本実施形態によれば、以下の効果を得ることができる。

フォールディング方式のAD変換器において、増幅回路内のカスコードトランジスタのソース側にスイッチを入れることにより、スイッチの寄生容量を出力ノードにつけるとなく、増幅回路のレスポンスを改善することができる。

カスケード型のフォールディングAD変換器において、初段のプリ増幅回路のみにスイッチを導入することにより、高速動作を可能とするAD変換器を提供する。

[0078] 上述の実施形態では下位4ビットの変換器の例を説明したが、この構成に限定されるものではなく4ビット以上の変換器にも本発明は適用可能である。

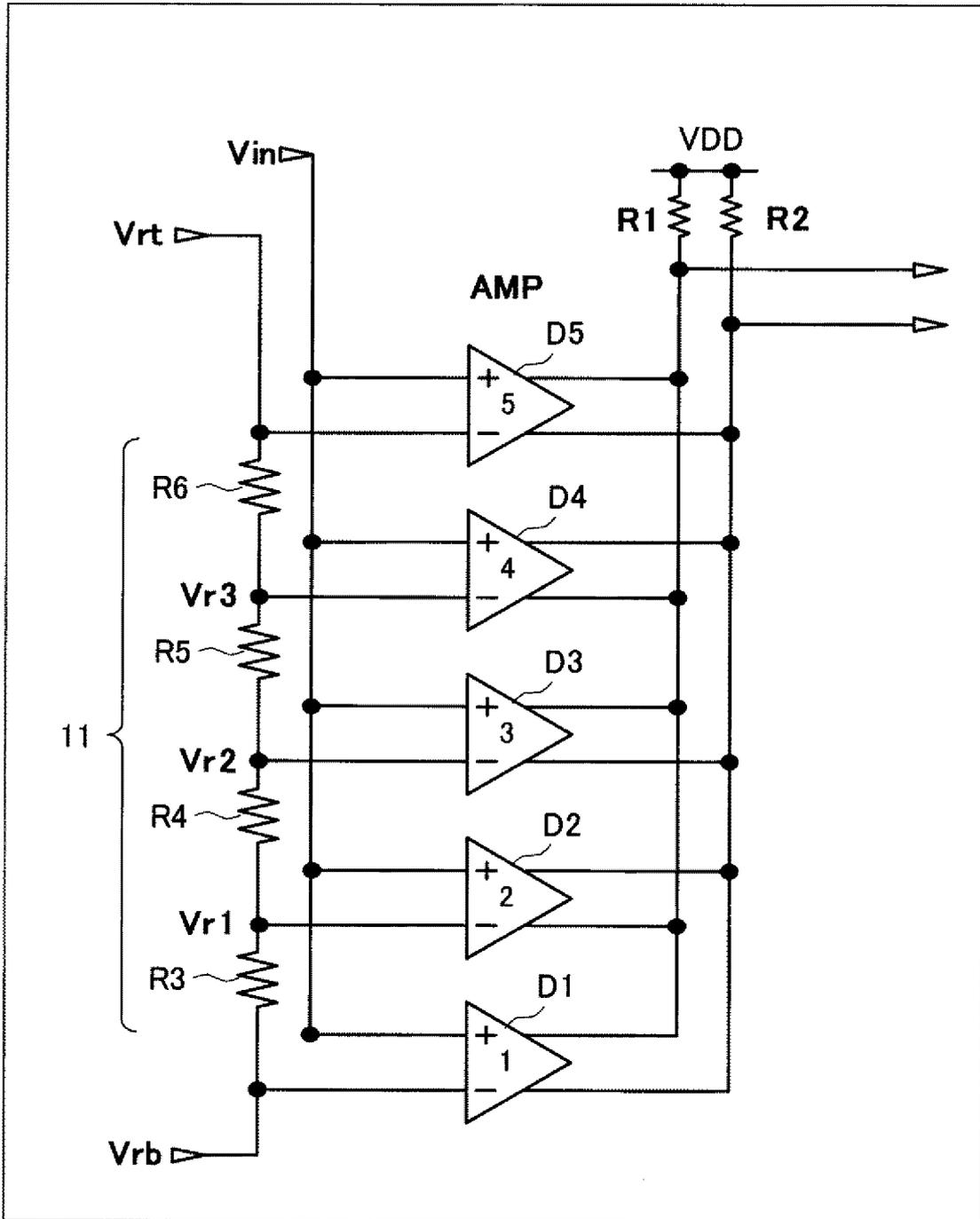
## 請求の範囲

- [1] 複数の異なる電圧を基準電圧として発生させる基準電圧発生回路と、  
上記複数の基準電圧とアナログ入力電圧との差電圧を差電流に変換して出力する  
複数の増幅回路と、を有し、  
上記増幅回路の出力端がそれぞれ交互に接続されたフォールディング回路であつ  
て、  
上記増幅回路はカスコード出力トランジスタを有する差動増幅回路で構成されてお  
り、  
上記カスコード出力トランジスタの両ソース間に制御クロックに同期してオン状態と  
なるスイッチが設けられている  
フォールディング回路。
- [2] 上記増幅回路の前段には差動ペア入力段とカスコード出力トランジスタと、負荷抵  
抗で構成されるプリ増幅回路が設けられており、  
上記プリ増幅回路のカスコード出力トランジスタの両ソース間に制御クロックに同期  
してオン状態となるスイッチが設けられている  
請求項1記載のフォールディング回路。
- [3] 所定の折り返し数のフォールディング波形を生成するフォールディング回路を有す  
るアナログーデジタル変換器であつて、  
上記フォールディング回路は、複数の異なる電圧を基準電圧として発生させる基  
準電圧発生回路と、  
上記複数の基準電圧とアナログ入力電圧との差電圧を差電流に変換して出力す  
る複数の増幅回路と、を有し、  
上記増幅回路の出力端がそれぞれ交互に接続され、  
上記増幅回路はカスコード出力トランジスタを有する差動増幅回路で構成されて  
おり、  
上記カスコード出力トランジスタの両ソース間に制御クロックに同期してオン状態と  
なるスイッチが設けられている  
アナログーデジタル変換器。

- [4] 上記増幅回路の前段には差動ペア入力段と、カスコード出力トランジスタと、負荷抵抗で構成されるプリ増幅回路を有しており、
- 上記プリ増幅回路のカスコード出力トランジスタの両ソース間に制御クロックに同期してオン状態となるスイッチが設けられている
- 請求項3記載のアナログーデジタル変換器。

[図1]

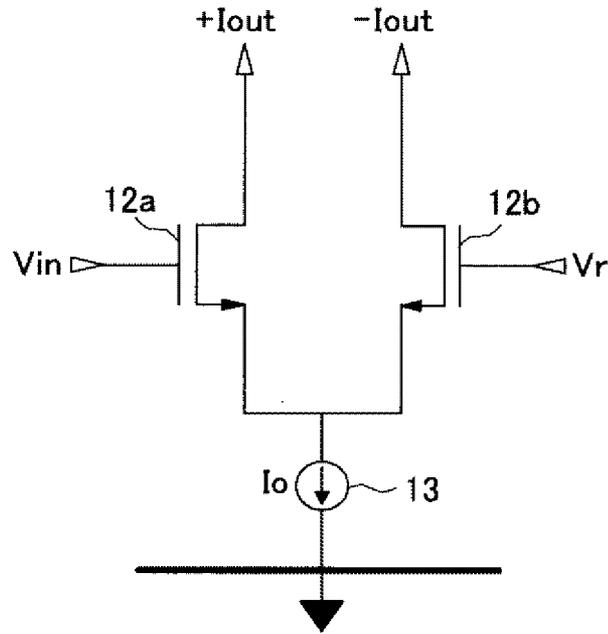
FIG. 1



10

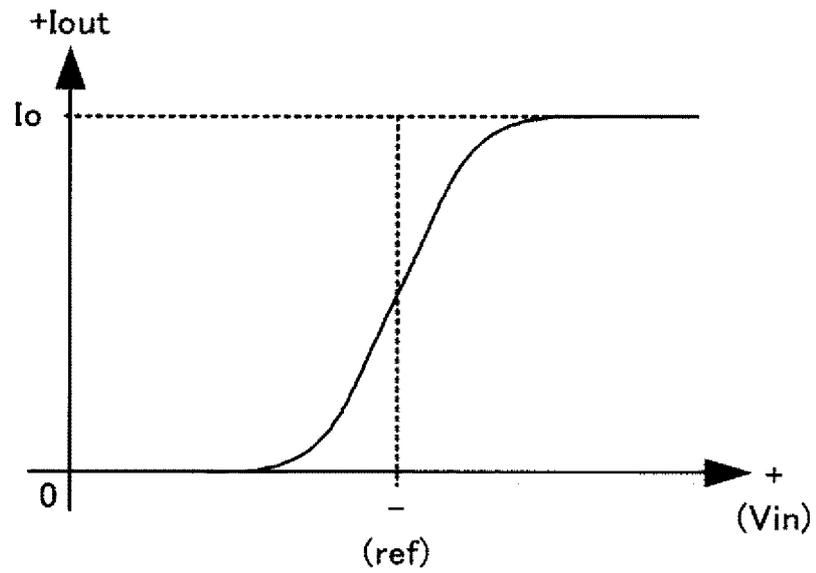
[図2]

FIG. 2



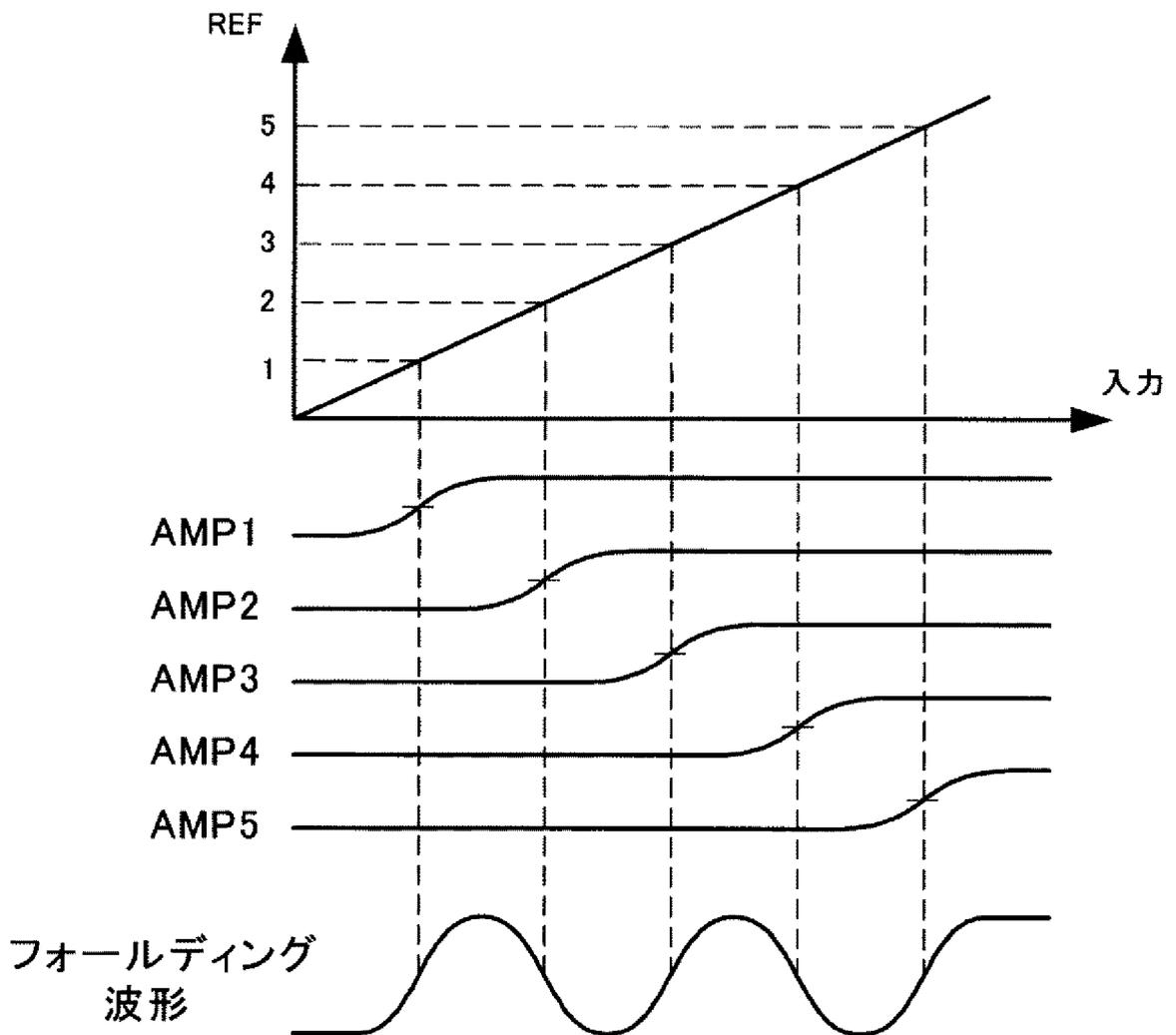
[図3]

FIG. 3



[図4]

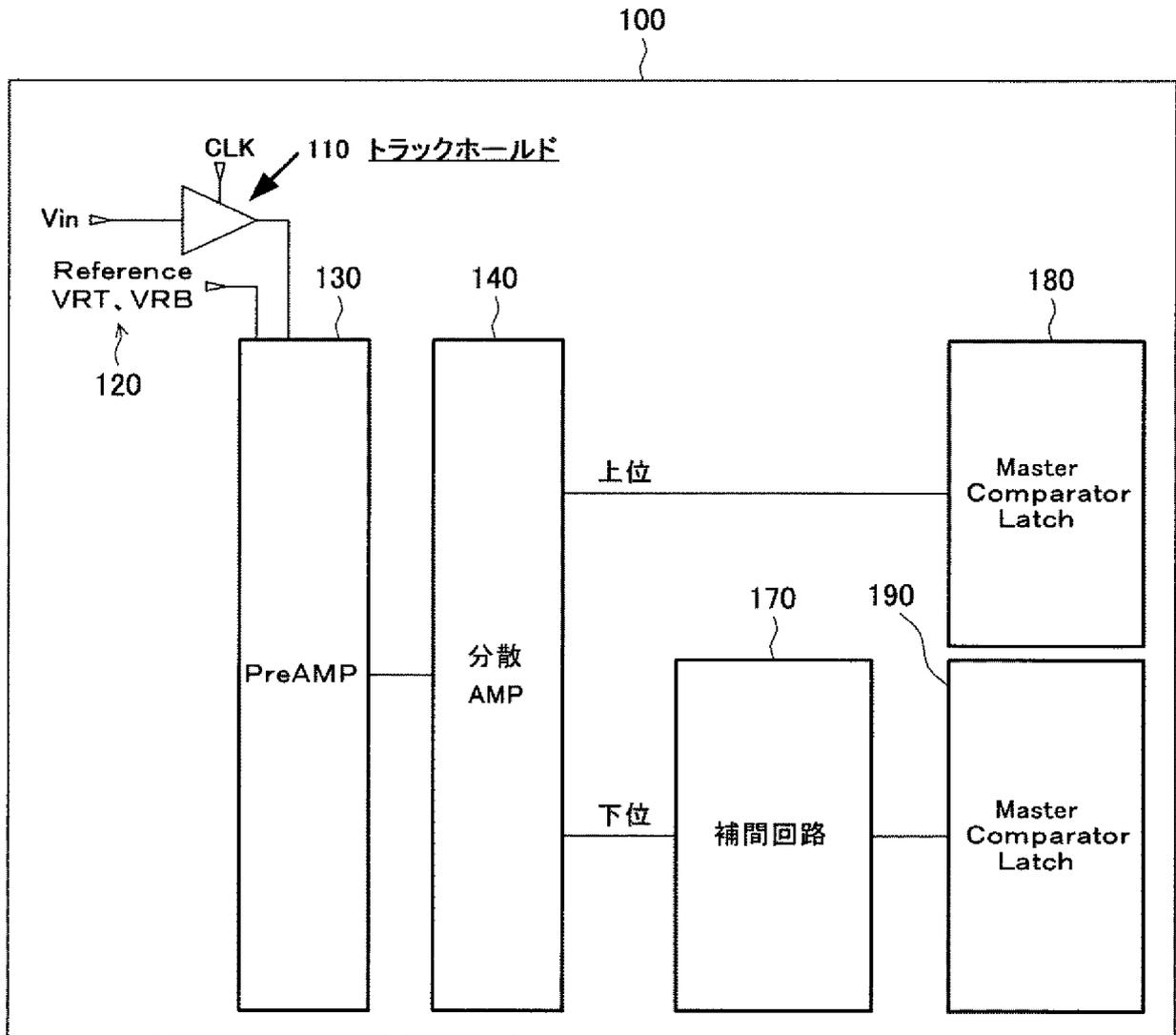
FIG. 4





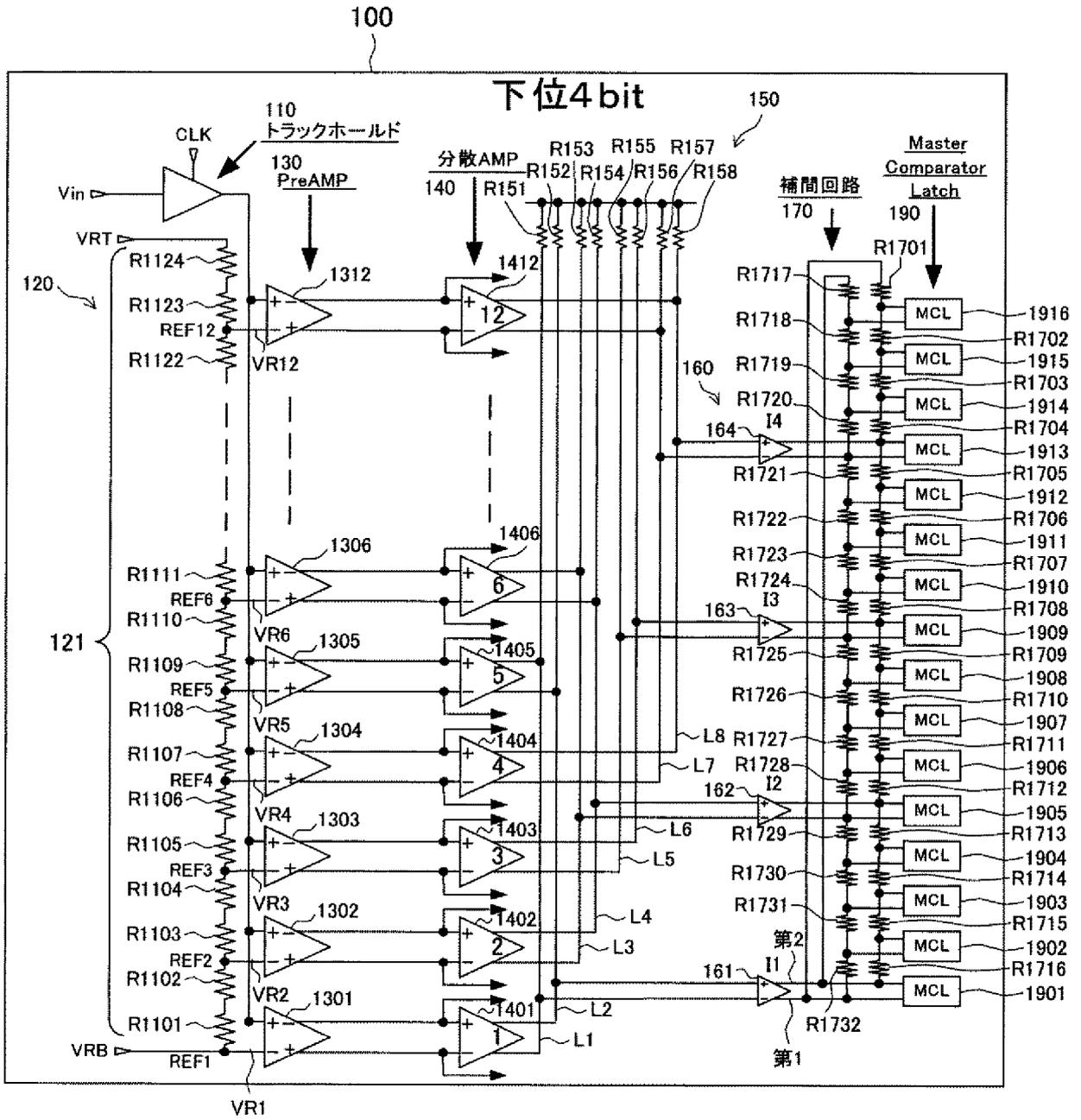
[図6]

FIG. 6



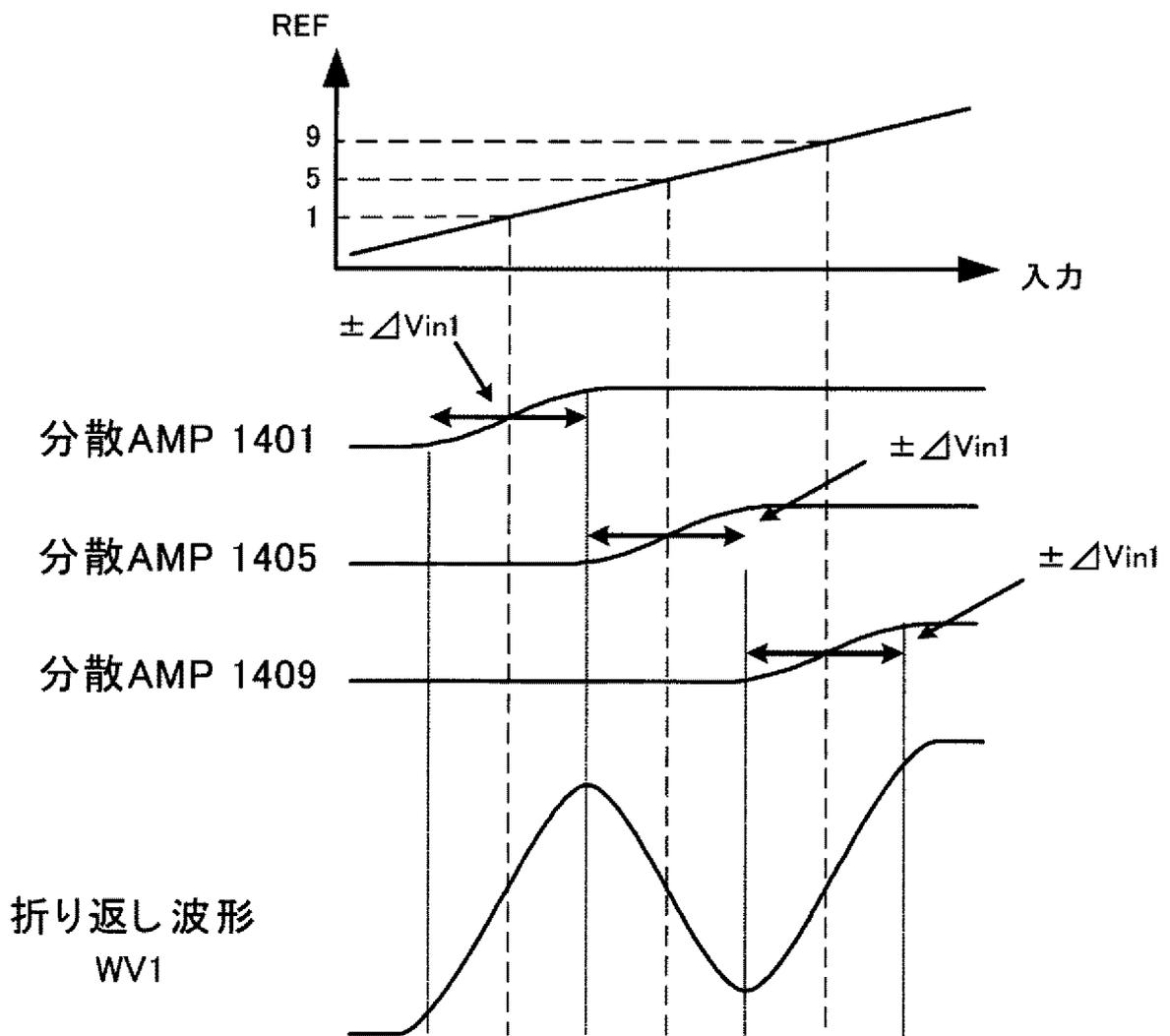
[図7]

FIG. 7



[図8]

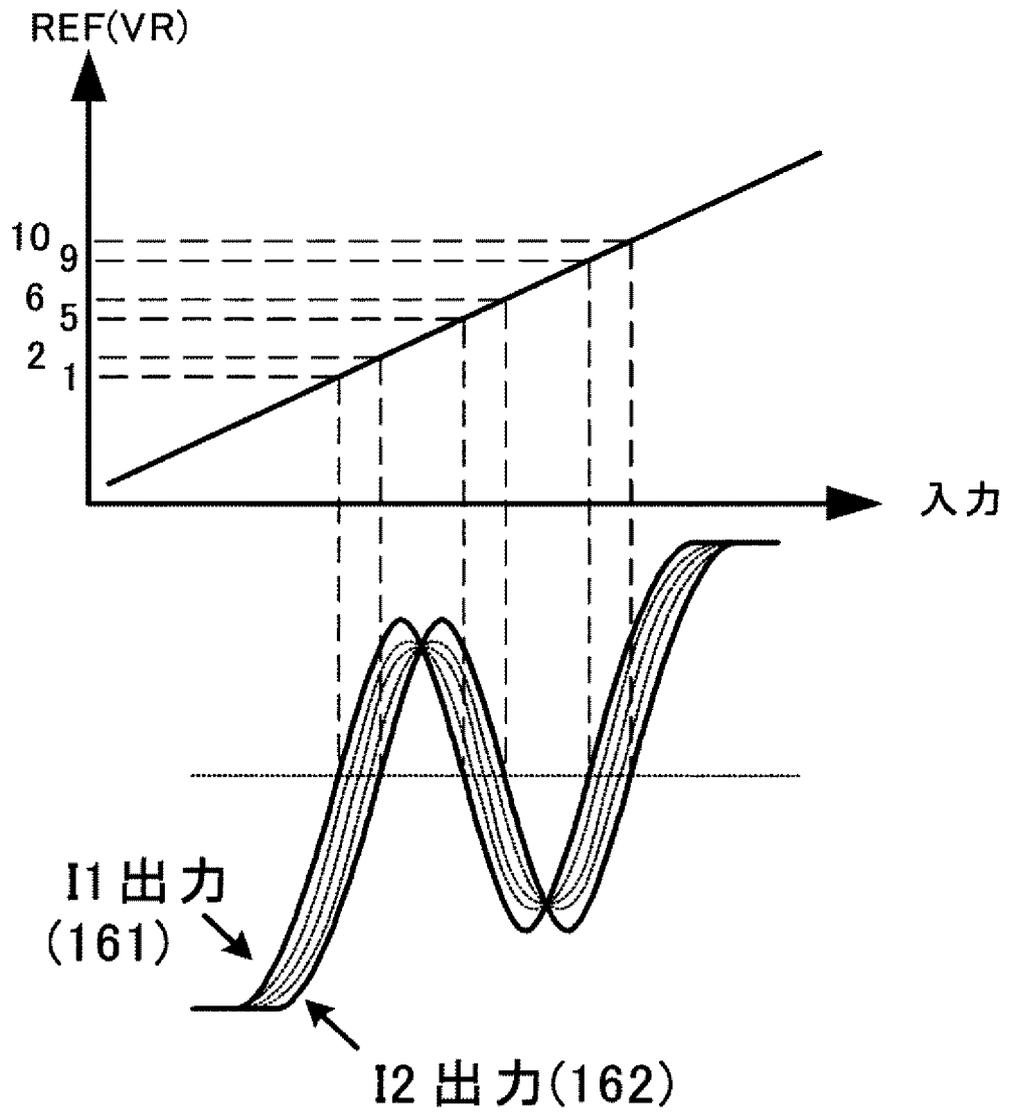
FIG. 8





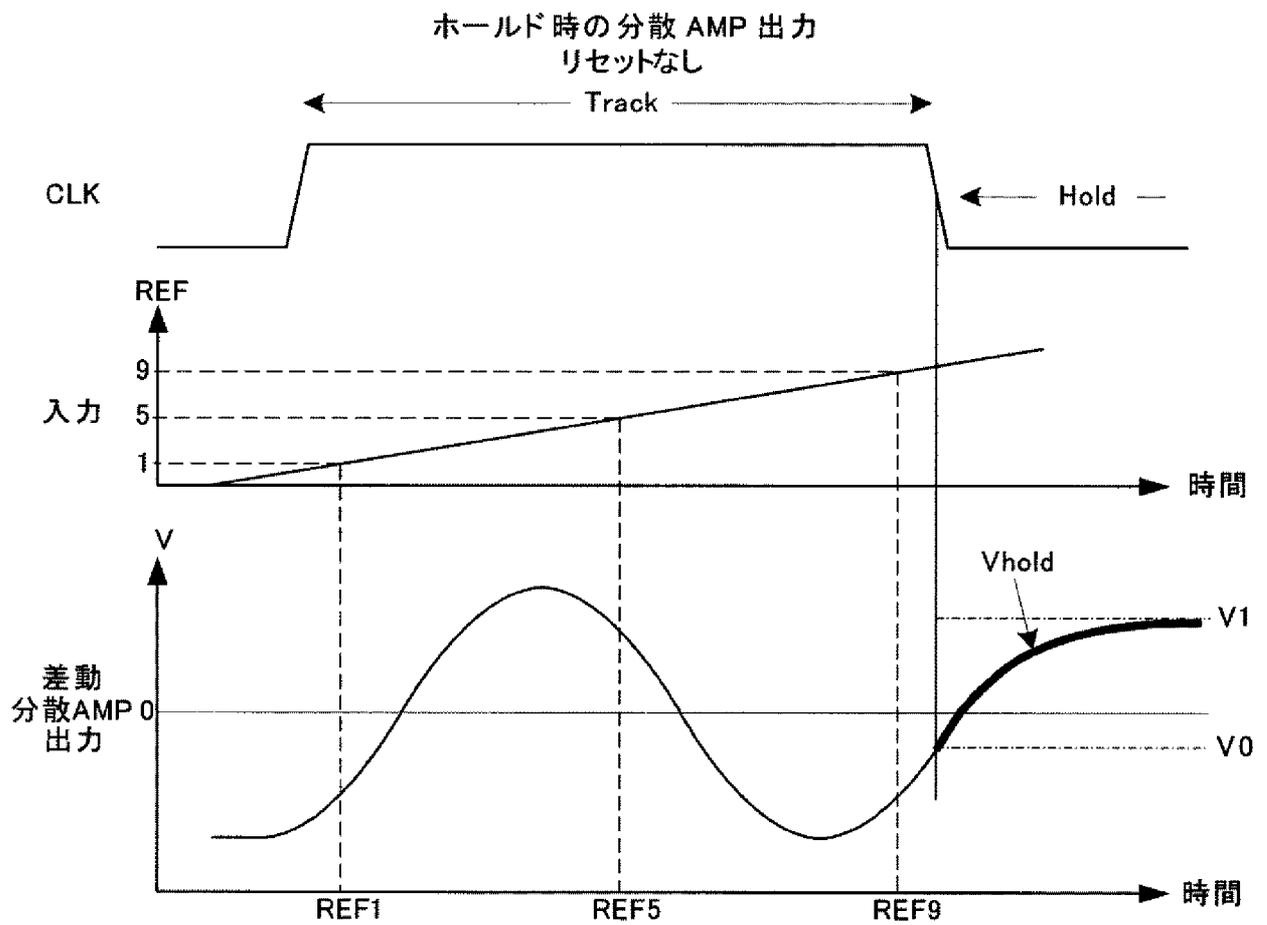
[図10]

FIG. 10



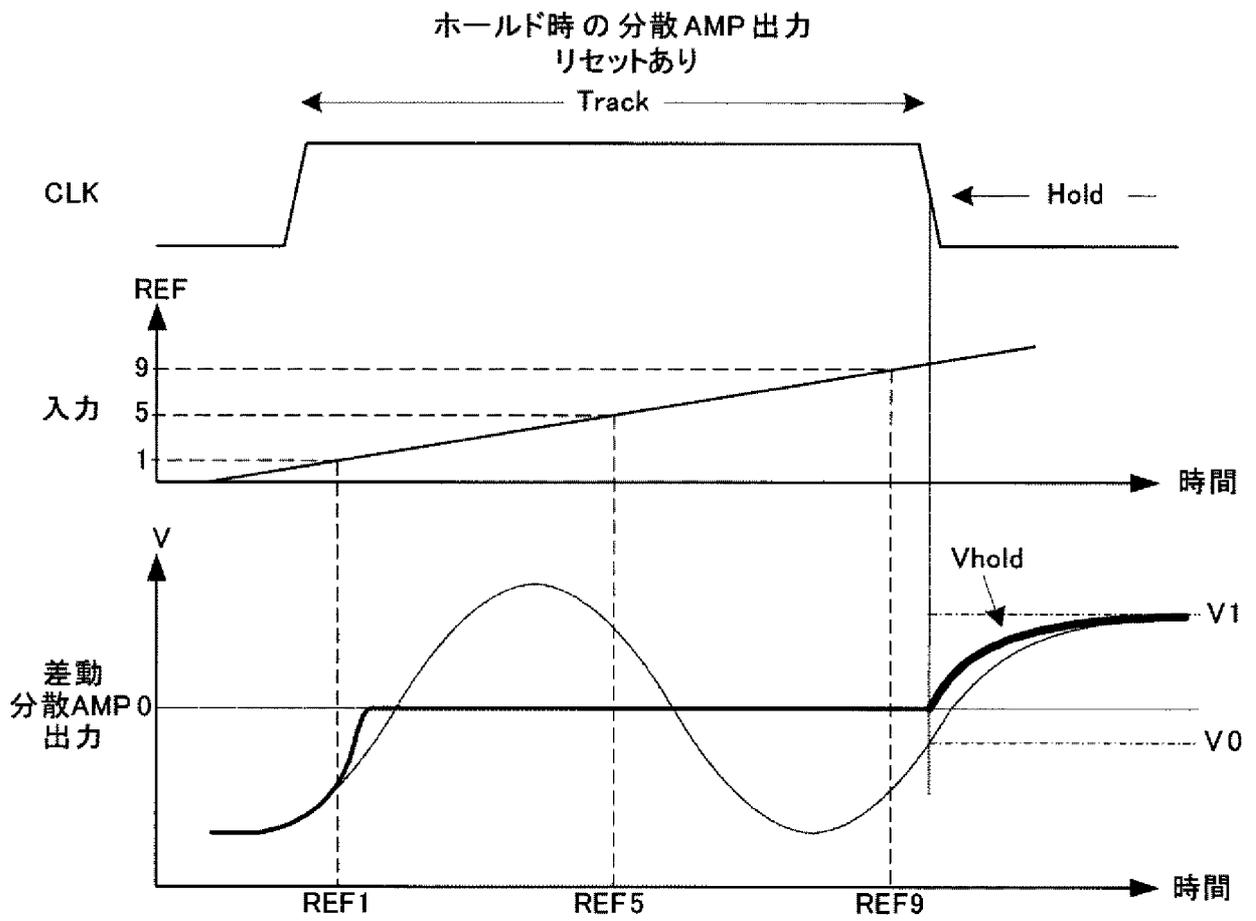
[図11]

FIG. 11



[図12]

FIG. 12



[図]13

FIG. 13

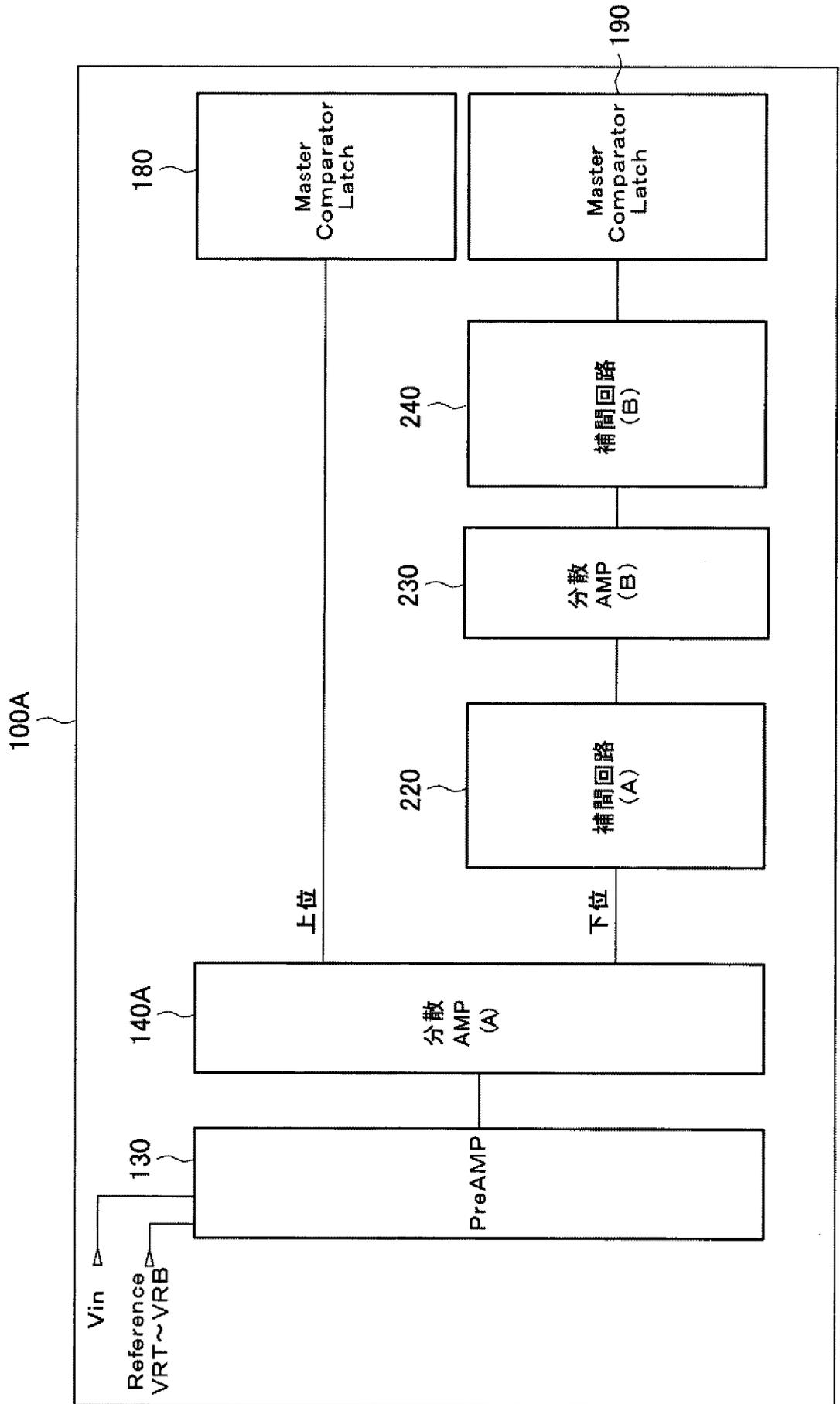
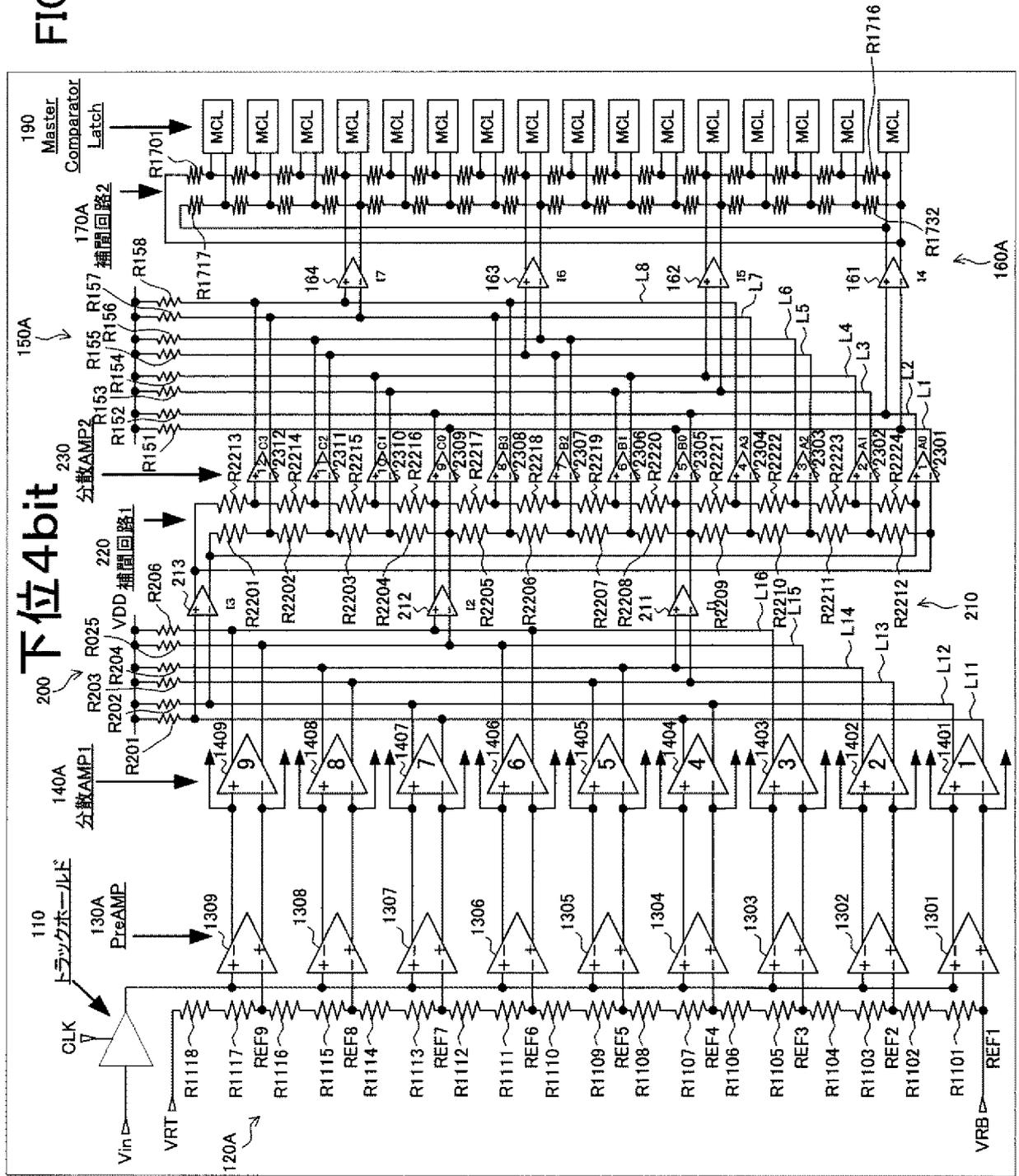
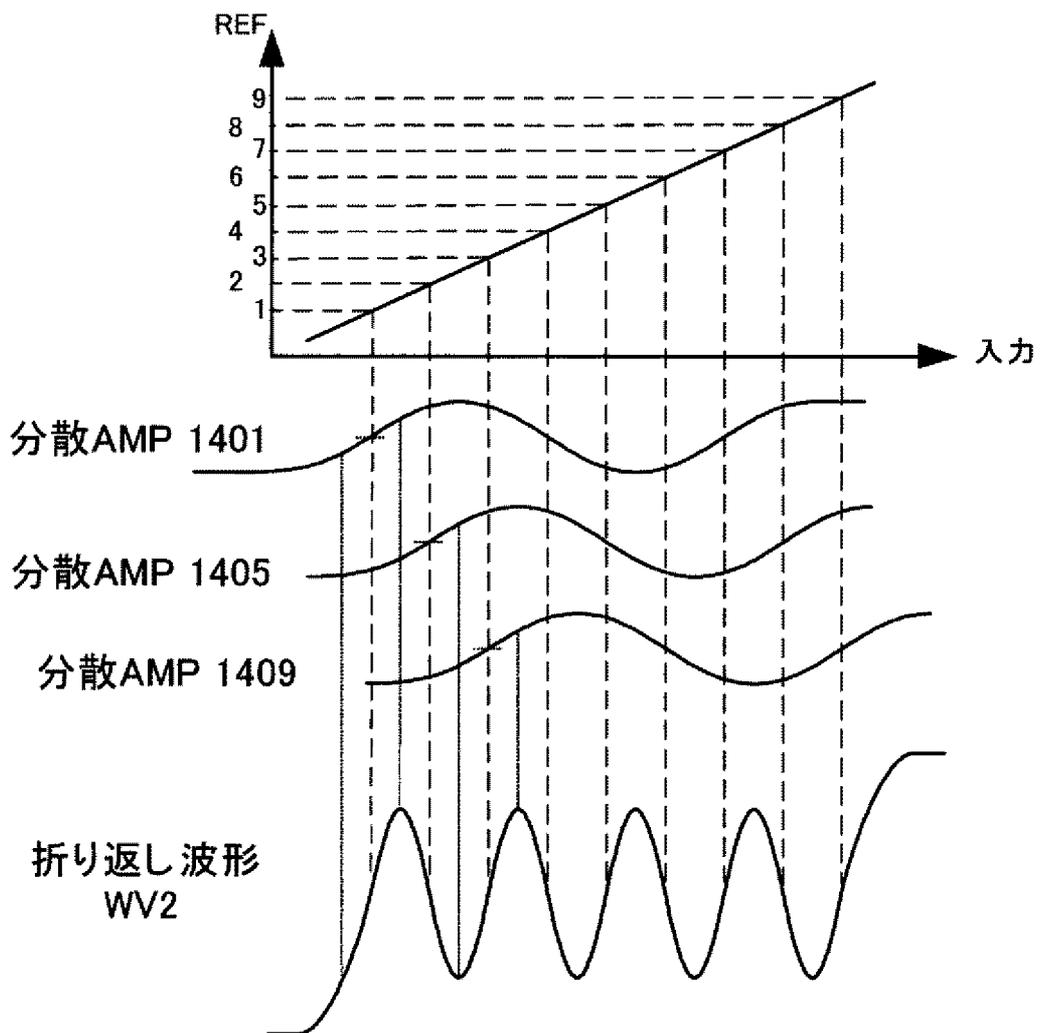


FIG. 14



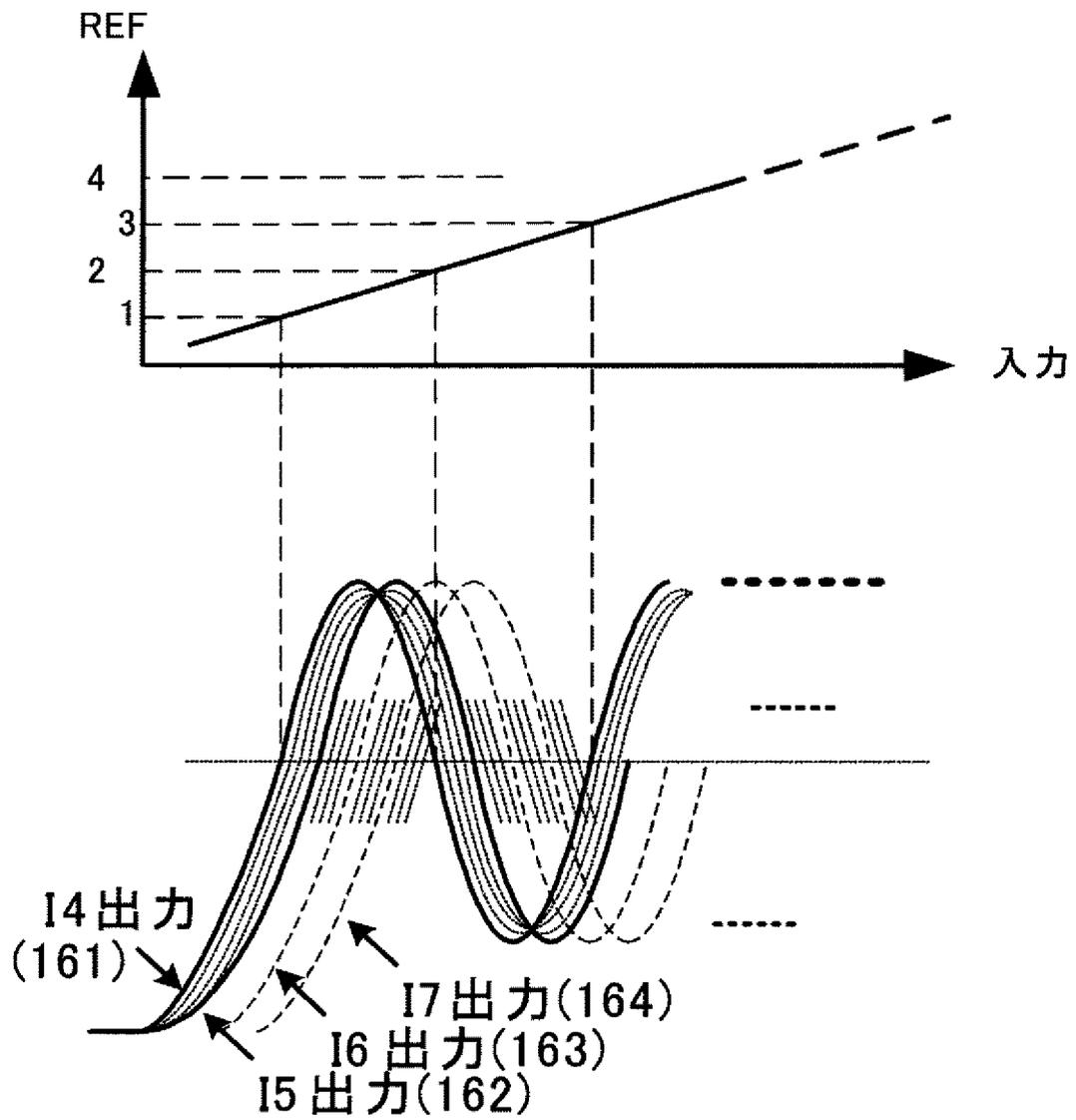
[図15]

FIG. 15



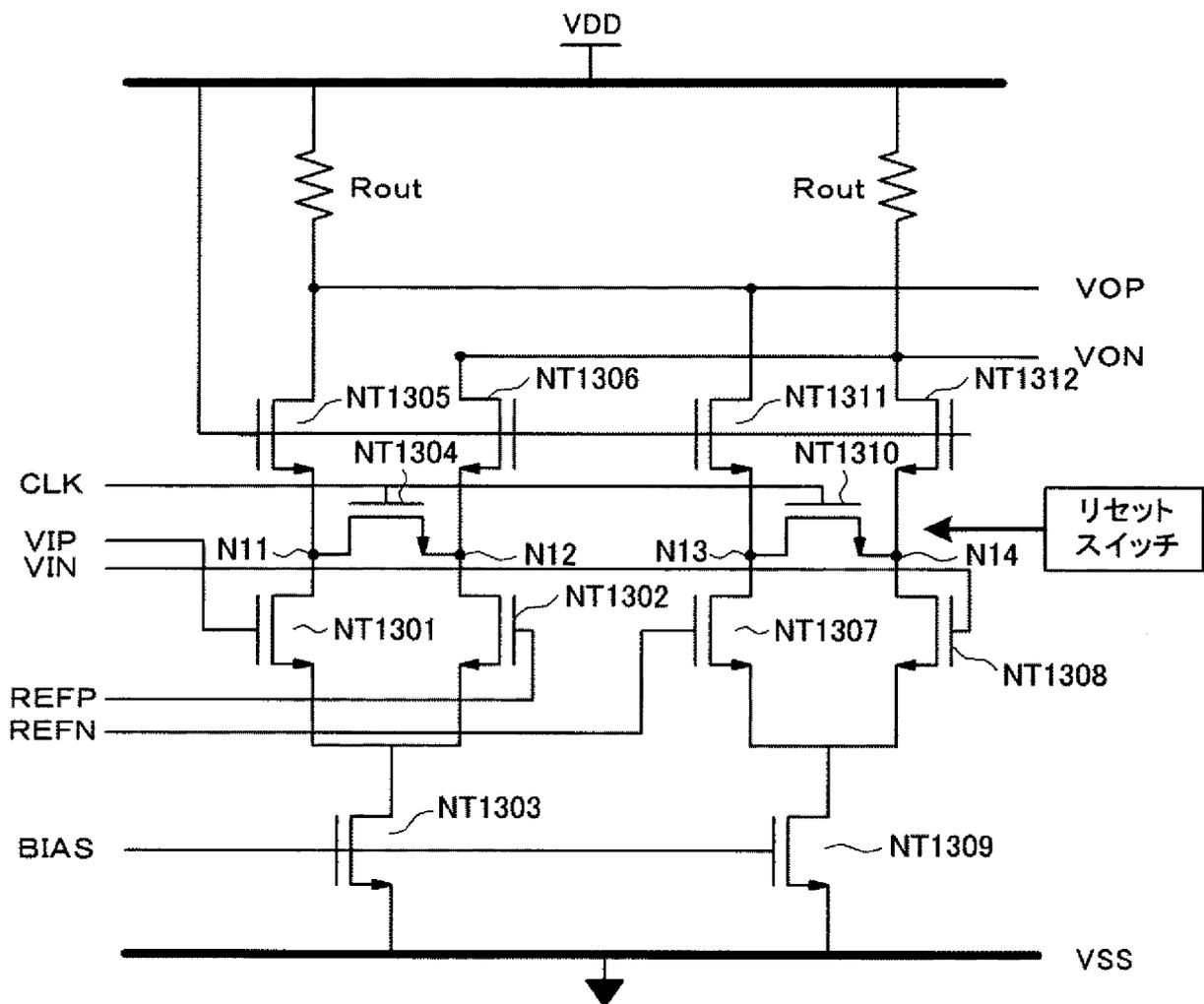
[図16]

FIG. 16



[図17]

FIG. 17



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2007/067161

A. CLASSIFICATION OF SUBJECT MATTER  
H03M1/36(2006.01) i, H03M1/14(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Geelen, G.; Paulus, E.;, "An 8b 600MS/s 200mW CMOS folding A/D converter using an amplifier preset technique", Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International, Vol.1, 2004, Pages:254 - 526 (particularly, fig14.2.2)	1-4
A	JP 2000-165241 A (Hitachi, Ltd.), 16 June, 2000 (16.06.00), Fig. 4 (Family: none)	1-4

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 September, 2007 (21.09.07)	Date of mailing of the international search report 02 October, 2007 (02.10.07)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

# 特許協力条約

PCT

国際調査報告

(法8条、法施行規則第40、41条)  
〔PCT18条、PCT規則43、44〕

出願人又は代理人 書類記号 07-8008-SNY	今後の手続きについては、様式PCT/ISA/220 及び下記5を参照すること。	
国際出願番号 PCT/J P 2007/067161	国際出願日 (日.月.年) 04.09.2007	優先日 (日.月.年) 04.09.2006
出願人(氏名又は名称) ソニー株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語に関し、この国際調査は以下のものに基づき行った。

出願時の言語による国際出願

出願時の言語から国際調査のための言語である \_\_\_\_\_ 語に翻訳された、  
この国際出願の翻訳文(PCT規則12.3(a)及び23.1(b))

b.  この国際出願は、ヌクレオチド又はアミノ酸配列を含んでいる(第I欄参照)。

2.  請求の範囲の一部の調査ができない(第II欄参照)。

3.  発明の単一性が欠如している(第III欄参照)。

4. 発明の名称は  出願人が提出したものを承認する。

次に示すように国際調査機関が作成した。  
\_\_\_\_\_

5. 要約は  出願人が提出したものを承認する。

第IV欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により  
国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこ  
の国際調査機関に意見を提出することができる。

6. 図面に関して

a. 要約書とともに公表される図は、

第 9 図とする。  出願人が示したとおりである。

出願人は図を示さなかったため、国際調査機関が選択した。

本図は発明の特徴を一層よく表しているため、国際調査機関が選択した。

b.  要約とともに公表される図はない。

## 第IV欄 要約 (第1ページの5の続き)

小信号応答性がよく、クロック信号の負荷を軽減でき、面積の増大を防止することができるフォールディング回路およびアナログ-デジタル変換器を提供する。複数の異なる電圧を基準電圧として発生させる基準電圧発生回路と、複数の基準電圧とアナログ入力電圧との差電圧を差電流に変換して出力する複数の増幅回路と、を有し、増幅回路の出力端がそれぞれ交互に接続され、増幅回路はカスコード出力トランジスタ (145, 146) を有する差動増幅回路で構成されており、カスコード出力トランジスタ (145, 146) の両ソース間に制御クロックに同期してオン状態となるスイッチ (144) が設けられている。

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/36(2006.01)i, H03M1/14(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/00-1/88		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Geelen, G.; Paulus, E.; "An 8b 600MS/s 200mW CMOS folding A/D converter using an amplifier preset technique", Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International, Vol.1, 2004, Pages:254 - 526 (特に fig14.2.2 参照)	1-4
A	JP 2000-165241 A (株式会社日立製作所) 2000.06.16, 第4図 (ファミリーなし)	1-4
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 21.09.2007	国際調査報告の発送日 02.10.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 柳下 勝幸 電話番号 03-3581-1101 内線 3596	5X 9561