

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6189182号  
(P6189182)

(45) 発行日 平成29年8月30日(2017.8.30)

(24) 登録日 平成29年8月10日(2017.8.10)

(51) Int.Cl.

F 1

H01L 29/786	(2006.01)	H01L 29/78	618C
H01L 21/336	(2006.01)	H01L 29/78	618B
H01L 21/28	(2006.01)	H01L 29/78	618E
H01L 21/8234	(2006.01)	H01L 29/78	619A
H01L 27/088	(2006.01)	H01L 21/28	301B

請求項の数 1 (全 53 頁) 最終頁に続く

(21) 出願番号

特願2013-231888 (P2013-231888)

(22) 出願日

平成25年11月8日 (2013.11.8)

(65) 公開番号

特開2014-116588 (P2014-116588A)

(43) 公開日

平成26年6月26日 (2014.6.26)

審査請求日

平成28年10月13日 (2016.10.13)

(31) 優先権主張番号

特願2012-251794 (P2012-251794)

(32) 優先日

平成24年11月16日 (2012.11.16)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 佐藤 貴洋

栃木県栃木市都賀町升塚161-2 アド

バンスト フィルム ディバイス インク

株式会社内

(72) 発明者 中澤 安孝

栃木県栃木市都賀町升塚161-2 アド

バンスト フィルム ディバイス インク

株式会社内

(72) 発明者 長 隆之

栃木県栃木市都賀町升塚161-2 アド

バンスト フィルム ディバイス インク

株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

酸化物半導体膜及び酸化物膜が積層された多層膜と、ゲート電極と、ゲート絶縁膜と、ソース電極と、ドレイン電極と、を有し、

前記酸化物半導体膜は、In-M-Zn酸化物 (MはAl、Ga、Ge、Y、Zr、Sn、La、Ce、又はNd) を有し、

前記酸化物膜は、In-M-Zn酸化物 (MはAl、Ga、Ge、Y、Zr、Sn、La、Ce、又はNd) を有し、

前記酸化物膜は、前記酸化物半導体膜よりもMに対するInの原子数比が小さく、

前記酸化物膜のMの原子数比は、前記酸化物膜のInの原子数比以上であり、

10

前記酸化物膜は、前記酸化物半導体膜の上面と接して設けられ、

前記酸化物半導体膜の上端と前記酸化物膜の下端が略一致し、

前記多層膜は、前記ゲート絶縁膜を介して前記ゲート電極と重なる第1の領域と、前記ゲート電極と重ならない第2の領域と、を有し、

前記酸化物半導体膜の下面と前記酸化物半導体膜の側面とは、第1の角度をなし、

前記酸化物膜の下面と前記酸化物膜の側面とは、第2の角度をなし、

前記第1の角度は、前記第2の角度よりも小さく、且つ鋭角であり、

前記ソース電極は、前記酸化物膜の上面に接する領域と、前記酸化物膜の側面に接する領域と、前記酸化物半導体膜の側面に接する領域と、を有し、

前記ドレイン電極は、前記酸化物膜の上面に接する領域と、前記酸化物膜の側面に接す

20

る領域と、前記酸化物半導体膜の側面に接する領域と、を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置全般をいい、電気光学装置、半導体回路及び電子機器などは全て半導体装置である。

【背景技術】

10

【0003】

絶縁表面を有する基板上に形成された半導体膜を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体膜としてシリコン膜が知られている。

【0004】

トランジスタの半導体膜に用いられるシリコン膜は、用途によって非晶質シリコン膜と多結晶シリコン膜とが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコン膜を用いると好適である。一方、駆動回路を一体形成した高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコン膜を用いると好適である。多結晶シリコン膜は、非晶質シリコン膜に対し高温での熱処理、又はレーザ光処理を行うことで形成する方法が知られる。

20

【0005】

さらに、近年では酸化物半導体膜が注目されている。例えば、キャリア密度が $10^{18}$  / cm<sup>3</sup>未満であるインジウム、ガリウム及び亜鉛を含む酸化物半導体膜を用いたトランジスタが開示されている（特許文献1参照）。

【0006】

30

酸化物半導体膜は、スパッタリング法を用いて成膜できるため、大型の表示装置を構成するトランジスタに適用することができる。また、酸化物半導体膜を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路を一体形成した高機能の表示装置を実現できる。また、非晶質シリコン膜を用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

【0007】

ところで、酸化物半導体膜を用いたトランジスタは、オフ状態において極めてリーク電流（オフ電流ともいう。）が小さいことが知られている。例えば、酸化物半導体膜を用いたトランジスタの低いリーク特性を応用した低消費電力のCPUなどが開示されている（特許文献2参照）。

【先行技術文献】

【特許文献】

【0008】

40

【特許文献1】特開2006-165528号公報

【特許文献2】米国特許出願公開第2012/0032730号明細書

【発明の概要】

【発明が解決しようとする課題】

【0009】

酸化物半導体膜を用いたトランジスタは、酸化物半導体膜中に生じる欠陥、及び酸化物半導体膜に接する絶縁膜との界面に生じる欠陥によって、トランジスタの電気特性が不良となる。また、酸化物半導体膜を用いたトランジスタの応用が広がるにつれ、信頼性の要求が多様化している。

【0010】

50

そこで、本発明の一態様は、酸化物半導体膜を用いたトランジスタに安定した電気特性を付与することを課題の一とする。また、本発明の一態様は、酸化物半導体膜を用いたトランジスタに優れた電気特性を付与することを課題の一とする。また、当該トランジスタを有する信頼性の高い半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0011】

本発明の一態様は、酸化物半導体膜及び酸化物膜が積層された多層膜と、ゲート電極と、ゲート絶縁膜とを有し、多層膜は、ゲート絶縁膜を介して前記ゲート電極と重畳して設けられており、多層膜は、酸化物半導体膜の下面と酸化物半導体膜の側面とでなす第1の角度、及び、酸化物膜の下面と酸化物膜の側面とでなす第2の角度を有する形状であり、第1の角度は、第2の角度よりも小さく、且つ鋭角であることを特徴とする半導体装置である。10

【0012】

上記半導体装置において、多層膜は、酸化物半導体膜の上端と前記酸化物膜の下端が略一致している。また、多層膜は、酸化物半導体膜の上に酸化物膜が積層されていてもよく、酸化物半導体膜の上下に酸化物膜が積層されていてもよい。

【0013】

上記半導体装置において、第1の角度及び第2の角度は、10°以上90°未満が好ましい。

【0014】

上記半導体装置において、酸化物膜は、酸化物半導体膜と共通の元素を含み、かつ酸化物半導体膜よりも伝導帯下端のエネルギーが真空準位に近いことが好ましい。例えば、酸化物半導体膜及び酸化物膜は、In-M-Zn酸化物（MはAl、Ga、Ge、Y、Zr、Sn、La、Ce、又はNd）であり、酸化物膜は、酸化物半導体膜よりもMに対するInの原子数比が小さいことが好ましい。20

【0015】

上記半導体装置において、酸化物膜は非晶質であり、酸化物半導体膜は結晶質であり、酸化物半導体膜に含まれる結晶部のc軸は、酸化物半導体膜の表面の法線ベクトルに平行であることが好ましい。

【0016】

上記半導体装置において、ソース電極及びドレイン電極は、多層膜に接して設けられており、多層膜のソース電極及びドレイン電極と接する界面近傍の領域には、低抵抗領域が設けられている。30

【0017】

また、上記半導体装置は、酸化物膜と同一の組成又は異なる組成を有する酸化物膜が、ソース電極及びドレイン電極と、多層膜との上面に接して設けられていてもよい。

【発明の効果】

【0018】

本発明の一態様により、酸化物膜及び酸化物半導体膜を含む多層膜を用いることで、トランジスタに安定した電気特性を付与することができる。40

【0019】

また、当該多層膜の形状を、少なくとも第1の角度と、当該第1の角度よりも大きい第2の角度とを有するテーパ形状とすることで、チャネル領域となる酸化物半導体膜とソース電極及びドレイン電極との接触面積を増大させることができ、トランジスタのオン電流を増大させることができる。

【0020】

また、本発明の一態様により、上記トランジスタを有する信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【0021】

10

20

30

40

50

- 【図 1】トランジスタを説明する上面図及び断面図。
- 【図 2】トランジスタを説明する断面図。
- 【図 3】多層膜のバンド構造を説明する図。
- 【図 4】多層膜のバンド構造を説明する図。
- 【図 5】トランジスタの作製方法を説明する断面図。
- 【図 6】トランジスタの作製方法を説明する断面図。
- 【図 7】トランジスタを説明する上面図及び断面図。
- 【図 8】トランジスタを説明する上面図及び断面図。
- 【図 9】トランジスタを説明する断面図。
- 【図 10】多層膜のバンド構造を説明する図。 10
- 【図 11】トランジスタの作製方法を説明する断面図。
- 【図 12】トランジスタの作製方法を説明する断面図。
- 【図 13】トランジスタを説明する上面図及び断面図。
- 【図 14】トランジスタを説明する上面図及び断面図。
- 【図 15】E L 表示装置の一例を示す回路図。
- 【図 16】E L 表示装置の一例を示す上面図及び断面図。
- 【図 17】E L 表示装置の一例を示す断面図。
- 【図 18】液晶表示装置の一例を示す回路図。
- 【図 19】液晶表示装置の一例を示す断面図。
- 【図 20】半導体装置の一例を示すブロック図。 20
- 【図 21】半導体装置の一例を示す断面図。
- 【図 22】C P U の一例を示すブロック図。
- 【図 23】電子機器の一例を示す図。
- 【図 24】エッティング液と、エッティング速度との関係を説明する図。
- 【図 25】S T E M 像を説明する図。
- 【図 26】S T E M 像を説明する図。
- 【図 27】S T E M 像を説明する図。
- 【図 28】S T E M 像を説明する図。
- 【図 29】S T E M 像を説明する図。
- 【図 30】S T E M 像を説明する図。 30
- 【図 31】多層膜の構造を説明する図。
- 【図 32】多層膜の構造を説明する図。

**【発明を実施するための形態】**

**【0 0 2 2】**

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。 40

**【0 0 2 3】**

第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

**【0 0 2 4】**

また、電圧は、ある電位と、基準の電位（例えば接地電位（G N D）又はソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

**【0 0 2 5】**

また、「電気的に接続する」と表現される場合であっても、現実の回路においては、物

理的な接続部分がなく、配線が延在しているだけの場合もある。

**【0026】**

また、ソース及びドレインの機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、ソース及びドレインの用語は、入れ替えて用いることができるものとする。

**【0027】**

本明細書において、「平行」とは、二つの直線が -10°以上10°以下の角度で配置されている状態をいう。従って、-5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。従って、85°以上95°以下の場合も含まれる。

10

**【0028】**

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

**【0029】**

なお、本明細書などにおいて、各実施の形態及び各実施例に記載されている構成及び内容は適宜組み合わせることができる。

**【0030】**

(実施の形態1)

本実施の形態では、本発明の一態様であるトランジスタについて説明する。

**【0031】**

20

1-1.トランジスタ構造(1)

図1に、BGT C構造であるトランジスタの上面図及び断面図を示す。図1(A)は、トランジスタの上面図を示す。図1(A)において、一点鎖線A1-A2に対応する断面図を図1(B)に示す。また、図1(A)において、一点鎖線A3-A4に対応する断面図を図1(C)に示す。なお、図1(A)において、図面の明瞭化のために当該トランジスタの構成要素の一部(ゲート絶縁膜、及び保護絶縁膜など)を省略している。

**【0032】**

本項では、ボトムゲート型トランジスタについて説明する。ここでは、ボトムゲート型トランジスタの一種であるボトムゲートトップコンタクト構造(BGT C構造)のトランジスタについて図1を用いて説明する。図1(B)に示すトランジスタは、基板100上に設けられたゲート電極104と、ゲート電極104上に設けられたゲート絶縁膜112と、ゲート絶縁膜112上に設けられた、酸化物半導体膜106a、及び酸化物半導体膜106a上に設けられた酸化物膜106bを含む多層膜106と、ゲート絶縁膜112及び多層膜106上に設けられたソース電極116a及びドレイン電極116bと、多層膜106、ソース電極116a及びドレイン電極116b上に設けられた保護絶縁膜118と、を有する。

30

**【0033】**

なお、ソース電極116a及びドレイン電極116bに用いる導電膜の種類によっては、多層膜106の一部から酸素を奪い、又は混合層を形成し、多層膜106中に低抵抗領域106c及び低抵抗領域106dを形成することがある。低抵抗領域106c及び低抵抗領域106dは、図1(B)において、多層膜106中のソース電極116a及びドレイン電極116bと接する界面近傍の領域(多層膜106の破線とソース電極116a及びドレイン電極116bの間の領域)となる。低抵抗領域106c及び低抵抗領域106dの一部又は全部は、ソース領域及びドレイン領域として機能する。

40

**【0034】**

図1(A)において、ゲート電極104と重なる領域において、ソース電極116aとドレイン電極116bとの間隔をチャネル長という。ただし、トランジスタが、ソース領域及びドレイン領域を含む場合、ゲート電極104と重なる領域において、低抵抗領域106cと低抵抗領域106dとの間隔をチャネル長といつてもよい。

**【0035】**

50

なお、チャネル形成領域とは、多層膜 106において、ゲート電極 104と重なり、かつソース電極 116a とドレイン電極 116b とに挟まれる領域をいう(図 1(B) 参照)。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。ここでは、チャネル領域は、チャネル形成領域中の酸化物半導体膜 106a の一部分である。

#### 【0036】

なお、ゲート電極 104は、図 1(A)に示すように、上面形状において多層膜 106が内側に含まれるように設けられる。こうすることで、基板 100側から光が入射した際に、多層膜 106 中で光によってキャリアが生成されることを抑制することができる。即ち、ゲート電極 104 は遮光膜としての機能を有する。ただし、ゲート電極 104 の外側まで多層膜 106 が形成されていてもよい。

#### 【0037】

酸化物半導体膜 106a の下面とは、酸化物半導体膜 106a の基板 100 側の面、又は酸化物半導体膜 106a のゲート絶縁膜 112 に接する面に相当する。酸化物膜 106b の下面とは、酸化物膜 106b の基板 100 側の面、又は酸化物膜 106b の酸化物半導体膜 106aとの境界面に相当する。なお、多層膜 106 の積層構造は、S T E M (Scanning Transmission Electron Microscopy) を用いて観察することによって、その境界を確認することができる。しかし、酸化物半導体膜 106a 及び酸化物膜 106b に用いる材料によっては、当該境界を明確に確認できない場合がある。

10

20

#### 【0038】

##### 1 - 1 - 1 . 多層膜について

以下では、多層膜 106 と、多層膜 106 を構成する酸化物半導体膜 106a 及び酸化物膜 106b について、図 1 及び図 2 を用いて説明する。

#### 【0039】

図 2 は、図 1(B) の破線で囲まれた領域の拡大図である。

#### 【0040】

多層膜 106において、少なくとも酸化物半導体膜 106a はテーパ形状を有する。好ましくは、酸化物膜 106b もテーパ形状を有する。また、酸化物半導体膜 106a のテーパ形状と、酸化物膜 106b のテーパ形状とが異なる。

30

#### 【0041】

具体的には、酸化物半導体膜 106aにおいて、酸化物半導体膜 106a の下面と酸化物半導体膜 106a の側面とでなす角度を第 1 の角度 1 とし、酸化物膜 106b において、酸化物膜 106b の下面と酸化物膜 106b の側面とでなす角度を第 2 の角度 2 とした場合、第 1 の角度 1 は鋭角とし、第 2 の角度 2 は鋭角、又は垂直とすることができます。

#### 【0042】

特に、第 1 の角度 1 及び第 2 の角度 2 は共に鋭角であり、第 1 の角度 1 のほうが第 2 の角度 2 よりも小さいことが好ましい。

#### 【0043】

また、第 1 の角度 1 は 10° 以上 90° 未満であり、30° 以上 70° 以下であることが好ましい。第 2 の角度 2 は、10° 以上 90° 未満とし、30° 以上 70° 以下とすることが好ましい。

40

#### 【0044】

このように、多層膜 106 を、異なるテーパ角を有するテーパ形状とすることで下記の効果を得ることができる。多層膜 106 について、一定のテーパ角を有するテーパ形状に比べて、異なるテーパ角を有するテーパ形状とすることで、ソース電極 116a 及びドレイン電極 116b との接触面積を拡大することができる。従って、多層膜 106 と、ソース電極 116a 及びドレイン電極 116b との接触抵抗が低減し、トランジスタのオン電流を増大させることができる。

50

## 【0045】

また、第2の角度<sub>2</sub>を第1の角度<sub>1</sub>よりも大きくすることで、酸化物膜106bとソース電極116a及びドレイン電極116bとの接触面積を小さくすることができ、酸化物膜106bに形成される低抵抗領域を小さくすることができる。これにより、酸化物膜106bの低抵抗化を抑制してソース電極116a及びドレイン電極116bの間ににおけるリークパスの発生を抑制しつつ、チャネル領域として機能する酸化物半導体膜106aに効果的に低抵抗領域を形成することができ、トランジスタのオン電流の増大と、トランジスタのオフ電流の低減とを両立させることができる。

## 【0046】

また、酸化物半導体膜106aの上端は、酸化物膜106bの下端と略一致している(図2参照)。つまり、多層膜106には、酸化物半導体膜106aと酸化物膜106bとで形成される大きな段差113を有していない(図31(A)、(B)参照)。そのため、多層膜106上に設けられる膜(例えば、ソース電極116a及びドレイン電極116bに加工される導電膜)の段切れを抑制することができ、電気特性が良好なトランジスタを作製することができる。なお、酸化物半導体膜106aの上端と酸化物膜106bの下端とが略一致しているとは、酸化物膜106bの下端と酸化物半導体膜106aの上端との距離L1が30nm以下、好ましくは10nm以下であることをいう(図31(A)、(B)参照)。

## 【0047】

上記テーパ形状は、多層膜106をエッチングで形成する際に、酸化物半導体膜106a及び酸化物膜106bのエッチング速度が異なることを利用することで形成できる。特に、上記テーパ形状は、酸化物半導体膜106aのエッチング速度を、酸化物膜106bのエッチング速度よりも遅くすることで形成することができる。

## 【0048】

上記テーパ形状は、例えば、エッチャントとしてリン酸を含む溶液を用いたウェットエッチングによって形成することができる。

## 【0049】

多層膜106をウェットエッチングによって形成することの利点としては、以下のこと<sub>30</sub>が挙げられる。例えば、多層膜106に加工される酸化物半導体膜及び酸化物膜にピンホールなどの欠陥を有している場合、ドライエッチングによって当該酸化物半導体膜及び当該酸化物膜を加工すると、当該ピンホールを通じて、当該酸化物半導体膜及び当該酸化物膜の下に設けられている絶縁膜(ゲート絶縁膜など)もエッチングする場合がある。これにより、当該絶縁膜に、当該絶縁膜の下に設けられている電極(ゲート電極など)に達する開口が形成されてしまう場合がある。このような状況下でトランジスタを作製すると、当該電極と多層膜106上に形成される電極(ソース電極及びドレイン電極など)とでショートするなど、特性不良のトランジスタが作製される場合がある。つまり、ドライエッチングにより多層膜106を形成すると、トランジスタの歩留まりが低下することに繋がる。従って、多層膜106をウェットエッチングによって形成することで、電気特性の良好なトランジスタを生産性高く作製することができる。

## 【0050】

また、ウェットエッチングのエッチング速度は、エッチャントの濃度、及びエッチャントの温度などによって変化することから、酸化物半導体膜106aのエッチング速度が酸化物膜106bのエッチング速度よりも遅くなるように適宜調整することが好ましい。また、第2の角度<sub>2</sub>を第1の角度<sub>1</sub>よりも大きくすることで、当該ウェットエッチングにおいて、エッチャントに曝される面積をできるだけ小さくすることができる。また、第2の角度<sub>2</sub>を第1の角度<sub>1</sub>よりも大きくすることで、エッチャントによる汚染や欠陥の生成によって、酸化物膜106bに形成される低抵抗領域を小さくすることができる。

## 【0051】

例えば、上記エッチャントとして、85%程度に調整したリン酸水溶液、又はリン酸(72%)と硝酸(2%)と酢酸(9.8%)を混合した混合溶液(混酸アルミ液ともいう

10

20

30

40

50

。)が挙げられる。また、エッチャントの温度は、20～35程度の室温又は常温が好ましい。なお、エッチャントは上記以外のものであってもよい。

#### 【0052】

酸化物半導体膜106aは、少なくともインジウムを含む酸化物半導体膜である。例えば、インジウムの他に亜鉛を含んでいてもよい。また、酸化物半導体膜106aは、インジウムに加えて、元素M(MはAl、Ga、Ge、Y、Zr、Sn、La、Ce、又はNd)を含むと好ましい。

#### 【0053】

酸化物膜106bは、酸化物半導体膜106aを構成する元素一種以上から構成され、伝導帯下端のエネルギーが酸化物半導体膜106aよりも0.05eV以上、0.07eV以上、0.1eV以上又は0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下又は0.4eV以下真空準位に近い酸化物膜である。このとき、ゲート電極104に電界を印加すると、多層膜106のうち、伝導帯下端のエネルギーが低い酸化物半導体膜106aにチャネルが形成される。即ち、酸化物半導体膜106aと保護絶縁膜118との間に酸化物膜106bを有することによって、トランジスタのチャネルを保護絶縁膜118と接しない酸化物半導体膜106aに形成することができる。また、酸化物半導体膜106aを構成する元素一種以上から酸化物膜106bが構成されるため、酸化物半導体膜106aと酸化物膜106bとの間ににおいて、界面散乱が起こりにくい。従って、酸化物半導体膜106aと酸化物膜106bとの間ににおいて、キャリアの動きが阻害されないため、トランジスタの電界効果移動度が高くなる。また、酸化物半導体膜106aと酸化物膜106bとの間に界面準位を形成しにくい。酸化物半導体膜106aと酸化物膜106bとの間に界面準位があると、該界面をチャネルとしたしきい値電圧の異なる第2のトランジスタが形成され、トランジスタの見かけ上のしきい値電圧が変動することがある。従って、酸化物膜106bを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。

#### 【0054】

酸化物膜106bは、例えば、Al、Ga、Ge、Y、Zr、Sn、La、Ce、Nd又はHf(特にAl又はGa)を酸化物半導体膜106aよりも高い原子数比で含む酸化物膜とすればよい。具体的には、酸化物膜106bとして、酸化物半導体膜106aよりも前述の元素を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比で含む酸化物膜を用いる。前述の元素は酸素と強く結合するため、酸素欠損が酸化物膜に生じることを抑制する機能を有する。即ち、酸化物膜106bは酸化物半導体膜106aよりも酸素欠損が生じにくい酸化物膜である。

#### 【0055】

例えば、酸化物半導体膜106aがIn-M-Zn酸化物であり、酸化物膜106bもIn-M-Zn酸化物とするとき、酸化物膜106bを $In : M : Zn = x_2 : y_2 : z_2$ [原子数比]、酸化物半導体膜106aを $In : M : Zn = x_1 : y_1 : z_1$ [原子数比]とすると、 $y_1 / x_1$ が $y_2 / x_2$ よりも大きくなる酸化物膜106b及び酸化物半導体膜106aを選択する。なお、元素MはInよりも酸素との結合力が強い金属元素であり、例えばAl、Ga、Ge、Y、Zr、Sn、La、Ce、又はNd(特にAl又はGa)などが挙げられる。好ましくは、 $y_1 / x_1$ が $y_2 / x_2$ よりも1.5倍以上大きくなる酸化物膜106b及び酸化物半導体膜106aを選択する。さらに好ましくは、 $y_1 / x_1$ が $y_2 / x_2$ よりも2倍以上大きくなる酸化物膜106b及び酸化物半導体膜106aを選択する。より好ましくは、 $y_1 / x_1$ が $y_2 / x_2$ よりも3倍以上大きくなる酸化物膜106b及び酸化物半導体膜106aを選択する。このとき、酸化物膜106bにおいて、 $y_2$ が $x_2$ 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 $y_2$ が $x_2$ の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 $y_2$ は $x_2$ の3倍未満であると好ましい。

#### 【0056】

また、酸化物膜106bが緻密であると、トランジスタ作製工程に用いられるプラズマ

10

20

30

40

50

などによってダメージが入りにくく、安定した電気特性のトランジスタとすることができまするため好ましい。

#### 【0057】

酸化物膜106bの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、酸化物半導体膜106aの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

#### 【0058】

以下では、酸化物半導体膜106a及び酸化物膜106bのシリコン濃度について説明する。なお、トランジスタの電気特性を安定にするためには、酸化物半導体膜106a中の不純物濃度を低減し、酸化物半導体膜を真性又は実質的に真性にすることが有効である。  
10 具体的には、酸化物半導体膜のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、又は $1 \times 10^{13} / \text{cm}^3$ 未満にするとよい。また、酸化物半導体膜において、主成分以外（1原子%未満）の軽元素、半金属元素、金属元素などは不純物となる。例えば、水素、窒素、炭素、シリコン、ゲルマニウム、チタン及びハフニウムは、酸化物半導体膜中で不純物となる。酸化物半導体膜中の不純物濃度を低減するためには、近接するゲート絶縁膜112及び酸化物膜106b中の不純物濃度も低減することが好ましい。

#### 【0059】

例えば、酸化物半導体膜106aにシリコンが含まれる場合、不純物準位を形成する。  
20 特に、酸化物半導体膜106aと酸化物膜106bとの間にシリコンがあると、該不純物準位がトラップとなる。そのため、酸化物半導体膜106aと酸化物膜106bとの間ににおけるシリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

#### 【0060】

また、酸化物半導体膜106a中で水素及び窒素は、ドナー準位を形成し、キャリア密度を増大させてしまう。酸化物半導体膜106aの水素濃度は二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。  
30 また、窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

#### 【0061】

また、酸化物半導体膜106aの水素濃度及び窒素濃度を低減するために、酸化物膜106bの水素濃度及び窒素濃度を低減すると好ましい。酸化物膜106bの水素濃度はSIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。  
40 また、窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

#### 【0062】

酸化物半導体膜106a及び酸化物膜106bは、非晶質又は結晶質である。当該結晶質としては、多結晶構造、単結晶構造、微結晶構造などが挙げられる。また、酸化物半導体膜106a及び酸化物膜106bは、結晶粒が非晶質領域に分散された混合構造であつてもよい。なお、微結晶構造とは、各結晶粒の面方位がランダムであり、微結晶構造又は混合構造に含まれる結晶粒の粒径は0.1nm以上10nm以下、好ましくは1nm以上10nm以下、さらに好ましくは2nm以上4nm以下である。

#### 【0063】

10

20

30

40

50

酸化物半導体膜 106a 及び酸化物膜 106b について、好ましくは、酸化物半導体膜 106a は結晶質とし、酸化物膜 106b は非晶質又は結晶質とする。チャネルが形成される酸化物半導体膜 106a が結晶質であることにより、トランジスタに安定した電気特性を付与することができる。また、結晶質の酸化物半導体膜 106a は、好ましくは CAAAC-O<sub>S</sub> (C Axis Aligned Crystalline Oxide Semiconductor) とする。

#### 【0064】

また、酸化物半導体膜 106a は非晶質な膜の上に形成することが好ましい。例えば、非晶質な絶縁膜の面上、又は非晶質な半導体膜の面上などが挙げられる。後述の成膜方法を用いることで非晶質な膜の上に CAAAC-O<sub>S</sub> である酸化物半導体膜 106a を形成することができる。  
10

#### 【0065】

CAAAC-O<sub>S</sub> 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。従って、CAAAC-O<sub>S</sub> 膜に含まれる結晶部は、一辺が 10 nm 未満、5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。CAAAC-O<sub>S</sub> 膜は、欠陥準位密度が低いという特徴がある。以下、CAAAC-O<sub>S</sub> 膜について詳細な説明を行う。

#### 【0066】

CAAAC-O<sub>S</sub> 膜を TEM によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAAC-O<sub>S</sub> 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。  
20

#### 【0067】

CAAAC-O<sub>S</sub> 膜を、試料面と概略平行な方向から TEM によって観察（断面 TEM 観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAAC-O<sub>S</sub> 膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAAC-O<sub>S</sub> 膜の被形成面または上面と平行に配列する。

#### 【0068】

一方、CAAAC-O<sub>S</sub> 膜を、試料面と概略垂直な方向から TEM によって観察（平面 TEM 観察）すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。  
30

#### 【0069】

断面 TEM 観察および平面 TEM 観察より、CAAAC-O<sub>S</sub> 膜の結晶部は配向性を有していることがわかる。

#### 【0070】

CAAAC-O<sub>S</sub> 膜に対し、X線回折（XRD : X-Ray Diffraction）装置を用いて構造解析を行うと、例えば InGaZnO<sub>4</sub> の結晶を有する CAAAC-O<sub>S</sub> 膜の out-of-plane 法による解析では、回折角（2θ）が 31° 近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub> の結晶の（009）面に帰属されることから、CAAAC-O<sub>S</sub> 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。  
40

#### 【0071】

一方、CAAAC-O<sub>S</sub> 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in-plane 法による解析では、2θ が 56° 近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub> の結晶の（110）面に帰属される。InGaZnO<sub>4</sub> の単結晶酸化物半導体膜であれば、2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸（c 軸）として試料を回転させながら分析（スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、CAAAC-O<sub>S</sub> 膜の場合は、2θ を 56° 近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

#### 【0072】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

#### 【 0 0 7 3 】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

10

#### 【 0 0 7 4 】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

#### 【 0 0 7 5 】

なお、InGaZnO<sub>4</sub> の結晶を有するC A A C - O S 膜のout-of-plane 法による解析では、2θ が 31° 近傍のピークの他に、2θ が 36° 近傍にもピークが現れる場合がある。2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、2θ が 31° 近傍にピークを示し、2θ が 36° 近傍にピークを示さないことが好ましい。

20

#### 【 0 0 7 6 】

C A A C - O S を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、安定した電気特性を有する。

#### 【 0 0 7 7 】

また、酸化物半導体膜 106a にシリコン及び炭素が高い濃度で含まれることにより、酸化物半導体膜 106a の結晶性を低下させることがある。酸化物半導体膜 106a の結晶性を低下させないためには、酸化物半導体膜 106a のシリコン濃度を  $1 \times 10^{19}$  atoms / cm<sup>3</sup> 未満、好ましくは  $5 \times 10^{18}$  atoms / cm<sup>3</sup> 未満、さらに好ましくは  $2 \times 10^{18}$  atoms / cm<sup>3</sup> 未満とすればよい。また、酸化物半導体膜 106a の結晶性を低下させないためには、酸化物半導体膜 106a の炭素濃度を  $1 \times 10^{19}$  atoms / cm<sup>3</sup> 未満、好ましくは  $5 \times 10^{18}$  atoms / cm<sup>3</sup> 未満、さらに好ましくは  $2 \times 10^{18}$  atoms / cm<sup>3</sup> 未満とすればよい。

30

#### 【 0 0 7 8 】

このように、チャネルが形成される酸化物半導体膜 106a が高い結晶性を有し、かつ不純物や欠陥などに起因する準位密度が低い場合、多層膜 106 を用いたトランジスタは安定した電気特性を有する。

#### 【 0 0 7 9 】

以下では、多層膜 106 中の局在準位について説明する。多層膜 106 中の局在準位を低減することで、多層膜 106 を用いたトランジスタに安定した電気特性を付与することができる。多層膜 106 の局在準位は、一定光電流測定法 ( C P M : Constant Photocurrent Method ) によって評価可能である。

40

#### 【 0 0 8 0 】

トランジスタに安定した電気特性を付与するためには、多層膜 106 中の C P M 測定で得られる局在準位による吸収係数を、 $1 \times 10^{-3}$  cm<sup>-1</sup> 未満、好ましくは  $3 \times 10^{-4}$  cm<sup>-1</sup> 未満とすればよい。また、多層膜 106 中の C P M 測定で得られる局在準位による吸収係数を、 $1 \times 10^{-3}$  cm<sup>-1</sup> 未満、好ましくは  $3 \times 10^{-4}$  cm<sup>-1</sup> 未満とすることで、トランジスタの電界効果移動度を高めることができる。なお、多層膜 106 中の C P M 測定で得られる局在準位による吸収係数を、 $1 \times 10^{-3}$  cm<sup>-1</sup> 未満、好まし

50

くは  $3 \times 10^{-4} \text{ cm}^{-1}$  未満とするためには、酸化物半導体膜 106a 中で局在準位を形成する元素であるシリコン、ゲルマニウム、炭素、ハフニウム、チタンなどの濃度を  $2 \times 10^{18} \text{ atoms/cm}^3$  未満、好ましくは  $2 \times 10^{17} \text{ atoms/cm}^3$  未満とすればよい。

#### 【0081】

なお、CPM 測定では、試料である多層膜 106 に接して設けられた電極及び電極間に電圧を印加した状態で光電流値が一定となるように端子間の試料面に照射する光量を調整し、照射光量から吸収係数を導出することを各波長にて行うものである。CPM 測定において、試料に欠陥があるとき、欠陥の存在する準位に応じたエネルギー（波長より換算）における吸収係数が増加する。この吸収係数の増加分に定数を掛けることにより、試料の欠陥密度を導出することができる。10

#### 【0082】

CPM 測定で得られた局在準位は、不純物や欠陥に起因する準位と考えられる。即ち、CPM 測定で得られる局在準位による吸収係数が小さい多層膜 106 を用いたトランジスタは安定した電気特性を有することがわかる。

#### 【0083】

以下では、多層膜 106 のバンド構造について、図 3 を用いて説明する。

#### 【0084】

例として、酸化物半導体膜 106a としてエネルギーギャップが 3.15 eV である In-Ga-Zn 酸化物を用い、酸化物膜 106b としてエネルギーギャップが 3.5 eV である In-Ga-Zn 酸化物とする。エネルギーギャップは、分光エリプソメータ (HORIBA JOBIN YVON 社 UT-300) を用いて測定した。20

#### 【0085】

酸化物半導体膜 106a 及び酸化物膜 106b の真空準位と価電子帯上端のエネルギー差（イオン化ポテンシャルともいう。）は、それぞれ 8 eV 及び 8.2 eV であった。なお、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析 (UPS : Ultraviolet Photoelectron Spectroscopy) 装置 (PHI 社 Versa Probe) を用いて測定した。

#### 【0086】

従って、酸化物半導体膜 106a 及び酸化物膜 106b の真空準位と伝導帯下端のエネルギー差（電子親和力ともいう。）は、それぞれ 4.85 eV 及び 4.7 eV であった。30

#### 【0087】

図 3 に、多層膜 106 のバンド構造の一部を模式的に示す。図 3 は、図 2 の一点鎖線 A5-A6 に対応するバンド構造である。具体的には、酸化物半導体膜 106a 及び酸化物膜 106b のそれぞれに酸化シリコン膜（ゲート絶縁膜 112 及び保護絶縁膜 118）を接して設けた場合について説明する。ここで、EcI1 は酸化シリコン膜の伝導帯下端のエネルギーを示し、EcS1 は酸化物半導体膜 106a の伝導帯下端のエネルギーを示し、EcS2 は酸化物膜 106b の伝導帯下端のエネルギーを示し、EcI2 は酸化シリコン膜の伝導帯下端のエネルギーを示す。

#### 【0088】

図 3 に示すように、酸化物半導体膜 106a 及び酸化物膜 106b において、伝導帯下端のエネルギーは障壁が無くなだらかに変化する。換言すると、連続的に変化するともいいうことができる。これは、酸化物膜 106b は、酸化物半導体膜 106a と共に元素を含み、酸化物半導体膜 106a 及び酸化物膜 106b 間で、酸素が相互に移動することで混合層が形成されるためであるということができる。40

#### 【0089】

図 3 より、多層膜 106 の酸化物半導体膜 106a がウェル（井戸）となり、多層膜 106 を用いたトランジスタにおいて、チャネル領域が酸化物半導体膜 106a に形成されることがわかる。なお、多層膜 106 は伝導帯下端のエネルギーが連続的に変化しているため、酸化物半導体膜 106a と酸化物膜 106b とが連続接合している、ともいえる。50

## 【0090】

なお、図4に示すように、酸化物膜106bと、保護絶縁膜118との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得るもの、酸化物膜106bが設けられることにより、酸化物半導体膜106aと当該トラップ準位とを遠ざけることができる。ただし、ECS1とECS2とのエネルギー差が小さい場合、酸化物半導体膜106aの電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

## 【0091】

従って、ECS1とECS2とのエネルギー差を、0.1eV以上、好ましくは0.15eV以上とすると、トランジスタのしきい値電圧の変動が低減され、安定した電気特性となるため、好ましい。

## 【0092】

## 1 - 1 - 2 . ソース電極及びドレイン電極

ソース電極116a及びドレイン電極116bは、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル及びタングステンを一種以上含む導電膜を、単層で、又は積層で用いることができる。好ましくは、ソース電極116a及びドレイン電極116bは、銅を含む層を有する多層膜とする。ソース電極116a及びドレイン電極116bとして、銅を含む層を有する多層膜を用いることで、ソース電極116a及びドレイン電極116bと同一層で配線を形成する場合、配線抵抗を低くすることができる。なお、ソース電極116aとドレイン電極116bは同一組成であってもよいし、異なる組成であってもよい。

10

20

## 【0093】

ところで、ソース電極116a及びドレイン電極116bとして、銅を含む層を有する多層膜を用いる場合、銅の影響により、酸化物膜106bと保護絶縁膜118との界面に図4に示したようなトラップ準位を形成することができる。この場合も、酸化物膜106bを有することにより、当該トラップ準位に電子が捕獲されることを抑制することができる。従って、トランジスタに安定した電気特性を付与し、かつ配線抵抗を低くすることが可能となる。

## 【0094】

30

## 1 - 1 - 3 . 保護絶縁膜

保護絶縁膜118は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルを一種以上含む絶縁膜を、単層で、又は積層で用いればよい。

## 【0095】

保護絶縁膜118は、例えば、1層目を酸化シリコン膜とし、2層目を窒化シリコン膜とした多層膜とすればよい。この場合、酸化シリコン膜は酸化窒化シリコン膜としてもよい。また、窒化シリコン膜は窒化酸化シリコン膜としてもよい。酸化シリコン膜は、欠陥密度の小さい酸化シリコン膜を用いると好ましい。具体的には、電子スピン共鳴(E S R : Electron Spin Resonance)にてg値が2.001の信号に由来するスピンの密度が $3 \times 10^{17}$ spins/cm<sup>3</sup>以下、好ましくは $5 \times 10^{16}$ spins/cm<sup>3</sup>以下である酸化シリコン膜を用いる。窒化シリコン膜は水素ガス及びアンモニアガスの放出量が少ない窒化シリコン膜を用いる。水素ガス、アンモニアガスの放出量は、昇温脱離ガス(TDS: Thermal Desorption Spectroscopy)分析にて測定すればよい。また、窒化シリコン膜は、水素、水及び酸素を透過しない、又はほとんど透過しない窒化シリコン膜を用いる。

40

## 【0096】

また、保護絶縁膜118は、例えば、1層目を第1の酸化シリコン膜118aとし、2層目を第2の酸化シリコン膜118bとし、3層目を窒化シリコン膜118cとした多層

50

膜とすればよい(図1(D)参照)。この場合、第1の酸化シリコン膜118a及び第2の酸化シリコン膜118bの一方又は双方は酸化窒化シリコン膜としてもよい。また、窒化シリコン膜は窒化酸化シリコン膜としてもよい。第1の酸化シリコン膜118aは、欠陥密度の小さい酸化シリコン膜を用いると好ましい。具体的には、ESRにてg値が2.001の信号に由来する спинの密度が $3 \times 10^{17}$ spins/cm<sup>3</sup>以下、好ましくは $5 \times 10^{16}$ spins/cm<sup>3</sup>以下である酸化シリコン膜を用いる。第2の酸化シリコン膜118bは、過剰酸素を含む酸化シリコン膜を用いる。窒化シリコン膜118cは水素ガス及びアンモニアガスの放出量が少ない窒化シリコン膜を用いる。また、窒化シリコン膜は、水素、水及び酸素を透過しない、又はほとんど透過しない窒化シリコン膜を用いる。

10

#### 【0097】

過剰酸素を含む酸化シリコン膜とは、加熱処理などによって酸素を放出することができる酸化シリコン膜をいう。また、過剰酸素を含む絶縁膜は、加熱処理によって酸素を放出する機能を有する絶縁膜である。

#### 【0098】

過剰酸素を含む絶縁膜は、酸化物半導体膜106a中の酸素欠損を低減することができる。酸化物半導体膜106a中で酸素欠損は、欠陥準位を形成し、その一部がドナー準位となる。従って、酸化物半導体膜106a中の酸素欠損(特にチャネル領域の酸素欠損)を低減することで、酸化物半導体膜106a(特にチャネル領域)のキャリア密度を低減することができ、トランジスタに安定した電気特性を付与することができる。

20

#### 【0099】

ここで、加熱処理によって酸素を放出する膜は、TDS分析によって、 $1 \times 10^{18}$ atoms/cm<sup>3</sup>以上、 $1 \times 10^{19}$ atoms/cm<sup>3</sup>以上又は $1 \times 10^{20}$ atoms/cm<sup>3</sup>以上の酸素(酸素原子数に換算)を放出することもある。

#### 【0100】

また、加熱処理によって酸素を放出する膜は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因する спин密度が、 $5 \times 10^{17}$ spins/cm<sup>3</sup>以上であることをいう。なお、過酸化ラジカルを含む膜は、ESRにて、g値が2.01近傍に非対称の信号を有することもある。

#### 【0101】

また、過剰酸素を含む絶縁膜は、酸素が過剰な酸化シリコン(SiO<sub>X</sub>(X>2))であってもよい。酸素が過剰な酸化シリコン(SiO<sub>X</sub>(X>2))は、シリコン原子数の2倍より多い酸素原子を単位体積当たりに含むものである。単位体積当たりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱分光法(RBS: Rutherford Backscattering Spectrometry)により測定した値である。

30

#### 【0102】

##### 1-1-4. ゲート絶縁膜

ゲート絶縁膜112は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルを一種以上含む絶縁膜を、単層で、又は積層で用いればよい。

40

#### 【0103】

ゲート絶縁膜は、例えば、1層目を窒化シリコン膜とし、2層目を酸化シリコン膜とした多層膜とすればよい。この場合、酸化シリコン膜は酸化窒化シリコン膜としてもよい。また、窒化シリコン膜は窒化酸化シリコン膜としてもよい。酸化シリコン膜は、欠陥密度の小さい酸化シリコン膜を用いると好ましい。具体的にはESRにてg値が2.001の信号に由来する спинの密度が $3 \times 10^{17}$ spins/cm<sup>3</sup>以下、好ましくは $5 \times 10^{16}$ spins/cm<sup>3</sup>以下である酸化シリコン膜を用いる。酸化シリコン膜は、過剰酸素を含む酸化シリコン膜を用いると好ましい。窒化シリコン膜は水素ガス及びアンモニアガスの放出量が少ない窒化シリコン膜を用いる。水素ガス、アンモニアガスの放出量は

50

、TDS分析にて測定すればよい。

#### 【0104】

ゲート絶縁膜112及び保護絶縁膜118の少なくとも一方が過剰酸素を含む絶縁膜を含む場合、酸化物半導体膜106aの酸素欠損が低減され、トランジスタに安定した電気特性を付与することができる。

#### 【0105】

##### 1-1-5. ゲート電極

ゲート電極104は、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル及びタングステンを一種以上含む導電膜を、単層で、又は積層で用いればよい。

10

#### 【0106】

##### 1-1-6. 基板

基板100に大きな制限はない。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon On Insulator)基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

#### 【0107】

また、基板100として、第5世代(1000mm×1200mm又は1300mm×1500mm)、第6世代(1500mm×1800mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2500mm)、第9世代(2400mm×2800mm)、第10世代(2880mm×3130mm)などの大型ガラス基板を用いる場合、半導体装置の作製工程における加熱処理などで生じる基板100の縮みによって、微細な加工が困難になる場合ある。そのため、前述したような大型ガラス基板を基板100として用いる場合、加熱処理による縮みの小さいものを用いることが好ましい。例えば、基板100として、400、好ましくは450、さらに好ましくは500の温度で1時間加熱処理を行った後の縮み量が10ppm以下、好ましくは5ppm以下、さらに好ましくは3ppm以下である大型ガラス基板を用いればよい。

20

#### 【0108】

また、基板100として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

30

#### 【0109】

以上のようにして構成されたトランジスタは、酸化物半導体膜106aにチャネルが形成されることにより、安定した電気特性を有し、高い電界効果移動度を有する。また、ソース電極116a及びドレイン電極116bに銅を含む層を有する多層膜を用いても、安定した電気特性が得られる。

#### 【0110】

##### 1-2. トランジスタ構造(1)の作製方法

ここで、トランジスタの作製方法について図5及び図6を用いて説明する。

40

#### 【0111】

まずは、基板100を準備する。

#### 【0112】

次に、ゲート電極104となる導電膜を成膜する。ゲート電極104となる導電膜は、ゲート電極104として示した導電膜をスパッタリング法、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、原子層堆積(ALD: Atomic Layer Deposition)法又はパルスレーザ堆積(PLD: Pulse

50

Laser Deposition) 法を用いて成膜すればよい。

【0113】

次に、ゲート電極 104 となる導電膜の一部をエッチングし、ゲート電極 104 を形成する(図5(A)参照)。

【0114】

次に、ゲート絶縁膜 112 を成膜する(図5(B)参照)。ゲート絶縁膜 112 は、ゲート絶縁膜 112 として上記列挙した絶縁膜をスパッタリング法、CVD法、MBE法、ALD法又はPLD法を用いて成膜すればよい。

【0115】

次に、酸化物半導体膜 106a に加工される酸化物半導体膜 126a を成膜する(図5(C)参照)。酸化物半導体膜 126a は、酸化物半導体膜 106a として上記列挙した酸化物半導体膜をスパッタリング法、CVD法、MBE法、ALD法又はPLD法を用いて成膜すればよい。

【0116】

次に、酸化物膜 106b に加工される酸化物膜 126b を成膜する。酸化物膜 126b は、酸化物膜 106b として上記列挙した酸化物膜をスパッタリング法、CVD法、MBE法、ALD法又はPLD法を用いて成膜すればよい。

【0117】

スパッタリング法で酸化物半導体膜 126a 及び酸化物膜 126b を形成する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

【0118】

スパッタリングガスは、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

【0119】

また、ターゲットは、酸化物半導体膜 126a 及び酸化物膜 126b の組成にあわせて、適宜選択すればよい。

【0120】

スパッタリング法を用いる場合、少なくとも酸化物半導体膜 126a を、以下のようにして形成することで CAAC-O<sub>S</sub> を形成することができる。具体的には、基板温度を 150 以上 500 以下、好ましくは 150 以上 450 以下、さらに好ましくは 200 以上 350 以下として、加熱しながら酸化物半導体膜 126a を形成する。なお、酸化物膜 126b についてもこのように加熱しながら形成してもよい。

【0121】

また、酸化物半導体膜 106a 及び酸化物膜 106b を連続接合とするためには、酸化物半導体膜 126a 及び酸化物膜 126b を、大気曝露することなく連続で成膜することが好ましい。また、酸化物半導体膜 126a 及び酸化物膜 126b は、各層の間に不純物が取り込まれることを抑制できる。

【0122】

具体的には、連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置(スパッタリング装置)を用いて各膜を大気に触れさせることなく連続して積層することが好ましい。スパッタリング装置における各チャンバーは、酸化物半導体膜にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気( $1 \times 10^{-4}$  Pa ~  $5 \times 10^{-7}$  Pa 程度まで)することが好ましい。又は、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

【0123】

不純物及びキャリア密度が低減された酸化物半導体膜を得るために、チャンバー内を高真空排気するのみならずスパッタリングガスの高純度化も必要である。スパッタリング

10

20

30

40

50

ガスとして用いる酸素ガスやアルゴンガスは、露点が -40 以下、好ましくは -80 以下、より好ましくは -100 以下にまで高純度化したガスを用いることで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

#### 【0124】

なお、スパッタリング法で酸化物膜 126b を成膜する場合、成膜時に発生するパーティクル数の低減の観点から、インジウムを含むターゲットを用いることが好ましい。また、ガリウムの原子数比が比較的小さい酸化物ターゲットを用いることが好ましい。なぜなら、インジウムを含むターゲットを用いることで、ターゲットの導電率を高めることができ、DC 放電及び AC 放電が容易となり、大面積の基板へ対応しやすくなるためである。これにより、半導体装置の生産性を高めることができる。

10

#### 【0125】

また、酸化物半導体膜 126a 及び酸化物膜 126b を形成した後に、酸素雰囲気、又は窒素及び酸素雰囲気で、プラズマ処理を行ってもよい。これにより、少なくとも酸化物半導体膜 126a の酸素欠損を低減することができる。

#### 【0126】

次に、酸化物半導体膜 126a 上及び酸化物膜 126b 上にレジストマスクを形成し、当該レジストマスクを利用して酸化物半導体膜 126a 及び酸化物膜 126b の一部をエッチングし、酸化物半導体膜 106a 及び酸化物膜 106b を含む多層膜 106 を形成する（図 6 (A) 参照）。当該エッチングは、上記のようにウェットエッチングとする。当該ウェットエッチングを行うことで、多層膜 106 を、異なる 2 つのテープ角を有するテープ形状とすることができます。

20

#### 【0127】

次に、第 1 の加熱処理を行うと好ましい。第 1 の加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下で行えばよい。第 1 の加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上、1% 以上もしくは 10% 以上含む雰囲気、又は減圧状態で行う。又は、第 1 の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上、1% 以上又は 10% 以上含む雰囲気で加熱処理を行ってもよい。第 1 の加熱処理によって、酸化物半導体膜 106a の結晶性を高め、さらにゲート絶縁膜 112 及び多層膜 106 から水、水素、窒素、及び炭素などの不純物を除去することができる。

30

#### 【0128】

なお、第 1 の加熱処理は、多層膜 106 を形成するエッチング工程の前後の少なくとも一方で行うことができる。

#### 【0129】

次に、ソース電極 116a 及びドレイン電極 116b となる導電膜を成膜する。ソース電極 116a 及びドレイン電極 116b となる導電膜は、ソース電極 116a 及びドレイン電極 116b として示した導電膜をスパッタリング法、CVD 法、MBE 法、ALD 法又は PLD 法を用いて成膜すればよい。

#### 【0130】

例えば、ソース電極 116a 及びドレイン電極 116b となる導電膜として、タンゲステン層と、タンゲステン層上に設けられた銅層を含む多層膜を成膜すればよい。

40

#### 【0131】

次に、ソース電極 116a 及びドレイン電極 116b となる導電膜の一部をエッチングし、ソース電極 116a 及びドレイン電極 116b を形成する（図 6 (B) 参照）。ソース電極 116a 及びドレイン電極 116b となる導電膜として、タンゲステン層と、タンゲステン層上に設けられた銅層を含む多層膜を用いた場合、同一のフォトマスクを用いて当該多層膜をエッチングすることができる。タンゲステン層及び銅層を一度にエッチングしても、酸化物半導体膜 106a 上に酸化物膜 106b が設けられることにより、酸化物半導体膜 106a と酸化物膜 106b との間における銅濃度を  $1 \times 10^{-9}$  atoms/cm<sup>3</sup> 未満、 $2 \times 10^{-8}$  atoms/cm<sup>3</sup> 未満、又は  $2 \times 10^{-7}$  atoms/cm<sup>3</sup>

50

<sup>3</sup> 未満とすることができるため、銅によるトランジスタの電気特性の劣化が起こらない。そのため、工程の自由度が高くなり、トランジスタの生産性を高めることができる。

#### 【0132】

次に、第2の加熱処理を行うと好ましい。第2の加熱処理は、第1の加熱処理の記載を参照して行えばよい。第2の加熱処理により、多層膜106から水素や水などの不純物を除去することができる。水素は多層膜106中で特に移動しやすいため、第2の加熱処理によって低減しておくとトランジスタに安定した電気特性を付与することができる。なお、水も水素を含む化合物であるため、酸化物半導体膜106a中で不純物となり得る。

#### 【0133】

また、第2の加熱処理によって、ソース電極116a及びドレイン電極116bと接する多層膜106に低抵抗領域106c及び低抵抗領域106dを形成することができる。  
10

#### 【0134】

以上のように、多層膜106を形成することで、酸化物半導体膜106aの結晶性を高くでき、かつ酸化物半導体膜106a、酸化物膜106b、及び酸化物半導体膜106aと酸化物膜106bとの界面における不純物濃度を低減することができる。

#### 【0135】

次に、保護絶縁膜118を成膜する(図1(B)参照)。保護絶縁膜118は、保護絶縁膜118として上記列挙した絶縁膜をスパッタリング法、CVD法、MBE法、ALD法又はPLD法を用いて成膜すればよい。  
20

#### 【0136】

ここで、保護絶縁膜118を図1(D)に示すような3層構造とする場合について説明する。まず、第1の酸化シリコン膜118aを成膜する。次に、第2の酸化シリコン膜118bを成膜する。次に、第2の酸化シリコン膜118bに酸素イオンを添加する処理を行ってもよい。酸素イオンを添加する処理は、イオンドーピング装置又はプラズマ処理装置を用いればよい。イオンドーピング装置として、質量分離機能を有するイオンドーピング装置を用いてもよい。酸素イオンの原料として、<sup>16</sup>O<sub>2</sub>もしくは<sup>18</sup>O<sub>2</sub>などの酸素ガス、亜酸化窒素ガス又はオゾンガスなどを用いればよい。次に、窒化シリコン膜118cを成膜することで、保護絶縁膜118を形成すればよい。

#### 【0137】

第1の酸化シリコン膜118aは、CVD法の一種であるプラズマCVD法によって成膜すると好ましい。具体的には、基板温度を180以上400以下、好ましくは200以上370以下とし、シリコンを含む堆積性ガス及び酸化性ガスを用いて圧力20Pa以上250Pa以下、好ましくは40Pa以上200Pa以下として、電極に高周波電力を供給することで成膜すればよい。なお、シリコンを含む堆積性ガスの代表例としては、シラン、ジシラン、トリシラン、フッ化シラン、などがある。酸化性ガスとしては、酸素、オゾン、亜酸化窒素、二酸化窒素などがある。  
30

#### 【0138】

なお、シリコンを含む堆積性ガスに対する酸化性ガスの流量を100倍以上とすることで、第1の酸化シリコン膜118a中の水素含有量を低減し、かつダンギングボンドを低減することができる。  
40

#### 【0139】

以上のようにして、欠陥密度の小さい第1の酸化シリコン膜118aを成膜する。即ち、第1の酸化シリコン膜118aは、ESRにてg値が2.001の信号に由来するスピノの密度が $3 \times 10^{17}$ spins/cm<sup>3</sup>以下、又は $5 \times 10^{16}$ spins/cm<sup>3</sup>以下とすることができます。

#### 【0140】

第2の酸化シリコン膜118bは、プラズマCVD法によって成膜すると好ましい。具体的には、基板温度を160以上350以下、好ましくは180以上260以下とし、シリコンを含む堆積性ガス及び酸化性ガスを用いて圧力100Pa以上250Pa以下、好ましくは100Pa以上200Pa以下として、電極に0.17W/cm<sup>2</sup>以上  
50

0.5 W / cm<sup>2</sup> 以下、好ましくは 0.25 W / cm<sup>2</sup> 以上 0.35 W / cm<sup>2</sup> 以下の高周波電力を供給することで成膜すればよい。

#### 【0141】

上述の方法によって、プラズマ中でのガスの分解効率が高まり、酸素ラジカルが増加し、ガスの酸化が進むため、過剰酸素を含む第2の酸化シリコン膜 118b を成膜することができる。

#### 【0142】

窒化シリコン膜 118c は、プラズマ CVD 法によって成膜すると好ましい。具体的には、基板温度を 180 以上 400 以下、好ましくは 200 以上 370 以下とし、シリコンを含む堆積性ガス、窒素ガス及びアンモニアガスを用いて圧力 20 Pa 以上 25 10 Pa 以下、好ましくは 40 Pa 以上 200 Pa 以下として、高周波電力を供給することで成膜すればよい。

#### 【0143】

なお、窒素ガスはアンモニアガスの流量の 5 倍以上 50 倍以下、好ましくは 10 倍以上 50 倍以下とする。なお、アンモニアガスを用いることで、シリコンを含む堆積性ガス及び窒素ガスの分解を促すことができる。これは、アンモニアガスがプラズマエネルギー及び熱エネルギーによって解離し、解離することで生じるエネルギーが、シリコンを含む堆積性ガスの結合、及び窒素ガスの結合の分解に寄与するためである。

#### 【0144】

従って、上述の方法によって、水素ガス及びアンモニアガスの放出量が少ない窒化シリコン膜 118c を成膜することができる。また、水素の含有量が少ないため、緻密となり、水素、水及び酸素を透過しない、又はほとんど透過しない窒化シリコン膜 118c とすることができる。

#### 【0145】

次に、第3の加熱処理を行うと好ましい。第3の加熱処理は、第1の加熱処理の記載を参照して行えばよい。第3の加熱処理により、ゲート絶縁膜 112 又は / 及び保護絶縁膜 118 から過剰酸素が放出され、多層膜 106 の酸素欠損を低減することができる。なお、多層膜 106 中では、酸素欠損が隣接する酸素原子を捕獲していくことで、見かけ上移動する。

#### 【0146】

以上のようにして、図1に示した BGTc 構造のトランジスタを作製することができる。

#### 【0147】

##### 1-3. トランジスタ構造(2)

ここでは、図1に示したトランジスタの変形例であるトランジスタについて図7を用いて説明する。

#### 【0148】

図7に、当該変形例であるトランジスタの上面図及び断面図を示す。図7(A)はトランジスタの上面図を示す。図7(A)において、一点鎖線 A1-A2 に対応する断面図を図7(B)に示す。また、図7(A)において、一点鎖線 A3-A4 に対応する断面図を図7(C)に示す。なお、図7(A)において、図面の明瞭化のために当該トランジスタの構成要素の一部(ゲート絶縁膜、及び保護絶縁膜など)を省略している。

#### 【0149】

図7に示すトランジスタは、図1に示すトランジスタと比較して、ソース電極 116a 及びドレイン電極 116b の上面、並びに多層膜 106 の上面に酸化物膜 107 が接して設けられている点について異なる。

#### 【0150】

酸化物膜 117 は、多層膜 106 の酸化物膜 106b に適用できる酸化物膜を用いることができ、酸化物膜 106b に適用できる方法を用いて成膜することができる。なお、図7に示すトランジスタのその他の構成要素は、図1に示すトランジスタと同じであり、上

10

20

30

40

50

記を適宜参照することができる。

**【0151】**

図7に示すトランジスタの構造は、酸化物半導体膜106aと保護絶縁膜118との間に酸化物膜106b及び酸化物膜107が設けられる構造であるため、保護絶縁膜118との界面近傍に形成される不純物や欠陥に起因したトラップ準位を、より酸化物半導体膜106aから遠ざけることができる。つまり、ECS1とECS2とのエネルギー差が小さい場合でも、酸化物半導体膜106aの電子が該エネルギー差を越えてトラップ準位に達することを抑制することができる。従って、図7に示すトランジスタは、よりトランジスタのしきい値電圧の変動が低減された、安定な電気特性を有するトランジスタである。

**【0152】**

また、図7に示すトランジスタの作製方法は、図1に示したトランジスタの記載を適宜参考することができる。

**【0153】**

以上より、図1及び図7に示したトランジスタは、多層膜106の酸化物半導体膜106a(特にチャネル領域)において、不純物及びキャリア密度が低減されていることから安定した電気特性を有する。

**【0154】**

(実施の形態2)

本実施の形態では、本発明の一態様であり、実施の形態1の構造とは一部異なるトランジスタについて説明する。

**【0155】**

2-1.トランジスタ構造(3)

本項では、トップゲート型トランジスタについて説明する。ここでは、トップゲート型トランジスタの一種であるトップゲートトップコンタクト構造(TGTC構造)のトランジスタについて図8を用いて説明する。

**【0156】**

図8に、TGTC構造であるトランジスタの上面図及び断面図を示す。図8(A)は、トランジスタの上面図を示す。図8(A)において、一点鎖線B1-B2に対応する断面図を図8(B)に示す。また、図8(A)において、一点鎖線B3-B4に対応する断面図を図8(C)に示す。

**【0157】**

図8(B)に示すトランジスタは、基板200上に設けられた下地絶縁膜202と、下地絶縁膜202上に設けられた酸化物膜206c、酸化物膜206c上に設けられた酸化物半導体膜206a、酸化物半導体膜206a上に設けられた酸化物膜206bを含む多層膜206と、下地絶縁膜202及び多層膜206上に設けられたソース電極216a及びドレイン電極216bと、多層膜206、ソース電極216a及びドレイン電極216b上に設けられたゲート絶縁膜212と、ゲート絶縁膜212上に設けられたゲート電極204と、ゲート絶縁膜212及びゲート電極204上に設けられた保護絶縁膜218と、を有する。なお、トランジスタは、下地絶縁膜202及び保護絶縁膜218の一方又は双方は有していないてもよい。

**【0158】**

また、ソース電極216a及びドレイン電極216bに用いる導電膜の種類によっては、多層膜206の一部から酸素を奪い、又は混合層を形成し、多層膜206中に低抵抗領域206d及び低抵抗領域206eを形成することがある。低抵抗領域206d及び低抵抗領域206eは、図8(B)において、多層膜206中のソース電極216a及びドレイン電極216bと接する界面近傍の領域(多層膜206の破線とソース電極216a及びドレイン電極216bの間の領域)となる。低抵抗領域206d及び低抵抗領域206eの一部又は全部はソース領域及びドレイン領域として機能する。

**【0159】**

図8(A)において、ゲート電極204と重なる領域において、ソース電極216aと

10

20

30

40

50

ドレイン電極 216bとの間隔をチャネル長という。ただし、トランジスタが、ソース領域及びドレイン領域を含む場合、ゲート電極 204と重なる領域において、ソース領域とドレイン領域との間隔をチャネル長といつてもよい。

#### 【0160】

なお、チャネル形成領域とは、多層膜 206において、ゲート電極 204と重なり、かつソース電極 216aとドレイン電極 216bとに挟まれる領域をいう。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。ここでは、チャネル領域は、チャネル形成領域中の酸化物半導体膜 206aの一部分である。

#### 【0161】

##### 2 - 1 - 1 . 多層膜について

10

多層膜 206は、酸化物半導体膜 206aの上下に酸化物膜 206bと、酸化物膜 206cが積層された構造である。酸化物半導体膜 206aの下面とは、酸化物半導体膜 206aの基板 200側の面、又は酸化物膜 206cとの境界面に相当する。酸化物膜 206bの下面とは、酸化物膜 206bの基板 200側の面、又は酸化物半導体膜 206aとの境界面に相当する。酸化物膜 206cの下面とは、酸化物膜 206cの基板 200側の面、又は酸化物膜 206cのゲート絶縁膜 112に接する面に相当する。なお、多層膜 206の積層構造は、S T E M ( S c a n n i n g T r a n s m i s s i o n E l e c t r o n M i c r o s c o p y ) を用いて観察することによって、その境界を確認することができる。しかし、酸化物半導体膜 206a、酸化物膜 206b及び酸化物膜 206cに用いる材料によっては、当該境界を明確に確認できない場合がある。

20

#### 【0162】

酸化物半導体膜 206aは、実施の形態 1 の酸化物半導体膜 106aに適用できる酸化物半導体膜を用いることができる。酸化物膜 206bは、実施の形態 1 の酸化物膜 106bに適用できる酸化物膜を用いることができる。酸化物膜 206cは、実施の形態 1 の酸化物膜 106bに適用できる酸化物膜を用いることができる。

#### 【0163】

多層膜 206において、少なくとも酸化物半導体膜 206aはテーパ形状を有する。好みしくは、酸化物膜 206b及び酸化物膜 206cもテーパ形状を有する。また、少なくとも酸化物半導体膜 206aのテーパ形状は、酸化物膜 206bのテーパ形状及び酸化物膜 206cのテーパ形状と異なっていることが好ましい。酸化物膜 206bと酸化物膜 206cのテーパ形状は同じであっても、異なっていてもよい。

30

#### 【0164】

具体的には、酸化物半導体膜 206aにおいて酸化物半導体膜 206aの下面と酸化物半導体膜 206aの側面とでなす角度を第 1 の角度 1 とし、酸化物膜 206bにおいて酸化物膜 206bの下面と酸化物膜 206bの側面とでなす角度を第 2 の角度 2 とし、酸化物膜 206cにおいて酸化物膜 206cの下面と酸化物膜 206cの側面とでなす角度を第 3 の角度 3 とした場合、第 1 の角度 1 は鋭角とし、第 2 の角度 2 及び第 3 の角度 3 は鋭角、又は垂直とすることができます。

#### 【0165】

特に、第 1 の角度 1、第 2 の角度 2 及び第 3 の角度 3 は全て鋭角であり、少なくとも第 1 の角度 1 は、第 2 の角度 2 及び第 3 の角度 3 よりも小さいことが好ましい(図 9 参照)。

40

#### 【0166】

なお、第 2 の角度 2 及び第 3 の角度 3 は同じ角度であってもよく、互いに異なる角度であってもよい。例えば、酸化物膜 206b及び酸化物膜 206cを同じ種類の酸化物膜とすることで、第 2 の角度 2 及び第 3 の角度 3 を同じ角度にすることができます。

#### 【0167】

また、第 1 の角度 1 は 10°以上 90°未満であり、30°以上 70°以下であることが好ましい。第 2 の角度 2 及び第 3 の角度 3 は、10°以上 90°未満とし、30°以上 70°以下とすることが好ましい。

50

## 【0168】

このように、多層膜206を、異なるテーパ角を有するテーパ形状とすることで下記の効果を得ることができる。多層膜206について、一定のテーパ角を有するテーパ形状に比べて、異なるテーパ角を有するテーパ形状とすることで、ソース電極216a及びドレイン電極216bとの接触面積を拡大させることができる。従って、多層膜206と、ソース電極216a及びドレイン電極216bとの接触抵抗が低減し、トランジスタのオン電流を増大させることができる。

## 【0169】

また、第2の角度2及び第3の角度3を第1の角度1よりも大きくすることで、酸化物膜206b、酸化物膜206cとソース電極216a及びドレイン電極216bとの接触面積を小さくすることができ、酸化物膜206b及び酸化物膜206cに形成される低抵抗領域を小さくすることができる。これにより、酸化物膜206b及び酸化物膜206cの一方又は双方の低抵抗化を抑制しソース電極216a及びドレイン電極216bの間ににおけるリークパスの発生を抑制しつつ、チャネル領域として機能する酸化物半導体膜206aに効果的に低抵抗領域を形成することができ、トランジスタのオン電流の増大と、トランジスタのオフ電流の低減とを両立させることができる。10

## 【0170】

また、酸化物半導体膜206aの上端及び酸化物膜206bの下端、並びに酸化物膜206cの上端及び酸化物半導体膜206aの下端は、略一致している(図9参照)。つまり、多層膜206には、酸化物半導体膜206a、酸化物膜206b、及び酸化物膜206cのうち2つ以上の膜で形成される大きな段差213及び大きな段差214を有していない(図32(A)、(B)参照)。そのため、多層膜206上に設けられる膜(例えば、ソース電極216a及びドレイン電極216bに加工される導電膜)の段切れを抑制することができ、電気特性が良好なトランジスタを作製することができる。なお、酸化物半導体膜206aの上端及び酸化物膜206bの下端、並びに酸化物膜206cの上端及び酸化物半導体膜206aの下端は、略一致しているとは、酸化物膜206bの下端の酸化物半導体膜206aの上端からの距離L1、酸化物膜206cの上端の酸化物半導体膜206aの下端からの距離L2が30nm以下、好ましくは10nm以下であることをいう(図32(A)、(B)参照)。20

## 【0171】

上記テーパ形状は、多層膜206をエッティングで形成する際に、それぞれの膜のエッティング速度が違うことを利用することで形成できる。特に、上記テーパ形状は、酸化物半導体膜206aのエッティング速度を、酸化物膜206bのエッティング速度及び酸化物膜206cのエッティング速度よりも遅くすることで形成することができる。30

## 【0172】

第2の角度2を第3の角度3よりも小さくする場合は、酸化物膜206bのエッティング速度を酸化物膜206cのエッティング速度よりも遅くすればよい。また、第2の角度2を第3の角度3よりも大きくする場合は、酸化物膜206bのエッティング速度を酸化物膜206cのエッティング速度よりも速くすればよい。40

## 【0173】

上記テーパ形状は、実施の形態1と同様に、エッチャントとしてリン酸を含む溶液を用いたウェットエッティングによって形成することができる。また、当該ウェットエッティングの詳細は、実施の形態1を参照できる。また、第2の角度2及び第3の角度3を第1の角度1よりも大きくすることで、当該ウェットエッティングにおいて、エッチャントに曝される面積をできるだけ小さくすることができる。また、第2の角度2及び第3の角度3を第1の角度1よりも大きくすることで、エッチャントによる汚染や欠陥の生成によって、酸化物膜206b及び酸化物膜206cに形成される低抵抗領域を小さくすることができる。

## 【0174】

多層膜206をウェットエッティングによって形成することで、実施の形態1で記載した50

ように、トランジスタの歩留まりの低下を抑制し、電気特性の良好なトランジスタを生産性高く作製することができる。

【0175】

以下では、多層膜206のバンド構造について、図10を用いて説明する。

【0176】

例として、酸化物半導体膜206aとしてエネルギーギャップが3.15eVであるIn-Ga-Zn酸化物を用い、酸化物膜206b及び酸化物膜206cとしてエネルギーギャップが3.5eVであるIn-Ga-Zn酸化物とする。エネルギーギャップは、分光エリプソメータ(HORIBA JOBIN YVON社 U T - 300)を用いて測定した。

10

【0177】

酸化物半導体膜206aの真空準位と価電子帯上端のエネルギー差(イオン化ポテンシャルともいう。)は、8eVであった。また、酸化物膜206b及び酸化物膜206cのイオン化ポテンシャルは、8.2eVであった。なお、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析(UPS: Ultraviolet Photoelectron Spectroscopy)装置(PHI社 VersaProbe)を用いて測定した。

【0178】

従って、酸化物半導体膜206aの真空準位と伝導帯下端のエネルギー差(電子親和力ともいう。)は、4.85eVであった。酸化物膜206b及び酸化物膜206cの電子親和力は4.7eVであった。

20

【0179】

図10(A)に、多層膜206のバンド構造の一部を模式的に示す。図10(A)では、酸化物膜206b及び酸化物膜206cのそれぞれに酸化シリコン膜(下地絶縁膜202及びゲート絶縁膜212)を接して設けた場合について説明する。ここで、EcI1は酸化シリコン膜の伝導帯下端のエネルギーを示し、EcS1は酸化物半導体膜206aの伝導帯下端のエネルギーを示し、EcS2は酸化物膜206bの伝導帯下端のエネルギーを示し、EcS3は酸化物膜206cの伝導帯下端のエネルギーを示し、EcI2は酸化シリコン膜の伝導帯下端のエネルギーを示す。

【0180】

30

図10(A)に示すように、酸化物半導体膜206a、酸化物膜206b及び酸化物膜206cにおいて、伝導帯下端のエネルギーは障壁が無くなだらかに変化する。換言すると、連続的に変化するともいうことができる。これは、酸化物膜206b及び酸化物膜206cは、酸化物半導体膜206aと共に元素を含み、酸化物半導体膜206a及び酸化物膜206b間と、酸化物半導体膜206a及び酸化物膜206c間とで、酸素が相互に移動することによって混合層が形成されるためであるといふことができる。

【0181】

図10(A)より、多層膜206の酸化物半導体膜206aがウェル(井戸)となり、多層膜206を用いたトランジスタにおいて、チャネル領域が酸化物半導体膜206aに形成されることがわかる。なお、多層膜206は伝導帯下端のエネルギーが連続的に変化しているため、酸化物半導体膜206a及び酸化物膜206bと、酸化物半導体膜206a及び酸化物膜206cとが連続接合している、ともいえる。

40

【0182】

また、酸化物膜206b及び酸化物膜206cをそれぞれ伝導帯下端のエネルギーの異なる酸化物膜とすることにより、多層膜206のバンド構造を当該伝導帯下端のエネルギーの大小関係に応じて変化させることができる。

【0183】

酸化物膜206cとして、酸化物膜206bの伝導帯下端のエネルギーより大きい酸化物を用いることで、図10(B)に示すバンド構造を有する多層膜206を形成できる。

【0184】

50

酸化物膜 206b として、酸化物膜 206c の伝導帯下端のエネルギーより小さい酸化物を用いることで、図 10 (C) に示すバンド構造を有する多層膜 206 を形成できる。

#### 【0185】

なお、図 10 (B) 及び図 10 (C) に示すバンド構造を有する多層膜 206 においても、チャネル領域は酸化物半導体膜 206a に形成される。

#### 【0186】

なお、酸化物膜 206b と、ゲート絶縁膜 212 との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得るもの、酸化物膜 206b が設けられることにより、酸化物半導体膜 206a と当該トラップ準位とを遠ざけることができる。ただし、ECS1 と ECS2 とのエネルギー差が小さい場合、酸化物半導体膜 206a の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

#### 【0187】

また、酸化物膜 206c と、下地絶縁膜 202 との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得るもの、酸化物半導体膜 206a と当該トラップ準位とを遠ざけることができる。ただし、ECS1 と ECS3 とのエネルギー差が小さい場合、酸化物半導体膜 206a の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

#### 【0188】

従って、ECS1 と ECS2 とのエネルギー差、及び ECS1 と ECS3 とのエネルギー差を、それぞれ 0.1 eV 以上、好ましくは 0.15 eV 以上とすると、トランジスタのしきい値電圧の変動が低減され、安定した電気特性となるため、好ましい。

#### 【0189】

##### 2 - 1 - 2 . その他の構成について

基板 200 は、基板 100 についての記載を参照できる。また、ソース電極 216a 及びドレイン電極 216b は、ソース電極 116a 及びドレイン電極 116b についての記載を参照できる。また、ゲート絶縁膜 212 は、ゲート絶縁膜 112 についての記載を参照できる。また、ゲート電極 204 は、ゲート電極 104 についての記載を参照できる。また、保護絶縁膜 218 は、保護絶縁膜 118 についての記載を参照できる。

#### 【0190】

なお、図 8 (A) において、多層膜 206 は、上面形状においてゲート電極 204 よりも外側まで形成されているが、上方からの光によって多層膜 206 中でキャリアが生成されることを抑制するために、ゲート電極 204 の幅を多層膜 206 の幅より大きく形成してもよい。

#### 【0191】

下地絶縁膜 202 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニア、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルを一種以上含む絶縁膜を、単層で、又は積層で用いることができる。

#### 【0192】

下地絶縁膜 202 は、例えば、1 層目を窒化シリコン膜とし、2 層目を酸化シリコン膜とした積層構造としてもよい。この場合、酸化シリコン膜は酸化窒化シリコン膜としてもよい。また、窒化シリコン膜は窒化酸化シリコン膜としてもよい。酸化シリコン膜は、欠陥密度の小さい酸化シリコン膜を用いると好ましい。具体的には、ESR にて g 値が 2.001 の信号に由来するスピノの密度が  $3 \times 10^{17} \text{ spins/cm}^3$  以下、好ましくは  $5 \times 10^{16} \text{ spins/cm}^3$  以下である酸化シリコン膜を用いる。窒化シリコン膜は水素及びアンモニアの放出量が少ない窒化シリコン膜を用いる。水素、アンモニアの放出量は、TDS 分析にて測定すればよい。また、窒化シリコン膜は、水素、水及び酸素を

10

20

30

40

50

透過しない、又はほとんど透過しない窒化シリコン膜を用いる。

**【0193】**

また、下地絶縁膜202は、例えば、1層目を第1の窒化シリコン膜とし、2層目を第1の酸化シリコン膜とし、3層目を第2の酸化シリコン膜とした積層構造としてもよい。この場合、第1の酸化シリコン膜又はノ及び第2の酸化シリコン膜は酸化窒化シリコン膜としてもよい。また、窒化シリコン膜は窒化酸化シリコン膜としてもよい。第1の酸化シリコン膜は、欠陥密度の小さい酸化シリコン膜を用いると好ましい。具体的には、ESRにてg値が2.001の信号に由来する спинの密度が $3 \times 10^{17}$ spins/cm<sup>3</sup>以下、好ましくは $5 \times 10^{16}$ spins/cm<sup>3</sup>以下である酸化シリコン膜を用いる。第2の酸化シリコン膜は、過剰酸素を含む酸化シリコン膜を用いる。窒化シリコン膜は水素及びアンモニアの放出量が少ない窒化シリコン膜を用いる。また、窒化シリコン膜は、水素、水及び酸素を透過しない、又はほとんど透過しない窒化シリコン膜を用いる。10

**【0194】**

ゲート絶縁膜212及び下地絶縁膜202の一方又は双方が過剰酸素を含む絶縁膜を有する場合、酸化物半導体膜206aの酸素欠損を低減することができる。

**【0195】**

以上より、本実施の形態に示すトランジスタは、多層膜206の酸化物半導体膜206a（特にチャネル領域）の不純物及びキャリア密度が低減されていることにより、安定した電気特性を有し、高い電界効果移動度を有する。20

**【0196】**

2-2.トランジスタ構造(3)の作製方法

ここで、トランジスタの作製方法について図11及び図12を用いて説明する。

**【0197】**

まずは、基板200を準備する。

**【0198】**

基板200上に下地絶縁膜202を形成する。下地絶縁膜202は、上記列挙した絶縁膜をスパッタリング法、CVD法、MBE法、ALD法又はPLD法を用いて成膜すればよい。

**【0199】**

次に、酸化物膜206cに加工される酸化物膜226cを成膜する。酸化物膜206cの成膜方法は、実施の形態1の酸化物膜106bについての記載を参照できる。なお、酸化物膜206cは、CAAC-Os又は非晶質となるように成膜する。酸化物膜206cがCAAC-Os又は非晶質であると、酸化物半導体膜206aとなる酸化物半導体膜226aがCAAC-Osとなりやすい。30

**【0200】**

次に、酸化物半導体膜206aに加工される酸化物半導体膜226aを成膜する。酸化物半導体膜226aの成膜方法は、実施の形態1の酸化物半導体膜106aについての記載を参照できる。

**【0201】**

次に、酸化物膜206bに加工される酸化物膜226bを成膜する。酸化物膜226bの成膜方法は、実施の形態1の酸化物膜106bについての記載を参照できる（図11(A)参照）。40

**【0202】**

実施の形態1で記載したように、酸化物膜206c、酸化物半導体膜206a、及び酸化物膜206bを連続接合させるために、酸化物膜226c、酸化物半導体膜226a、及び酸化物膜226bは、各膜を大気に触れさせることなく連続して積層することが好ましい。

**【0203】**

次に、酸化物膜226c、酸化物半導体膜226a、及び酸化物膜226bの一部をエッチングし、酸化物膜206c、酸化物半導体膜206a及び酸化物膜206bを含む多

層膜 206 を形成する（図 11（B）参照）。なお、当該エッティングは上記を参照できる。

#### 【0204】

次に、第1の加熱処理を行うと好ましい。第1の加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下で行えればよい。第1の加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上、1% 以上もしくは 10% 以上含む雰囲気、又は減圧状態で行う。又は、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上、1% 以上又は 10% 以上含む雰囲気で加熱処理を行ってもよい。第1の加熱処理によって、酸化物半導体膜 226a の結晶性を高め、さらに下地絶縁膜 202、多層膜 206 から水、水素、窒素、及び炭素などの不純物を除去することができる。10

#### 【0205】

なお、第1の加熱処理は、多層膜 206 を形成するエッティング工程の前後の少なくとも一方で行うことができる。

#### 【0206】

次に、ソース電極 216a 及びドレイン電極 216b となる導電膜を成膜する。ソース電極 216a 及びドレイン電極 216b となる導電膜の成膜方法は、実施の形態 1 のソース電極 116a 及びドレイン電極 116b についての記載を参照できる。

#### 【0207】

次に、ソース電極 216a 及びドレイン電極 216b となる導電膜の一部をエッティングし、ソース電極 216a 及びドレイン電極 216b を形成する（図 11（C）参照）。20

#### 【0208】

次に、第2の加熱処理を行うと好ましい。第2の加熱処理は、第1の加熱処理の記載を参照して行えればよい。第2の加熱処理により、多層膜 206 から水、水素、窒素、及び炭素などの不純物を除去することができる。

#### 【0209】

また、第2の加熱処理によって、ソース電極 216a 及びドレイン電極 216b と接する多層膜 206 に低抵抗領域 206d 及び低抵抗領域 206e を形成することができる。

#### 【0210】

次に、ゲート絶縁膜 212 を成膜する（図 12（A）参照）。ゲート絶縁膜 212 の成膜方法は、実施の形態 1 のゲート絶縁膜 112 についての記載を参照する。30

#### 【0211】

次に、ゲート電極 204 となる導電膜を成膜する。次に、ゲート電極 204 となる導電膜の一部をエッティングし、ゲート電極 204 を形成する（図 12（B）参照）。ゲート電極 204 の成膜方法及びエッティング工程は、実施の形態 1 のゲート電極 104 についての記載を参照できる。

#### 【0212】

次に、保護絶縁膜 218 を成膜する（図 8（B）参照）。保護絶縁膜 218 の成膜方法は、保護絶縁膜 118 についての記載を参照する。

#### 【0213】

以上のようにして、図 8 に示すトランジスタを作製することができる。40

#### 【0214】

##### 2 - 3 . トランジスタ構造（4）

ここでは、図 8 に示したトランジスタの変形例であるトランジスタについて図 13 を用いて説明する。

#### 【0215】

図 13 に、当該変形例であるトランジスタの上面図及び断面図を示す。図 13（A）はトランジスタの上面図を示す。図 13（A）において、一点鎖線 B1 - B2 に対応する断面図を図 13（B）に示す。また、図 13（A）において、一点鎖線 B3 - B4 に対応する断面図を図 13（C）に示す。なお、図 13（A）において、図面の明瞭化のために当50

該トランジスタの構成要素の一部（ゲート絶縁膜、及び保護絶縁膜など）を省略している。

#### 【0216】

図13に示すトランジスタは、図8に示したトランジスタと比較して、多層膜206において酸化物膜206cを有していない点について異なる。つまり、図13に示すトランジスタにおける多層膜206は、酸化物半導体膜206a及び酸化物膜206bである。なお、図13に示すトランジスタのその他の構成要素は、図8に示すトランジスタと同じであり、上記を適宜参照することができる。

#### 【0217】

図13に示すトランジスタは、酸化物膜206bと、ゲート絶縁膜212との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得るもの、酸化物膜206bが設けられることにより、酸化物半導体膜206aと当該トラップ準位とを遠ざけることができる。従って、図13に示すトランジスタは、トランジスタのしきい値電圧の変動が低減された、安定な電気特性を有するトランジスタである。

#### 【0218】

また、図13に示すトランジスタの作製方法は、実施の形態1及び図8に示したトランジスタの記載を適宜参照することができる。

#### 【0219】

##### 2 - 4 . トランジスタ構造（5）

ここでは、図8に示したトランジスタの変形例であるトランジスタについて図14を用いて説明する。

#### 【0220】

図14に、当該変形例であるトランジスタの上面図及び断面図を示す。図14(A)はトランジスタの上面図を示す。図14(A)において、一点鎖線B1-B2に対応する断面図を図14(B)に示す。また、図14(A)において、一点鎖線B3-B4に対応する断面図を図14(C)に示す。なお、図14(A)において、図面の明瞭化のために当該トランジスタの構成要素の一部（ゲート絶縁膜、及び保護絶縁膜など）を省略している。

#### 【0221】

図14に示すトランジスタは、図8に示したトランジスタと比較して、多層膜206において酸化物膜206bを有していない点について異なる。つまり、図14に示すトランジスタにおける多層膜206は、酸化物膜206c及び酸化物半導体膜206aである。また、ソース電極216a及びドレイン電極216bの上面、並びに多層膜206の上面に酸化物膜207が接して設けられている点について異なる。

#### 【0222】

酸化物膜207は、実施例1の多層膜106の酸化物膜106bに適用できる酸化物膜を用いることができ、酸化物膜106bに適用できる方法を用いて成膜することができる。なお、図14に示すトランジスタのその他の構成要素は、図8に示すトランジスタと同じであり、上記を適宜参照することができる。

#### 【0223】

図14に示すトランジスタの構造は、酸化物半導体膜206aとゲート絶縁膜212と間に酸化物膜207が設けられる構造であるため、酸化物膜207とゲート絶縁膜212との界面近傍に形成される不純物や欠陥に起因したトラップ準位を、酸化物半導体膜106aから遠ざけることができる。従って、図14に示すトランジスタは、トランジスタのしきい値電圧の変動が低減された、安定な電気特性を有するトランジスタである。

#### 【0224】

また、図14に示すトランジスタの作製方法は、実施の形態1及び図8に示したトランジスタの記載を適宜参照することができる。

#### 【0225】

##### 2 - 5 . その他のトランジスタ構造

10

20

30

40

50

例えば、図8に示したトランジスタにおいて、ソース電極212a及びドレイン電極212bの上面、並びに多層膜206の上面と、ゲート絶縁膜212との間に、図14に示したトランジスタの酸化物膜207を設けた構造のトランジスタも本発明の一態様に含まれる。

#### 【0226】

このような構造のトランジスタとすることで、酸化物半導体膜206aとゲート絶縁膜212と間に酸化物膜206b及び酸化物膜207が設けられる構造とすることができるため、酸化物膜207とゲート絶縁膜212との界面近傍に形成される不純物や欠陥に起因したトラップ準位を、より酸化物半導体膜206aから遠ざけることができる。つまり、ECS1とECS2とのエネルギー差が小さい場合でも、酸化物半導体膜206aの電子が該エネルギー差を越えてトラップ準位に達することを抑制することができる。従って、よりトランジスタのしきい値電圧の変動が低減された、安定な電気特性を有するトランジスタを得ることができる。

#### 【0227】

また、実施の形態1で説明したボトムゲート構造のトランジスタの多層膜106を、酸化物半導体膜206a、酸化物膜206b及び酸化物膜206cを有する多層膜206に置き換えたトランジスタも本発明の一態様に含まれる。

#### 【0228】

以上より、図8、図13及び図14に示したトランジスタは、多層膜106、206の酸化物半導体膜106a、206a（特にチャネル領域）において、不純物及びキャリア密度が低減されていることから安定した電気特性を有する。

#### 【0229】

##### （実施の形態3）

本実施の形態では、上記実施の形態で記載したトランジスタを用いた半導体装置について説明する。

#### 【0230】

##### 3 - 1 . 表示装置

ここでは、上記実施の形態で記載したトランジスタを用いた半導体装置の一つである表示装置について説明する。

#### 【0231】

表示装置に設けられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流又は電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機ELなどを含む。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も表示素子として適用することができる。以下では、表示装置の一例としてEL素子を用いた表示装置及び液晶素子を用いた表示装置について説明する。

#### 【0232】

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

#### 【0233】

また、以下に示す表示装置は画像表示デバイス、又は光源（照明装置含む）を指す。また、コネクター、例えばFPC、TCPが取り付けられたモジュール、TCPの先にプリント配線板が設けられたモジュール又は表示素子にCOG方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

#### 【0234】

また、以下に示す表示装置は、接触又は非接触によるセンシングによって行われる入力手段を設けることができる（図示せず）。例えば、接触によるセンシングによって行われる入力手段としては、抵抗膜方式、静電容量方式、赤外線方式、電磁誘導方式、表面弾性波方式など、種々の方式のタッチセンサを用いることができる。また、非接触によるセン

10

20

30

40

50

シングによって行われる入力手段としては赤外線カメラなどを用いることで実施できる。

**【0235】**

当該入力手段は、以下に示す表示装置上に別途設けられた、いわゆるオンセル方式として設けてもよいし、以下に示す表示装置と一体として設けられた、いわゆるインセル方式として設けてもよい。

**【0236】**

3 - 1 - 1 . E L 表示装置

ここでは、E L 素子を用いた表示装置（E L 表示装置ともいう。）について説明する。

**【0237】**

図15は、E L 表示装置の画素の回路図の一例である。

10

**【0238】**

図15に示すE L 表示装置は、スイッチ素子743と、トランジスタ741と、キャパシタ742と、発光素子719と、を有する。

**【0239】**

トランジスタ741のゲートはスイッチ素子743の一端及びキャパシタ742の一端と電気的に接続される。トランジスタ741のソースは発光素子719の一端と電気的に接続される。トランジスタ741のドレインはキャパシタ742の他端と電気的に接続され、電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電気的に接続される。発光素子719の他端は定電位が与えられる。なお、定電位は接地電位GND又はそれより小さい電位とする。

20

**【0240】**

なお、トランジスタ741は、上記実施の形態に記載したトランジスタを用いる。当該トランジスタは、安定した電気特性を有する。そのため、表示品位の高いE L 表示装置とすることができます。

**【0241】**

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高いE L 表示装置とすることができます。また、スイッチ素子743として、上記実施の形態に記載したトランジスタを用いてもよい。スイッチ素子743として当該トランジスタを用いることで、トランジスタ741と同一工程によってスイッチ素子743を作製することができ、E L 表示装置の生産性を高めることができる。

30

**【0242】**

図16(A)は、E L 表示装置の上面図である。E L 表示装置は、基板100と、基板700と、シール材734と、駆動回路735と、駆動回路736と、画素737と、FPC732と、を有する。シール材734は、画素737、駆動回路735及び駆動回路736を囲むように基板100と基板700との間に設けられる。なお、駆動回路735及び駆動回路736の一方又は双方をシール材734の外側に設けてもよい。

**【0243】**

図16(B)は、図16(A)の一点鎖線M-Nに対応するE L 表示装置の断面図である。FPC732は、端子731を介して配線733aと接続される。なお、配線733aは、ゲート電極104と同一層である。

40

**【0244】**

なお、図16(B)は、トランジスタ741とキャパシタ742とが、同一平面に設けられた例を示す。このような構造とすることで、キャパシタ742をトランジスタ741のゲート電極、ゲート絶縁膜及びソース電極(ドレン電極)と同一平面に形成することができる。このように、トランジスタ741とキャパシタ742とを同一平面に設けることにより、E L 表示装置の作製工程を短縮化し、生産性を高めることができる。

**【0245】**

図16(B)では、トランジスタ741として、図1に示したトランジスタを適用した例を示す。そのため、トランジスタ741の各構成のうち、以下で特に説明しないものに

50

については、図1についての記載を参照する。

**【0246】**

トランジスタ741及びキャパシタ742上には、絶縁膜720が設けられる。

**【0247】**

ここで、絶縁膜720及び保護絶縁膜118には、トランジスタ741のソース電極116aに達する開口部が設けられる。

**【0248】**

絶縁膜720上には、電極781が設けられる。電極781は、絶縁膜720及び保護絶縁膜118に設けられた開口部を介してトランジスタ741のソース電極116aと接する。

10

**【0249】**

電極781上には、電極781に達する開口部を有する隔壁784が設けられる。

**【0250】**

隔壁784上には、隔壁784に設けられた開口部で電極781と接する発光層782が設けられる。

**【0251】**

発光層782上には、電極783が設けられる。

**【0252】**

電極781、発光層782及び電極783の重なる領域が、発光素子719となる。

**【0253】**

なお、絶縁膜720は、保護絶縁膜118の記載を参照する。又は、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を用いても構わない。

20

**【0254】**

発光層782は、一層に限定されず、複数種の発光層などを積層して設けてよい。例えば、図16(C)に示すような構造とすればよい。図16(C)は、中間層785a、発光層786a、中間層785b、発光層786b、中間層785c、発光層786c及び中間層785dの順番で積層した構造である。このとき、発光層786a、発光層786b及び発光層786cに適切な発光色の発光層を用いると演色性の高い、又は発光効率の高い、発光素子719を形成することができる。

**【0255】**

30

発光層を複数種積層して設けることで、白色光を得てもよい。図16(B)には示さないが、着色層を介して白色光を取り出す構造としてもよい。

**【0256】**

ここでは発光層を3層及び中間層を4層設けた構造を示しているが、これに限定されるものではなく、適宜発光層の数及び中間層の数を変更することができる。例えば、中間層785a、発光層786a、中間層785b、発光層786b及び中間層785cのみで構成することもできる。また、中間層785a、発光層786a、中間層785b、発光層786b、発光層786c及び中間層785dで構成し、中間層785cを省いた構造としてもよい。

**【0257】**

40

また、中間層は、正孔注入層、正孔輸送層、電子輸送層及び電子注入層などを積層構造で用いることができる。なお、中間層は、これらの層を全て備えなくてもよい。これらの層は適宜選択して設ければよい。なお、同様の機能を有する層を重複して設けてもよい。また、中間層としてキャリア発生層のほか、電子リレー層などを適宜加えてよい。

**【0258】**

電極781は、可視光透過性を有する導電膜を用いればよい。可視光透過性を有するとは、可視光領域(例えば400nm～800nmの波長範囲)における平均の透過率が70%以上、特に80%以上であることをいう。

**【0259】**

電極781としては、例えば、In-Zn-W酸化物膜、In-Sn酸化物膜、In-

50

Zn酸化物膜、酸化インジウム膜、酸化亜鉛膜及び酸化スズ膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、A1、Ga、Sb、Fなどが微量添加されてもよい。また、光を透過する程度の金属薄膜（好ましくは、5nm～30nm程度）を用いることができる。例えば5nmの膜厚を有するAg膜、Mg膜又はAg-Mg合金膜を用いてもよい。

#### 【0260】

又は、電極781は、可視光を効率よく反射する膜が好ましい。電極781は、例えば、リチウム、アルミニウム、チタン、マグネシウム、ランタン、銀、シリコン又はニッケルを含む膜を用いればよい。

#### 【0261】

電極783は、電極781として示した膜から選択して用いることができる。ただし、電極781が可視光透過性を有する場合は、電極783が可視光を効率よく反射すると好ましい。また、電極781が可視光を効率よく反射する場合は、電極783が可視光透過性を有すると好ましい。

#### 【0262】

なお、電極781及び電極783を図16(B)に示す構造で設けているが、電極781と電極783を入れ替えてよい。アノードとして機能する電極には、仕事関数の大きい導電膜を用いることが好ましく、カソードとして機能する電極には仕事関数の小さい導電膜を用いることが好ましい。ただし、アノードと接してキャリア発生層を設ける場合には、仕事関数を考慮せずに様々な導電膜を陽極に用いることができる。

#### 【0263】

隔壁784は、保護絶縁膜118の記載を参照する。又は、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を用いても構わない。

#### 【0264】

また、表示装置において、ブラックマトリクス（遮光膜）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。

#### 【0265】

発光素子719と接続するトランジスタ741は、安定した電気特性を有する。そのため、表示品位の高いEL表示装置を提供することができる。

#### 【0266】

図17(A)及び図17(B)は、図16(B)と一部が異なるEL表示装置の断面図の一例である。具体的には、FPC732と接続する配線が異なる。図17(A)では、端子731を介してFPC732と配線733bが接続している。配線733bは、ソース電極116a及びドレイン電極116bと同一層である。図17(B)では、端子731を介してFPC732と配線733cが接続している。配線733cは、電極781と同一層である。

#### 【0267】

##### 3-1-2. 液晶表示装置

次に、液晶素子を用いた表示装置（液晶表示装置ともいう。）について説明する。

#### 【0268】

図18は、液晶表示装置の画素の構成例を示す回路図である。図18に示す画素750は、トランジスタ751と、キャパシタ752と、一対の電極間に液晶の充填された素子（以下液晶素子ともいう）753とを有する。

#### 【0269】

トランジスタ751では、ソース及びドレインの一方が信号線755に電気的に接続され、ゲートが走査線754に電気的に接続されている。

#### 【0270】

キャパシタ752では、一方の電極がトランジスタ751のソース及びドレインの他方に電気的に接続され、他方の電極が共通電位を供給する配線に電気的に接続されている。

10

20

30

40

50

## 【0271】

液晶素子753では、一方の電極がトランジスタ751のソース及びドレインの他方に電気的に接続され、他方の電極が共通電位を供給する配線に電気的に接続されている。なお、上述のキャパシタ752の他方の電極が電気的に接続する配線に与えられる共通電位と、液晶素子753の他方の電極に与えられる共通電位とが異なる電位であってもよい。

## 【0272】

なお、液晶表示装置も、上面図はEL表示装置と概略同様である。図16(A)の一点鎖線M-Nに対応する液晶表示装置の断面図を図19(A)に示す。図19(A)において、FPC732は、端子731を介して配線733aと接続される。なお、配線733aは、ゲート電極104と同一層である。10

## 【0273】

図19(A)には、トランジスタ751とキャパシタ752とが、同一平面に設けられた例を示す。このような構造とすることで、キャパシタ752をトランジスタ751のゲート電極、ゲート絶縁膜及びソース電極(ドレイン電極)と同一平面に作製することができる。このように、トランジスタ751とキャパシタ752とを同一平面に設けることにより、液晶表示装置の作製工程を短縮化し、生産性を高めることができる。

## 【0274】

トランジスタ751としては、上述したトランジスタを適用することができる。図19(A)においては、図1に示したトランジスタを適用した例を示す。そのため、トランジスタ751の各構成のうち、以下で特に説明しないものについては、図1についての記載を参照する。20

## 【0275】

なお、トランジスタ751は極めてオフ電流の小さいトランジスタとすることができます。従って、キャパシタ752に保持された電荷がリークしにくく、長期間に渡って液晶素子753に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ751をオフ状態とすることで、トランジスタ751の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができます。

## 【0276】

液晶表示装置に設けられるキャパシタ752の大きさは、画素部に配置されるトランジスタ751のリーク電流等を考慮して、所定の期間の間電荷を保持できるよう設定される。トランジスタ751を用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有するキャパシタを設ければ充分であるため、画素における開口率を高めることができる。30

## 【0277】

トランジスタ751及びキャパシタ752上には、絶縁膜721が設けられる。

## 【0278】

ここで、絶縁膜721及び保護絶縁膜118には、トランジスタ751のドレイン電極116bに達する開口部が設けられる。

## 【0279】

絶縁膜721上には、電極791が設けられる。電極791は、絶縁膜721及び保護絶縁膜118に設けられた開口部を介してトランジスタ751のドレイン電極116bと接する。40

## 【0280】

電極791上には、配向膜として機能する絶縁膜792が設けられる。

## 【0281】

絶縁膜792上には、液晶層793が設けられる。

## 【0282】

液晶層793上には、配向膜として機能する絶縁膜794が設けられる。

## 【0283】

絶縁膜794上には、スペーサ795が設けられる。50

## 【0284】

スペーサ795及び絶縁膜794上には、電極796が設けられる。

## 【0285】

電極796上には、基板797が設けられる。

## 【0286】

なお、絶縁膜721は、保護絶縁膜118の記載を参照する。又は、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を用いても構わない。

## 【0287】

液晶層793は、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶などを用いればよい。これらの液晶は、条件により、コレステリック相、スマートチック相、キューピック相、カイラルネマチック相、等方相などを示す。  
10

## 【0288】

なお、液晶層793として、ブルー相を示す液晶を用いてもよい。その場合、配向膜として機能する絶縁膜792及び絶縁膜794を設けない構成とすればよい。

## 【0289】

電極791は、可視光透過性を有する導電膜を用いればよい。

## 【0290】

液晶表示装置が透過型の場合、電極791としては、例えば、In-Zn-W酸化物膜、In-Sn酸化物膜、In-Zn酸化物膜、酸化インジウム膜、酸化亜鉛膜及び酸化スズ膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、Fなどが微量添加されてもよい。また、光を透過する程度の金属薄膜（好ましくは、5nm～30nm程度）を用いることもできる。  
20

## 【0291】

液晶表示装置が反射型の場合、電極791は、可視光を効率よく反射する膜が好ましい。電極791は、例えば、アルミニウム、チタン、クロム、銅、モリブデン、銀、タンタル又はタンクステンを含む膜を用いればよい。

## 【0292】

液晶表示装置が透過型の場合、電極796は、電極791として示した可視光透過性を有する導電膜から選択して用いることができる。一方、液晶表示装置が反射型の場合、電極791が可視光透過性を有する場合は、電極796が可視光を効率よく反射すると好ましい。また、電極791が可視光を効率よく反射する場合は、電極796が可視光透過性を有すると好ましい。  
30

## 【0293】

なお、電極791及び電極796を図19(A)に示す構造で設けているが、電極791と電極796を入れ替えてよい。

## 【0294】

絶縁膜792及び絶縁膜794は、有機化合物又は無機化合物から選択して用いればよい。

## 【0295】

スペーサ795は、有機化合物又は無機化合物から選択して用いればよい。なお、スペーサ795の形状は、柱状、球状など様々にとることができる。

## 【0296】

電極791、絶縁膜792、液晶層793、絶縁膜794及び電極796の重なる領域が、液晶素子753となる。

## 【0297】

基板797は、ガラス、樹脂又は金属などを用いればよい。基板797は可とう性を有してもよい。

## 【0298】

図19(B)及び図19(C)は、図19(A)と一部が異なる液晶表示装置の断面図  
50

の一例である。具体的には、FPC732と接続する配線が異なる。図19(B)では、端子731を介してFPC732と配線733bが接続している。配線733bは、ソース電極116a及びドレイン電極116bと同一層である。図19(C)では、端子731を介してFPC732と配線733cが接続している。配線733cは、電極791と同一層である。

#### 【0299】

液晶素子753と接続するトランジスタ751は、安定した電気特性を有する。そのため、表示品位の高い液晶表示装置を提供することができる。また、トランジスタ751はオフ電流を極めて小さくできるため、消費電力の小さい液晶表示装置を提供することができる。

10

#### 【0300】

液晶表示装置において、動作モードは適宜選択することができる。例えば、基板に対して直交に電圧を印加する縦電界方式、基板に対して平行に電圧を印加する横電界方式がある。具体的には、TNモード、VAモード、MVAモード、PVAモード、ASMモード、TBAモード、OCBモード、FLCモード、AFLCモード、又はFFSモードなどが挙げられる。

#### 【0301】

液晶表示装置において、ブラックマトリクス(遮光層)、偏光部材、位相差部材、反射防止部材などの光学部材(光学基板)などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

20

#### 【0302】

また、バックライトとして複数の発光ダイオード(LED)を用いて、時間分割表示方式(フィールドシーケンシャル駆動方式)を行うことも可能である。フィールドシーケンシャル駆動方式を適用することで、着色層を用いることなく、カラー表示を行うことができる。

#### 【0303】

上述したように、画素部における表示方式は、プログレッシブ方式やインターレース方式などを用いる。また、カラー表示する際に画素で制御する色要素としては、RGB(Rは赤、Gは緑、Bは青を表す)の三色に限定されない。例えば、RGBW(Wは白を表す)、又はRGBに、イエロー、シアン、マゼンタなどを一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。ただし、本発明はカラー表示の液晶表示装置に限定されるものではなく、モノクロ表示の液晶表示装置に適用することもできる。

30

#### 【0304】

##### 3-2.マイクロコンピュータ

上述したトランジスタは、さまざまな電子機器に搭載されるマイクロコンピュータに適用することができる。

#### 【0305】

以下では、マイクロコンピュータを搭載した電子機器の例として火災報知器の構成及び動作について、図20、図21、図22及び図23(A)を用いて説明する。

40

#### 【0306】

なお、本明細書中において、火災報知器とは、火災の発生を急報する装置全般を示すものであり、例えば、住宅用火災警報器や、自動火災報知設備や、当該自動火災報知設備に用いられる火災感知器なども火災報知器に含むものとする。

#### 【0307】

図20に示す警報装置は、マイクロコンピュータ500を少なくとも有する。ここで、マイクロコンピュータ500は、警報装置の内部に設けられている。マイクロコンピュータ500は、高電位電源線VDDと電気的に接続されたパワーゲートコントローラ503と、高電位電源線VDD及びパワーゲートコントローラ503と電気的に接続されたパワ

50

一ゲート 504 と、パワーゲート 504 と電気的に接続された CPU (Central Processing Unit) 505 と、パワーゲート 504 及び CPU 505 と電気的に接続された検出部 509 と、が設けられる。また、CPU 505 には、揮発性記憶部 506 と不揮発性記憶部 507 と、が含まれる。

#### 【0308】

また、CPU 505 は、インターフェース 508 を介してバスライン 502 と電気的に接続されている。インターフェース 508 も CPU 505 と同様にパワーゲート 504 と電気的に接続されている。インターフェース 508 のバス規格としては、例えば、I<sup>2</sup>C バスなどを用いることができる。また、警報装置には、インターフェース 508 を介してパワーゲート 504 と電気的に接続される発光素子 530 が設けられる。

10

#### 【0309】

発光素子 530 は指向性の強い光を放出するものが好ましく、例えば、有機 EL 素子、無機 EL 素子、LED などを用いることができる。

#### 【0310】

パワーゲートコントローラ 503 はタイマーを有し、当該タイマーに従ってパワーゲート 504 を制御する。パワーゲート 504 は、パワーゲートコントローラ 503 の制御に従って、CPU 505、検出部 509 及びインターフェース 508 に高電位電源線 VDD から供給される電源を供給又は遮断する。ここで、パワーゲート 504 としては、例えば、トランジスタなどのスイッチング素子を用いることができる。

20

#### 【0311】

このようなパワーゲートコントローラ 503 及びパワーゲート 504 を用いることにより、光量を測定する期間に検出部 509、CPU 505 及びインターフェース 508 への電源供給を行い、測定期間の合間に検出部 509、CPU 505 及びインターフェース 508 への電源供給を遮断することができる。このように警報装置を動作させることにより、上記の各構成に常時電源供給を行う場合より消費電力の低減を図ることができる。

#### 【0312】

また、パワーゲート 504 としてトランジスタを用いる場合、不揮発性記憶部 507 に用いられる、極めてオフ電流の低いトランジスタ、例えば上記実施の形態に記載したトランジスタを用いることが好ましい。このようなトランジスタを用いることにより、パワーゲート 504 で電源を遮断する際にリーク電流を低減し、消費電力の低減を図ることができる。

30

#### 【0313】

警報装置に直流電源 501 を設け、直流電源 501 から高電位電源線 VDD に電源を供給してもよい。直流電源 501 の高電位側の電極は、高電位電源線 VDD と電気的に接続され、直流電源 501 の低電位側の電極は、低電位電源線 VSS と電気的に接続される。低電位電源線 VSS はマイクロコンピュータ 500 に電気的に接続される。ここで、高電位電源線 VDD は、高電位 H が与えられている。また、低電位電源線 VSS は、例えば接地電位 (GND) などの低電位 L が与えられている。

#### 【0314】

直流電源 501 として電池を用いる場合は、例えば、高電位電源線 VDD と電気的に接続された電極と、低電位電源線 VSS に電気的に接続された電極と、当該電池を保持することができる筐体と、を有する電池ケースを筐体に設ける構成とすればよい。なお、警報装置は、必ずしも直流電源 501 を設けなくてもよく、例えば、当該警報装置の外部に設けられた交流電源から配線を介して電源を供給する構成としてもよい。

40

#### 【0315】

また、上記電池として、二次電池、例えば、リチウムイオン二次電池（リチウムイオン蓄電池、リチウムイオン電池、又はリチウムイオンバッテリーとも呼ぶ。）を用いることもできる。また、当該二次電池を充電できるように太陽電池を設けることが好ましい。

#### 【0316】

検出部 509 は、異常に係る物理量を計測して計測値を CPU 505 に送信する。異常

50

に係る物理量は、警報装置の用途によって異なり、火災報知器として機能する警報装置では、火災に係る物理量を計測する。故に、検出部 509 には、火災に係る物理量として光量を計測し、煙の存在を感知する。

### 【0317】

検出部 509 は、パワーゲート 504 と電気的に接続された光センサ 511 と、パワーゲート 504 と電気的に接続されたアンプ 512 と、パワーゲート 504 及び C P U 505 と電気的に接続された A D コンバータ 513 と、を有する。発光素子 530、光センサ 511、アンプ 512 及び A D コンバータ 513 は、パワーゲート 504 が検出部 509 に電源を供給したときに動作する。

### 【0318】

図 21 に警報装置の断面の一部を示す。p 型の半導体基板 401 に素子分離領域 403 を有し、ゲート絶縁膜 407 及びゲート電極 409、n 型の不純物領域 411a、n 型の不純物領域 411b を有する n 型のトランジスタ 519 が形成されている。n 型のトランジスタ 519 は、単結晶シリコンなどの半導体を用いて形成されており、高速動作が可能である。従って、高速なアクセスが可能な C P U の揮発性記憶部を形成することができる。なお、n 型のトランジスタ 519 上には、絶縁膜 415 及び絶縁膜 417 が設けられる。

### 【0319】

また、絶縁膜 415 及び絶縁膜 417 の一部を選択的にエッチングした開口部にコンタクトプラグ 419a 及びコンタクトプラグ 419b を形成し、絶縁膜 417 及びコンタクトプラグ 419a 及びコンタクトプラグ 419b 上に溝部を有する絶縁膜 421 を設けている。また、絶縁膜 421 の溝部に配線 423a 及び配線 423b を形成する。また、絶縁膜 421、配線 423a 及び配線 423b 上にスパッタリング法、C V D 法等により絶縁膜 420 を形成し、当該絶縁膜 420 上に、溝部を有する絶縁膜 422 を形成する。絶縁膜 422 の溝部に電極 424 を形成する。電極 424 は、第 2 のトランジスタ 517 のバックゲート電極として機能する電極である。このような電極 424 を設けることにより、第 2 のトランジスタ 517 のしきい値電圧の制御を行うことができる。

### 【0320】

また、絶縁膜 422 及び電極 424 上に、スパッタリング法、C V D 法等により、絶縁膜 425 を設けている。

### 【0321】

絶縁膜 425 上には、第 2 のトランジスタ 517 と、光電変換素子 514 が設けられる。第 2 のトランジスタ 517 は、酸化物半導体膜 206a 及び酸化物膜 206b を含む多層膜 206 と、多層膜 206 上に接するソース電極 216a、ドレイン電極 216b と、ゲート絶縁膜 212 と、ゲート電極 204 と、保護絶縁膜 218 を含む。また、光電変換素子 514 と第 2 のトランジスタ 517 を覆う絶縁膜 445 が設けられ、絶縁膜 445 上にドレイン電極 216b に接して配線 449 を有する。配線 449 は、第 2 のトランジスタ 517 のドレイン電極と n 型のトランジスタ 519 のゲート電極 409 とを電気的に接続するノードとして機能する。

### 【0322】

光センサ 511 は、光電変換素子 514 と、容量素子と、第 1 のトランジスタと、第 2 のトランジスタ 517 と、第 3 のトランジスタと、n 型のトランジスタ 519 と、を含む。ここで光電変換素子 514 としては、例えば、フォトダイオードなどを用いることができる。

### 【0323】

光電変換素子 514 の端子の一方は、低電位電源線 V S S と電気的に接続され、端子の他方は、第 2 のトランジスタ 517 のソース電極及びドレイン電極の一方と電気的に接続される。第 2 のトランジスタ 517 のゲート電極は、電荷蓄積制御信号 T x が与えられ、ソース電極及びドレイン電極の他方は、容量素子の一対の電極の一方と、第 1 のトランジスタのソース電極及びドレイン電極の一方と、n 型のトランジスタ 519 のゲート電極と

10

20

30

40

50

電気的に接続される（以下、当該ノードをノードF Dと呼ぶ場合がある）。容量素子の一对の電極の他方は、低電位電源線V S Sと電気的に接続される。第1のトランジスタのゲート電極は、リセット信号R e sが与えられ、ソース電極及びドレイン電極の他方は、高電位電源線V D Dと電気的に接続される。n型のトランジスタ5 1 9のソース電極及びドレイン電極の一方は、第3のトランジスタのソース電極及びドレイン電極の一方と、アンプ5 1 2と電気的に接続される。また、n型のトランジスタ5 1 9のソース電極及びドレイン電極の他方は、高電位電源線V D Dと電気的に接続される。第3のトランジスタのゲート電極は、バイアス信号B i a sが与えられ、ソース電極及びドレイン電極の他方は、低電位電源線V S Sと電気的に接続される。

## 【0324】

10

なお、容量素子は必ずしも設けなくてよく、例えば、n型のトランジスタ5 1 9などの寄生容量が十分大きい場合、容量素子を設けない構成としてもよい。

## 【0325】

また、第1のトランジスタ及び第2のトランジスタ5 1 7に、極めてオフ電流の低いトランジスタを用いることが好ましい。また、極めてオフ電流の低いトランジスタとしては、上述した酸化物半導体膜を含む多層膜を用いたトランジスタを用いることが好ましい。このような構成とすることによりノードF Dの電位を長時間保持することが可能となる。

## 【0326】

また、図21に示す構成は、第2のトランジスタ5 1 7と電気的に接続して、絶縁膜4 2 5上に光電変換素子5 1 4が設けられている。

20

## 【0327】

光電変換素子5 1 4は、絶縁膜4 2 5上に設けられた半導体膜2 6 0と、半導体膜2 6 0上に接して設けられた第2のトランジスタ5 1 7のソース電極2 1 6 a、電極2 1 6 cと、を有する。ソース電極2 1 6 aは第2のトランジスタ5 1 7のソース電極又はドレイン電極として機能する電極であり、光電変換素子5 1 4と第2のトランジスタ5 1 7とを電気的に接続している。

## 【0328】

半導体膜2 6 0、第2のトランジスタ5 1 7のソース電極2 1 6 a及び電極2 1 6 c上には、ゲート絶縁膜2 1 2、保護絶縁膜2 1 8及び絶縁膜4 4 5が設けられている。また、絶縁膜4 4 5上に配線4 5 6が設けられており、ゲート絶縁膜2 1 2、保護絶縁膜2 1 8及び絶縁膜4 4 5に設けられた開口を介して電極2 1 6 cと接する。

30

## 【0329】

電極2 1 6 cは、第2のトランジスタ5 1 7のソース電極2 1 6 a及びドレイン電極2 1 6 bと、配線4 5 6は、配線4 4 9と同様の工程で形成することができる。

## 【0330】

半導体膜2 6 0としては、光電変換を行うことができる半導体膜を設ければよく、例えば、シリコンやゲルマニウムなどを用いることができる。半導体膜2 6 0にシリコンを用いた場合は、可視光を検知する光センサとして機能する。また、シリコンとゲルマニウムでは吸収できる電磁波の波長が異なるため、半導体膜2 6 0にゲルマニウムを用いる構成とすると、赤外線を検知するセンサとして用いることができる。

40

## 【0331】

以上のように、マイクロコンピュータ5 0 0に、光センサ5 1 1を含む検出部5 0 9を内蔵して設けることができるので、部品数を削減し、警報装置の筐体を縮小することができる。

## 【0332】

上述したI Cチップを含む火災報知器には、上述したトランジスタを用いた複数の回路を組み合わせ、それらを1つのI Cチップに搭載したC P U 5 0 5が用いられる。

## 【0333】

3 - 3 . C P U

図22は、上述したトランジスタを少なくとも一部に用いたC P Uの具体的な構成を示す

50

ブロック図である。

**【0334】**

図22(A)に示すCPUは、基板1190上に、ALU1191(ALU:Arithmetical logic unit、論理演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インターラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198(Bus I/F)、書き換え可能なROM1199、及びROMインターフェース1189(ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199及びROMインターフェース1189は、別チップに設けてもよい。もちろん、図22(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。  
10

**【0335】**

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インターラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

**【0336】**

ALUコントローラ1192、インターラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インターラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。  
20

**【0337】**

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インターラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。  
30

**【0338】**

図22(A)に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタを用いることができる。

**【0339】**

図22(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。  
40

**【0340】**

電源停止に関しては、図22(B)又は図22(C)に示すように、メモリセル群と、電源電位VDD又は電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行なうことができる。以下に図22(B)及び図22(C)の回路の説明を行う。  
50

**【0341】**

図22(B)及び図22(C)は、メモリセルへの電源電位の供給を制御するスイッチング素子に、上述したトランジスタを用いた記憶装置である。

**【0342】**

図22(B)に示す記憶装置は、スイッチング素子1141と、メモリセル1142を複数有するメモリセル群1143とを有している。具体的に、各メモリセル1142には、上述したトランジスタを用いることができる。メモリセル群1143が有する各メモリセル1142には、スイッチング素子1141を介して、ハイレベルの電源電位VDDが供給されている。さらに、メモリセル群1143が有する各メモリセル1142には、信号INの電位と、ローレベルの電源電位VSSの電位が与えられている。

10

**【0343】**

図22(B)では、スイッチング素子1141として、上述したトランジスタを用いており、該トランジスタは、そのゲート電極層に与えられる信号Sigaによりスイッチングが制御される。

**【0344】**

なお、図22(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

20

**【0345】**

また、図22(B)では、スイッチング素子1141により、メモリセル群1143が有する各メモリセル1142への、ハイレベルの電源電位VDDの供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位VSSの供給が制御されていてもよい。

**【0346】**

また、図22(C)には、メモリセル群1143が有する各メモリセル1142に、スイッチング素子1141を介して、ローレベルの電源電位VSSが供給されている、記憶装置の一例を示す。スイッチング素子1141により、メモリセル群1143が有する各メモリセル1142への、ローレベルの電源電位VSSの供給を制御することができる。

30

**【0347】**

メモリセル群と、電源電位VDD又は電源電位VSSの与えられているノード間に、スイッチング素子を設け、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUの動作を停止することができ、それにより消費電力を低減することができる。

**【0348】**

ここでは、CPUを例に挙げて説明したが、DSP(Digital Signal Processor)、カスタムLSI、FPGA(Field Programmable Gate Array)等のLSIにも応用可能である。

40

**【0349】**

## 3-4. 設置例

図23(A)において、警報装置8100は、住宅用火災警報器であり、検出部と、マイクロコンピュータ8101を有している。マイクロコンピュータ8101には、上述したトランジスタを用いたCPUが含まれる。

**【0350】**

図23(A)において、室内機8200及び室外機8204を有するエアコンディショナーには、上述したトランジスタを用いたCPUが含まれる。具体的に、室内機8200は、筐体8201、送風口8202、CPU8203等を有する。図23(A)において

50

、CPU8203が、室内機8200に設けられている場合を例示しているが、CPU8203は室外機8204に設けられていてもよい。又は、室内機8200と室外機8204の両方に、CPU8203が設けられていてもよい。上述したトランジスタを用いたCPUが含まれることで、エアコンディショナーを省電力化できる。

#### 【0351】

図23(A)において、電気冷凍冷蔵庫8300には、上述したトランジスタを用いたCPUが含まれる。具体的に、電気冷凍冷蔵庫8300は、筐体8301、冷蔵室用扉8302、冷凍室用扉8303、CPU8304等を有する。図23(A)では、CPU8304が、筐体8301の内部に設けられている。上述したトランジスタを用いたCPUが含まれることで、電気冷凍冷蔵庫8300を省電力化できる。

10

#### 【0352】

図23(B)及び図23(C)において、電気自動車の例を示す。電気自動車9700には、二次電池9701が搭載されている。二次電池9701の電力は、制御回路9702により出力が調整されて、駆動装置9703に供給される。制御回路9702は、図示しないROM、RAM、CPU等を有する処理装置9704によって制御される。上述したトランジスタを用いたCPUが含まれることで、電気自動車9700を省電力化できる。

#### 【0353】

駆動装置9703は、直流電動機もしくは交流電動機単体、又は電動機と内燃機関と、を組み合わせて構成される。処理装置9704は、電気自動車9700の運転者の操作情報(加速、減速、停止など)や走行時の情報(上り坂や下り坂等の情報、駆動輪にかかる負荷情報など)の入力情報に基づき、制御回路9702に制御信号を出力する。制御回路9702は、処理装置9704の制御信号により、二次電池9701から供給される電気エネルギーを調整して駆動装置9703の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

20

#### 【実施例1】

#### 【0354】

本実施例では、酸化物半導体膜をウェットエッティングした際のエッティング速度と、酸化物半導体膜の側面の形状について、図24乃至図30を用いて説明する。

#### 【0355】

30

はじめに、酸化物半導体膜及びエッティング液それぞれの種類とエッティング速度について、説明する。

#### 【0356】

以下に、試料1及び試料2の作製方法について説明する。

#### 【0357】

ガラス基板上に酸化物半導体膜を成膜した。試料1は、In : Ga : Zn = 1 : 1 : 1(原子数比)である金属酸化物のスパッタリングターゲットを用いて形成された厚さ100nmのIn-Ga-Zn酸化物膜を、ガラス基板上に有する。試料2は、In : Ga : Zn = 1 : 3 : 2(原子数比)である金属酸化物のスパッタリングターゲットを用いて形成された厚さ100nmのIn-Ga-Zn酸化物膜を、ガラス基板上に有する。

40

#### 【0358】

試料1におけるIn-Ga-Zn酸化物膜の成膜条件として、スパッタリングターゲットをIn : Ga : Zn = 1 : 1 : 1(原子数比)のターゲットとし、流量50sccmのアルゴン及び流量50sccmの酸素をスパッタリングガスとしてスパッタリング装置の反応室内に供給し、反応室内の圧力を0.6Paに制御し、5kWの直流電力を供給する条件を用いた。なお、In-Ga-Zn酸化物膜を形成する際の基板温度を170とした。

#### 【0359】

試料2におけるIn-Ga-Zn酸化物膜の成膜条件として、スパッタリングターゲットをIn : Ga : Zn = 1 : 3 : 2(原子数比)のターゲットとし、スパッタリングガス

50

として 90 sccm の Ar と 10 sccm の酸素をスパッタリング装置の反応室内に供給し、反応室内の圧力を 0.3 Pa に制御し、5 kW の直流電力を供給する条件を用いた。なお、In-Ga-Zn 酸化物膜を形成する際の基板温度を 100 とした。

#### 【0360】

次に、試料 1 及び試料 2 に形成される In-Ga-Zn 酸化物膜をウェットエッチングした。当該ウェットエッチング工程において、第 1 のエッチング液乃至第 3 のエッチング液の一を用いた。第 1 のエッチング液として、25 の 85 重量% リン酸を用いた。第 2 のエッチング液として、60 のシュウ酸系水溶液（例えば、関東化学製ITO-07N（5 重量% 以下のシュウ酸を含有する水溶液））を用いた。第 3 のエッチング液として、30 のリン酸系水溶液（例えば、和光純薬工業株式会社製の混酸アルミ液（72 重量% のリン酸、2 重量% の硝酸、及び 9.8 重量% の酢酸を含有する水溶液））を用いた。  
10

#### 【0361】

次に、試料 1 及び試料 2 における各エッチング液と、エッチング速度との関係を図 24 に示す。

#### 【0362】

図 24 に示すように、スパッタリングターゲットとして  $In : Ga : Zn = 1 : 1 : 1$ （原子数比）を用いて形成された In-Ga-Zn 酸化物膜（In-Ga-Zn-O(111)）と示す。）を有する試料 1 は、第 2 のエッチング液であるシュウ酸系水溶液を用いたエッチングにおいて、エッチング速度が速いことがわかる。  
20

#### 【0363】

一方、スパッタリングターゲットとして  $In : Ga : Zn = 1 : 3 : 2$ （原子数比）を用いて形成された In-Ga-Zn 酸化物膜（In-Ga-Zn-O(132)）と示す。）を有する試料 2 は、全てのエッチング液において、エッチング速度が同程度であることがわかる。  
20

#### 【0364】

次に、第 1 のエッチング液乃至第 3 のエッチング液の一を用いて積層構造の酸化物半導体膜をエッチングしたときの、酸化物半導体膜の側面の形状について説明する。

#### 【0365】

以下に、試料 3 及び試料 4 の作製方法について説明する。なお、試料 3 及び試料 4 は、第 1 の In-Ga-Zn 酸化物膜及び第 2 の In-Ga-Zn 酸化物膜が積層された 2 層構造である。  
30

#### 【0366】

ガラス基板上に積層構造の酸化物半導体膜を成膜した。はじめに、ガラス基板上に、 $In : Ga : Zn = 1 : 1 : 1$ （原子数比）である金属酸化物のスパッタリングターゲットを用いて、厚さ 35 nm の第 1 の In-Ga-Zn 酸化物膜を成膜した。次に、 $In : Ga : Zn = 1 : 3 : 2$ （原子数比）である金属酸化物のスパッタリングターゲットを用いて、厚さ 20 nm の第 2 の In-Ga-Zn 酸化物膜を成膜した。  
30

#### 【0367】

なお、第 1 の In-Ga-Zn 酸化物膜は、試料 1 の In-Ga-Zn 酸化物膜と同じ成膜条件を用いて成膜された膜である。また、第 2 の In-Ga-Zn 酸化物膜は、試料 2 の In-Ga-Zn 酸化物膜と同じ成膜条件を用いて成膜された膜である。  
40

#### 【0368】

次に、積層構造の酸化物半導体膜をエッチングした。試料 3 は、エッチング液として、第 1 のエッチング液である 25 の 85 重量% リン酸を用いた。試料 4 は、エッチング液として、第 3 のエッチング液である 30 のリン酸系水溶液を用いた。

#### 【0369】

次に、試料 5 の作製方法について説明する。なお、試料 5 は、第 1 の In-Ga-Zn 酸化物膜乃至第 3 の In-Ga-Zn 酸化物膜が積層された 3 層構造である。

#### 【0370】

ガラス基板上に、CVD 法により窒化シリコン膜及び酸化窒化シリコン膜を成膜した。  
50

次に、酸化窒化シリコン膜上に積層構造の酸化物半導体膜を成膜した。次に、酸化窒化シリコン膜上に、 $In : Ga : Zn = 1 : 3 : 2$  (原子数比) である金属酸化物のスパッタリングターゲットを用いて、厚さ 5 nm の第 1 の  $In - Ga - Zn$  酸化物膜を成膜した。次に、 $In : Ga : Zn = 3 : 1 : 2$  (原子数比) である金属酸化物のスパッタリングターゲットを用いて、厚さ 20 nm の第 2 の  $In - Ga - Zn$  酸化物膜を成膜した。次に、 $In : Ga : Zn = 1 : 1 : 1$  (原子数比) である金属酸化物のスパッタリングターゲットを用いて、厚さ 20 nm の第 3 の  $In - Ga - Zn$  酸化物膜を成膜した。次に、第 3 の  $In - Ga - Zn$  酸化物膜上に CVD 法により酸化窒化シリコン膜を成膜した。

## 【0371】

なお、試料 5 における第 1 の  $In - Ga - Zn$  酸化物膜は、スパッタリングターゲットを  $In : Ga : Zn = 1 : 3 : 2$  (原子数比) のターゲットとし、スパッタリングガスとして 90 sccm の Ar と 10 sccm の酸素をスパッタリング装置の反応室内に供給し、反応室内の圧力を 0.6 Pa に制御し、5 kW の直流電力を供給する条件を用いて形成した。第 2 の  $In - Ga - Zn$  酸化物膜は、スパッタリングターゲットを  $In : Ga : Zn = 3 : 1 : 2$  (原子数比) のターゲットとし、スパッタリングガスとして 50 sccm の Ar と 50 sccm の酸素をスパッタリング装置の反応室内に供給し、反応室内の圧力を 0.6 Pa に制御し、5 kW の直流電力を供給する条件を用いて形成した。第 3 の  $In - Ga - Zn$  酸化物膜は、スパッタリングターゲットを  $In : Ga : Zn = 1 : 1 : 1$  (原子数比) のターゲットとし、スパッタリングガスとして 100 sccm の酸素をスパッタリング装置の反応室内に供給し、反応室内の圧力を 0.6 Pa に制御し、5 kW の直流電力を供給する条件を用いて形成した。なお、第 1 の  $In - Ga - Zn$  酸化物膜乃至第 3 の  $In - Ga - Zn$  酸化物膜を形成する際の基板温度を 170 とした。  
10

## 【0372】

次に、積層構造の酸化物半導体膜をエッチングした。試料 5 は、エッティング液として第 2 のエッティング液である 60 のシュウ酸系水溶液を用いた。

## 【0373】

次に、試料 6 の作製方法について説明する。なお、試料 6 は、第 1 の  $In - Ga - Zn$  酸化物膜及び第 2 の  $In - Ga - Zn$  酸化物膜が積層された 2 層構造である。

## 【0374】

ガラス基板上に、CVD 法により酸化窒化シリコン膜を成膜した。次に、酸化窒化シリコン膜上に、試料 3 及び試料 4 と同じ成膜条件を用いて、 $In : Ga : Zn = 1 : 1 : 1$  (原子数比) である金属酸化物のスパッタリングターゲットを用いて、厚さ 35 nm の第 1 の  $In - Ga - Zn$  酸化物膜を成膜した後、 $In : Ga : Zn = 1 : 3 : 2$  (原子数比) である金属酸化物のスパッタリングターゲットを用いて、厚さ 20 nm の第 2 の  $In - Ga - Zn$  酸化物膜を成膜した。次に、第 2 の  $In - Ga - Zn$  酸化物膜上に酸化窒化シリコン膜を成膜した。  
30

## 【0375】

次に、積層構造の酸化物半導体膜をエッチングした。試料 6 は、ドライエッティング法を用いて積層構造の酸化物半導体膜をエッティングした。なお、エッティングガスとして BCl<sub>3</sub> を用いた。  
40

## 【0376】

次に、試料 3 乃至試料 6 の断面形状を STEM ( Scanning Transmission Electron Microscopy ) を用いて観察した。

## 【0377】

試料 3 の倍率 20 万倍の位相コントラスト像 (TE 像) を図 25 (A) に示し、図 25 (A) の模式図を図 25 (B) に示す。また、試料 3 の倍率 15 万倍の Z コントラスト像 (ZC 像) を図 26 に示す。

## 【0378】

試料 4 の倍率 20 万倍の位相コントラスト像 (TE 像) を図 27 (A) に示し、図 27 (A) の模式図を図 27 (B) に示す。  
50

**【0379】**

試料5の倍率15万倍の位相コントラスト像(TE像)を図28(A)に示し、図28(A)の模式図を図28(B)に示す。試料5における積層構造の酸化物半導体膜の側面付近の詳細を説明するため、試料5の倍率15万倍のZコントラスト像(ZC像)を図29(A)に示し、図29(A)の模式図を図29(B)に示す。

**【0380】**

試料6の倍率15万倍の位相コントラスト像(TE像)を図30(A)に示し、図30(A)の模式図を図30(B)に示す。

**【0381】**

図25(B)に示すように、試料3において、ガラス基板801上に第1のIn-Ga-Zn酸化物膜803が形成される。第1のIn-Ga-Zn酸化物膜803上に第2のIn-Ga-Zn酸化物膜805が形成される。第2のIn-Ga-Zn酸化物膜805上にレジスト807が設けられる。10

**【0382】**

また、図26に示すように、試料3において、第1のIn-Ga-Zn酸化物膜803及び第2のIn-Ga-Zn酸化物膜805は、その濃淡の違いより、両者の境界を確認することができる。つまり、本発明の一態様であるトランジスタにおいて、酸化物半導体膜及び酸化物膜は共通の元素を含む場合であっても、その組成の違いにより、両者の境界を確認することができる。20

**【0383】**

図27(B)に示すように、試料4において、ガラス基板811上に第1のIn-Ga-Zn酸化物膜813が形成される。第1のIn-Ga-Zn酸化物膜813上に第2のIn-Ga-Zn酸化物膜815が形成される。第2のIn-Ga-Zn酸化物膜815上にレジスト817が設けられる。

**【0384】**

試料3及び試料4において、ガラス基板801、811と第1のIn-Ga-Zn酸化物膜803、813の側面とのなす角度を角度1とする。第1のIn-Ga-Zn酸化物膜803、813及び第2のIn-Ga-Zn酸化物膜805、815の界面と、第2のIn-Ga-Zn酸化物膜805、815の側面とのなす角度を角度2とする。図25及び図27に示すように、試料3及び試料4においては、角度1に対して、角度2の方が大きいことがわかる。30

**【0385】**

図28(B)に示すように、試料5において、窒化シリコン膜821上に酸化窒化シリコン膜823が形成される。酸化窒化シリコン膜823上に積層構造の酸化物半導体膜825が形成される。酸化窒化シリコン膜823及び積層構造の酸化物半導体膜825上に酸化窒化シリコン膜827が形成される。なお、酸化窒化シリコン膜827には、低密度領域829が形成される。

**【0386】**

試料5において、酸化窒化シリコン膜823及び積層構造の酸化物半導体膜825の界面と、積層構造の酸化物半導体膜825の側面とのなす角度を角度3とする。図29(B)に示すように、試料5において、角度3は、鈍角である。なお、ZC像は原子番号の違いによりコントラストが異なるため、積層構造の酸化物半導体膜825の側面には、酸化物半導体膜と異なる組成の膜826が形成されていることがわかる。当該膜826をエネルギー分散型X線分析(Energy dispersive X-ray spectroscopy: EDX)で分析したところ、タンゲステンが含まれることがわかった。

**【0387】**

図30(B)に示すように、試料6において、ガラス基板831上に酸化窒化シリコン膜833が形成される。酸化窒化シリコン膜833上に積層構造の酸化物半導体膜835が形成される。酸化窒化シリコン膜833及び積層構造の酸化物半導体膜835上に酸化  
40  
50

窒化シリコン膜 837 が形成される。

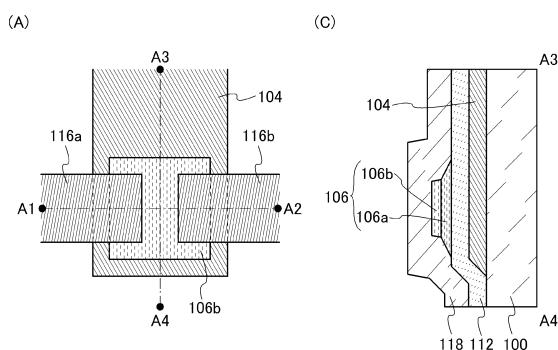
【0388】

試料 6において、酸化窒化シリコン膜 833 及び積層構造の酸化物半導体膜 835 の界面と、積層構造の酸化物半導体膜 835 の側面とのなす角度を角度 4 とする。図 30 (B) に示すように、試料 6において、角度 4 は、酸化物半導体膜の側面の位置によって変化せず、略同一である。

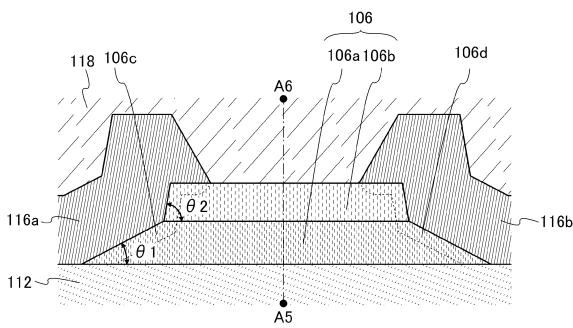
【0389】

以上のことから、エッティング液に、リン酸、又はリン酸系水溶液を用いたウェットエッティング法を利用することで、積層構造の酸化物半導体膜において、スパッタリングターゲットとして  $In : Ga : Zn = 1 : 1 : 1$  (原子数比) を用いて形成された  $In - Ga - Zn$  酸化物膜の側面が  $In - Ga - Zn$  酸化物膜の下地膜の界面となす角度 1 を、スパッタリングターゲットとして  $In : Ga : Zn = 1 : 3 : 2$  (原子数比) を用いて形成された  $In - Ga - Zn$  酸化物膜の側面が  $In - Ga - Zn$  酸化物膜の下地膜の界面となす角度 2 よりも小さい形状にできることがわかる。10

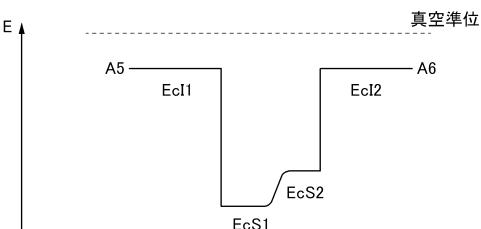
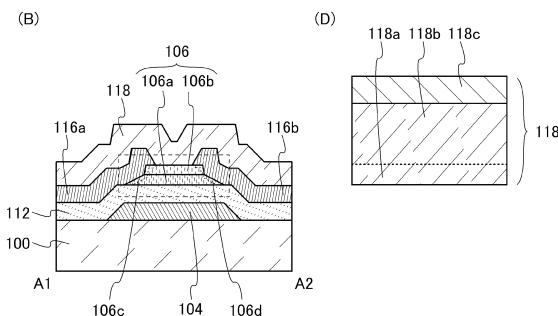
【図 1】



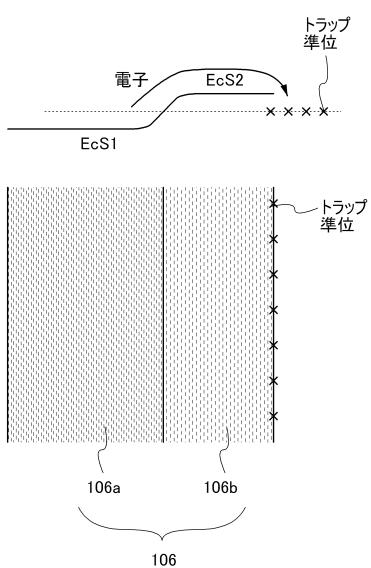
【図 2】



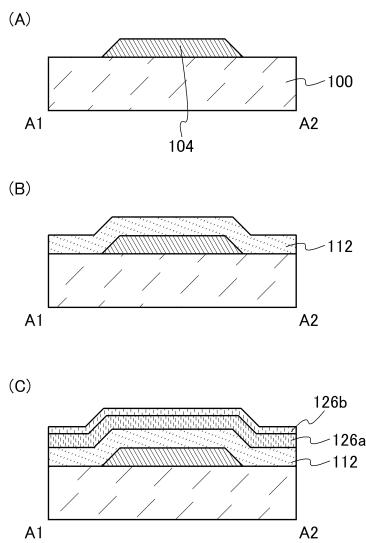
【図 3】



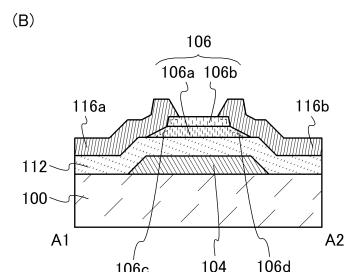
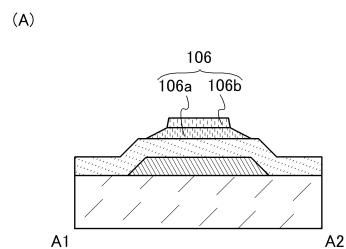
【図4】



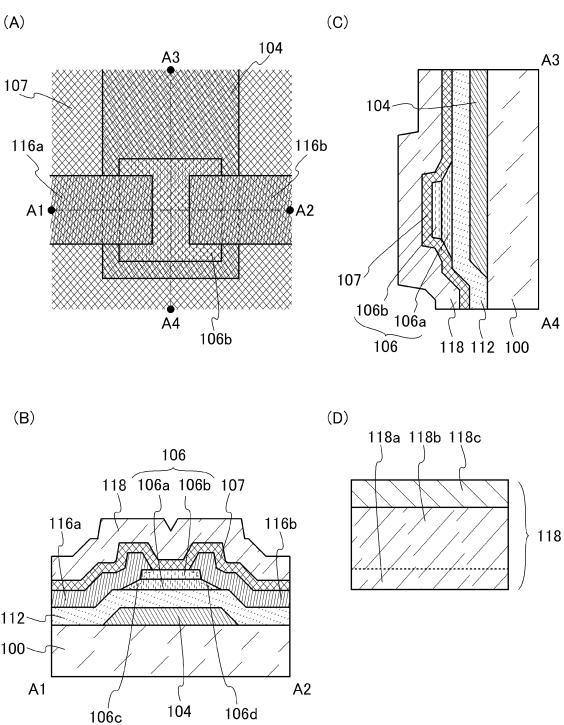
【図5】



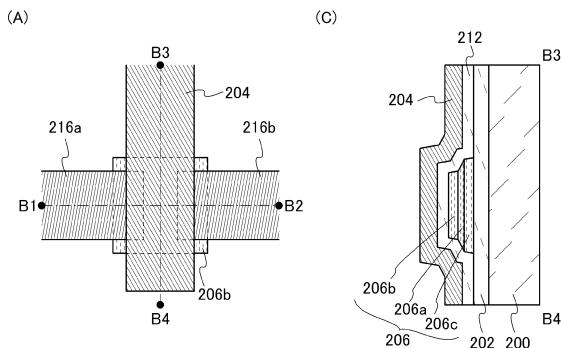
【図6】



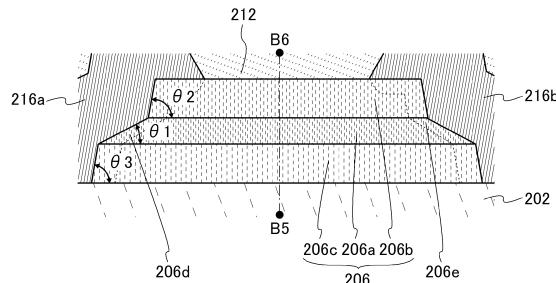
【図7】



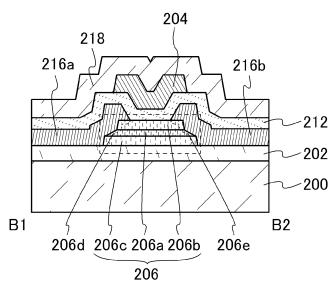
【図8】



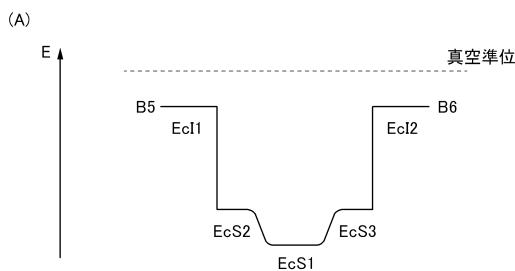
【図9】



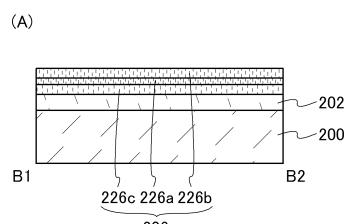
(B)



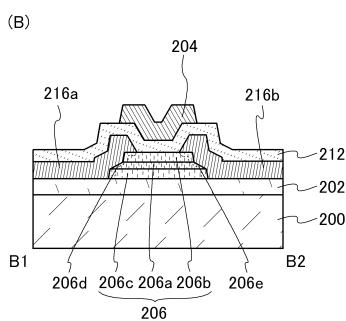
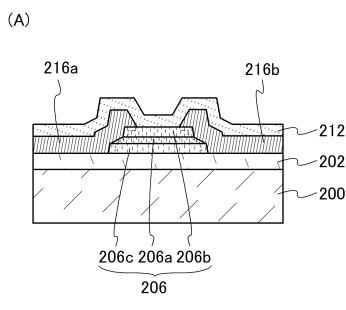
【図10】



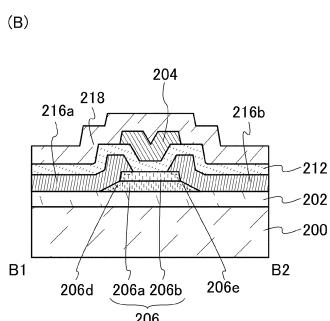
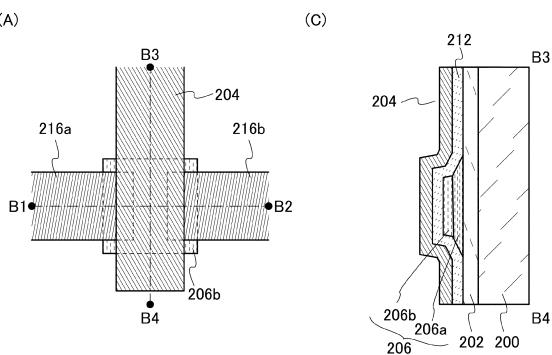
【図11】



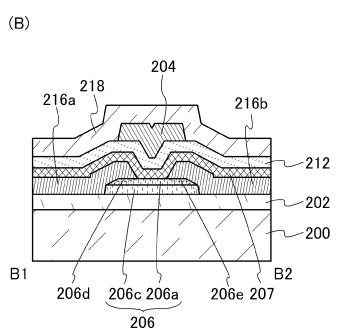
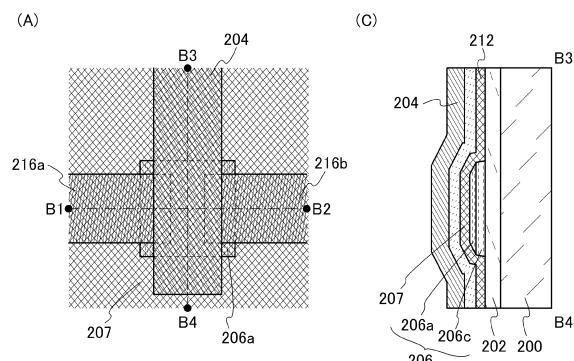
【図12】



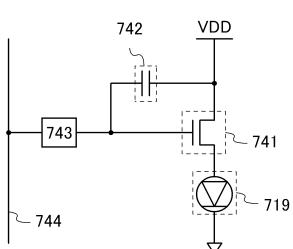
【図13】



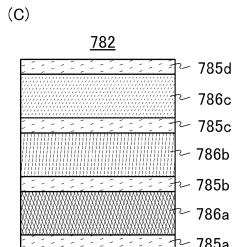
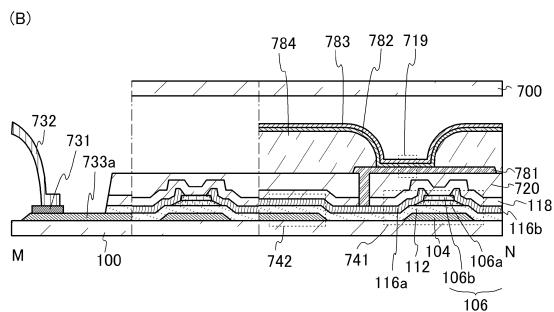
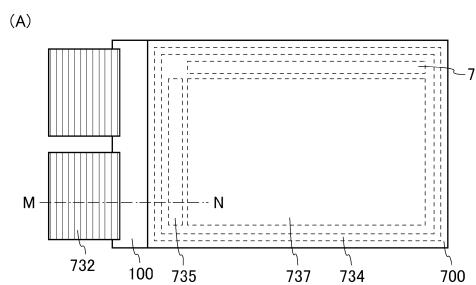
【図14】



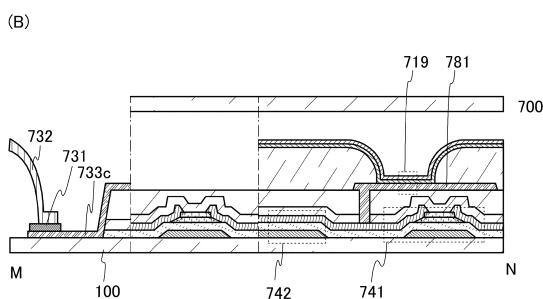
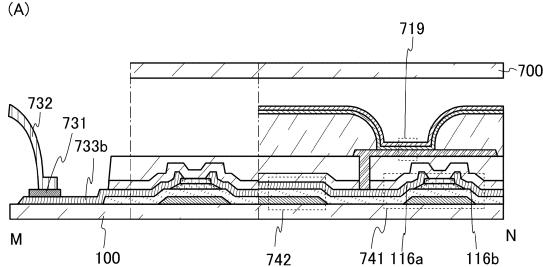
【図15】



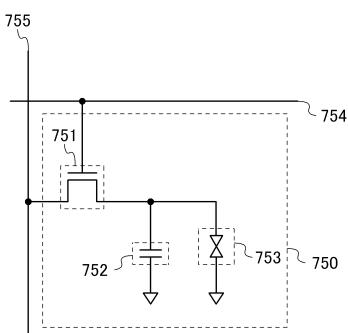
【図16】



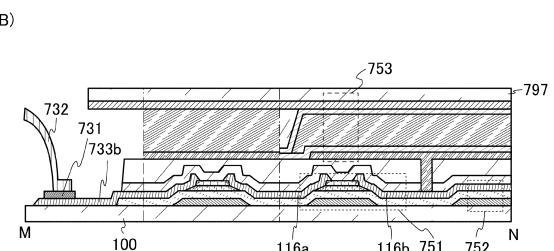
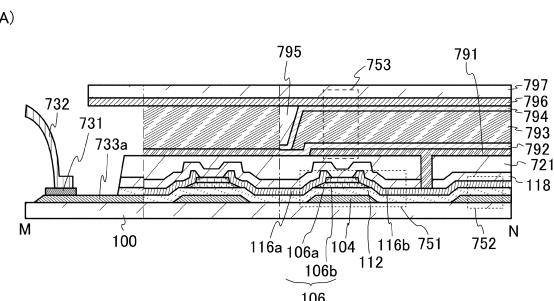
【図17】



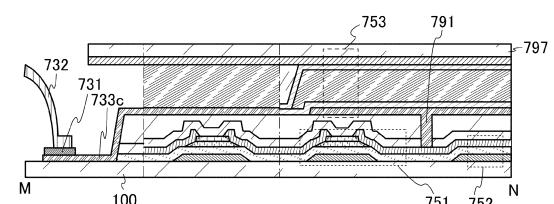
【図18】



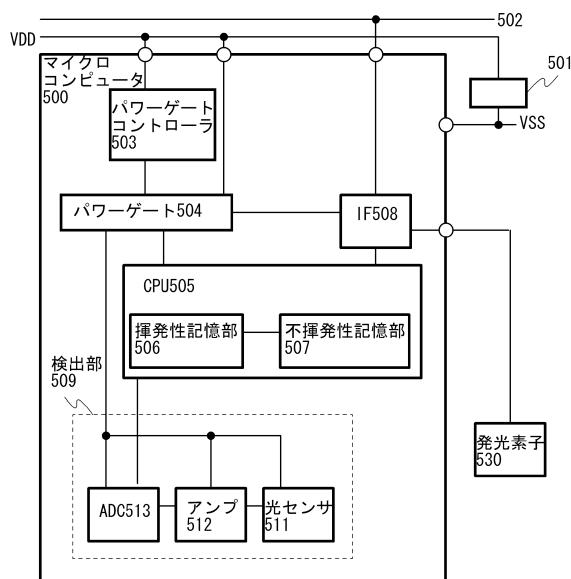
【図19】



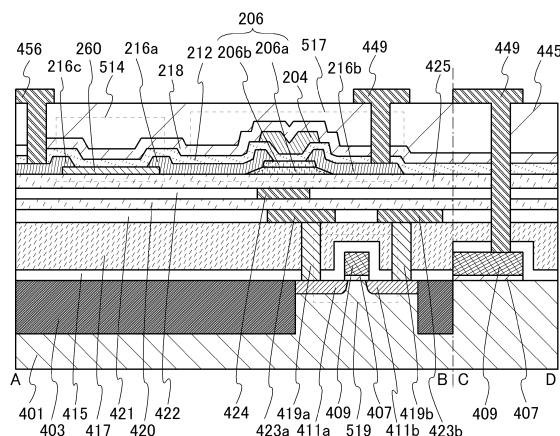
(C)



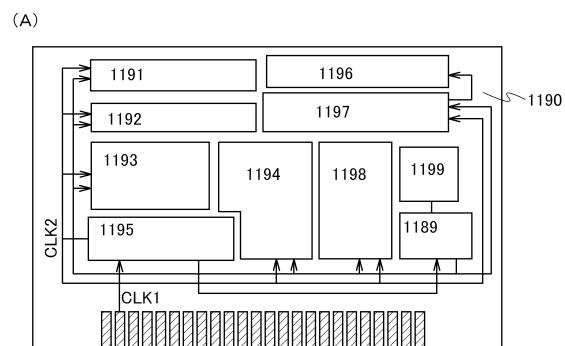
【図20】



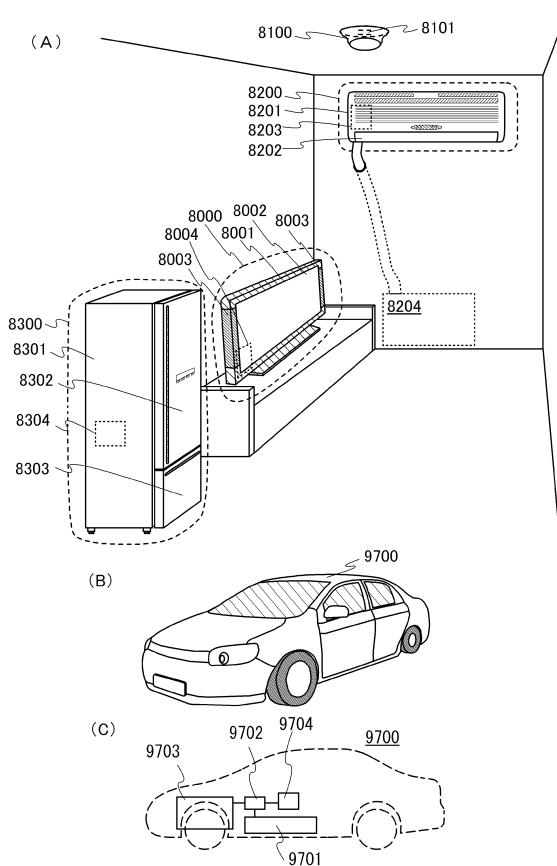
【図21】



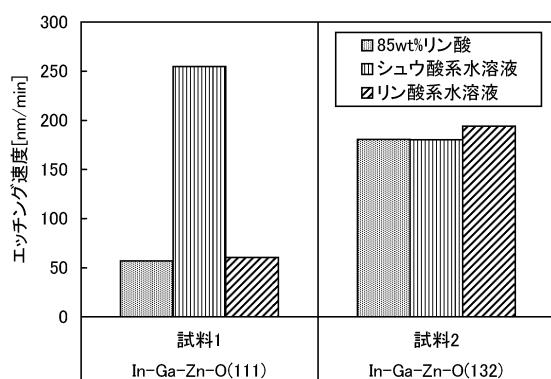
【図22】



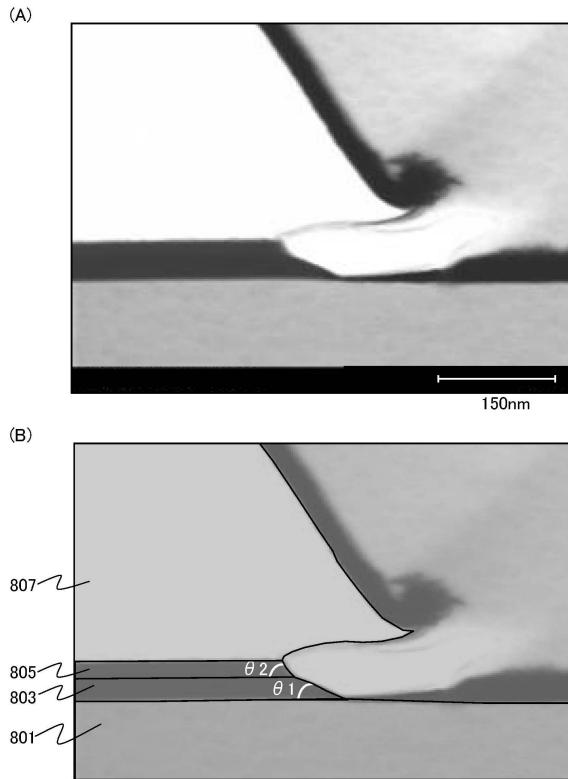
【図23】



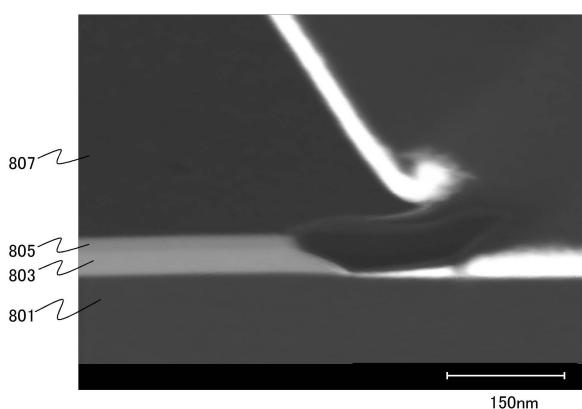
【図24】



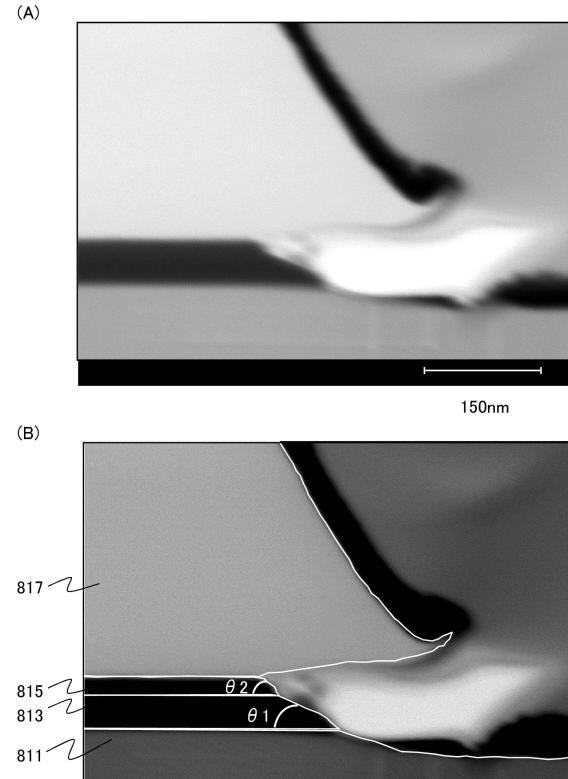
【図25】



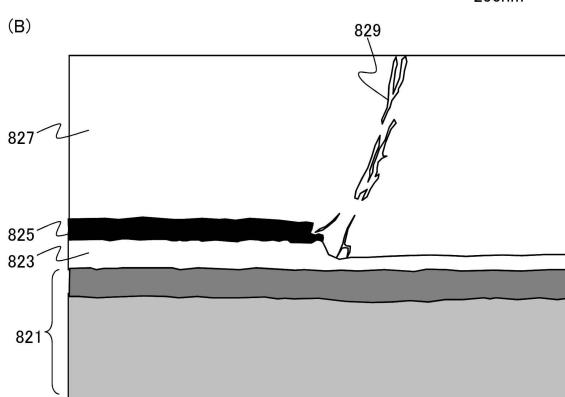
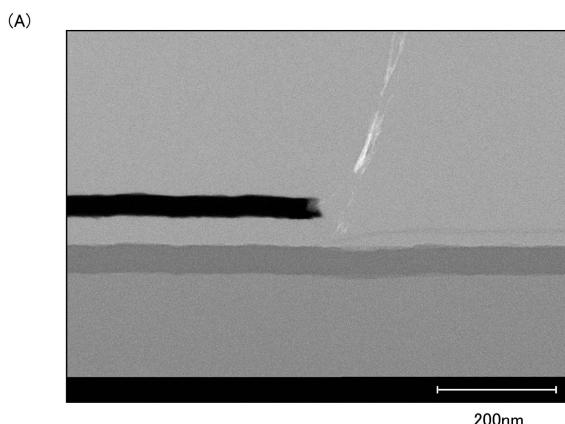
【図26】



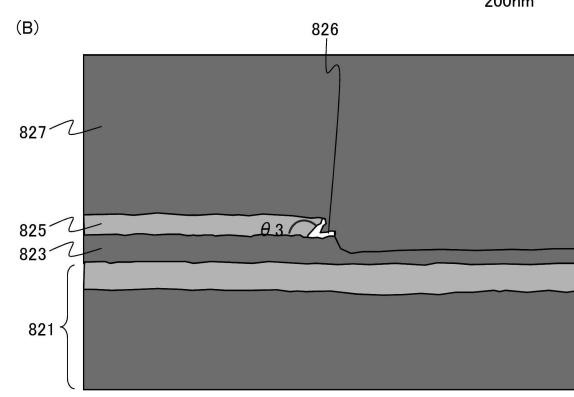
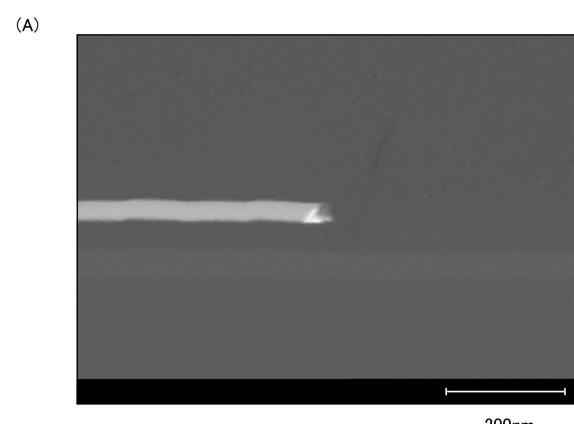
【図27】



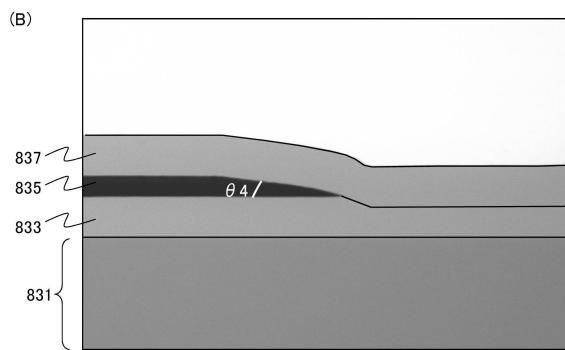
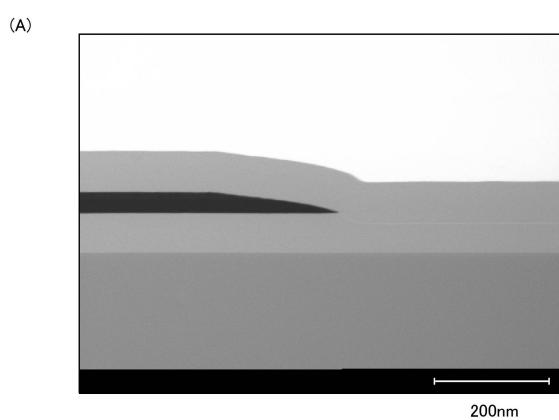
【図28】



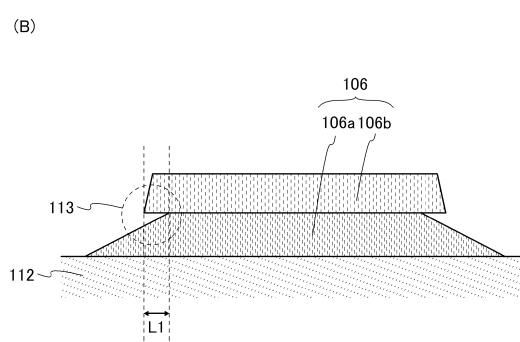
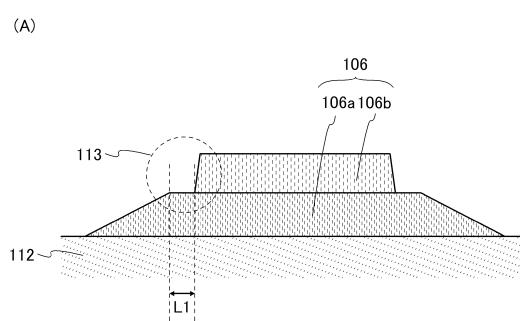
【図29】



【図30】

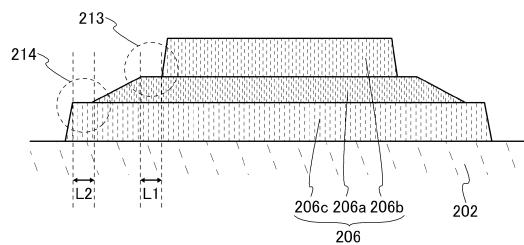


【図31】

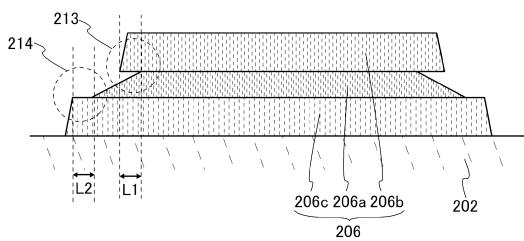


## 【図3-2】

(A)



(B)



## フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/8238	(2006.01)	H 0 1 L	27/088 E
H 0 1 L	27/092	(2006.01)	H 0 1 L	27/092 G
H 0 1 L	29/417	(2006.01)	H 0 1 L	27/088 3 3 1 E
H 0 5 B	33/08	(2006.01)	H 0 1 L	29/50 M
H 0 1 L	51/50	(2006.01)	H 0 5 B	33/08
H 0 5 B	33/14	(2006.01)	H 0 5 B	33/14 A
G 0 9 F	9/30	(2006.01)	H 0 5 B	33/14 Z
			G 0 9 F	9/30 3 3 8

(72)発明者 越岡 俊介

栃木県栃木市都賀町升塚161-2 アドバンスト フィルム ディバイス インク株式会社内

(72)発明者 徳永 肇

栃木県栃木市都賀町升塚161-2 アドバンスト フィルム ディバイス インク株式会社内

(72)発明者 神長 正美

栃木県栃木市都賀町升塚161-2 アドバンスト フィルム ディバイス インク株式会社内

審査官 川原 光司

(56)参考文献 特開2012-059860 (JP, A)

特開2010-123935 (JP, A)

特開2011-216694 (JP, A)

国際公開第2012/144165 (WO, A1)

特開2006-310372 (JP, A)

特開2012-164978 (JP, A)

特開2009-206508 (JP, A)

特開2010-118407 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 F	9 / 3 0
H 0 1 L	2 1 / 2 8
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 8 2 3 4
H 0 1 L	2 1 / 8 2 3 8
H 0 1 L	2 7 / 0 8 8
H 0 1 L	2 7 / 0 9 2
H 0 1 L	2 9 / 4 1 7
H 0 1 L	2 9 / 7 8 6
H 0 1 L	5 1 / 5 0
H 0 5 B	3 3 / 0 8
H 0 5 B	3 3 / 1 4