

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 3 月 10 日 (10.03.2005)

PCT

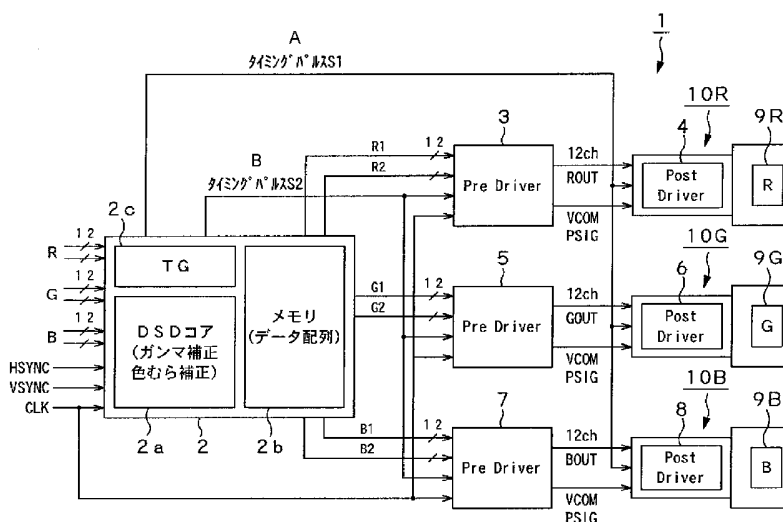
(10) 国際公開番号
WO 2005/022503 A1

- (51) 国際特許分類: G09G 3/36, 3/20 (74) 代理人: 小池 晃, 外(KOIKE, Akira et al.); 〒1000011 東京都千代田区内幸町一丁目 1 番 7 号 大和生命ビル 11 階 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/012255
- (22) 国際出願日: 2004 年 8 月 26 日 (26.08.2004) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-307921 2003 年 8 月 29 日 (29.08.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 松浦 稔 (MATSUURA, Minoru) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

[続葉有]

(54) Title: DRIVING APPARATUS, DRIVING METHOD, AND DISPLAY PANEL DRIVING SYSTEM

(54) 発明の名称: 駆動装置、駆動方法及び表示パネル駆動システム



A... TIMING PULSE S1
 B... TIMING PULSE S2
 2 a... DSD CORE (CORRECTION OF DISCOLORATION CAUSED BY GAMMA CORRECTION)
 2 b... MEMORY (DATA ARRAY)

(57) Abstract: A driving apparatus for driving a display panel of active matrix type, comprising first signal processing means (3,5,7) for converting digital video signals of m bits (where m is a natural number), which has been converted by data array converting means (2) into a data array in conformance with a display format, into parallel analog video signals of p phases (where p is a natural number); second signal processing means (4,6,8) for expanding the p-phase analog video signals into analog video signals of x/k phases (where k is a natural number) and supplying the x/k-phase analog video signals to video signal supply lines; and

[続葉有]



BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

signal line selecting means (14) for sequentially selecting desired signal lines, one by one, at the same timing from x/k signal line groups obtained by dividing x signal lines and for sampling the analog video signals supplied to the selected signal lines via the x/k video signal supply lines.

(57) 要約: 本発明は、アクティブマトリクス型の表示パネルを駆動するための駆動装置であり、データ配列変換手段(2)によって、表示フォーマットに準じたデータ配列に変換された m (m は、自然数)ビットのデジタル映像信号を、並列な p (p は、自然数)相のアナログ映像信号に変換する第1の信号処理手段(3)(5)(7)と、 p 相のアナログ映像信号を x/k (k は、自然数)相のアナログ映像信号に展開し、映像信号供給ラインに供給する第2の信号処理手段(4)(6)(8)と、 x 本の信号ラインを分割してなる x/k 個の信号ライン群のそれぞれから、所望の信号ラインを同一タイミングで1本ずつ順次選択し、選択された信号ラインに、 x/k 本の映像信号供給ラインで供給されるアナログ映像信号をサンプリングする信号ライン選択手段(14)とを備える。

明 細 書

駆動装置、駆動方法及び表示パネル駆動システム

技術分野

- [0001] 本発明は、アクティブマトリクス型の表示パネルに関するものであり、詳しくは、様々な表示フォーマットの表示パネルに共通して対応する駆動装置、駆動方法及び表示パネル駆動システムに関する。

本出願は、日本国において2003年8月29日に出願された日本特許出願番号2003-307921を基礎として優先権を主張するものであり、この出願は参照することにより、本出願に援用される。

背景技術

- [0002] アクティブマトリクス型の表示パネル、例えば、液晶パネルなどでは、高精細化に伴い画素数が増加する傾向にある。このように画素数が増加した場合、1画素ずつ映像信号を書き込む点順次駆動では、書込時間が不足してしまうことから、外部から液晶パネルへ映像信号を供給する映像信号入力ラインを複数にし、この複数の映像信号入力ラインから供給される映像信号を同時にサンプリングして複数の画素に供給する複数画素同時サンプリング方式が採用されている。

複数画素同時サンプリング方式にて、液晶パネルを駆動させると、映像信号の十分な書込時間を得ることができる。したがって、XGA (eXtended Graphic Array: 1024 × 768)、WXGA (Wide eXtended Graphic Array: 1386 × 768)、SXGA (Super eXtended Graphic Array: 1400 × 1500) といった画素数の比較的高精細なアクティブマトリクス型の表示パネル、さらには、SXGA+ (Super eXtended Graphic Array PLUS: 1400 × 1050)、UXGA (Ultra eXtended Graphic Array: 1600 × 1200)、Full HD (Full High Definition: 1920 × 1080) といった画素数の高精細なアクティブマトリクス型の表示パネルでは、複数画素同時サンプリング方式を採用することで良好に映像信号の書込が実行できる。

図1及び図2を用いて、液晶パネルを駆動する複数画素同時サンプリング方式について説明をする。

図1は、複数画素同時サンプリング方式で駆動される、それぞれ赤色用、緑色用、青色用の液晶パネルである液晶パネル60R, 60B, 60Gを備えた、液晶プロジェクタに搭載される液晶パネル駆動システム50である。

液晶パネル駆動システム50が備える各液晶パネル60R, 60G, 60Bは、XGAフォーマットに対応した液晶パネルであり、複数画素同時サンプリング方式によって水平方向の画素に対して映像信号が6画素ずつ同時に書き込まれていく。

液晶パネル駆動システム50は、外部から供給される赤色用のデジタル映像信号(R)、緑色用のデジタル映像信号(G)、青色用のデジタル映像信号(B)に対してガンマ補正や、色むら補正などを施すDSDコア51aを有するDSD(Digital Signal Driver)51と、DSD51によって補正処理されたデジタル映像信号をアナログの映像信号に変換し、各液晶パネル60R, 60B, 60Gに供給するLCDドライバ52, 53, 54とを備えている。各液晶パネル60R, 60B, 60Gは、それぞれ図示しない水平駆動回路、垂直駆動回路とともに液晶パネルモジュール61R, 61G, 61Bに搭載されている。

LCDドライバ51, 52, 53は、DSD51から供給されるデジタル映像信号を同時サンプリングするサンプリング数に応じた本数のアナログ映像信号に変換する。XGAフォーマットに対応した液晶パネル60R, 60G, 60Bでは、同時サンプリング数を6画素としているため、LCDドライバ52, 53, 54は、供給されるデジタル映像信号を、6並列のアナログ映像信号に変換する。

なお、各液晶パネル60R, 60G, 60Bを駆動するタイミングパルスは、DSD51のTG(Timing Generator)51bによって生成される。

続いて、図2に示す液晶パネルモジュール61Rを用いて、複数画素同時サンプリング方式について詳細に説明をする。なお、液晶パネル61R, 61G, 61Bにおいて、複数画素同時サンプリング方式は、いずれも全く同一となるため、代表して液晶パネル60Rを搭載した液晶パネルモジュール61Rを用いて説明をする。

図2に示すように、液晶パネルモジュール61Rには、LCDドライバ52で変換された6並列のアナログ信号が、映像信号供給ラインVSIG1〜SIG6を介して供給される。

液晶パネルモジュール61Rは、映像信号供給ラインVSIG1〜VSIG6を介して供給される映像信号を、液晶パネル60Rが備える信号ライン63のうち6本の信号ライン

63に同時にサンプリングする6個のサンプリングスイッチからなるサンプリングスイッチ群 SW_N を備えている。

サンプリングスイッチ群 SW_N は、水平駆動回路62から供給されるスイッチパルスに応じて、サンプリングスイッチ群 $SW_1, SW_2, \dots, SW_{N-1}, SW_N$ という順に駆動される。これにより、信号ライン63には、6本単位で映像信号が同時にサンプリングされ、図示しない垂直駆動回路によって選択された行方向の画素64に映像信号が書き込まれていくことになる。

一般に、同時サンプリングする画素数は、映像信号の書込時間を十分確保する必要があることから、液晶パネルのトランジスタ特性、スイッチ特性などを考慮して、液晶パネルの解像度が高くなるほど多くする必要がある。例えば、SXGAでは、同時サンプリング数を12画素とする必要があり、UXGAでは、同時サンプリング数を24画素とする必要がある。

このように、従来の複数画素同時サンプリング方式では、液晶パネルの表示フォーマットの違いに応じて、同時サンプリング数を代える必要があるため、液晶パネルに供給する映像信号の本数、つまり、図1及び図2において、LCDドライバ52, 53, 54で変換する並列のアナログ映像信号の本数も表示フォーマットに応じて代える必要がある。

したがって、液晶パネル駆動システム50を、様々な表示フォーマットの液晶パネルに対応させるためには、LCDドライバ52, 53, 54が表示フォーマットの数だけ必要になり、コストの増大、装置の大型化といった問題が発生してしまうことになる。

また、複数画素同時サンプリング方式では、映像信号と、タイミングパルスとの位相関係によって、本来表示される画像から重複するようにずれて、同じ画像が表示される現象であるゴーストが発生してしまうといった問題がある。

発明の開示

発明が解決しようとする課題

[0003] 本発明の目的は、上述したような従来の技術が有する問題点を解消することができ、新規な表示パネルの駆動装置、駆動方法及び表示パネル駆動システムを適用することにある。

本発明の他の目的は、ゴーストの発生を回避するとともに、様々な表示フォーマットの表示パネルを駆動する駆動装置、駆動方法及び表示パネル駆動システムを提供することにある。

本発明に係る駆動装置は、列方向に配された x 本の信号ラインと、行方向に配された y 本のゲートラインとの交差部に行列配置された $x \times y$ 個の画素を有する表示パネルを駆動する駆動装置において、 m ビットのデジタル映像信号を表示パネルの表示フォーマットに準じたデータ配列に変換するデータ配列変換手段と、データ配列変換手段によって表示フォーマットに準じたデータ配列に変換された m ビットのデジタル映像信号を、並列な p 相のアナログ映像信号に変換する第1の信号処理手段と、第1の信号処理手段によって変換された p 相のアナログ映像信号を x/k 相のアナログ映像信号に展開し、展開したアナログ映像信号を N 本の映像信号供給ラインから選択された x/k 本の映像信号供給ラインに供給する第2の信号処理手段と、 x 本の信号ラインを、重複することなく隣り合う k 本の信号ラインに分割してなる x/k 個の信号ライン群のそれぞれから、所望の信号ラインを同一タイミングで1本ずつ順次選択し、選択された信号ラインに、 x/k 本の映像信号供給ラインで供給される上記アナログ映像信号をサンプリングする信号ライン選択手段とを備える。

なお、ここで、 x 、 y 、 p 、 m 、 k は自然数であり、 N は、 $N \geq (x/k)$ を満たす自然数である。

本発明に係る駆動方法は、列方向に配された x 本の信号ラインと、行方向に配された y 本のゲートラインとの交差部に行列配置された $x \times y$ 個の画素を有する表示パネルを駆動する駆動方法において、 m ビットのデジタル映像信号を表示パネルの表示フォーマットに準じたデータ配列に変換し、表示フォーマットに準じたデータ配列に変換された m ビットのデジタル映像信号を、並列な p 相のアナログ映像信号に変換し、 p 相のアナログ映像信号を x/k 相のアナログ映像信号に展開し、展開したアナログ映像信号を N 本の映像信号供給ラインから選択された x/k 本の映像信号供給ラインに供給し、 x 本の信号ラインを、重複することなく隣り合う k 本の信号ラインに分割してなる x/k 個の信号ライン群のそれぞれから、所望の信号ラインを同一タイミングで1本ずつ順次選択し、選択された信号ラインに、 x/k 本の映像信号供給ラインで供給

されるアナログ映像信号をサンプリングする。

なお、ここで、 x 、 y 、 p 、 m 、 k は自然数であり、 N は、 $N \geq (x/k)$ を満たす自然数である。

本発明に係る表示パネル駆動システムは、列方向に配された x 本の信号ラインと、行方向に配された y 本のゲートラインとの交差部に行列配置された $x \times y$ 個の画素を有する表示パネルを駆動する表示パネル駆動システムにおいて、 m ビットのデジタル映像信号を表示パネルの表示フォーマットに準じたデータ配列に変換するデータ配列変換装置と、データ配列変換装置によって、表示フォーマットに準じたデータ配列に変換された m ビットのデジタル映像信号を、並列な p 相のアナログ映像信号に変換する信号処理装置と、任意の表示フォーマットの表示パネルと、信号処理装置によって変換された p 相のアナログ映像信号を x/k 相のアナログ映像信号に展開し、展開したアナログ映像信号を N 本の映像信号供給ラインに供給する信号処理手段と、ゲートラインに接続され、ゲートラインを線順次駆動して行方向の x 個の画素を選択する垂直駆動回路と、 x 本の信号ラインを、重複することなく隣り合う k 本の信号ラインに分割してなる x/k 個の信号ライン群のそれぞれから、所望の信号ラインを同一タイミングで1本ずつ順次選択し、選択された信号ラインに、 x/k 本の映像信号供給ラインで供給されるアナログ映像信号をサンプリングする信号ライン選択手段と、信号ライン選択手段によって、信号ラインにサンプリングされたアナログ映像信号を、垂直駆動回路で選択された行方向の画素に書き込む映像信号書込手段とを有する表示パネルモジュールとを備える。

なお、ここで、 x 、 y 、 p 、 m 、 k は自然数であり、 N は、 $N \geq (x/k)$ を満たす自然数である。

本発明は、一度に書き込める画素数が、例えば100個以上というように、従来方式の複数画素同時サンプリング方式と比較して大幅に増えることになる。したがって、十分な書込時間を確保することができるため、安定した書込みを実現することを可能とする。

また、本発明は、表示パネルモジュールを最も高精細な表示フォーマット、例えば、Full HDに対応するように設計しておくことで、アナログ映像信号の展開数の調整、

サンプリングのタイミングなどを適宜、変更するといった簡便な調整のみで、どのような表示フォーマットの表示パネルにも柔軟に対応することができる。特に、高解像度の表示フォーマットSXGA+、UXGA、Full HDにおいてはシステム構成を大幅に簡略化することができるようになる。

さらにまた、本発明は、表示パネルの信号ラインを分割してなる信号ライン群のそれぞれから、所望の信号ラインを同一タイミングで1本ずつ順次選択して映像信号をサンプリングすることで、映像信号とタイミングパルスとの位相関係のずれによって、本来書き込まれるはずの映像信号以外にも、映像信号が入り込んでしまうことで生ずるゴーストの発生要因を完全に除去することができる。

本発明の更に他の目的、本発明によって得られる具体的な利点は、以下において図面を参照して説明される実施の形態の説明から一層明らかにされるであろう。

図面の簡単な説明

[0004] [図1]図1は、従来の複数画素同時サンプリング方式を適用した液晶パネル駆動システムのブロック図である。

[図2]図2は、複数画素同時サンプリング方式を詳細に説明するために用いる液晶パネルモジュールを示す回路図である。

[図3]図3は、本発明に係る表示パネル駆動システムを示すブロック回路図である。

[図4]図4は、表示パネル駆動システムが備える表示パネルモジュールを示すブロック回路図である。

[図5]図5は、表示パネル駆動システムが備える表示パネルモジュールを示すブロック回路図である。

[図6]図6は、従来方式による映像信号の書込時間と、同表示パネル駆動システムにおいて確保可能な書込時間との比を示した図である。

[図7]図7は、各表示フォーマットに必要となるスイッチ SW_N の数を示した図である。

[図8]図8は、ポストドライブによる映像信号の展開数について説明するための図である。

[図9]図9Aー図9Gは、ポストドライブによって映像信号が展開される様子を表示フォーマット毎に示した図である。

[図10]図10A～図10Fは、信号ライン選択サンプリング方式にて画素に映像信号を書き込んだ様子を示した図である。

発明を実施するための最良の形態

[0005] 以下、本発明に係る駆動装置、駆動方法及び表示パネル駆動システムの実施の形態を図面を参照にして詳細に説明する。

図3を用いて、本発明に係る液晶パネル駆動システム1について説明をする。

液晶パネル駆動システム1は、例えば、3板式の液晶プロジェクタなどに備えられ、液晶パネルとして、赤色用の液晶パネル9Rと、緑色用の液晶パネル9Gと、青色用の液晶パネル9Bとを備えている。

また、液晶パネル駆動システム1は、外部から供給されるデジタル映像信号に所定の信号処理を施すDSD(Digital Signal Driver)2と、液晶パネル9Rを駆動するプリドライバ(Pre Driver)3、ポストドライバ(Post Driver)4と、液晶パネル9Gを駆動するプリドライバ5、ポストドライバ6と、液晶パネル9Bを駆動するプリドライバ7、ポストドライバ8とを備えている。

液晶パネル9Rと、ポストドライバ4とは、図示しない垂直駆動回路とともに液晶パネルモジュール10Rとしてモジュール化されている。同様に、液晶パネル9Gと、ポストドライバ6とは、図示しない垂直駆動回路とともに液晶パネルモジュール10Gとしてモジュール化され、液晶パネル9Bと、ポストドライバ8とは、図示しない垂直駆動回路とともに液晶パネルモジュール10Bとしてモジュール化されている。

DSD2は、DSDコア2aと、メモリ2bと、TG(Timing Generator)2cとを備えている。

DSDコア2aは、外部から供給されるRGBの各デジタル映像信号に対して、ガンマ補正、色むら補正などのデジタル信号処理を施す。RGBの各デジタル映像信号は、12ビットの平行データとして外部から供給される。この12ビットという数値は、従来の技術として示した液晶パネル駆動システム50において、映像信号を12ビットで扱っていたことに基づいたものであり設計上流用したにすぎない値である。したがってこの値は12ビットでなくてもよく、 m (m は、自然数)ビットとなる。

メモリ2bは、DSDコア2aでデジタル信号処理されたRGBの各デジタル映像信号が格納される。メモリ2bに格納されたRGBの各デジタル映像信号は、SVGA、XGA、

WXGA、SXGA、SXGA+、UXGA、Full HDといった表示フォーマットに対応したデータ配列に変換され、12ビットのデジタルデータとしてパラレルに、それぞれプリドライバ3, 5, 7に供給される。プリドライバ3には、12ビットのデジタル映像信号が、デジタル映像信号R1, R2としてパラレルに供給され、プリドライバ5には、12ビットのデジタル映像信号が、デジタル映像信号G1, G2としてパラレルに供給され、プリドライバ7には、12ビットのデジタル映像信号が、デジタル映像信号B1, B2としてパラレルに供給される。

DSD2が備えるタイミングジェネレータ2cは、プリドライバ3, 5, 7に供給するタイミングパルスS2と、液晶パネルモジュール10R, 10G, 10Bに供給するタイミングパルスS1とを生成する。プリドライバ3, 5, 7、液晶パネルモジュール10R, 10G, 10Bは、このタイミングパルスS1又はS2に同期して制御される。

プリドライバ3, 5, 7は、DSD2からパラレル入力されたデジタル映像信号を、それぞれ、映像信号に同期したタイミングパルスS2に基づいて p (p は、自然数) 相のアナログの映像信号に変換し、それぞれポストドライバ4, 6, 8に供給する。例えば、プリドライバ3, 5, 7は、 $p=12$ として12相のアナログ映像信号に変換する。なお、以下においては、プリドライバ3, 5, 7が、DSD2から入力されたデジタル映像信号を $p=12$ 相のアナログ映像信号に変換したものとして説明をする。

また、プリドライバ3, 5, 7は、それぞれ、液晶パネル9R, 9G, 9Bに供給するプリチャージ信号(PSIG)と、パネル共通DC電圧(VCOM)も生成する。

次に液晶パネルモジュール10R, 10G, 10Bについて説明をする。各液晶パネルモジュール10R, 10G, 10Bは、それぞれが備える液晶パネル9R, 9G, 9Bの出力波長領域が異なる以外、全て同じ構成となっているため、代表して液晶パネルモジュール10Rについて説明をする。

図4に示すように、液晶パネルモジュール10Rは、ポストドライバ4と、液晶パネル9Rと、垂直駆動回路12と、プリチャージ駆動回路13と、信号ライン選択スイッチ群14とを備えている。

ポストドライバ4は、それぞれ、映像信号に同期したタイミングパルスS1に基づいて、プリドライバ3から供給される12相のアナログ映像信号を、SVGA、XGA、WXGA

、SXGA、SXGA+、UXGA、Full HDといった表示フォーマットに対応した出力数分の映像信号に展開し、映像信号供給ライン $VSIG_N$ (Nは、自然数)、信号ライン選択スイッチ群14を介して液晶パネル9Rに供給する。

ポストドライバ4における12相のアナログ信号から、上述した表示フォーマットに対応した出力数分の映像信号への展開処理は、当該液晶パネル駆動システム1において実行するサンプリング方式に基づく処理である。

液晶パネル駆動システム1のサンプリング方式は、まず、ポストドライバ4で展開された映像信号の出力数分だけ、液晶パネル9Rが備える後述する信号ラインを選択し、続いて、選択された信号ラインに対して展開した映像信号を、同一タイミングで一度に書き込むことを数回繰り返し、全ての信号ラインにサンプリングを行うといった方式である。このサンプリング方式を、信号ライン選択サンプリング方式と称する。

この信号ライン選択サンプリング方式に基づいて、ポストドライバ4によって展開される映像信号の数は、液晶パネル9Rの表示フォーマットと、液晶パネル9Rの全ての信号ラインに映像信号を書き込む書込回数とによって相対的に決定されることになる。

例えば、液晶パネル9Rの表示フォーマットが画素数の高い、高精細な表示フォーマットであると、映像信号の展開数を増加させる必要がある。また、液晶パネル9Rの全ての信号ラインに映像信号を書き込む回数を減らすと、一度に映像信号を書き込む信号ラインを増やさなくてはならないので映像信号の展開数も増加させる必要がある。この信号ライン選択サンプリング方式については、後で詳細に説明をする。

液晶パネル9Rは、行状に配線された複数のゲートライン21と、列状に配線された複数の信号ライン22と、両ラインが交差する箇所に配された画素23とを備えている。

画素23は、図示しない薄膜トランジスタ(TFT:Thin Film Transistor)と、同じく図示しない液晶セルとで構成されている。TFTのゲート電極は、対応するゲートライン21に接続され、ソース電極は、対応する信号ライン22に接続され、ドレイン電極は、対応する液晶セルの一方の電極(画素電極)に接続されている。液晶セルの他方の電極(対向電極)には、所定の対向電位として、プリドライバ3で生成されるパネル共通DC電圧(VCOM)が供給される。

垂直駆動回路12は、左右に分かれ、ゲートライン21に接続され、接続された各ゲ

ートライン21を両側から線順次駆動し、行方向の画素23を選択していく。

プリチャージ駆動回路13は、映像信号の書込みに先立って、あらかじめ、図示しないプリチャージラインを介して、プリドライバ3から供給されたプリチャージ信号(PSIG)を、各信号ライン22に印加してプリチャージを行う。このプリチャージは、各画素23に対する映像信号の書込みに先行する形で行われる。

信号ライン選択スイッチ群14は、ポストドライバ4から映像信号供給ライン $VSIG_N$ を介して供給される映像信号を、信号ライン22にサンプリングするための複数のスイッチからなる。この信号ライン選択スイッチ群14が備える複数のスイッチは、DSD2のTG2cから供給されるタイミングパルスS1に基づいて同一タイミングで切り替えられ、これを複数回繰り返すことで、液晶パネル9Rが備える全ての信号ライン22に対して映像信号をサンプリングする。信号ライン22にサンプリングされた映像信号は、垂直駆動回路12によって選択された行方向の画素23に書き込まれる。

続いて、図5を用いて、信号ライン選択サンプリング方式を実施するにあたって、要求される液晶パネルモジュールの構成を液晶パネルモジュール10Rを用いて詳細に説明をする。

図5に示すように、ポストドライバ4に接続されたN(Nは、自然数)本の映像信号供給ライン $VSIG_1 \sim VSIG_N$ は、それぞれ信号ライン選択スイッチ群14が備えるスイッチ SW_N を介して信号ライン22に接続されている。スイッチ SW_N は、信号ライン22の重複することなく隣り合う6本の信号ライン22に1つずつ設けられており、この6本の信号ライン22を単位とする信号ライン群の中から、タイミングパルスS1が供給される毎に1本の信号ライン22を選択することになる。

例えば、スイッチ SW_1 では、最初のタイミングパルスS1によるタイミングで信号ライン群の左端にある信号ライン22が選択され、次のタイミングで右隣にある信号ラインが選択され、順次、残り4本の信号ライン22が選択されていくことになる。同様に、スイッチ SW_1 以外のスイッチ SW_N においても、6本の信号ライン群の左端から順にスイッチ SW_1 と同じタイミングで信号ライン22が選択されていく。

上述したように、各スイッチ SW_N は、タイミングパルスS1によって同時に動作し、それぞれ、1本の信号ライン22を選択する。したがって、液晶パネル9Rが備える全ての

信号ライン22への書込回数は、スイッチ SW_N による信号ライン22の選択回数、ここでは6回となる。

スイッチ SW_N は、液晶パネル9Rが備える信号ライン22に対して、上述したような6本単位で設けてもよいし、例えば、4本単位や、8本単位のように何本単位で設けてもよい。スイッチ SW_N による信号ライン22の選択数を少なくし、設置するスイッチ SW_N の数を増やすほど、一度にサンプリングできる信号ライン22の数が多くなるため、信号ライン22への書込時間を十分確保することができるようになる。

図6に、従来方式、つまり複数画素同時サンプリング方式による書込時間(6画素を同時サンプリングした場合に必要なとされる書込時間)Aに対する、信号ライン選択サンプリング方式において確保可能な書込時間Bの比を、信号ライン22の選択数を1, 2, 4, 6, 8とした場合、それぞれについて示す。

図6に示すように、信号ライン選択サンプリング方式では、スイッチ SW_N による信号ラインの選択数が少ないほど、従来方式より、多くの書込時間を確保できることが分かる。

信号ライン選択スイッチ群14を構成するスイッチ SW_N の数、Nは、液晶パネル9Rが、同一の表示フォーマットであれば、信号ライン22の選択数によって決定される。例えば、信号ライン22の選択数が少なくなれば、必要となるスイッチ SW_N の数は増加し、信号ライン22の選択数が多くなれば、必要となるスイッチ SW_N の数は減少することになる。

また、スイッチ SW_N の数は、信号ライン22の選択数が同一であれば、液晶パネル9Rの表示フォーマットによって決定される。例えば、信号ライン22の選択数を6本とすると、表示フォーマットがWXGAの液晶パネル9Rでは、行方向の画素数が1386個となることから信号ライン22も1386本あり、 $1386/6=231$ で、231個のスイッチ SW_N が必要となる。同じく信号ライン22の選択数を6本とし、表示フォーマットをFull HDとした場合には、 $1920/6=320$ となり、320個のスイッチ SW_N が必要となる。図7に、信号ライン22の選択数を6本に固定した場合の、表示フォーマット毎に必要なスイッチ SW_N の数を示す。なお、図6において「A」は従来方式による書込み時間を示し、「B」は信号ライン選択方式による書込み時間を示す。

ところで、図7に示すように、液晶パネル9Rの表示フォーマットが、SVGA、XGA、SXGA、SXGA+、UXGAの場合、それぞれの信号ライン22の数は、スイッチSW_Nによる信号ライン22の選択数を6とした場合、割り切れないことになる。

したがって、6本未満で、スイッチSW_Nの選択数6に満たない信号ライン22が生じてしまうが、この信号ライン22に対してもスイッチSW_Nを1つ割り当てる。例えば、SVGAでは、 $800/6=133.33\cdots$ となるため、必要とするスイッチSW_Nの数を134個として対応する。

このとき、液晶パネル9Rには、増加させた1個のスイッチSW₁₃₄に対応させるため、ダミーの信号ライン22と、ダミーの画素とを付加させる。SVGAでは、スイッチSW₁〜スイッチSW₁₃₃までで、 $133\times 6=798$ 本の信号ライン22が対応しており、スイッチSW₁₃₄により6本追加されるため、804本の信号ライン22が必要となっている。SVGAの表示フォーマットでは、800本の信号ライン22があるため、新たに4本のダミーの信号ライン22が必要となる。そこで、新たに追加する4本のダミーの信号ライン22に対応してダミー画素数(D)も行方向に4個だけ付加する。図7に示す水平画素数は、ダミー画素数(D)を加味した水平画素数(Ha)である。なお図7において「*」はダミー画素を必要としない。

他の表示フォーマット、XGA、SXGA、SXGA+、UXGAに関しても全く同様に液晶パネル9Rにダミーの信号ライン22と、ダミー画素とを追加して、図7に示すように水平画素数を水平画素数(Ha)とすることで、スイッチSW_Nの数と整合性を取ることが可能となる。

続いて、映像信号供給ラインVSIG₁〜VSIG_Nを介してポストドライバ4からスイッチSW_Nに供給される映像信号について説明をする。ポストドライバ4から映像信号供給ラインVSIG₁〜VSIG_Nを介してスイッチSW_Nに供給される映像信号は、ポストドライバ4において、12相のアナログ映像信号から展開された映像信号である。

上述したように、本発明に係る液晶パネル駆動システム1で実施される信号ライン選択サンプリング方式では、液晶パネル9Rの信号ライン22に対してスイッチSW_Nによる切替操作によって映像信号をサンプリングしている。

したがって、スイッチSW_Nの数だけ、ポストドライバ4から映像信号供給ラインVSIG₁

ーVSIG_Nを介して供給される映像信号も必要となる。

そこで、ポストドライバ4は、プリドライバ3から供給される12相の映像信号を、液晶パネル9Rの表示フォーマットと、液晶パネル9Rが備える信号ライン22への書込回数とによって決定されるスイッチSW_Nの数だけ展開し、出力することになる。

図8に、スイッチSW_Nによる信号ライン22の選択数を6本とした場合の、表示フォーマット、SVGA、XGA、WXGA、SXGA、SXGA+、UXGA、Full HD毎のポストドライバ4からの映像信号の出力数、つまり展開数を示す。このように、ポストドライバ4からの映像信号の展開数は、液晶パネル9Rの表示フォーマットと、スイッチSW_Nの信号ライン22の選択数とによって決定されることになる。

このことから、液晶パネル9Rの信号ライン22の数をx本とし、スイッチSW_N、1個あたりの信号ライン22の選択数をkとすると、スイッチSW_Nは、重複することなく隣り合ったk本の信号ラインからなるx/k個の信号ライン群、各々に対して必要となるため、ポストドライバ4による展開数もx/k相となる。

また、図8に示した総展開数とは、プリドライバ3からポストドライバ4に供給されるp相のアナログ映像信号、1相あたりの展開数を示したものである。例えば、p=12とすると、Full HDにおいては、ポストドライバ4が、図9Aに示すように12相のアナログ映像信号をそれぞれ27相のアナログ映像信号に展開することになる。

このとき、27相に展開された映像信号は、合計12×27=324本となるが、表示フォーマットがFull HD、信号ライン22の選択数が6本の場合に必要なスイッチSW_Nの数から、ポストドライバ4による出力数は320本となるため、4本の映像信号はダミー端子などに供給し、出力しないようにする。それ以外の320本の映像信号は、ポストドライバ4に接続されている320本の映像信号供給ラインVSIG₁ーVSIG₃₂₀に供給されることになる。

同様に、液晶パネル9Rの表示フォーマットがUXGA、SXGA+、SXGA、WXGA、XGA、SVGAである場合、ポストドライバ4は、12相の映像信号を、図8で示した総展開数で展開し、展開した映像信号を図9B、図9C、図9D、図9E、図9F、図9Gに示すように映像信号供給ラインVSIG₁ーVSIG_Nを間引くようにして出力する。

したがって、液晶パネル駆動システム1では、液晶パネルモジュール9Rのポストドラ

イブ4の出力ピン数、さらに物理的に配線する映像信号供給ライン $VSIG_N$ の本数、信号ライン選択スイッチ群14に用意するスイッチ $SW_{\langle SUB \rangle N}$ の数を、最も高精細な表示フォーマット、例えば、Full HDに対応するように設計しておくことで、どのような表示フォーマットの液晶パネルを使用した場合でも、ポストドライバ4によってプリドライバ3から供給されるp相のアナログ映像信号の展開数を調整し、DSD2によってタイミングパルスなどを適宜、変更するといった簡便な調整のみで柔軟に対応することができる。

また、ポストドライバ4で展開され、映像信号供給ライン $VSIG_1$ 〜 $VSIG_N$ に供給された映像信号は、信号ライン選択スイッチ群14が有する各スイッチ SW_N に供給され、タイミングパルスS1が供給される毎に、各スイッチ SW_N が選択する信号ライン22に供給され、垂直駆動回路12で選択されたゲートライン21上の画素23に書き込まれていくことになる。

例えば、スイッチ SW_N の信号ライン22の選択数が6本であるとする、最初のタイミングで、図10Aに示すように左端の画素から5画素間隔に配列されている画素に対して映像信号が同時に書き込まれ、続くタイミングでは、図10B、図10C、図10D、図10E、図10Fに示すように右隣の画素に順次、映像信号が書き込まれていく。

なお、図10中aで示すクロス線の領域は、既書き込まれた画素を示し、bで示す斜線の領域は新たに書き込まれた画素を示す。

したがって、信号ライン選択サンプリング方式では、同じタイミングで書き込まれる画素が、隣り合っておらず常に所定の画素間隔を保っているため、例え、映像信号とタイミングパルスとの位相関係がずれた場合でも他の画素に影響を与えることがない。つまり、複数画素同時サンプリング方式のように、映像信号とタイミングパルスの位相関係がずれた場合に、本来書き込まれるはずの映像信号以外にも、映像信号が入り込んでしまうことで生ずるゴーストの発生要因を完全に除去することができる。

上述の説明では、プリドライバ3、ポストドライバ4、液晶パネル9Rを用いて説明をしたが、プリドライバ5、ポストドライバ6で駆動する液晶パネル9Gや、プリドライバ7、ポストドライバ8で駆動する液晶パネル9Bの場合も全く同様に信号ライン選択サンプリング方式が実行される。

このように、液晶パネル駆動システム1によって実行される信号ライン選択サンプリング方式では、従来技術として実施されている複数画素同時サンプリング方式に比べ、一度に書き込める画素数が、例えば、6個から100個以上というように大幅に増加しているため、倍以上の書込時間を確保することができるため、安定した書込みとなる。

また、様々な表示フォーマットの液晶パネルに対して、ICの変更などを行うことなく同一のシステム構成で対応することができる。特に、高解像度のSXGA+、UXGA、Full HDにおいてはシステム構成を大幅に簡略化することができるようになる。

なお、本発明は、図面を参照して説明した上述の実施例に限定されるものではなく、添付の請求の範囲及びその主旨を逸脱することなく、様々な変更、置換又はその同等のものを行うことができることは当業者にとって明らかである。

請求の範囲

- [1] 1. 列方向に配された x (x は自然数)本の信号ラインと、行方向に配された y (y は、自然数)本のゲートラインとの交差部に行列配置された $x \times y$ 個の画素を有する表示パネルを駆動する駆動装置において、
- m (m は、自然数)ビットのデジタル映像信号を上記表示パネルの表示フォーマットに準じたデータ配列に変換するデータ配列変換手段と、
- 上記データ配列変換手段によって上記表示フォーマットに準じたデータ配列に変換された上記 m ビットのデジタル映像信号を、並列な p (p は、自然数)相のアナログ映像信号に変換する第1の信号処理手段と、
- 上記第1の信号処理手段によって変換された上記 p 相のアナログ映像信号を x/k (k は、自然数)相のアナログ映像信号に展開し、展開したアナログ映像信号を N (N は、 $N \geq (x/k)$ を満たす自然数)本の映像信号供給ラインから選択された x/k 本の上記映像信号供給ラインに供給する第2の信号処理手段と、
- 上記 x 本の信号ラインを、重複することなく隣り合う k 本の上記信号ラインに分割してなる x/k 個の信号ライン群のそれぞれから、所望の信号ラインを同一タイミングで1本ずつ順次選択し、選択された上記信号ラインに、上記 x/k 本の映像信号供給ラインで供給される上記アナログ映像信号をサンプリングする信号ライン選択手段とを備えることを特徴とする駆動装置。
- ただし、 x 、 y 、 p 、 m 、 k は自然数であり、 N は、 $N \geq (x/k)$ を満たす自然数である。
- [2] 2. 上記駆動装置が駆動する上記表示パネルは、当該表示パネルの信号ラインの本数 x が、上記 k の倍数となるように、当該表示パネルの表示フォーマットで決まる信号ラインの他に、ダミーの信号ラインを含み、さらに上記ダミーの信号ラインに対応したダミーの画素を含んでいることを特徴とする請求の範囲第1項記載の駆動装置。
- [3] 3. 列方向に配された x 本の信号ラインと、行方向に配された y 本のゲートラインとの交差部に行列配置された $x \times y$ 個の画素を有する表示パネルを駆動する駆動方法において、
- m ビットのデジタル映像信号を上記表示パネルの表示フォーマットに準じたデータ配列に変換し、

上記表示フォーマットに準じたデータ配列に変換された上記 m ビットのデジタル映像信号を、並列な p 相のアナログ映像信号に変換し、

上記 p 相のアナログ映像信号を x/k 相のアナログ映像信号に展開し、展開したアナログ映像信号を N 本の映像信号供給ラインから選択された x/k 本の上記映像信号供給ラインに供給し、

上記 x 本の信号ラインを、重複することなく隣り合う k 本の上記信号ラインに分割してなる x/k 個の信号ライン群のそれぞれから、所望の信号ラインを同一タイミングで1本ずつ順次選択し、

選択された上記信号ラインに、上記 x/k 本の映像信号供給ラインで供給される上記アナログ映像信号をサンプリングする

ことを特徴とする駆動方法。

ただし、 x 、 y 、 p 、 m 、 k は自然数であり、 N は、 $N \geq (x/k)$ を満たす自然数である。

- [4] 4. 列方向に配された x 本の信号ラインと、行方向に配された y 本のゲートラインと、の交差部に行列配置された $x \times y$ 個の画素を有する表示パネルを駆動する表示パネル駆動システムにおいて、

m ビットのデジタル映像信号を上記表示パネルの表示フォーマットに準じたデータ配列に変換するデータ配列変換装置と、

上記データ配列変換装置によって、上記表示フォーマットに準じたデータ配列に変換された上記 m ビットのデジタル映像信号を、並列な p 相のアナログ映像信号に変換する信号処理装置と、

任意の表示フォーマットの上記表示パネルと、上記信号処理装置によって変換された上記 p 相のアナログ映像信号を x/k 相のアナログ映像信号に展開し、展開したアナログ映像信号を N 本の映像信号供給ラインに供給する信号処理手段と、上記ゲートラインに接続され、上記ゲートラインを線順次駆動して行方向の上記 x 個の画素を選択する垂直駆動回路と、上記 x 本の信号ラインを、重複することなく隣り合う k 本の上記信号ラインに分割してなる x/k 個の信号ライン群のそれぞれから、所望の信号ラインを同一タイミングで1本ずつ順次選択し、選択された上記信号ラインに、上記 x/k 本の映像信号供給ラインで供給される上記アナログ映像信号をサンプリングする

信号ライン選択手段と、上記信号ライン選択手段によって、上記信号ラインにサンプリングされた上記アナログ映像信号を、上記垂直駆動回路で選択された行方向の上記画素に書き込む映像信号書込手段とを有する表示パネルモジュールとを備えることを特徴とする表示パネル駆動システム。

ただし、 x 、 y 、 p 、 m 、 k は自然数であり、 N は、 $N \geq (x/k)$ を満たす自然数である。

5. 上記表示パネルは、当該表示パネルの信号ラインの本数 x が、上記 k の倍数となるように、当該表示パネルの表示フォーマットで決まる信号ラインの他に、ダミーの信号ラインを含み、さらに上記ダミーの信号ラインに対応したダミーの画素を含んでいることを特徴とする請求の範囲第4項載の表示パネル駆動システム。

[図1]

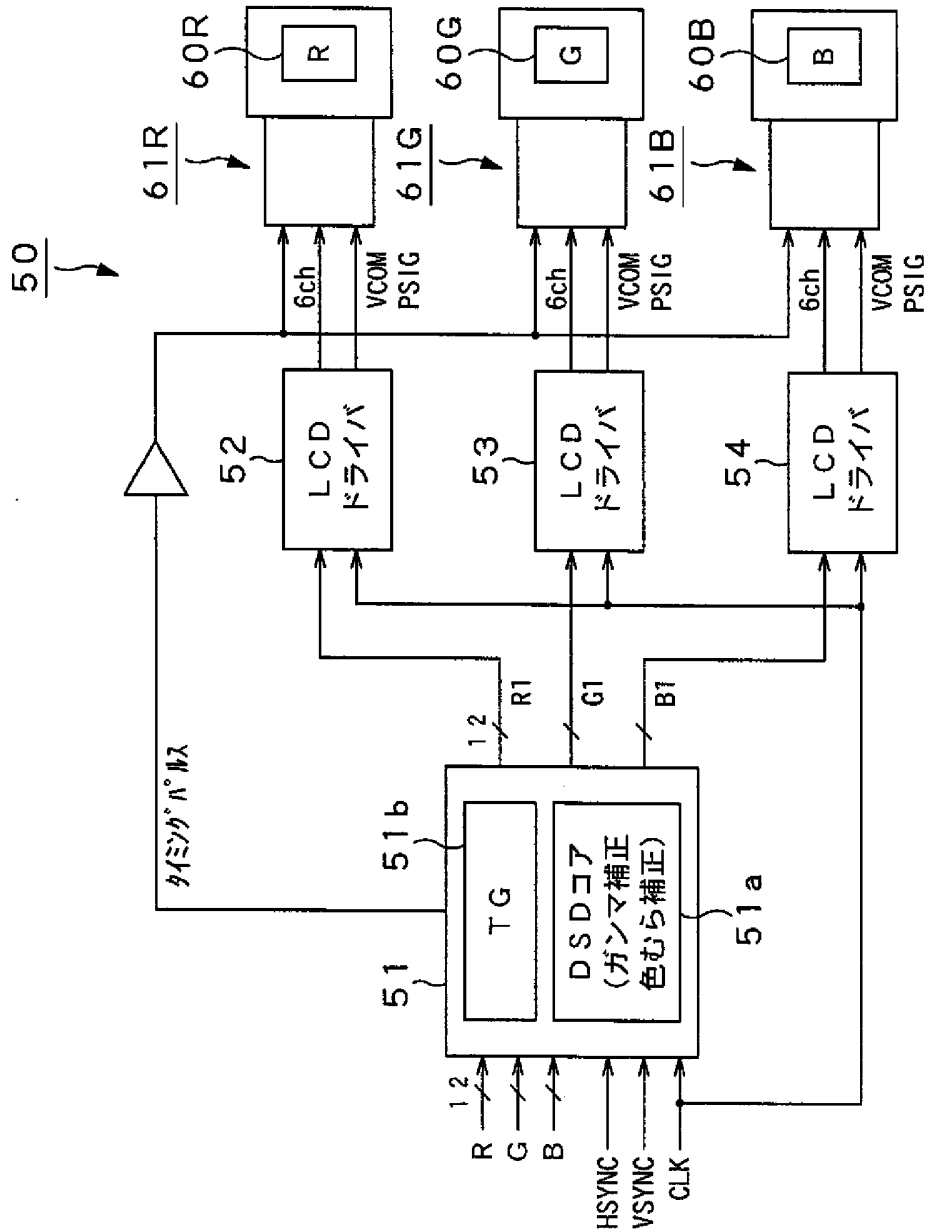


FIG.1

[図2]

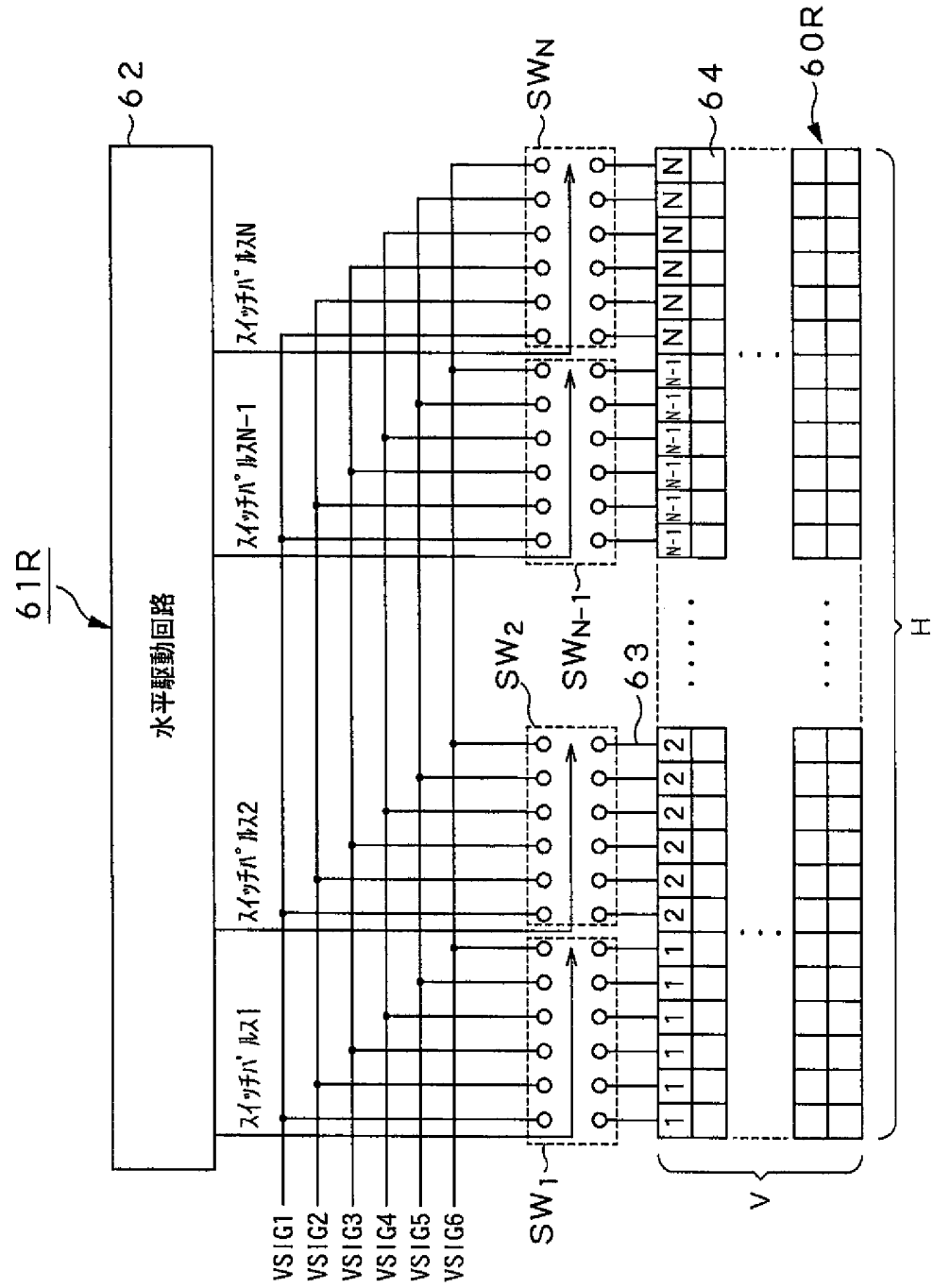


FIG.2

[図3]

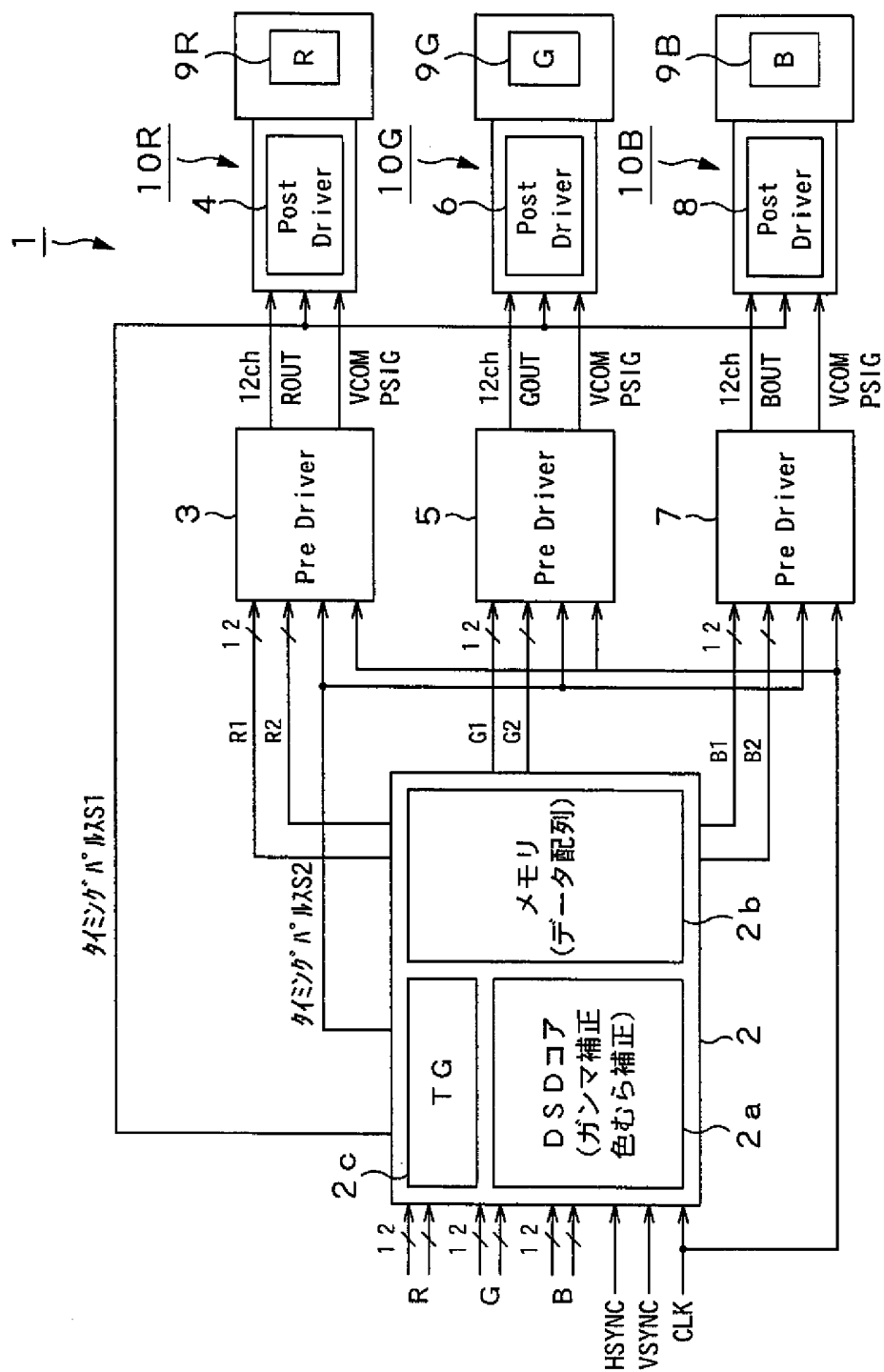


FIG. 3

[図4]

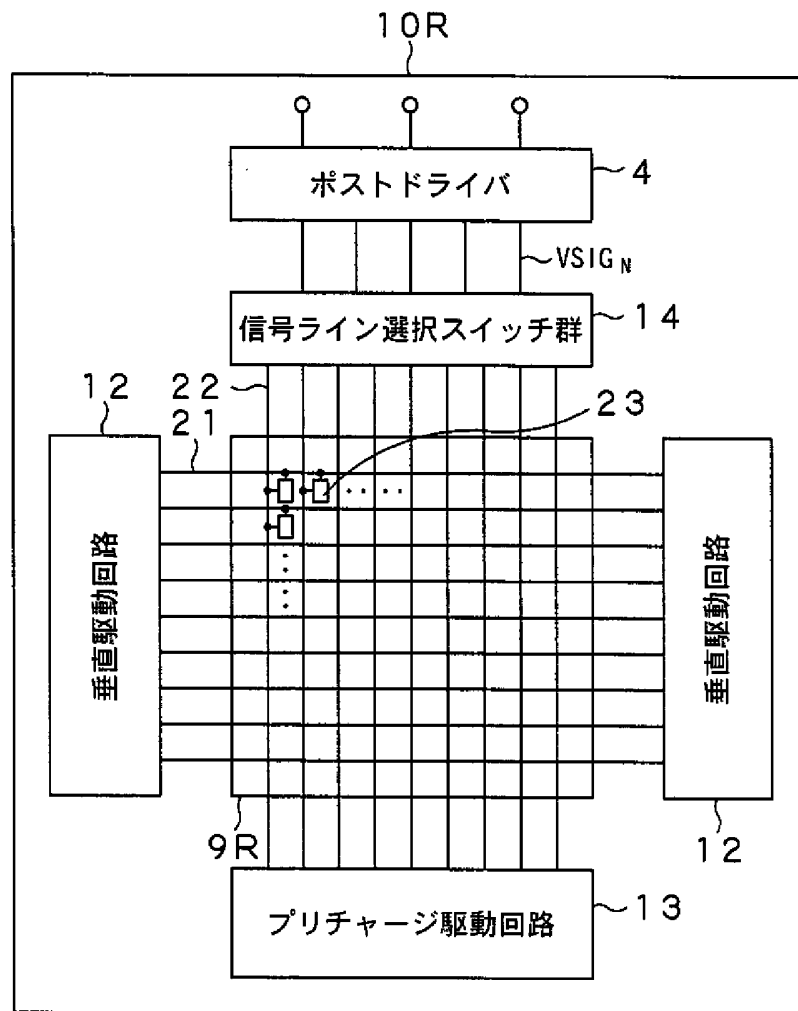


FIG.4

[図5]

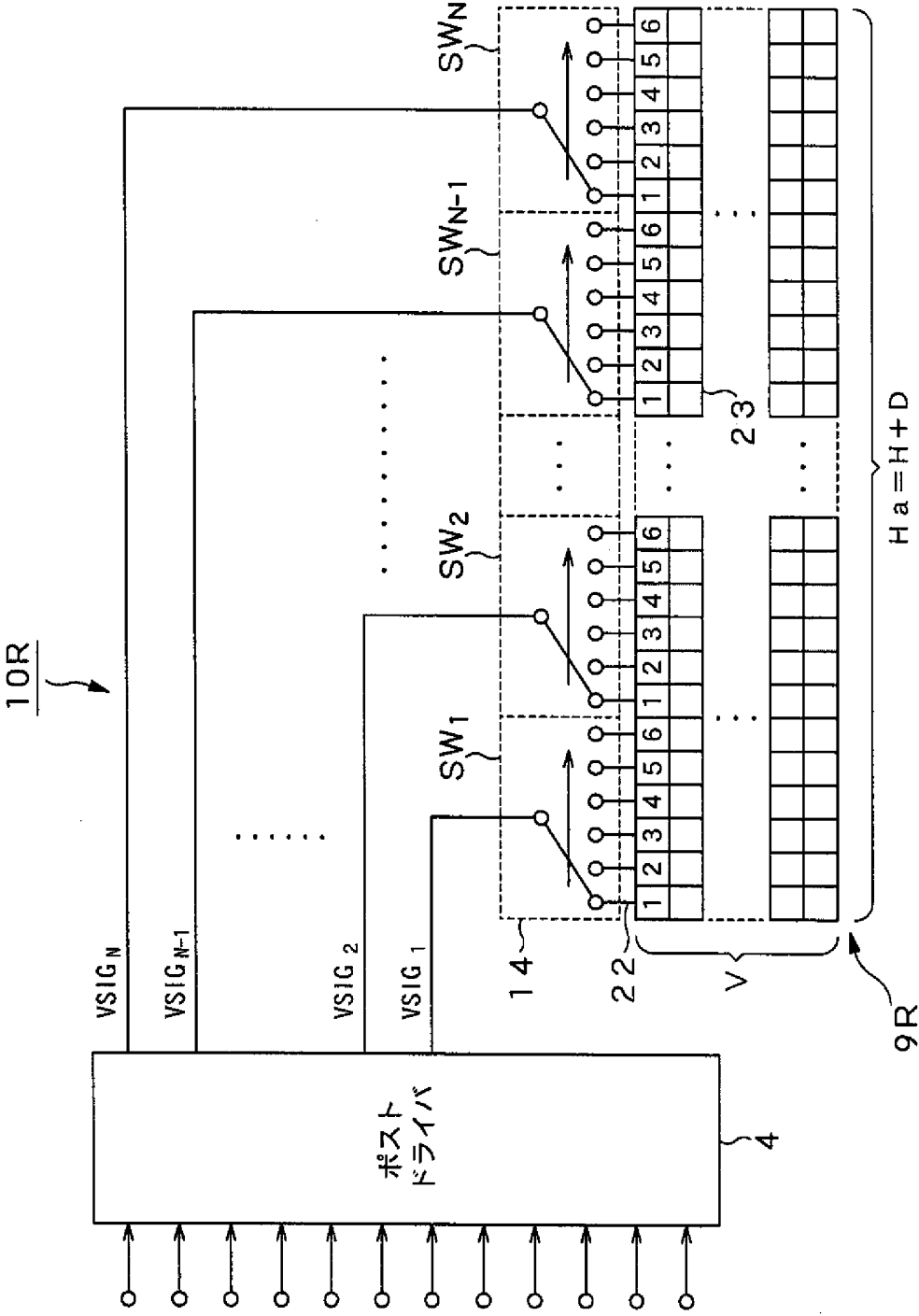


FIG.5

[図6]

信号ライン選択数	B/A(倍)
1	16
2	8
4	4
6	3
8	2

A : 従来方式による書込み時間

B : 信号ライン選択方式による書込み時間

FIG.6

[図7]

解像度(H×V)		スイッチ数 (6本選択) (N)	水平画素数 (H _a)	ダミー画素数 (D)
SVGA	800×600	134	804	4
XGA	1024×768	171	1026	2
WXGA	1386×788	231	*1386	0
SXGA	1280×1024	214	1284	4
SXGA+	1400×1050	234	1404	4
UXGA	1600×1200	267	1602	2
Full HD	1920×1080	320	*1920	0

*はダミー画素を必要としない。

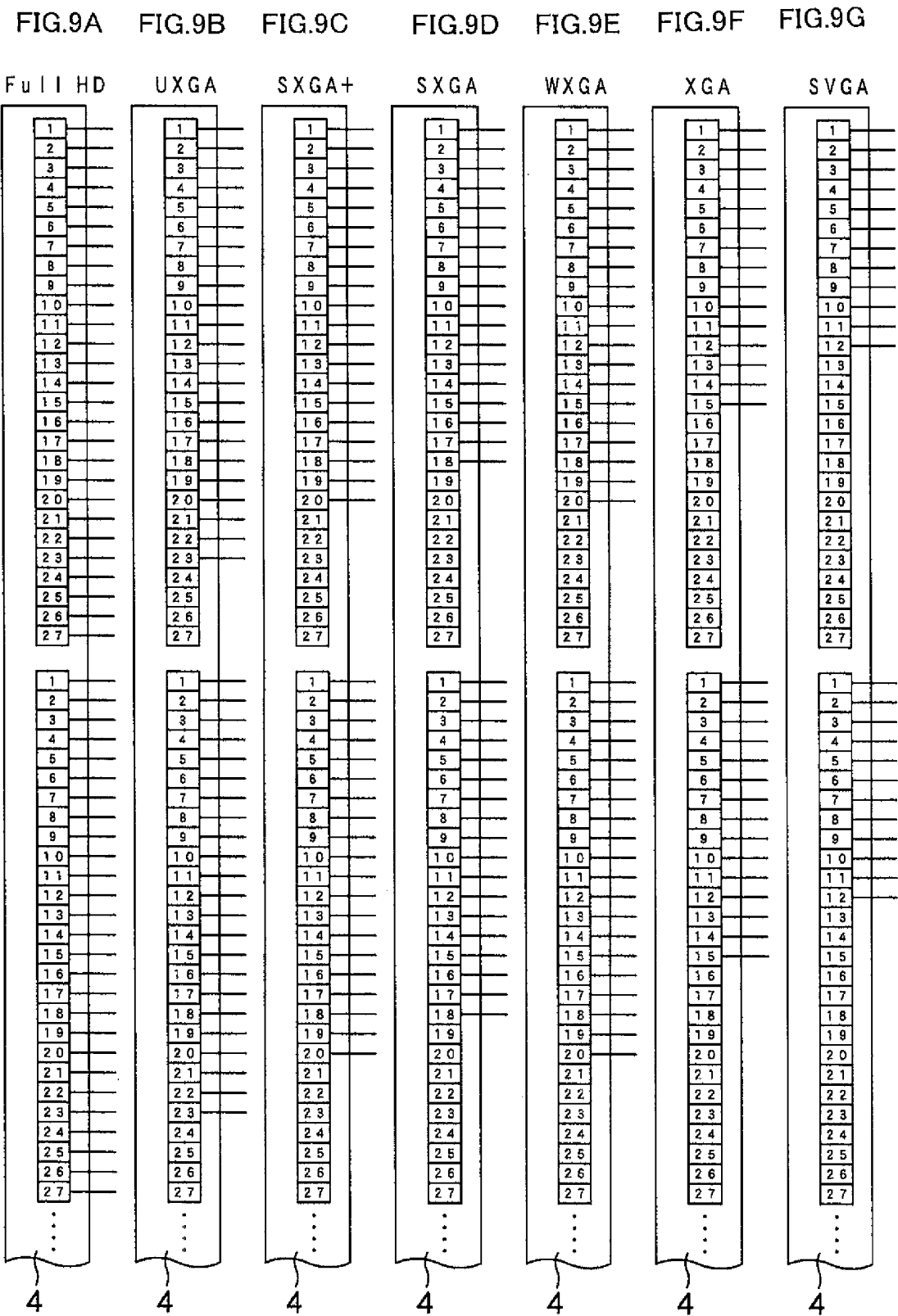
FIG.7

[図8]

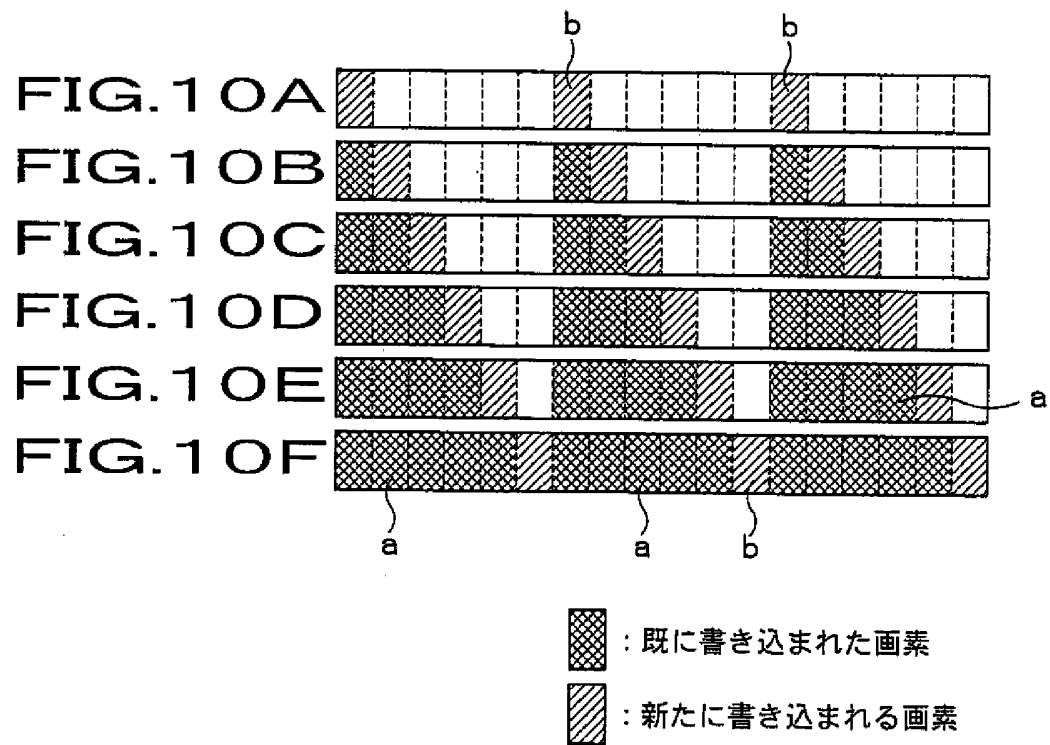
解像度(H×V)		出力数 (6本選択) (N)	総展開数 (回)
SVGA	800×600	134	12
XGA	1024×768	171	15
WXGA	1386×788	231	20
SXGA	1280×1024	214	18
SXGA+	1400×1050	234	20
UXGA	1600×1200	267	23
Full HD	1920×1080	320	27

FIG.8

[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012255

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/36, 3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/36, 3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-108299 A (Sony Corp.), 10 April, 2002 (10.04.02), Par. Nos. [0017] to [0034]; Figs. 1 to 4 (Family: none)	1-5
Y	JP 3446209 B2 (Seiko Epson Corp.), 04 July, 2003 (04.07.03), Page 4, right column, line 25 to page 5, left column, line 27; Figs. 4 to 6 & WO 96/24123 A1 & EP 0760508 A1 & US 6023260 A	1-5
Y	JP 62-147488 A (Hitachi, Ltd.), 01 July, 1987 (01.07.87), Page 4, upper left column, line 6 to upper right column, line 7; Figs. 4 to 5 (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 September, 2004 (15.09.04)Date of mailing of the international search report
22 November, 2004 (22.11.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012255

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-149139 A (Sony Corp.), 02 June, 1998 (02.06.98), Par. Nos. [0033] to [0037]; Figs. 2 to 3 (Family: none)	2, 5
A	JP 2002-99251 A (Victor Company Of Japan, Ltd.), 05 April, 2002 (05.04.02), Par. Nos. [0008] to [0011]; Fig. 9 (Family: none)	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl⁷ G09G 3/36, 3/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl⁷ G09G 3/36, 3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2004年
日本国実用新案登録公報 1996-2004年
日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-108299 A (ソニー株式会社) 2002.04.10, 段落【0017】-【0034】, 【図1】-【図4】 (ファミリーなし)	1-5
Y	JP 3446209 B2 (セイコーエプソン株式会社) 2003.07.04, 第4頁右欄第25行-第5頁左欄第27 行, 【第4図】-【第6図】 & WO 96/24123 A1 & EP 0760508 A1 & US 6023260 A	1-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
15.09.2004

国際調査報告の発送日
22.11.2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
西島 篤宏

2G 9308

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 62-147488 A (株式会社日立製作所) 1987. 07. 01, 第4頁左上欄第6行-同頁右上欄第7 行, 第4図-第5図 (ファミリーなし)	1-5
Y	J P 10-149139 A (ソニー株式会社) 1998. 06. 02, 段落【0033】-【0037】, 【図2】-【図3】 (ファミリーなし)	2, 5
A	J P 2002-99251 A (日本ビクター株式会社) 2002. 04. 05, 段落【0008】-【0011】, 【図9】 (ファミリーなし)	1-5