(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 29/78
H01L 29/739
H01L 29/10

(45) 공고일자 2000년04월01일
(11) 등록번호 10-0250350
(24) 등록일자 2000년01월04일

(21) 출원번호	10-1996-0020385	(65) 공개번호	특1997-0008651
(22) 출원일자	1996년06월07일	(43) 공개일자	1997년02월24일
(30) 우선권주장	95-185783 1995년07월21일 일본(JP)		

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오
일본국 도쿄도 지요다쿠 마루노우치 2쪼메 2반 3고미쓰비시덴키 가부시키가이샤 기타오카 다카시

(72) 발명자 일본국 도쿄도 지요다쿠 마루노우치 2쪼메 2반 3고
다카하시 히데끼
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 뎅끼 가부시키가이샤 나이

(74) 대리인 이화익

심사관 : 오세준

(54) 절연 게이트형 반도체 장치의 제조방법

요약

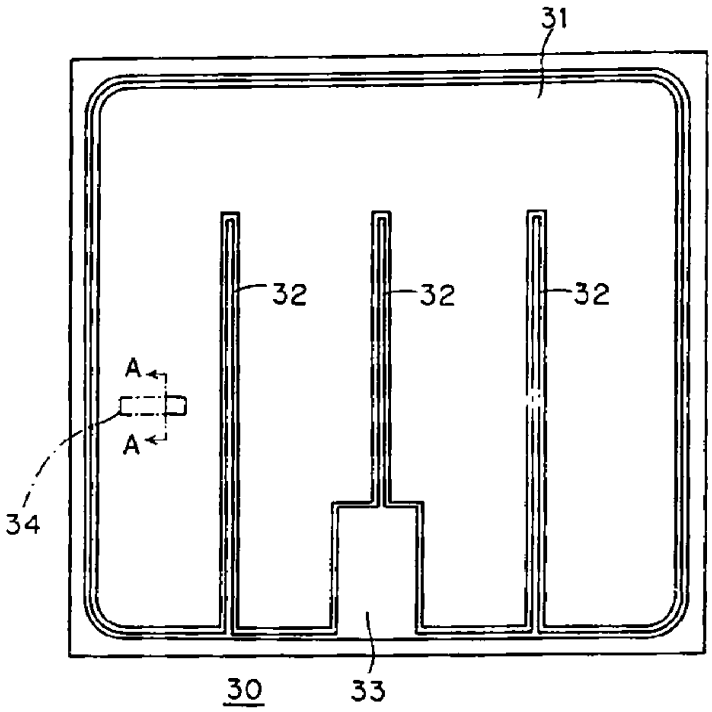
절연게이트형 반도체장치의 기생 트랜지스터를 온하기 어렵기 때문에, 절연 게이트형 반도체 장치의 SOA가 개선된다.

P^+ 반도체층(45)이 U형 IGBT의 N^+ 에미터 영역(44)에 인접하는 선단에 겹치도록, 또한 P^+ 반도체층(45)의 저부가 P 베이스 영역(43)과 접촉하도록, N^+ 에미터 영역(44)의 불순물 농도보다 높은 불순물 농도를 갖는 P^+ 반도체층(45)이 배설된다.

에미터 전극(51)을 P^+ 반도체층(45)을 통해서 P 베이스층(43)과 콘택시킨다.

트랜치 피치를 작게 하였기 때문에, N^+ 에미터 영역(44), P 베이스층(43) 및 N^- 층(42)으로 구성되는 기생 바이폴라 트랜지스터를 온하기 어렵다.

대표도



명세서

[발명의 명칭]

절연 게이트형 반도체 장치의 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 실시예 1에 따른 절연 게이트형 반도체장치의 평면도.

제2도는 절연 게이트형 반도체 장치의 일부셀의 부분 평면도.

제3도는 본 발명의 절연 게이트형 반도체 장치의 일부셀의 A-A단면에서의 부분 단면도.

제4도 본 발명의 모식적 부분 단면도.

제5도는 U형 IGBT의 트렌치 피치와 온전압과의 관계를 나타낸 그래프.

제6도 내지 제14도는 본 발명의 절연 게이트형 반도체장치의 제조공정의 소자의 부분 단면도.

제15도는 본 발명의 다른 실시예에 따른 절연 게이트형 반도체장치의 부분 평면도.

제16도는 본 발명의 다른 실시예에 따른 절연 게이트형 반도체장치의 A-A 단면에서의 부분 단면도.

제17도는 본 발명의 다른 실시예에 따른 절연 게이트형 반도체장치의 B-B 단면에서의 부분 단면도.

제18도는 본 발명의 또 다른 실시예에 따른 절연 게이트형 반도체장치의 부분 평면도.

제19도는 본 발명의 또 다른 실시예에 따른 절연 게이트형 반도체장치의 A-A 단면에서의 부분 단면도.

제20도는 본 발명의 또 다른 실시예에 따른 절연 게이트형 반도체장치의 B-B 단면에서의 부분 단면도.

제21도는 본 발명의 또 다른 실시예에 따른 절연 게이트형 반도체장치의 부분 평면도.

제22도는 본 발명의 또 다른 실시예에 따른 절연 게이트형 반도체장치의 A-A 단면에서의 부분 단면도.

제23도는 본 발명의 다른 실시예에 따른 절연 게이트형 반도체장치의 B-B 단면에서의 부분 단면도.

제24도는 본 발명의 다른 실시예에 따른 절연 게이트형 반도체장치의 제조공정의 소자의 부분 단면도.

제25도는 본 발명의 다른 실시예에 따른 절연 게이트형 반도체장치의 제조 공정의 소자의 부분 단면도.

제26도는 종래의 절연 게이트형 반도체장치의 부분 단면도.

제27도는 종래의 다른 절연 게이트형 반도체장치의 부분 단면도.

제28도는 종래의 다른 절연 게이트형 반도체장치의 콘택마진을 나타낸 모식도.

제29도는 종래의 또 다른 절연 게이트형 반도체장치의 부분 단면도.

제30도는 종래의 또 다른 절연 게이트형 반도체장치의 측면확산을 나타낸 모식도.

* 도면의 주요부분에 대한 부호의 설명

41 : P^+ 콜렉터층 42 : N^-층

43 : P베이스층 44 : N^+ 에미터영역

45 : P^+반도체층 47 : 내벽

48 : 게이트절연막 45 : 게이트전극

51 : 에미터전극 52 : 콜렉터전극

50 : 층간절연막

[발명의 상세한 설명]

본 발명은 절연 게이트형 반도체장치의 제조방법에 관하는 것으로, 특히 트렌치 MOS 게이트를 갖는 절연 게이트형 바이폴라 트랜지스터의 기생 트랜지스터를 쉽게 온하지 않고, 안정 동작영역(이하, Safe Operating Area; SOA라 한다)을 넓힌 반도체 장치의 제조방법에 관하는 것이다.

제26도는 종래의 절연 게이트형 반도체장치의 부분 단면도이다.

일례로서, 절연 게이트형 바이폴라트랜지스터(이하, IGBT라 한다), 특히, 트렌치 게이트 구조의 IGBT(이하, 트렌치 게이트구조의 IGBT를 U형 IGBT라 한다)를 설명한다.

근년, 가전제품의 에너지 절약이나, 소형·경량화를 꾀하기 위한 고주파 인버터인 전압 공진회로, 범용 인버터, AC 서어보, 에어콘 등의 분야에서, 3상 모터의 가변속을 제어하기 위한 인텔리전트 파워 모듈 등에 IGBT가 자주 사용되어 왔다.

이들 다양한 디바이스 중의 핵심 디바이스인 IGBT에서 스위칭 특성, 포화전압, SOA는 서로 트레이드 오프의 관계에 있지만, 보다 좋은 스위칭 특성, 낮은 포화전압, 넓은 SOA를 가지는 IGBT가 요구되고 있다.

제26도에서, 1은 P^+ 콜렉터층, 2은 N^- 층, 3은 P 베이스층, 4는 N^+ 에미터 영역, 5는 트렌치, 6은 게이트 절연막, 7은 게이트 전극, 8은 층간절연막, 9는 N^+ 버퍼층, 10은 에미터 전극, 11은 콜렉터 전극, 12는 채널영역이다.

다음에, IGBT의 동작을 설명한다.

에미터 전극(10)과 콜렉터 전극(11)과의 사이에 소정의 콜렉터 전압 V_{CE}를, 에미터 전극(10)과 게이트 전극(7)과의 사이에 소정의 게이트전압 V_{GE}를 인가하면, 즉, 게이트를 온 하면, 채널영역(12)이 N형으로 반전하여 채널이 형성된다.

이 채널을 통하여, 에미터 전극(10)으로부터 전자가 N^- 층(2)에 주입된다.

이 주입된 전자에 의해 P^+ 콜렉터층(1)과 N^- 층(2)과의 사이에 순방향 바이어스되어, 콜렉터 전극(11)에서 P^+ 콜렉터층(1) 및 N^+ 버퍼층(9)을 경유하여 N^- 층(2)으로 홀(hole)이 주입된다.

그 결과, 전도도의 변화에 의해, N^- 층(2)의 저항이 대폭 저하하여, IGBT의 전류 용량이 증대한다.

이 때, IGBT의 콜렉터-에미터의 전압강하는 온 전압(V_{CE}(sat))이다.

다음에, IGBT를 온상태에서 오프상태로 하면, 에미터 전극(10)과 게이트 전극(7)과의 사이에 인가되어 있던 게이트 전압 V_{GE}를 0V 또는 역바이어스로 변환하여 게이트를 오프한다.

그 결과, N형으로 반전된 채널영역(12)은 P형으로 되돌아가서, 에미터 전극(10)에서의 전자의 주입이 정지한다.

그 후, N^- 층(2)에 축적되어 있던 전자와 홀은 각각 콜렉터 전극(11), 에미터 전극(10)으로 흐르며, 서로 재결합하여 소멸한다.

그리고, IGBT의 온 전압은 주로 내압유지에 필요한 N^- 층(2)의 실질적인 저항에 의해 결정된다.

실질적인 저항의 요인의 하나는 IGBT를 구성하는 MOSFET의 전자공급 능력이다.

칩 표면에 좁고 깊은 홈을 형성하여, 트렌치의 측벽에 MOSFET를 형성하는 U형 IGBT는 단위셀 간격을 가능한한 축소하는 것에 의해, 이 MOSFET의 전자공급 능력을 높일 수 있다.

일반적으로, 고전압이 인가된 상태에 있어서의 차단 전류치는 IGBT의 중요한 전기적 특성이다.

그러므로, 가능한한 높은 차단 전류치를 확보는 것이 바람직하다.

이 전기적 특성이 좋을수록, 역바이어스 안정 동작영역(이하, Bias Safe Operating Area : RBSOA라 한다)이 넓게 된다.

한편, 제26도에 도시된 U형 IGBT는 그 구조로부터 분명한 바와 같이, N^+ 에미터 영역(4)과 P 베이스층(3)과 N^- 층(2)으로 구성되는 기생 바이폴라 트랜지스터를 포함한다.

이 기생 바이폴라 트랜지스터가 온하면, 게이트 전압 V_{CE}에서는 U형 IGBT를 흐르는 전류를 더 이상 제어할 수 없게 되어, U형 IGBT가 파괴된다.

이 때문에, RBSOA를 넓히기 위한 하나의 방안으로서, 기생 트랜지스터가 쉽게 온하지 않도록, 트렌치 게이트 구조를 이용하여, 그 셀 사이즈를 축소한 다양한 디바이스 구조가 제안되었다.

제27도는 일본국특개소 60-253275 호 공보에 기재되어 있는 종래의 절연게이트형 반도체장치의 일례의 부분 단면도이다.

제27도에 있어서, 13은 반도체 기판, 14는 반도체 기판(13)의 제 1 주표면, 15는 P^+ 영역이다.

다른 참조부호는 제24도와 같다.

그리고, N^+ 에미터 영역(4)의 P^+ 영역(15)은 단지 에미터 전극(10)과 보다 좋은 콘택을 하도록 배치되어 있다.

P^+ 영역(15)의 불순물 농도는 N^+ 에미터 영역의 불순물 농도보다 낮게되어 있다.

이 종래의 절연 게이트형 반도체 장치에 있어서, N^+ 에미터 영역(4)을 형성하는 마스크와 V형 게이트 전극(7)을 형성하기 위한 마스크로서 동일마스크를 사용하면, 마스크 맞춤이 불필요하게 되어, 셀사이의 간격이 축소된다.

그러나, 게이트 전극(7)이 반도체 기판(13)의 제 1 주표면(14)보다 돌출되어 있기 때문에, 에미터 전극(10)과 게이트 전극(7)과의 사이에서 층간 절연막(8)을 확보하면서 N^+ 에미터 영역(4)과 P^+ 영역(15)과의 접촉을 위해, 층간절연막(8)의 형성시 서로 마스크를 맞추면, 여분의 마진을 포함하는 N^+ 에미터 영역(4)을 넓게 형성해야 한다.

이것은 셀 사이의 간격을 축소할때의 장애물이 된다.

제28도는 종래 기술의 콘택마진을 나타낸 모식도이다.

제29도에 있어서, V형 게이트 전극(7)을 트렌치형 게이트 전극(7)으로 바꾼다.

제28도는 이 때에 필요한 N^+ 에미터 영역(4)의 마스크 어긋남의 여유분(이 경우는 게이트 콘택마진)을 나타내고 있다.

제29도는 USP 5,034,785 호 공보에 기재되어 있는 또 하나의 종래의 절연게이트형 반도체 장치의 일래의 부분 단면도이다.

이 종래예는 제28도의 종래예의 게이트 콘택마진을 이용하지 않기 때문에, 셀 간격을 단축할 수 있다.

제29도에 나타낸 디바이스는 DMOS 파워 트랜지스터이고, 트렌치 구조의 게이트를 갖고 있다.

이 게이트 전극(7)은 반도체 기판(13)의 제 1 주 표면(14)보다 하부에 표면을 가지고 있다.

참조 부호 16은 소스전극이다.

이 구조에서, 게이트 전극(7)의 표면은 반도체 기판(13)의 제 1 주 표면(14)보다 깊다.

이는 게이트 전극(7)을 형성할 때 마스크를 불필요하게 하여, N^+ 소스영역(16)에 마스크 정렬을 위한 마진을 불필요하게 한다.

그러므로, 트렌치 피치를 단축할 수 있다.

그렇지만, N^+ 소스영역(16)의 깊이는 게이트 전극(7)의 표면보다 깊게 형성할 필요가 있다.

따라서, N^+ 소스영역(16)의 깊이가 깊게 된다.

N^+ 소스영역(16)은 통상적으로 확산공정에 의해 형성되기 때문에, N^+ 소스영역(16)의 확산깊이를 깊게하면, N^+ 소스영역(16)의 확산을 증대시키는 것이 된다.

이것에 의해, 트렌치 피치를 증대시킬 수 있다.

제30도는 이 종래 구조의 사이드 확산을 나타낸 모식도이다.

이 디바이스는 IGBT이다.

제30도에서, 게이트 전극(7)의 표면을 N^+ 에미터 영역(4)의 표면보다 낮게하기 위해서, N^+ 에미터 영역(4)이 깊게 되고, 이에 따라 N^+ 에미터 영역(4)의 측면확산이 증가한다.

그러므로, 에미터 전극(10)에 의해 P 베이스층(3)의 노출면과 N^+ 에미터영역(4)의 표면을 콘택하기 위하여, 트렌치 피치가 크게 형성해야 한다.

이에 의해, 기생 트랜지스터가 쉽게 온된다.

또, 소자의 SOA에 관계되는 값은 포화전류 $I_C(sat)$이다.

$I_C(sat)$는 어떤 게이트 전압에 따라 IGBT에 흐르는 전류치를 나타낸다.

이 $I_C(sat)$가 지나치게 크면, 상기 기생 트랜지스터가 쉽게 온하여, IGBT를 차례로 파괴한다.

상술한 종래 기술의 문제점을 해결하기 위한 본 발명의 목적은 기생 트랜지스터를 쉽게 온하지 않고, SOA를 개선한 디바이스 구조를 가지는 절연게이트형 반도체장치의 제조방법을 제공하는 것이다.

상술한 목적을 달성하기 위한 본 발명의 제 1 관점은 제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비한 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판과 제2 반도체층 측면인 상기 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 상기 제 1 주 표면상에 레지스트를 적층하고, 상기 레지스트의 일부를 선택적으로 제거하여 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형의 불순물을 확산하여 상기 제2 반도체층 보다 높은 불순물 농도를 갖는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 제 4 반도체층의 표면상의 일부와 상기 차폐막에 상기 차폐막의 표면을 따라 상기 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 홈을 매립하도록 절연막상에 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정 후, 상기 제 1 주 표면상에서 노출된 절연막의 일부 및 상기 도전체의 표면상에 레지스트를 적층하고, 상기 제 3 공정에서 선택적으로 남겨진 레지스트에 대응하는 영역과 상기 영역에 인접하는 상기 제 4 반도체층의 일부 표면을 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 마스크로서 레지스트를 사용하여 상기 절연막을 통해 상기 제 4 반도체층의 불순물 농도 보다도 높은 불순물 농도로 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제 1 도전형의 불순물을 확산하여 상기 제 3 반도체층에 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정에서 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 제 5 반도체층과 상기 제 5 반도체층에 인접하는 제 4 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 제 4 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 제 4 반도체층, 제 5 반도체층 및 상기 절연체의 상기 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연 게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제2 관점은 제 1 도전형의 제 1 반도체층 및 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 상기 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 상기 제 1 주 표면상에 레지스트를 적층하고, 상기 레지스트의 일부를 열(列)형상으로 서로 나란하게 배열되는 복수의 영역으로 남도록 상기 레지스트를 선택적으로 제거하여 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형의 불순물을 확산하여 상기 제2 반도체층 보다 높은 불순물농도를 갖는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 표면상의 상기 차폐막의 일부에 상기 제 4 반도체층의 열(列)표면을 따라 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로하여 상기 제2 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정 후, 상기 제 1 주면상에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 레지스트를 적층하고, 상기 제 3 공정후 열 형상으로 남겨진 상기 레지스트에 대응하는 영역과 상기 영역에 인접하는 상기 제 4 반도체층의 일부 표면을 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연막을 통하여 상기 제 4 반도체층의 불순물 농도 보다도 높은 불순물 농도로 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제 1 도전형의 불순물을 확산하여 상기 제 3 반도체층에 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고,

상기 제 5 반도체층과 상기 제 5 반도체층에

인접하는 상기 제 4 반도체층의 일부를 둘러 싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 제 4 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 상기 제 4 및 제 5 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제 3 관점은 제2 관점에 있어서, 상기 제 3 공정에서, 상기 레지스트의 일부는 이산적으로 열형상으로 설치되고, 서로 나란한 복수의 영역으로서 남겨서 레지스트 패턴을 형성하고, 상기 제 10 공정에서 상기 레지스트의 상기 개구는 상기 내벽을 따라 인접하는 상기 제 4 반도체층의 일부 표면을 제외하고 제 5반도체층과 제 4 반도체층을 둘러싸도륵 형성된 절연게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제 4 관점은 제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면상에 설치된 제2 도전

형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 상기 제 1 주 표면상에 레지스트를 적층하여, 상기 레지스트의 일부를 이산적으로 열 형상으로 설치하고, 나란한 복수의 영역으로 남도록 상기 레지스트를 선택적으로 제거하여 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2도전형 불순물을 확산시켜 상기 제2 반도체층보다 높은 불순물 농도를 갖는 제2 도전형의 제 4 반도체층을 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 표면상의 상기 차폐막의 일부에 상기 제 4 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정후, 상기 제 1 주 표면상에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 레지스트를 적층하고, 상기 제 3 공정에서 열 형상으로 남겨진 상기 레지스트에 대응하는 영역과 상기 영역에 인접하는 상기 제 4 반도체층의 일부 표면을 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연막을 통하여 상기 제 4 반도체층의 불순물 농도 보다도 높은 불순물 농도로 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제 1 도전형의 불순물을 확산하여 상기 제 3 반도체층과 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 제 4 반도체층의 일부 표면과 상기 제 5 반도체층의 일부 표면을 제외한 제 5 반도체층과 제 4 반도체층을 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 상기 제 4 반도체층을 노출시키는 제 10 공정과, 제 10 공정후에 노출된 제 4 반도체층, 제 5 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제 5 관점은 제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면에 설치된 제2 도전형의 제2 반도체층을 구비한 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 상기 제 1 주 표면상에 레지스트를 적층하고, 상기 레지스트의 일부를 이산적으로 열 형상으로 설치하고, 나란한 복수의 영역으로 남도록 상기 레지스트를 선택적으로 제거하여 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 레지스트를 덮는 제 3 반도체층의 노출면의 일부가 남도록 상기 제2 도전형 불순물을 확산하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 차폐막의 상기 제 4 반도체층의 표면상의 일부에 상기 제 4 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 8 공정과, 상기 절연체 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 상기 제 4 반도체층의 일부 표면과 상기 제 4 반도체층의 일부 표면에 인접하는 상기 제 3 반도체층의 노출면의 일부를 제외하고, 상기 제 3 반도체층과 제 4 반도체층과를 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 3 반도체층과 상기 제 3 반도체층에 인접하는 제 4 반도체층의 일부를 노출시키는 제 9 공정과, 상기 제 9 공정후에 노출된 상기 제 3 반도체층, 상기 제 4 반도체층 및 상기 절연체 표면상에 도전층을 적층하는 제 10 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 11 공정을 포함하는 절연게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제 6 관점은 그의 주 표면상에서 노출되는 제 1 도전형의 제 1 반도체층을 구비하는 반도체 기판을 준비하는 제 1 공정과, 상기 반도체 기판의 상기 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체층을 형성하는 제2 공정과, 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제2 반도체층의 표면에 상기 제 1 도전형의 불순물을 확산하여 상기 제 1 반도체층 보다 높은 불순물 농도를 갖는 제 1 도전형의 제 3 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 제 3 반도체층의 표면상의 일부의 상기 차폐막의 표면을 따라 상기 개구가 연장하도록 상기 차폐막에 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로하여 상기 제 1 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제2 반도체층상의 상기 제 1 주 표면의 일부분에 상기 제 3 반도체층보다 높은 불순물 농도의 제2 도전형 불순물을 선택적으로 주입하고, 상기 제2 도전형 불순물을 확산시켜 상기 제2 반도체층에 접속하는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정에서 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체 표면에 레지스트를 적층하고, 제 4 반도체층과 상기 제 4 반도체층에 인접하는 제 3 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 절연막을 선택적으로 제거하여 상기 제 4 반도체층과 제 3 반도체층을 노출시키는 제 10 공정과, 제 10 공정후에 노출된 제 3 반도체층, 제 4 반도체층 및 상기 절연체의 상기 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하

는 절연게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제 7 관점은 그의 제 1 주 표면상에서 노출되는 제 1 도전형의 제 1 반도체층을 구비하는 반도체 기판을 준비하는 제 1 공정과, 상기 반도체 기판의 제 1 주 표면에 제2 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체층을 형성하는 제2 공정과, 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제2 반도체층의 표면에 상기 제 1 도전형의 불순물을 확산시켜 서로 나란하게 배열된 열형상으로 상기 제 1 반도체층 보다 높은 불순물 농도를 갖는 제 1 도전형의 제 3 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 차폐막의 제 3 반도체층의 표면상의 일부에 상기 제 3 반도체층의 열(列)표면을 따라 상기 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로하여 상기 제 1 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제2 반도체층상의 상기 제 1 주 표면의 일부에 상기 제 3 반도체층 보다 높은 불순물 농도의 제2 도전형 불순물을 주입하고, 상기 제2 도전형 불순물을 확산시켜 상기 제2 반도체층과 접속하는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 제 4 반도체층과 상기 제 4 반도체층에 인접하는 상기 제 3 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 4 반도체층과 제 3 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 상기 제 3과 제 4 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조 방법에 관한 것이다.

본 발명의 제 8 관점은 그의 제 1 주 표면상에서 노출되는 제 1 도전형의 제 1 반도체층을 구비하는 반도체 기판을 준비하는 제 1 공정과, 상기 반도체 기판의 상기 제 1 주 표면에 제2 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체층을 형성하는 제2 공정과, 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제2 반도체층의 표면에 상기 제 1 도전형의 불순물을 확산시켜 상기 제 1 반도체층 보다 높은 불순물 농도를 가지는 제 1 도전형의 제 3 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 3 반도체층의 표면상의 일부의 상기 차폐막에 상기 제 3 반도체층의 열(列)표면을 따라 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로하여 상기 제 1 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때 까지, 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제2 반도체층상의 상기 제 1 주 표면의 일부에 상기 제 3 반도체층 보다 높은 불순물 농도의 제2 도전형 불순물을 주입하고, 상기 제2 도전형 불순물을 확산시켜 상기 제2 반도체층과 접속하는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 제 4 반도체층과 상기 제 4 반도체층에 인접하는 상기 제 3 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 4 반도체층과 제 3 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 상기 제 3, 제 4 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하며, 상기 제 3 공정에서, 상기 제 3 반도체층은 인접하는 상기 두 개의 열을 연결하는 연결부와 열을 포함하는 형상으로 형성되고, 상기 제 10 공정에서, 상기 레지스트의 개구는 상기 내벽을 따라 인접하는 상기 제 3 반도체층의 일부표면을 제외한 상기 제 4 반도체층 및 제 3 반도체층을 둘러싸도록 형성되는 절연 게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제 9 관점은 그의 제 1 주표면상에서 노출되는 제 1 도전형의 제 1 반도체층을 구비하는 반도체 기판을 준비하는 제 1 공정과, 상기 반도체 기판의 상기 제 1 주 표면에 제2 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체층을 형성하는 제2 공정과, 제 1 도전형 불순물을 선택적으로 주입하고, 상기 제2 반도체층의 표면에 제 1 도전형의 불순물을 확산시켜 서로 나란하게 배열된 열형상의 제 1 도전형의 제 3 반도체층과 상기 제 1 반도체층보다 높은 불순물 농도를 가지는 인접하는 상기 두 개의 열을 연결하는 연결부를 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 3 반도체층의 일부 표면상의 상기 차폐막에 상기 제 3 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제 1 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도륵 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제2 반도체층상의 상기 제 1 주 표면의 일부에 상기 제 3 반도체층보다 높은 불순물 농도를 가지는 제2 도전형의 불순물을 선택적으로 주입하고, 제2 도전형의 불순물을 확산시켜 상기 제2 반도체층과 접속하는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 제 3 반도체층의 일부 표면과 상기 제 4 반도체층의 일부표면을 제외한 제 4 반도체층과 제 3 반도체층을 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 4 반도체층과 상기 제 3 반도체층을 노출시키는 제 10 공정과, 제 10 공정후에 노출된 제 3 반도체층, 제 4 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제 10 관점은 그의 제 1 주 표면상에서 노출되는 제 1 도전형의 제 1 반도체층을 구비하는 반도체 기판을 준비하는 제 1 공정과, 상기 반도체 기판의 제 1 주 표면에 제2 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체층을 형성하는 제2 공정과, 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제2 반도체층의 표면에 제 1 도전형 불순물을 확산시켜 서로 나란하게 배열된 열 형상의 제 1 도전형의 제 3 반도체층과 상기 제 1 반도체층보다 높은 불순물 농도를 가지며 인접하는 상기 두 개의 열을 연결하는 연결부를 선택적으로 형성하는 제 3 공정과, 상기 제 1 주표면에 차폐막을 형성하고, 상기 제 3 반도체층의 일부 표면상의 상기 차폐막에 상기 제 3 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제 1 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 8 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 상기 제 3 반도체층의 일부 표면과 상기 제 3 반도체층의 일부 표면에 인접하는 상기 제2 반도체층의 노출면의 일부를 제외한 상기 제2 반도체층과 제 3 반도체층과를 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제2 반도체층과 상기 제2 반도체층에 인접하는 제 3 반도체층의 일부를 노출시키는 제 9 공정과, 상기 제 9 공정후에 노출된 상기 제2 반도체층, 상기 제 3 반도체층 및 상기 절연체 표면상에 도전층을 적층하는 제 10 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 11 공정을 포함하는 절연게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제 11 관점은 제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비한 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 제2 반도체층 측면인 상기 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형의 불순물을 확산시켜 상기 제2 반도체층 보다 높은 불순물 농도를 갖는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 제 4 반도체층의 표면상의 일부의 상기 차폐막에 상기 차폐막의 표면을 따라 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제 3 반도체층의 상기 제 1 주 표면의 일부에 상기 제 4 반도체층 보다 높은 불순물 농도를 가지는 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제 1 도전형 불순물을 확산시켜 상기 제 3 반도체층과 접속되는 제 1 도전형의 제 5 반도체층을 형성하는 제 8 공정과, 상기 제 7 공정에서 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체 표면에 레지스트를 적층하고, 제 5 반도체층과 상기 제 5 반도체층에 인접하는 제 4 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 제 4 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 제 4 반도체층, 제 5 반도체층 및 상기 절연체의 상기 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제 12 관점은 제 1 도전형의 제 1 반도체층 및 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 상기 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형의 불순물을 확산시켜 상기 제2 반도체층 보다 높은 불순물 농도를 가지는 서로 나란하게 배열된 열형상의 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 일부 표면상의 상기 차폐막에 상기 제 4 반도체층의 열(列)표면을 따라 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로하여 상기 제2 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제 3 반도체층의 상기 제 1 주 표면의 일부에 상기 제 4 반도체층보다 높은 불순물 농도의 제 1 도전형 불순물을 선택적으로 주입하고, 상기 제 1 도전형 불순물을 확산시켜 상기 제 3 반도체층과 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 제 5 반도체층과 상기 제 5 반도체층에 인접하는 상기 제 4 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 제 4 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 상기 제 4, 제 5 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체 장치의 제조방법에 관한 것이다.

본 발명의 제 13 관점은 제 1 도전형의 제 1 반도체층 및 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 상기 제 1 도전형의 제 3

반도체층을 형성하는 제2 공정과, 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형의 불순물을 확산시켜 상기 제2 반도체층 보다 높은 불순물 농도를 가지는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 일부 표면상의 상기 차폐막에 상기 제 4 반도체층의 열(列)표면을 따라 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상애 상기 홈을 매핌하도록 도전체를 적충하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제 3 반도체층의 상기 제 1 주 표면의 일부에 상기 제 4 반도체층보다 높은 불순물 농도의 제 1 도전형 불순물을 선택적으로 주입하고, 상기 제 1 도전형 불순물을 확산시켜 상기 제 3 반도체층과 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 제 5 반도체층과 상기 제 5 반도체층에 인접하는 상기 제 4 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 제 4 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 상기 제 4, 제 5 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하며, 상기 제 3 공정에서, 상기 제 4 반도체층은 열과 인접하는 상기 두 개의 열을 연결하는 연결부를 형성하고, 상기 제 10 공정에서 상기 레지스트의 개구는 상기 내벽을 따라 인접하는 상기 제 4 반도체층의 일부 표면을 제외한 상기 제 5 및 제 4 반도체층을 둘러싸도록 형성되는 절연게이트형 반도체 장치와 제조방법에 관한 것이다.

본 발명의 제 14 관점은 제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형 불순물을 확산시켜 서로 나란하게 배열된 열 형상의 제2 도전형의 제 4 반도체층과 상기 제2 반도체층보다 높은 불순물 농도를 가지는 인접하는 상기 두 개의 열을 연결하는 연결부를 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 일부 표면상의 상기 차폐막에 상기 제 4 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제 3반도체층상의 상기 제 1 주 표면의 일부에 상기 제 4 반도체층보다 높은 불순물 농도의 제 1 도전형 불순물을 선택적으로 주입하고, 상기 제 1 도전형의 불순물을 확산시켜 상기 제 3 반도체층과 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 제 4 반도체층의 일부 표면과 상기 제 5 반도체층의 일부표면을 제외하고, 제 5 반도체층과 제 4 반도체층을 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 상기 제 4 반도체층을 노출시키는 제 10 공정과, 제 10 공정후에 노출된 제 4 반도체층, 제 5 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법에 관한 것이다.

본 발명의 제 15 관점은 제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 제2 도전형 불순물을 확산시켜 서로 나란하게 배열된 열형상의 제2 도전형의 제 4 반도체층과 상기 제2 반도체층보다 높은 불순물 농도를 가지는 인접하는 상기 두 개의 열을 연결하는 연결부를 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 일부표면상의 상기 차폐막에 상기 제 4 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도륵 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 8 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 상기 제 4 반도체층의 일부 표면과 상기 제 4 반도체층의 일부 표면에 연접하는 상기 제 3 반도체층의 노출면의 일부를 제외한 상기 제 3 반도체층과 제 4 반도체층과를 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 3 반도체층과 상기 제 3 반도체층에 인접하는 제 4 반도체층의 일부를 노출시키는 제 9 공정과, 상기 제 9 공정후에 노출된 상기 제 3 반도체층, 상기 제 4 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 10 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 11 공정을 포함하는 절연게이트형 반도체 장치의 제조방법에 관한 것이다.

본 발명의 제 1 관점에 따른 절연 게이트형 반도체장치의 제조방법에 있어서는, 층간 절연막 형성을 위한 마스크 정렬의 마진만큼 적고, 셀 간격을 축소할 수 있고, 소비전력이 적고, RBSOA가 넓고, 신뢰성이 높은 절연 게이트형 반도체 장치를 복잡한 공정없이 저비용으로 제조할 수 있다.

본 발명의 제2 관점에 따른 절연 게이트형 반도체장치의 제조방법에 있어서는, 인접하는 내벽 상호간의 제 5 반도체층의 노출면을 분리하는 제 4 반도체층의 연결부가 충간 절연막에 의해 피복되지 않는다.

이 제 4 반도체층과 연결부와 제 5 반도체층에 따라서, 제 1 주전극에 의한 제 3 반도체층과 제 4 반도체층과의 콘택을 확보할 수 있다.

그러므로, 셀 간격이 축소된 절연 게이트형 반도체장치를 복잡한 공정없이 저비용으로 제조할 수 있다.

본 발명의 제 3 관점에 따른 절연 게이트형 반도체 장치의 제조방법에 있어서는, 제 5 반도체층과 내벽과의 사이에 끼워진 제 4 반도체층은 제 1 주전극과 콘택하는 제 4 반도체층 상호간의 저항으로서 작용한다.

대전류가 흐르는 경우에, 상기 저항은 제 4 반도체층의 영역에서 전압강하를 발생시킨다.

그러므로, 기생 바이폴라 트랜지스터가 온하기 어렵게 되어, RBSOA가 넓고, 소형, 고밀도의 신뢰성이 높은 절연 게이트형 반도체장치를 복잡한 공정없이 제조할 수 있다.

본 발명의 제 4 관점에 따른 절연 게이트형 반도체장치의 제조방법에 있어서는, 제 3 반도체층의 노출면을 좁게 구성할 수 있다.

제 3 반도체층과 내벽과의 사이에 끼워진 제 4 반도체층은 제 1 주전극과 콘택하는 제 4 반도체층 상호간의 저항으로서 작용한다.

대전류가 호르는 경우에, 상기 저항은 제 4 반도체층의 영역에서 전압강하를 발생시킨다.

그러므로, 기생 바이폴라 트랜지스터가 온하기 어렵게되어, RBSOA가 넓고, 소형, 고밀도의 신뢰성이 높은 절연 게이트형 반도체장치를 복잡한 공정없이 제조할 수 있다.

본 발명의 다른 목적, 특징 및 관점은 첨부도면을 참조한 본 발명의 이하 상세한 설명으로 부터 더욱 분명해질 것이다.

[발명의 바람직한 실시예]

[실시예 1]

제1도는 본 발명의 실시예 1에 따른 절연게이트형 반도체 장치의 평면도이다.

이하, 절연 게이트형 반도체장치외 일례로서, U형 IGBT를 설명한다.

제2도는 제1도에 나타낸 U형 IGBT의 일부 셀의 부분 평면도이고,

제3도는 제2도에 나타낸 일부 셀의 A-A 단면에서의 부분 단면도이다.

제2도에 있어서, 셀은 에미터 전극(51) 및 층간 절연막(50)을 제거한 상태를 나타내고 있다.

제1도에 있어서, 30은 U형 IGBT, 31은 제 1주전극으로서의 에미터 전극, 32는 게이트 배선, 33은 게이트 패드, 34는 일부 셀이다.

제2도 및 제3도에 있어서, 41을 제 1 반도체층으로서의 P^+ 콜렉터층, 42는 제2 반도체층으로서의 N^- 층, 43은 제 3 반도체층으로서의 P 베이스층, 44는 제 4 반도체층으로서의 N^+ 에미터 영역, 45은 제 5 반도체층으로서의 P^+ 반도체층, 46은 N^+ 버퍼층, 47은 홈 형상의 내벽이다.

이 내력(47)에 의해 트렌치가 형성된다.

48은 절연막으로서의 게이트 절연막, 49은 제어전극으로서의 게이트 전극, 50은 층간 절연막, 51은 제 1 주전극으로서의 에미터 전극이다.

이 에미터 전극(51)은 제1도로 나타낸 에미터 전극(31)의 일부이다.

52는 제 2 주전극으로서의 콜렉터 전극, 53은 채널영역이다.

또한, 제2도에 있어서 중 괄호로 나타낸 2점 쇄선간의 영역 C는 층간절연막(50)으로 피복된 영역이다.

이하, 설명되는 실시예에 있어서, 동일 부호는 동일구성을 나타낸다.

통상, 게이트 절연막(48)은 열산화막으로서 SiO_2, 게이트전극(49)은 N형 불순물이 도우프된 폴리실리콘이다.

층간 절연막(50)은 붕소와 인을 함유한 실리케이트글라스(이하, BPSG라 한다)로 형성되어 있다.

에미터 전극(51), 게이트 배선(32) 및 게이트 패드(33)는 Si을 함유한 Al(이하, Al-Si 라 한다)로 형성되어 있다.

콜렉터 전극(52)은 AlMoNiAu 합금으로 형성되어 있다.

게이트 배선(7)은 게이트 전극(49)과 접속되어 있고, 게이트 전극(49)으로 부터 게이트 패드(33)까지의 경로의 폴리실리콘 부분을 적게하고, 게이트 전극(49)으로부터 게이트 패드(33)까지의 전기저항을 감소시키고, 소자 전면에 걸쳐 균일하게 소자를 제어한다.

본 실시예에 따른 U형 IGBT에 있어서, P^+ 콜렉터층(41)의 표면에 N^+ 버퍼층(46)이 배설되고, 이 N^+ 버퍼층(46)의 표면에 N^- 층(42)이 배설되어 있다. 또, 이 N^- 층(42)상에 P 베이스층(43)이 배설되어 있다.

P 베이스층(43)의 표면에 N^+ 에미터 영역(44)이 간격을 두고 띠형상으로 배설되어 있다.

이 N^+ 에미터 영역(44)의 띠형상의 길이 방향을 따라, N^+ 에미터 영역(44)의 표면에서 연장되어 P 베이스층(43)을 통하여 N^- 층(42)을 통과하는 트렌치 형상의 내벽(47)이 형성되어 있다.

두개와 인접한 내벽(47)사이에 있는 N^+ 에미터 영역(44)과 P 베이스층(43)과의 표면에서, P^+ 반도체층(45)은 P^+ 반도체층의 저면을 P 베이스층(43)과 접촉시키고, 그 양측에서 일부 N^+ 에미터 영역(44)과 중복하고, N^+ 에미터 영역(44)과 P^+ 반도체층(45)과의 접합이 표면에 노출되는 방법으로 형성되어 있다.

통상, P^+ 반도체층(45)의 불순물 농도는 N^+ 에미터 영역(44)의 불순물 농도보다 높다.

N^+ 에미터 영역(44)의 불순물 농도를 $1 \times (10^{18} \sim 10^{19})$정도로 하면, P^+ 반도체층(45)의 불순물 농도는 약 $2 \times (10^{18} \sim 10^{19})$, 즉, N^+ 에미터 영역(44)의 불순물 농도의 약 2배 정도이다.

내벽(47)에는 게이트 절연막(48)이 배설되고, 이 게이트 절연막(48)은 내벽(47)의 개구(56)에 인접하는 N^+ 에미터 영역(44)의 표면까지 연장되어 있다.

게이트 절연막(48)을 개재하여 내벽(47)으로 둘러싸인 트렌치에서, 각 게이트 전극은 N^+ 에미터 영역(44)의 표면의 개구부까지 매립되어 있다.

게이트 전극(47)의 표면은 내벽(47)의 개구(56)에 인접하는 N^+ 에미터 영역(44)의 표면상의 게이트 절연막(48)표면 보다도 낮게 형성되어 있다.

제3도에 있어서, 게이트 전극(49)의 표면은 N^+ 에미터 영역(44)의 표면과 같은 높이로 되어 있다.

게이트 전극(49)의 표면이 N^+ 에미터 영역(44)의 표면보다 낮은 것이 바람직하지만, 채널을 형성하기 위해서는, 게이트 전극(49)의 표면이 N^+ 에미터층(44)의 저면보다 얕은 위치에 배치되어야 한다.

게이트 전극(49)은 게이트 절연막(48)을 개재하여 P 베이스층(43)의 표면에 대향한다.

이 P 베이스층(43)의 표면은 채널영역(53)으로 된다.

게이트 전극(49)의 표면은 층간절연막(50)으로 피복되어 있다,

이 층간 절연막(50)을 개재하여, N^+ 에미터 영역(44) 및 P^+ 반도체층(45)이 배치된 소자의 표면상에 에미터 전극(51)이 배설되어 있다.

그리고, N^+ 에미터 영역(44)과 P 베이스충(43)은 P^+ 반도체층(45)을 개재하여 에미터 전극(51)에 접속되어 있다.

또한, 소자의 표면상에는 게이트 전극(49)과 접속된 게이트 배선(32) 및 게이트 패드(33)가 N^+ 에미터 영역(44) 및 P^+ 반도체층(45)과 절연되어 설치되어 있다.

또한, P^+ 콜렉터층(41)의 다른 면에는 콜렉터 전극(52)이 배설되어 있다.

예를 들면, 소자가 2000V급의 내압을 갖는다면, 소자 표면, 예컨대 P^+ 반도체층(45)의 노출면, 또는 N^+ 에미터 영역(44)의 표면에서 N^- 층(42)과 N^+ 버퍼층(46)과의 경계까지의 두께는 약 200㎛ 이고, 이 N^- 층(42)의 불순물 농도는 $5 \times 10^{13} cm^{-3}$ 이고, 트렌치상의 내벽(47)의 간격, 즉 셀 간격은 약 4㎛이고, P^+ 반도체층(45)의 표면에서의 내벽(47)의 깊이는 약 8㎛이다.

N^+ 에미터 영역(44)의 저부와 P 베이스층(43)과의 접합 깊이는 N^+ 에미터영역(44) 또는 P^+ 반도체층(45)의 표면에서 각각 약 1㎛이다.

N^+ 버퍼층(46)의 두께는 약 10㎛, P^+ 콜렉터층(41)의 두께는 약 300㎛이다.

다음, 동작에 대하여 설명한다.

에미터 전극(51)과 콜렉터 전극(52)과의 사이에 소정의 콜렉터 전압 V_{ce}를, 에미터 전극(51)과 게이트 전극(49)과의 사이에 소정의 게이트전압 V_{GE}를 인가한다.

즉, 게이트를 온하면, 채널영역(53)은 N형으로 반전하여, 채널을 형성한다.

이 채널을 통하여, 에미터 전극(51)으로부터 전자가 N^- 층(42)에 주입된다.

이 주입된 전자에 의해 N^+ 버퍼층(46)을 개재하여 P^+ 콜렉터층(41)와 N^- 층(42)이 순바이어스 되어, 콜렉터 전극(52)으로부터 P^+ 콜렉터층(41) 및 N^+ 버퍼층(46)을 경유하여 N^- 층(42)에 홀(hole)이 주입된다.

그 결과, 전도도의 변조에 의해, N^- 층(42)의 저항이 대폭 저하하여, IGBT의 전류 용량이 증대한다.

다음에, IGBT가 온 상태에서 턴-오프 상태로 변할 때에는, 에미터 전극(51)과 게이트 전극(49)과의 사이

에 인가되어 있던 게이트 전압 V_{GE}를 0V로 하고, 또한 역바이어스를 에미터 전극(51)과 게이트 전극(49)에 인가하여 게이트를 오프한다.

그 결과, N형으로 반전된 채널영역(53)이 P^+ 형으로 되돌아가서, 에미터 전극(51)으로부터의 전자의 주입이 정지하고, P^+ 콜렉터층(41)으로부터 N^- 층(42)으로의 홀의 주입도 정지한다.

그 후, N^- 층(42)에 축적되어 있던 전자와 홀은 각각 콜렉터 전극(52), 에미터 전극(51)으로 흐르고, 또한 서로 재결합하여 소멸한다.

이 때, P^+ 반도체층(45)내에 홀이 쉽게 이동할 수 있기 때문에, 스위칭 속도는 더욱 빨라진다.

제 4 도는 본 발명의 모식적 부분 단면도이다.

제 4 도는 본 발명의 P^+ 반도체층(45)의 작용을 설명한다.

게이트 전극(45)의 표면은 N^+ 에미터 영역(44)의 표면에서 N^+ 에미터 영역(44)의 두께의 반정도 낮은 위치에 형성되어 있다.

게이트 전극(45)의 표면이 낮게 형성되면, N^+ 에미터 영역(44)의 두께도 두껍게 해야한다.

N^+ 에미터 영역(44)은 통상, 확산에 의해 형성되기 때문에, N^+ 에미터층(44)이 두껍게 형성되면, 횡방향 확산를 하기때문에, 인접한 트렌치상의 내벽(47)사이에 배치된 N^+ 에미터 영역(44)의 인접하는 선단은 매우 근접하게 위치된다.

이 때문에, P 베이스 영역(43)의 노출면이 매우 좁게된다.

어떤 경우에 있어서는 N^+ 에미터 영역(44)의 인접하는 선단이 서로 접촉하여, P 베이스 영역(43)의 노출면을 완전히 제거한다.

이 경우에는, P 베이스층(43)과 에미터 전극(51)이 콘택하는 것이 불가능하다.

종래에는 이것을 막기위해서, 트렌치 간격을 넓게 설정하였었다.

즉, 내벽(47)사이에 배치된 N^+ 에미터 영역(44)의 인접하는 선단사이에, P베이스 영역(43)과 P^+ 반도체층(45)의 저부가 접촉하도록 N^+ 에미터영역(44)과 일부 겹쳐서 P^+ 반도체층(45)이 형성되고, 또, P^+ 반도체층(45)과 N^+ 에미터 영역(44)과의 접합을 소자 표면으로 노출시킨다.

그 결과, P^+ 반도체층(45)과 에미터 전극(51)과의 콘택을 넓게 확보할 수가 있다.

그러므로, N^+ 에미터 영역(44)의 인접하는 선단이 서로 근접하는지 근접하지 않는지를 고려하지 않더라도, 트렌치 간격을 단축할 수 있다.

특히, 게이트 전극(49)의 표면이 N^+ 에미터 영역(44)의 표면에서 낮아진 위치에 구성된 경우, N^+ 에미터층(44)을 두껍게 형성할 필요가 있다.

그러므로, 트렌치 간격을 단축한 경우, N^+ 에미터 영역(44)의 인접하는 선단이 서로 근접하거나, 어떤 경우에는 서로 접촉해도 좋다.

그러나, 가령 N^+ 에미터 영역(44)의 인접하는 선단이 서로 접촉하였다고 하더라도, N^+ 에미터 영역(44)을 관통하는 P^+ 반도체층(45)이 P 베이층(43)과 접촉하기 때문에, P^+ 반도체층(45)을 개재하여 P 베이스영역(43)과 N^+ 에미터 영역(44)을 에미터 전극(51)에 콘택시킨다.

N^+ 에미터 영역(44)은 P 베이스 영역(43)으로 확산하여 형성되기 때문에, N^+ 에미터 영역(44)의 불순물 농도는 P 베이스 영역(43)의 불순물 농도보다 높다.

또한, P^+ 반도체층(45)은 N^+ 에미터 영역(44)의 인접하는 선단과 겹치도록 확산되기 때문에, P^+ 반도체층(45)의 불순물 농도는 N^+ 에미터 영역(44)의 불순물 농도보다 높아야 한다.

또한, P^+ 반도체층(45)을 먼저 형성하고, 후에 P^+ 반도체층(45)보다 높은 불순물 농도로 N^+ 에미터 영역(44)을 형성한다면, N^+ 에미터 영역(44)의 인접하는 선단이 서로 근접한다.

그 결과, 이 실시예에 있어서의 P^+ 반도체층(45)은 N^+ 에미터 영역(44)에 의해 제거되고, 이 실시예 1에 있어서의 P^+ 반도체층(45)을 배치하는 효과는 생기지 않는다.

제5도는 U형 IGBT의 트렌치 피치와 온 전압과의 관계를 나타낸 그래프이다.

제5도에 나타낸 바와 같이, U형 IGBT의 트렌치 피치를 작게 할수록, 온 전압이 저하하고, 또한 온 전압에 영향을 주는 U형 IGBT의 여러가지 특성이 좋아진다.

이상과 같이, 이 실시예에서는, U형 IGBT의 N^+ 에미터 영역(44)의 인접하는 선단에 겹치도록, 그리고, P 베이스 영역(43)과 접촉하도록 P^+ 반도체층(45)을 형성하여, 에미터 전극(51)과 P 베이스 영역(43)을 P^+

반도체층(45)을 개재하여 서로 콘택시킨다.

그 결과, 트렌치 피치와 온 전압을 낮게 할 수 있다.

더욱이, 소자의 소형화 및 고밀도화와 신뢰성을 향상시킬 수 있다.

또한, 트레치 피치가 작게 되기 때문에, N^+ 에미터 영역(4), P 베이스영역(3) 및 N층(2)으로 형성된 기생 바이폴라 트랜지스터를 쉽게 온할 수가 없다.

즉, RBSOA에 있는 IGBT가 오프 상태라도, 통상의 온 상태에서 오프상태로 변경한 경우와 같이, N^- 층(2)(N^+ 버퍼층(9)이 설치된 경우의 N^+ 버퍼층(9))에 축적된 전자와 홀은 각각 콜렉터 전극(11), 에미터 전극(10)으로 흐르고, 또한 서로 재결합하여 소멸한다.

이 경우, 홀이 에미터 전극(10)으로 흐르는 경우, 셀 사이즈가 작으면, 하나의 셀로 흐르는 홀의 양은 적어진다.

이 홀 전류가 기생 바이폴라 트랜지스터의 베이스 전류로 되기 때문에, P 베이스층(3)의 전위가 P 베이스층(3)과 N^+ 에미터 영역(4)과의 내부전위(일반적으로, 0.6V)를 넘으면, 기생 바이폴로 트랜지스터는 온한다.

그렇지만, 이 홀전류가 적기 대문에 전압 강하가 적어져서, P 베이스층(3)과 N^+ 에미터 영역(4)과의 내부전위가 쉽게 상승하지 않아, 기생 바이폴라 트랜지스터가 온하는 것이 어렵다.

예컨대, RBSOA가 넓게 된다.

다음, 이 실시예 따른 U형 IGRT의 제조방법의 일례를 설명한다.

제6도-제14도는 각 공정시의 소자를 나타내는 부분 단면도이다.

우선, P^+ 실리콘 기판(60)상에 N^+ 층(61) 및 N^- 층(62)이 순차 에피택셜 성장에 의해 형성된다.

다음에, N^- 층(62)의 표면에 P형 불순물을 주입하여, 어닐링함으로써, P 베이스층(63)을 형성한다(제6도 참조).

다음에, P 베이스층(63)의 표면에 레지스트를 적층하고, 사진제판공정에 의해, 복수의 띠 형상의 개구를 포함한 레지스트 패턴(64)을 형성한다.

이 레지스트 패턴(04)을 마스크로 하여, P 베이스층(63)의 표면에 고농도로 N형 불순물을 주입한다.

그후, 레지스트 패턴(64)을 제거한다.

상기 불순물은 어닐링에 의해, 확산되어 N^+ 에미터 영역(65)을 형성한다(제7도 참조).

그 다음, P 베이스충(63) 및 N^+ 에미터 영역(65)의 표면상에 차폐막으로서 산화막(66)을 형성한다.

이 산화막(66)으로, N^+ 에미터 영역(65)의 표면상에, N^+ 에미터 영역(65) 보다 좁은 폭을 가지는 띠 형상의 개구를 설치한 실리콘 에칭용 마스크가 형성 된다.

이 실리콘 에칭용 마스크를 마스크로 하여, RIE(Reactive Ion Etching)으로 에칭하여, N^+ 에미터 영역(65)표면으로부터 확장하여 N^- 층(62)까지 관통하는 트렌치 형상의 내벽(67)을 형성한다(제8도 참조).

그 후, 산화막(57)을 에칭하여 제거한다.

다음에, 상기 내벽(67)의 표면, P 베이스층(63)의 표면 및 N^+ 에미터영역(65)의 표면에 절연막으로서의 열산화막(68)을 형성한다.

특히, 이 열산화막(68)상에, 도전체로서의 N형 불순물이 도핑된 폴리실리콘(69)이 적층되어, 내벽(77)에 의해 구성된 홈을 매립한다(제9도 참조).

다음에, 적층된 폴리실리콘(69)을 내벽(67)에 의해 구성된 홈을 매립하는 폴리실리콘(69)의 표면이 N^+ 에미터 영역(65)의 표면상에 형성된 열산화막(68)의 표면보다 낮아지도록 에치백 한다(제10도 참조).

이 에치백은 폴리실리콘(69)의 표면이 N^+ 에미터 영역(65)의 저면보다 얕은 위치에 위치하도록 실행되어야 할다.

다음에, 내벽(67)에 의해 구성된 홈을 매립하는 폴리실리콘(69)의 표면 및 열산화막(68)의 표면상에 레지스트(70)를 적층한다.

사진제판공정에 의해 P 베이스충(63)의 표면과 이 P 베이스충(63)에 인접하여 내벽(67)을 따라 연장하는 N^+ 에미터 영역(65)의 일부를 둘러싸는 개구를 레지스트(70)로 형성하여, 레지스트 패턴을 얻는다.

이 레지스트 패턴을 마스크로 하여, 열산화막(68)을 개재하여 P형 불순물을 N^+ 에미터 영역(65)보다도 높은 불순물 농도로 주입한다.

그후, 레지스트 패턴을 제거한다.

열처리 공정에 의해, P형 불순물을 N^+ 에미터 영역(65)의 두께보다 얕게 확산하여, P 베이스층(63)과 저면

에서 접촉하는 P^+ 반도체층(71)을 형성한다(제11도 참조).

이어서, 내벽(67)에 의해 구성된 홈을 매립하는 폴리실리콘(77)의 표면 및 열산화막(68)의 표면상에 절연체로서의 BPSG(72)를 적층한다(제12도 참조).

그후, BPSG(72)의 표면상에 레지스트(73)를 적층한다.

사진제판공정에 의해, P^+ 반도체층(71)과 이 P^+ 반도체층(71)에 인접하여 내벽(67)을 따라 연장하는 N^+ 에미터 영역(65)의 일부를 둘러싸는 개구를 레지스트(73)에 형성하여, 레지스트 패턴을 얻는다.

이 레지스트 패턴을 마스크로 하여, BPSG(72)와 열산화막(68)을 에칭하여, 내벽(67)으로 구성된 홈을 매립하는 폴리실리콘(69)의 표면상에 층간절연막(72)을 형성한다(제13도 참조).

그 다음, 레지스트 패턴을 제거한다.

그 후, 에칭에 의해 노출된 P^+ 반도체층(71)과, N^+ 에미터 영역(65)이 단락하도록, P^+ 반도체층(71), N^+ 에미터 영역(65) 및 층간절연막(72)이 배설된 소자 표면상에 도전층으로서의 Al-Si가 적층된다.

이것에 의해, 에미터 전극(73)과 내벽(67)으로 구성되는 홈에 매립된 폴리실리콘(7)에 접속되는 게이트 배선과 게이트 패드가 동시에 형성된다(제14도 참조).

또한, P^+ 실리콘 기판(60)의 표면상에 도전층으로서 AlMoNiAu 합금이 적층되어, 콜렉터 전극(75)이 형성된다.

이러한 제조 공정에 의해, 이 실시예의 U형 IGBT을 저비용으로 제조할 수 있다.

[실시예 2]

제15도는 본 발명의 다른 실시예에 따른 U형 IGBT의 부분 평면도이고,

제16도는 제15도에 나타낸 일부 셀의 A-A 단면에서의 부분 단면도이고, 제17도는 제15도에 나타낸 일부 셀의 B-B 단면에서의 부분 단면도이다.

제15도에서의 셀은 에미터 전극(51) 및 층간 절연막(50)을 제거한 상태를 나타내고 있다.

또한, 중괄호로 나타낸 제15도의 2점 쇄선간의 영역 C는 층간절연막(50)으로 피복된 영역이다.

제15도, 제16도 및 제17도에 있어서, 이 실시예의 U형 IGBT에는 홈 형상의 내벽(47)사이에 형성된 N^+ 에미터 영역(44)의 평면형상이 사다리 형상으로 형성되어 있다.

즉, P^+ 반도체층(45)의 노출면을 끼워서, N^+ 에미터 영역(44)이 띠형상으로 배열된다.

이 N^+ 에미터 영역(7)의 표면에 개구를 갖는 홈 형상의 내벽(47)이 N^+ 에미터 영역(44)의 길이 방향을 따라 연장한다.

이 내벽에 매립된 게이트 전극(49)상호간의 인접하는 N^+ 에미터 영역(44)은 서로 연결부(55)에 의해 연결된다.

이 연결부(55)와 P^+ 반도체층(45)의 노출면이 교대로 배설되어 있다.

층간 절연막(50)의 영역 C는 게이트 전극(49)을 덮고, 홈 형상의 내벽(47)을 따라 인접하는 N^+ 에미터 영역(44)상으로 연장하지만, P^+ 반도체층(45)의 노출면상으로는 연장하지 않는다.

그 밖의 부분의 구성은 실시예 1의 U형 IGBT와 같다.

N^+ 에미터 영역(44)의 평면형상을 사다리 형상으로 형성하기 때문에, 에미터 전극(51)이 N^+ 에미터 영역(44)과 콘택하는 콘택영역을 연결부(55)에서도 확보할 수 있어, 콘택영역을 형성할때의 마스크 어긋남의 여유분을 고려할 필요가 없다.

즉, 제13도에 나타낸 레지스트 패턴(77)을 형성할 때, 마스크 어긋남의 여유분을 고려할 필요가 없고, 셀 간격을 짧게 할 수 있기 때문에, 제2도와 같이 N^+ 에미터 영역(44)을 단지 게이트 전극(49)을 따라 확장하는 구성과 비교하여, 셀에 대한 미세화가 가능하게 된다.

또한, 콘택영역을 소자표면 전체에 걸쳐 균일하게 배치할 수 있다.

따라서, 소자의 고밀도화가 실현되어, 온 전압을 저감할 수 있다.

또한, 각 셀의 동작특성을 소자 전체에 걸쳐 균일화하는 것이 가능하다.

또한, N^+ 에미터 영역(44)의 평면형상을 사다리 형상으로 형성하고, P^+ 반도체층(45)을 설치하지 않고, 단지 P 베이스 영역(43)의 노출면을 설치한 경우에, N^+ 에미터 영역(44)의 두께가 점점 두껍게 되어, 횡방향으로 확산하기 때문에 N^+ 에미터 영역(44)의 연결부(55)의 폭이 넓게되어, 이 연결부(55)아래에 흐르는 홀 전류의 량이 많아진다.

이 홀이 N^+ 에미터 영역(44), P 베이스 영역(43) 및 N^- 층(42)으로 구성되는 기생 바이폴라 트랜지스터의 베이스 전류로 되기 때문에, 이 기생 바이폴라 트랜지스터를 쉽게 온한다.

그러나, 연결부(55)의 폭 방향으로 연결부(55)의 확산을 금지하는 P^+ 반도체층(45)을 설치하기 때문에, 기생 바이폴라 트랜지스터를 온하는 것이 쉽지 않다.

더욱이, RBSOA의 저하를 방지할 수 있다.

이 실시예의 제조공정은 실시예 1의 제조공정과 비교하면, 다른 레지스트 패턴을 사용하여 N^+ 에미터 영역(65)을 형성한다.

이 실시예에 따른 제조공정에 있어서, P 베이스층(63)의 표면에 레지스트를 적층하고, 사진제판공정에 의해, 나란한 띠형상의 복수의 개구와 이 띠형상의 개구를 연결하는 개구를 형성하여, 레지스트를 이산적으로 열 형상으로 남긴 레지스트 패턴을 형성하고, 이 레지스트 패턴(64)을 마스크로 하여, P 베이스층(73)의 표면에 N형 불순물을 고농도로 주입하고, 어닐링에 의해 확산하여, N^+ 에미터 영역(65)을 형성한다.

또한, 실시예 1의 제조공정과는 다르게 폴리실리콘(69)을 에치백한 후, P^+ 반도체층(71)은 다른 형상의 레지스트 패턴을 사용하여 형성한다.

N^+ 에미터 영역(65)에 이산적으로 형성된 P 베이스층(63)의 노출면에 대응하여 레지스트에 개구가 설치된다.

그 레지스트를 레지스트 패턴으로서 이용하여, 불순물이 주입되고, 열처리 공정에 의해 확산되어, P^+ 반도체층(71)이 형성된다.

[실시예 3]

제18도는 본 발명의 다른 실시예에 따른 U형 IGBT의 부분 평면도이고,

제19도는 제18도에 나타낸 일부 셀의 A-A 단면에서의 부분 단면도이고, 제20 도는 제18도에 나타낸 일부 셀의 B-B 단면에서의 부분 단면도이다.

제18도에 있어서의 셀은 에미터 전극(51) 및 층간 절연막(50)을 제거한 상태를 나타내고 있다.

또한, 중 괄호로 나타낸 제18도의 2점 쇄선간의 영역 C는 층간절연막(50)으로 피복된 영역이다.

제18도, 제19도 및 제20도에 있어서, 이 실시예의 U형 IGBT에는 홈 형상의 내벽(47)사이에 형성된 N^+ 에미터 영역(44)의 평면형상이 사다리 형상으로 형성되어 있다.

이 실시예에서는 P^+ 반도체층(45)을 설치하지 않는다.

P 베이스층(43)의 노출면을 내벽(47)사이에 존재하는 N^+ 에미터 영역(44)에, 내벽(47)의 연장 방향을 따라 이산적으로 설치한다.

즉, P 베이스층(43)의 노출면을 끼워서, N^+ 에미터 영역(44)이 띠형상으로 배열된다.

이 N^+ 에미터 영역(44)의 표면에 개구를 갖는 홈 형상의 내벽(47)이 N^+ 에미터 영역(44)의 길이 방향을 따라 연장한다.

이 내벽에 매립된 게이트 전극(49)사이에 배설된 인접한 N^+ 에미터 영역(7)은 서로 연결부(55)에 의해 연결될 수 있다.

이 연결부(55)와 교대로 P 베이스층(43)의 노출면이 배설되어 있다.

층간 절연막(50)의 영역 C는 게이트 전극(49)을 덮고, 홈 형상의 내벽(47)을 따라 인접하는 N^+ 에미터 영역(44)을 덮고, 또 이 N^+ 에미터 영역(44)에 근접하는 P 베이스층(43)상으로 연장한다.

그러므로, 에미터 전극(51)은 N^+ 에미터 영역(44)의 연결부(55)와 P 베이스층(43)의 노출면을 교대로 콘택한다.

그러나, 이산적으로 배열된 연결부(55) 사이에, P 베이스층(43)의 노출면과 홈 형상의 내벽(47)에 삽입된 N^+ 에미터 영역(44)은 층간절연막(50)으로 피복되어 있다.

그러므로, 이들 N^+ 에미터층(44)은 에미터 전극(51)과 콘택하지 않는다.

이 때문에, P 베이스층(43)의 노출면과 홈 형상의 내벽(47)에 삽입된 N^+ 에미터 영역(44)은 에미터 저항영역(57)으로 된다.

이것은 에미터 전극에 에미터 저항이 삽입된다는 것을 의미한다.

다음에, 이 실시예의 동작에 대하여 설명한다.

이러한 P 베이스층(43)의 노출면과 홈 형상의 내벽(47)에 삽입된 에미터 저항영역(57)의 에미터 저항치가 작기 때문에, 정격전류 만큼 작은 전류가 흐르면, 이 에미터 저항영역(57)의 에미터 저항은 거의 존재하지 않는다.

또한, $V_{CE}(sat)$가 변화하지 않은 에미터 저항치를 갖도록 에미터 저항영역(57)을 형성한다.

그렇지만, $V_{CE}(sat)$가 변화하지 않는 정도의 애미터 저항이 결정되더라도, 단락 때와 같이 대전류가 흐르

는 경우, 에미터 저항이 있으면, N^+ 에미터 영역(44)에 있어서도 전압강하가 생긴다.

P 베이스층(43)과 N^+ 에미터 영역(44)간의 전압차를 제거하도록 이 전압강하가 작용한다.

단락시, N^+ 에미터 영역(44), P 베이스층(43) 및 N^- 층(42)으로 구성되는 기생 바이폴라 트랜지스터의 내부전위(일반적으로, 0.6V)가 초과하는 것을 방지하도록 그 전압강하가 작용하여, 기생 바이폴라 트랜지스터가 온하기 어렵다.

따라서, RBSOA가 넓게 된다.

또, 소자의 파괴와 관련된 전류특성으로서 $I_C(sat)$가 있다.

예컨대, 단락된 경우, 즉 고전압이 IGBT에 인가되어 있는 상태로 IGBT가 온 상태인 경우, IGBT에 흐르는 전류는 $I_C(sat)$에 의존하여 변화한다.

단락상태시에 발생되는 열은 인가된 전압×IGBT에 흐르는 전류×단락상태에 의해 결정된다.

이 발생열에 의해 IGBT가 일정 온도에 달하면, IGBT가 파괴된다.

한편, 에미터 저항이 존재하면, $I_C(sat)$가 작게 된다는 것이 알려져 있다.

이 실시예에서는, P 베이스층(43)의 노출면과 홈 형상의 내벽(47)에 삽입된 N^+ 에미터 영역(44)을 층간 절연막(50)으로 덮는 간단한 구성으로 에미터 저항영역(57)을 형성하고, 에미터 저항에 의해 단락 상태시의 파괴 내성을 향상시킬 수 있다.

이 실시예의 제조공정은 P^+ 반도체층(71)을 형성하는 공정을 생략한다는 점과, 층간 절연막을 형성하는 공정시에 적층된 레지스트(73)에, 내벽(67)을 따라 연장하는 N^+ 에미터 영역(65)의 일부와 이 N^+ 에미터 영역(65)의 일부 근접하는 P 베이스층(63)의 노출면의 일부를 제외하고, P 베이스층(63)과 N^+ 에미터 영역(65)을 연결하는 연결부를 둘러싸는 개구를 형성한다는 점에서 실시예 2의 제조공정과 다르다.

[실시예 4]

제21도는 본 발명의 또 다른 실시예의 U형 IGBT의 부분 평면도이고,

제22도는 제21도에 나타낸 일부 셀의 A-A 단면에서의 부분 단면도이고, 제23도는 제21 도에 나타낸 일부 셀의 B-B단면에서의 부분 단면도이다.

제21도에 있어서의 셀은 에미터 전극(51) 및 층간 절연막(50)을 제거한 상태를 나타내고 있다.

또한, 중괄호로 나타낸 제21 도의 2점 쇄선사이의 영역 C는 층간절연막(50)으로 피복된 영역이다.

제21도, 제22도 및 제23도에 있어서, 이 실시예의 U형 IGBT에는 홈 형상의 내벽(47)사이에 형성된 N^+ 에미터 영역(44)의 평면형상이 사다리 형상으로 형성되어 있다.

즉, P^+ 반도체층(45)의 노출면을 끼워서, N^+ 에미터층(7)이 띠형상으로 배열된다.

이 N^+ 에미터 영역(7)의 표면에 개구를 갖는 홈 형상의 내벽(47)이, N^+ 에미터 영역(44)의 길이방향을 따라 연장한다.

이 내벽에 매립된 게이트 전극(7) 상호간의 N^+ 에미터 영역(44)은 서로 연결부(55)에 의해 연결된다.

이 연결부(55)와 교대로 P^+ 반도체층(45)의 노출면이 배설되어 있다.

층간 절연막(50)의 영역 C는 게이트 전극(49)을 덮고, 홈 형상의 내벽(47)을 따라 인접하는 N^+ 에미터 영역(44)상으로 연장하고, 또 P^+ 반도체층(45)의 노출면상으로 연장한다.

이 에미터 전극(51)은 N^+ 에미터 영역(44)의 연결부(55)와 P^+ 반도체층(45)의 노출면과 교대로 콘택한다.

그러나, 이산적으로 배열된 연결부(55) 사이에, P^+ 반도체층(45)의 노출면과 홈 형상의 내벽(47)에 삽입된 N^+ 에미터 영역(44)은 층간절연막(50)으로 피복되어 있다.

그러므로, N^+ 에미터층(44)은 에미터 전극(51)과 접촉되지 않는다.

이 때문에, P^+ 반도체층(45)의 노출면과 홈 형상의 내벽(47)에 삽입된 N^+ 에미터 영역(44)은 에미터 저항영역(57)으로 된다.

이것은 에미터 전극에 에미터 저항이 삽입되는 것을 의미한다.

그러므로, 실시예 3에서와 같이, 단락 상태에서와 같이 전류가 흐르는 경우에, 이 에미터 저항이 있으면, N^+ 에미터 영역(44)에 있어서도 전압강하가 생긴다.

이 전압강하는 P 베이스층(43)과 에미터 영역(44)간의 전압차를 없애도록 작용한다.

예컨대, N^+ 에미터 영역(44)과 P 베이스층(43)과 N^- 층(42)으로 구성되는 기생 바이폴라 트랜지스터의 내부전위(일반적으로, 0.6V)가 초과하는 것을 방지하도록 이 전압강하가 작용하여, 기생 바이폴라 트랜지스

터가 온하기 어렵게 된다.

따라서, RBSOA가 넓게된다.

또한, 실시예 3에서와 같이, P^+ 반도체층(45)의 노출면과 홈 형상의 내벽(47)에 삽입된 N^+ 에미터 영역(44)을 층간절연막(57)으로 덮는 간단한 구성으로 에미터 저항영역(57)을 형성하고, 에미터 저항에 의해 단락상태시의 파괴내성을 향상시킬 수 있다.

또, 이 실시예에 따른 구성은 실시예 3에 따른 구성과 같이, P 베이스층(43)의 노출면에 P^+ 반도체층(45)이 배설된 구성으로 되어 있다.

이 P^+ 반도체층(45)은 실시예 1에서와 같이, N^+ 에미터 영역(44)의 불순물 농도 보다도 높은 불순물 농도을 갖는다.

N^+ 에미터 영역(44)의 불순물 농도가 $1\times(10^{18}\sim10^{19})$ 정도이면, P^+ 반도체층(45)의 불순물 농도는 $2\times(10^{18}-10^{19})$, 즉, N^+ 에미터 영역(44)의 불순물 농도의 약 2배 정도이다.

N^+ 에미터 영역(44)의 형성 공정에서의 N^+ 불순물의 횡 방향 확산이나, 층간 절연막(50)의 형성공정에서의 게이트 콘택 마진이 충분히 얻어지지 않는 경우, 인접한 트렌치상의 내벽(47)사이에 배치된 N^+ 에미터 영역(44)의 인접하는 선단이 서로 매우 근접하게 위치된다.

이것을 피하기 위해서, 종래의 방법은 트렌치 간격을 넓게하지 않을 수 없었다.

그러나, 이러한 경우라도, N^+ 에미터층(44)의 인접하는 선단사이에 P^+ 반도체층(45)을 설치하기 때문에, P^+ 반도체층(45)과 에미터 전극을 개재하여 N^+ 에미터층(44)과 P 베이스층(43)을 서로 콘택한다.

이에 의해, 트렌치 간격을 좁게 할 수 있기 때문에, 기생 트랜지스터는 쉽게 온하지 않는다.

온전압을 낮게하여, 소자의 고밀도화를 꾀할 수 있다.

또, 실시예에서는, P^+ 반도체층(45)의 확산영역을 넓히고, P^+ 반도체층(45)의 노출면과 홈 형상의 내벽(47)과의 사이에 삽입된 N^+ 에미터 영역(44)을 층간 절연막(50)으로 피복하여 간단한 구성으로 에미터 저항영역(57)을 형성한다.

그러므로, 특히 에미터 저항을 설치하기 위한 공간을 확보할 필요 없이, 셀 사이즈를 크게하지 않고 단락시의 파괴내성을 향상시킬 수 있다.

또한, 제22 도에서는 P^+ 반도체층(45)이 N^+ 에미터 영역(44)의 두께보다도 얇게 형성되어 있다.

그러나, 이 실시예에서, P^+ 반도체층(45)과 에미터 전극을 개재하여, N^+ 에미터 영역(44)과 P 베이스영역(43)과의 콘택을 P^+ 반도체층(45)의 노출면과 홈 형상의 내벽(47)사이에 삽입된 N^+ 에미터 영역(44)에서 행하지 않고, N^+ 에미터 영역(44)의 연결부(55)에서 행하고 있다.

그러므로, P^+ 반도체층(45)의 노출면과 홈 형상의 내벽(47)사이에 삽입된 N^+ 에미터 영역(44)이 P^+ 반도체층(45)을 형성할 때의 횡방향 확산으로 좁게 되더라도, N^+ 에미터층(44)은 에미터 저항영역(57)을 형성할 정도로 충분히 클 필요가 있기 대문에, 횡방향 확산을 고려하여, P^+ 반도체층(45)의 확산 깊이를 반드시 N^+ 에미터 영역(44)의 저면보다 얕게 형성할 필요는 없다.

제24도 및 제25도는 이 실시예의 각 공정시의 셀을 나타내는 부분 단면도이다.

이 실시예의 제조공정은 실시예 1의 제조공정과 비교하여, 다른 레지스트 패턴을 사용하여 N^+ 에미터 영역(65)을 형성하고, 또한 다른 레지스터를 사용하여 제13도에 나타낸 충간 절연막을 형성한다.

다른 공정은 동일하다.

즉, P 베이스층(63)의 표면에 레지스트를 적층하고, 사진제판공정에 의해, 나란한 띠형상의 복수의 개구와 이 띠형상 개구를 연결하는 개구를 형성하고, 레지스트를 이산적으로 열형상으로 남긴 레지스트 패턴을 형성하고, 이 레지스트 패턴(64)을 마스크로 하여, P 베이스층(63)의 표면에 N형 불순물을 고농도로 주입하고 어닐링에 의해 확산하여, N^+ 에미터 영역(65)올 형성한다.

또한, P^+ 반도체층(71)을 내벽(67)을 따라 N^+ 에미터 영역(65)의 연결부와 교대로 나타나도록 형성한 후, 내벽(67)에 의해 구성된 홈을 매립하는 폴리실리콘(69)의 표면 및 열산화막(68)의 표면상에 BPSG(72)를 적층하고, BPSG(72)의 표면상에 레지스트(73)를 적층한다.

사진제판공정에 의해, 내벽(67)을 따라 연장하는 N^+ 에미터 영역(65)의 일부와 이 N^+ 에미터 영역(65)의 일부에 근접하는 P^+ 반도체층(71)의 일부를 제외하고, P^+ 반도체층(71)과 N^+ 에미터영역(65)의 연결부를 둘러싸는 개구를 레지스트(73)에 형성하여, 레지스트 패턴을 얻을 수 있다.

레지스트 패턴을 마스크로 하여, BPSG(72)와 열산화막(68)을 에칭하여, 내벽(67)으로 구성되는 홈에 매립된 폴리실리콘(69)의 표면상에 층간절연막(72)을 형성한다(제24도 참조).

그 다음, 레지스트 패턴을 제거한다.

그 후, 에칭에 의해 노출된 P^+ 반도체층(71)과 N^+ 에미터 영역(65)이 단락하도록, P^+ 반도체층(71), N^+ 에미터 영역(65) 및 층간절연막(72)이 배설된 소자 표면상에, 도전층으로서의 Al-Si을 적충한다.

이것에 의해, 에미터 전극(73)과 내벽(67)으로 구성되는 홈에 매립된 폴리실리콘(69)에 접속되는 게이트 배선과 게이트 패드가 동시에 형성된다(제25도 참조).

또한, P^+ 기판(60)의 표면상에 도전층으로서 AlMoNiAu 합금이 적층되어 콜렉터 전극(75)이 형성된다.

이러한 제조공정에 의해, 이 실시예의 U형 IGBT을 저비용을 제조할 수 있다. 또한, 이 제조 공정의 설명은 P^+ 반도체층(71)이 실시예 1과 같은 방법으로 이 실시예에서 형성되었지만, 먼저 설명한것 같이, 이 실시예는 횡방향 확산을 고려하여, P^+ 반도체층(45)의 확산깊이를 반드시 N^+ 에미터영역(44)의 두께보다 얕게 형성할 필요는 없다.

그러므로, 이 실시예의 제조공정시, 열산화막(68)을 개재하여 P형 불순물을 N^+ 에미터 영역(65)보다 높은 불순물 농도로 주입한 후, 열처리 공정에 의해 N^+ 에미터 영역(65)의 저면보다 깊게 확산하여, P 베이스층(63)과 저면에서 접촉하는 P^+ 반도체층(71)을 얻을 수 있다.

그런대, 상기 설명에서는 본 발명을 N^- 채널의 U형 IGBT에 대해서 설명하였지만, P 채널의 U형 IGBT에 대해서 본 발명을 적용할 수 있다.

상기 발명은 상세히 설명되었지만, 상기 설명은 모든 관점에 예시적인 것이지 한정적인 것은 아니다.

다양한 변형 및 변화는 본 발명의 범위를 벗어나지 않고 고안될 수 있다.

(57) 청구의 범위

청구항 1

제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비한 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 제2 반도체층 측면인 상기 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 상기 제 1 주 표면상에 레지스트를 적층하고, 상기 레지스트의 일부를 선택적으로 제거하여 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형의 불순물을 확산하여 상기 제2 반도체층 보다 높은 농도를 갖는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 제 4 반도체층의 표면상의 일부의 상기 차폐막에 상기 차폐막의 표면을 따라 상기 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 홈을 매립하도록 절연막상에 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정 후, 상기 제 1 주 표면상에서 노출된 절연막의 일부 및 상기 도전체의 표면상에 레지스트를 적층하고, 상기 제 3 공정에서 선택적으로 남겨진 레지스트에 대응하는 영역과 상기 영역에 인접하는 상기 제 4 반도체층의 일부 표면을 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 마스크로서 레지스트를 사용하여 상기 절연막을 통해 상기 제 4 반도체층의 불순물 농도 보다도 높은 불순물 농도로 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제 1 도전형의 불순물을 확산하여 상기 제 3 반도체층에 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정에서 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 제 5 반도체층과 상기 제 5 반도체층에 인접하는 제 4 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 제 4 반도체층을 노출시키는 제 10공정과, 상기 제 10 공정후에 노출된 제 4 반도체층, 제 5 반도체층 및 상기 절연체의 상기 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 2

제 1 도전형의 제 1 반도체층 및 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 상기 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 상기 제 1 주 표면상에 레지스트를 적층하고, 상기 레지스트의 일부를 열(列)형상으로 서로 나란하게 배열되는 복수의 영역으로 남도록 상기 레지스트를 선택적으로 제거하여 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형의 불순물을 확산하여 상기 제2 반도체층 보다 높은 불순물농도를 갖는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 표면상의 상기 차폐막의 일부에 상기 제 4 반도체층의 열(列)표면을 따라 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로하여 상기 제2 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정 후, 상기 제 1 주면상에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 레지스트를

적층하고, 상기 제 3 공정후 열 형상으로 남겨진 상기 레지스트에 대응하는 영역과 상기 영역에 인접하는 상기 제 4 반도체층의 일부 표면을 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연막을 통하여 상기 제 4 반도체층의 불순물 농도 보다도 높은 불순물 농도로 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제 1 도전형의 불순물을 확산하여 상기 제 3 반도체층에 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 제 5 반도체층과 상기 제 5 반도체층에 인접하는 상기 제 4 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 제 4 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 상기 제 4 및 제 5 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 3

제2 항에 있어서, 상기 제 3 공정에서, 상기 레지스트의 일부는 이산적으로 열 형상으로 설치되고, 서로 나란한 복수의 영역으로서 남겨서 레지스트 패턴을 형성하고, 상기 제 10 공정에서 상기 레지스트의 상기 개구는 상기 내벽을 따라 인접하는 상기 제 4 반도체층의 일부 표면을 제외하고 제 5 반도체층과 제 4 반도체층을 둘러싸도록 형성된 절연게이트형 반도체장치의 제조방법.

청구항 4

제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 상기 제 1 주 표면상에 레지스트를 적층하여, 상기 레지스트의 일부를 이산적으로 열 형상으로 설치하고, 나란한 복수의 영역으로 남도록 상기 레지스트를 선택적으로 제거하여 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형 불순물을 확산시켜 상기 제2 반도체층보다 높은 불순물 농도를 갖는 제2 도전형의 제 4 반도체층을 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 표면상의 상기 차폐막의 일부에 상기 제 4 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정후, 상기 제 1 주 표면상에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 레지스트를 적층하고, 상기 제 3 공정에서 열형상으로 남겨진 상기 레지스트에 대응하는 영역과 상기 영역에 인접하는 상기 제 4 반도체층의 일부 표면을 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연막을 통하여 상기 제 4 반도체층의 불순물 농도 보다도 높은 불순물 농도로 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제 1 도전형의 불순물을 확산하여 상기 제 3 반도체층과 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적충하는 제 9 공정과, 상기 절연체 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 제 4 반도체층의 일부 표면과 상기 제 5 반도체층의 일부 표면을 제외한 제 5 반도체층과 제 4 반도체층을 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 상기 제 4 반도체층을 노출시키는 제 10 공정과, 제 10 공정후에 노출된 제 4 반도체층, 제 5 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 5

제2 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면에 설치된 제2 도전형의 제2 반도체층을 구비한 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 상기 제 1 주 표면상에 레지스트를 적층하고, 상기 레지스트의 일부를 이산적으로 열 형상으로 설치하고, 나란한 복수의 영역으로 남도록 상기 레지스트를 선택적으로 제거하여 레지스트 패턴을 형성하고, 상기 레지스트 패턴을 마스크로 하여 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 레지스트를 덮는 제 3 반도체층의 노출면의 일부가 남도록 상기 제2 도전형 불순물을 확산하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 차폐막의 상기 제 4 반도체층의 표면상의 일부에 상기 제 4 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 8 공정과, 상기 절연체 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 상기 제 4 반도체층의 일부 표면과 상기 제 4 반도체층의 일부 표면에 인접하는 상기 제 3 반도체층의 노출면의 일부를 제외하고, 상기 제 3 반도체층과 제 4 반도체층과를 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 3 반도체층과 상기 제 3 반도체층에 인접하는 제 4 반도체층의 일부를 노출시키는 제 9 공정과, 상기 제 9 공정후에 노출된 상기 제 3 반도체층, 상기 제 4 반도체층 및 상기 절연체 표면상에 도전층을 적층하는 제 10 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도

전층을 적층하는 제 11 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 6

그의 주 표면상에서 노출되는 제 1 도전형의 제 1 반도체층을 구비하는 반도체 기판을 준비하는 제 1 공정과, 상기 반도체 기판의 상기 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제2도전형의 제2 반도체층을 형성하는 제2 공정과, 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제2 반도체층의 표면에 상기 제 1 도전형의 불순물을 확산하여 상기 제 1 반도체층보다 높은 불순물 농도를 갖는 제 1 도전형의 제 3 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 제 3 반도체층의 표면상의 일부의 상기 차폐막의 표면을 따라 상기 개구가 연장하도록 상기 차폐막에 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제 1 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부표면이 노출될 때까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제2 반도체층상의 상기 제 1 주 표면의 일부분에 상기 제 3 반도체층보다 높은 불순물 농도의 제2 도전형 불순물을 선택적으로 주입하고, 상기 제2 도전형 불순물을 확산시켜 상기 제2 반도체층에 접속하는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정에서 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체 표면에 레지스트를 적층하고, 제 4 반도체층과 상기 제 4 반도체층에 인접하는 제 3 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 절연막을 선택적으로 제거하여 상기 제 4 반도체층과 제 3 반도체층을 노출시키는 제 10 공정과, 제 10 공정후에 노출된 제 3 반도체층, 제 4 반도체층 및 상기 절연체의 상기 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 7

그의 제 1 주 표면상에서 노출되는 제 1 도전형의 제 1 반도체층을 구비하는 반도체 기판을 준비하는 제 1 공정과, 상기 반도체 기판의 제 1 주 표면에 제2 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체층을 형성하는 제2 공정과, 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제2 반도체층의 표면에 상기 제 1 도전형의 불순물을 확산시켜 서로 나란하게 배열된 열형상으로 상기 제 1 반도체층 보다 높은 불순물 농도를 갖는 제 1 도전형의 제 3 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 차폐막의 제 3 반도체층의 표면상의 일부에 상기 제 3 반도체층의 열(列) 표면을 따라 상기 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로하여 상기 제 1 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제2 반도체층상의 상기 제 1 주 표면의 일부에 상기 제 3 반도체층 보다 높은 불순물 농도의 제2 도전형 불순물을 주입하고, 상기 제2 도전형 불순물을 확산시켜 상기 제2 반도체층과 접속하는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 제 4 반도체층과 상기 제 4 반도체층에 인접하는 상기 제 3 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 4 반도체층과 제 3 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 상기 제 3과 제 4 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 8

그의 제 1 주 표면상에서 노출되는 제 1 도전형의 제 1 반도체층을 구비하는 반도체 기판을 준비하는 제 1 공정과, 상기 반도체 기판의 상기 제 1 주 표면에 제2 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체층을 형성하는 제2 공정과, 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제2 반도체층의 표면에 상기 제 1 도전형의 불순물을 확산시켜 상기 제 1 반도체층 보다 높은 불순물 농도를 가지는 제 1 도전형의 제 3 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 3 반도체층의 표면상의 일부의 상기 차폐막에 상기 제 3 반도체층의 열(列)표면을 따라 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로하여 상기 제 1 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때까지, 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제2 반도체층상의 상기 제 1 주 표면의 일부에 상기 제 3 반도체층보다 높은 불순물 농도의 제2 도전형 불순물을 주입하고, 상기 제2 도전형 불순물을 확산시켜 상기 제2 반도체층과 접속하는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 제 4 반도체층과 상기 제 4 반도체층에 인접하는 상기 제 3 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 4 반도체층과 제 3 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 상기 제 3, 제 4 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하며, 상기 제 3 공정에서, 상기 제 3 반도체층은 인접하는 상기 두 개의 열을 연결하는 연결

부와 열을 포함하는 형상으로 형성되고, 상기 제 10 스텝에서, 상기 레지스트의 개구는 상기 내벽을 따라 인접하는 상기 제 3 반도체층의 일부표면을 제외한 상기 제 4 반도체층 및 제 3 반도체층을 둘러싸도록 형성되는 절연게이트형 반도체장치의 제조방법.

청구항 9

그의 제 1 주 표면상에서 노출되는 제 1 도전형의 제 1 반도체층을 구비하는 반도체 기판을 준비하는 제 1 공정과, 상기 반도체 기판의 상기 제 1 주 표면에 제2 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체층을 형성하는 제2 공정과, 제 1 도전형 불순물을 선택적으로 주입하고, 상기 제2 반도체층의 표면에 제 1 도전형의 불순물을 확산시켜 서로 나란하게 배열된 열형상의 제 1 도전형의 제 3 반도체층과 상기 제 1 반도체층보다 높은 불순물 농도를 가지는 인접하는 상기 두 개의 열을 연결하는 연결부를 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 3 반도체층의 일부 표면상의 상기 차폐막에 상기 제 3 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제 1 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제2 반도체층상의 상기 제 1 주 표면의 일부에 상기 제 3 반도체층보다 높은 불순물 농도를 가지는 제2 도전형의 불순물을 선택적으로 주입하고, 제2 도전형의 불순물을 확산시켜 상기 제2 반도체층과 접속하는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 제 3 반도체층의 일부 표면과 상기 제 4 반도체충의 일부표면을 제외한 제 4 반도체층과 제 3 반도체층을 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 4 반도체층과 상기 제 3 반도체층을 노출시키는 제 10 공정과, 제 10 공정후에 노출된 제 3 반도체층, 제 4 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 10

그의 제 1 주 표면상에서 노출되는 제 1 도전형의 제 1 반도체층을 구비하는 반도체 기판을 준비하는 제 1 공정과, 상기 반도체 기판의 제 1 주 표면에 제2 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체층을 형성하는 제2 공정과, 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제2 반도체층의 표면에 제 1 도전형 불순물을 확산시켜 서로 나란하게 배열된 열형상의 제 1 도전형의 제 3 반도체층과 상기 제 1 반도체층보다 높은 불순물 농도를 가지며 인접하는 상기 두 개의 열을 연결하는 연결부를 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 3 반도체층의 일부 표면상의 상기 차폐막에 상기 제 3 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제 1 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부표면이 노출될 때까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 8 공정과, 상기 절연체의 표면에 레지스트틀 적층하고, 상기 내벽을 따라 인접하는 상기 제 3 반도체층의 일부 표면과 상기 제 3 반도체층의 일부 표면에 인접하는 상기 제2 반도체층의 노출면의 일부를 제외한 상기 제2 반도체층과 제 3 반도체층과를 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제2 반도체층과 상기 제2 반도체층에 인접하는 제 3 반도체층의 일부를 노출시키는 제 9 공정과, 상기 제 9 공정후에 노출된 상기 제2 반도체층, 상기 제 3 반도체층 및 상기 절연체 표면상에 도전층을 적층하는 제 10 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 11 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 11

제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비한 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 제2 반도체층 측면인 상기 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도쟌형의 제 3 반도체층을 형성하는 제2 공정과, 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형의 불순물을 확산시켜 상기 제2 반도체층 보다 높은 불순물 농도를 갖는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 제 4 반도체층의 표면상의 일부의 상기 차폐막에 상기 차폐막의 표면을 따라 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제 3 반도체층의 상기 제 1 주 표면의 일부에 상기 제 4 반도체층 보다 높은 불순물 농도를 가지는 제 1 도전형의 불순물을 선택적으로 주입하고, 상기 제 1 도전형 불순물을 확산시켜 상기 제 3 반도체층과 접속되는 제 1 도전형의 제 5 반도체층을 형성하는 제 8 공정과, 상기 제 7 공정에서 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체 표면에 레지스트를 적층하고, 제 5 반도체층과 상기 제 5 반도체층에 인접하는 제 4 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 제 4 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 제 4 반도체층, 제 5 반도체층 및 상기 절연체의

상기 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 12

제 1 도전형외 제 1 반도체층 및 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 상기 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형의 불순물을 확산시켜 상기 제2 반도체층 보다 높은 불순물 농도를 가지는 서로 나란하게 배열된 열형상의 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 일부 표면상의 상기 차폐막에 상기 제 4 반도체층의 열(列)표면을 따라 개구가 연장하도륵 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로하여 상기 제2 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부표면이 노출될 때까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제 3 반도체층의 상기 제 1 주 표면의 일부에 상기 제 4 반도체층보다 높은 불순물 농도의 제 1 도전형 불순물을 선택적으로 주입하고, 상기 제 1 도전형 불순물을 확산시켜 상기 제 3 반도체층과 접속되는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 제 5 반도체층과 상기 제 5 반도체층에 인접하는 상기 제 4 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 제 4 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 상기 제 4, 제 5 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 13

제 1 도전형의 제 1 반도체층 및 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 상기 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형의 불순물을 확산시켜 상기 제2 반도체층 보다 높은 불순물농도를 가지는 제2 도전형의 제 4 반도체층을 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 일부 표면상의 상기 차폐막에 상기 제 4 반도체층의 열(列)표면을 따라 개구가 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로하여 상기 제2 반도체층에 달할 때 까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 복수의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부표면이 노출될 때 까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제 3 반도체층의 상기 제 1 주 표면의 일부에 상기 제 4 반도체층보다 높은 불순물 농도의 제 1 도전형 불순물을 선택적으로 주입하고, 상기 제 1 도전형 불순물을 확산시켜 상기 제 3 반도체층과 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 제 5 반도체층과 상기 제 5 반도체층에 인접하는 상기 제 4 반도체층의 일부를 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 제 4 반도체층을 노출시키는 제 10 공정과, 상기 제 10 공정후에 노출된 상기 제 4, 제 5 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하며, 상기 제 3 공정에서, 상기 제 4 반도체층은 열과 인접하는 상기 두 개의 열을 연결하는 연결부를 형성하고, 상기 제 10 공정에서 상기 레지스트의 개구는 상기 내벽을 따라 인접하는 상기 제 4 반도체층의 일부 표면을 제외한 상기 제 5 및 제 4 반도체층을 둘러싸도록 형성되는 절연게이트형 반도체장치의 제조방법.

청구항 14

제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면상에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 상기 제2 도전형 불순물을 확산시켜 서로 나란하게 배열된 열 형상의 제2 도전형의 제 4 반도체층과 상기 제2 반도체층보다 높은 불순물 농도를 가지는 인접하는 상기 두 개의 열을 연결하는 연결부를 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 일부 표면상의 상기 차폐막에 상기 제 4 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 선택적으로 노출된 상기 제 3 반도체층상의 상기 제 1 주 표면의 일부에 상기 제 4 반도체층보다 높은 불순물 농도의 제 1 도전형 불순물을 선택적으로 주입하고, 상기 제 1 도전형의 불순물을 확산시켜 상기 제 3 반도체층과 접속하는 제 1 도전형의 제 5 반도체층을 선택적으로 형성하는 제 8공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제

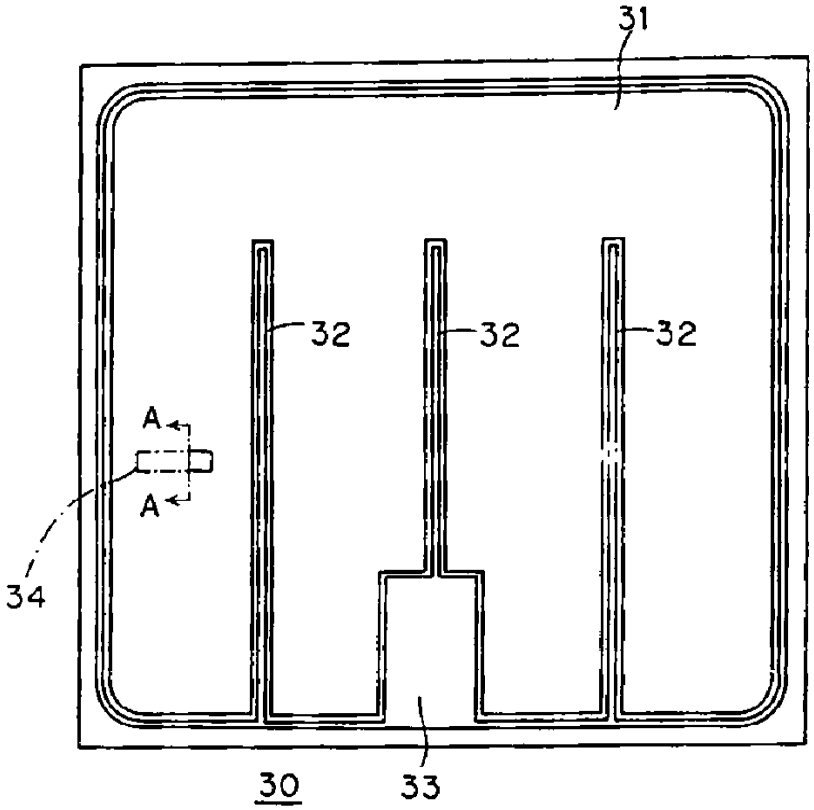
9 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 제 4 반도체층의 일부 표면과 상기 제 5 반도체층의 일부표면을 제외하고, 제 5 반도체층과 제 4 반도체층을 둘러싸는 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 5 반도체층과 상기 제 4 반도체층을 노출시키는 제 10 공정과, 제 10 공정후에 노출된 제 4 반도체층, 제 5 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 11 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 12 공정을 포함하는 절연게이트형 반도체장치의 제조방법.

청구항 15

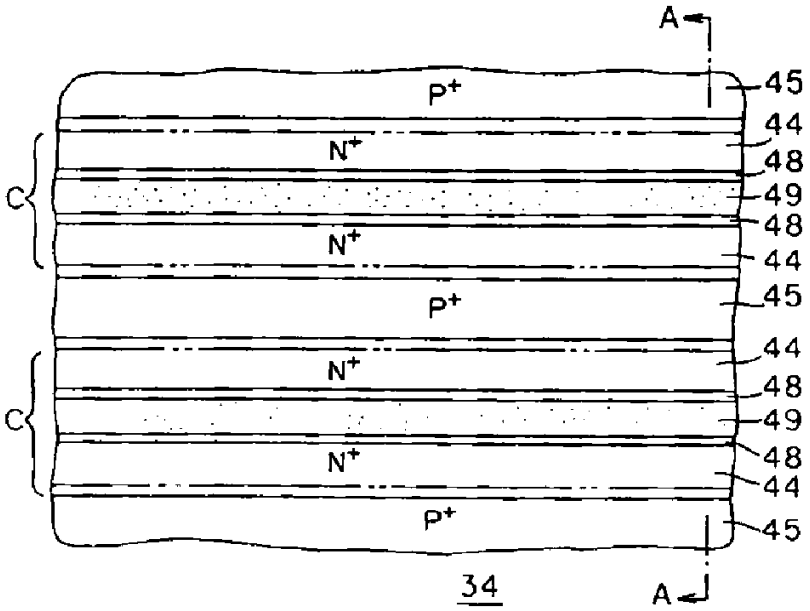
제 1 도전형의 제 1 반도체층과 상기 제 1 반도체층의 표면에 설치된 제2 도전형의 제2 반도체층을 구비하는 반도체 기판을 형성하는 제 1 공정과, 상기 반도체 기판의 상기 제2 반도체층 측면의 반도체 기판의 제 1 주 표면에 제 1 도전형의 불순물을 주입하여 제 1 도전형의 제 3 반도체층을 형성하는 제2 공정과, 제2 도전형의 불순물을 선택적으로 주입하고, 상기 제 3 반도체층의 표면에 제2 도전형 불순물을 확산시켜 서로 나란하게 배열된 열형상의 제2 도전형의 제 4 반도체층과 상기 제2 반도체층보다 높은 불순물 농도를 가지는 인접하는 상기 두 개의 열을 연결하는 연결부를 선택적으로 형성하는 제 3 공정과, 상기 제 1 주 표면에 차폐막을 형성하고, 상기 제 4 반도체층의 일부 표면상의 상기 차폐막에 상기 제 4 반도체층의 열 표면을 따라 연장하도록 개구를 형성하고, 상기 개구를 갖는 차폐막을 마스크로 하여 상기 제2 반도체층에 달할 때까지 반도체를 선택적으로 제거하여 홈을 규정하는 홈 형상의 내벽을 형성하고, 그 후 상기 차폐막을 제거하는 제 4 공정과, 상기 홈 형상의 내벽의 표면 및 상기 제 1 주 표면에 절연막을 형성하는 제 5 공정과, 상기 절연막상에 상기 홈을 매립하도록 도전체를 적층하는 제 6 공정과, 상기 제 1 주 표면상에 형성된 상기 절연막의 일부 표면이 노출될 때까지 상기 절연막을 잔존시키면서 상기 도전체를 제거하는 제 7 공정과, 상기 제 7 공정후에 노출된 상기 절연막의 일부 및 상기 도전체의 표면상에 절연체를 적층하는 제 8 공정과, 상기 절연체의 표면에 레지스트를 적층하고, 상기 내벽을 따라 인접하는 상기 제 4 반도체층의 일부 표면과 상기 제 4 반도체층의 일부 표면에 인접하는 상기 제 3 반도체층의 노출면의 일부를 제외한 상기 제 3 반도체층과 제 4 반도체층과를 둘러싸는 위치에 개구를 형성하고, 상기 개구를 갖는 레지스트 패턴을 마스크로 하여 상기 절연체 및 상기 절연막을 선택적으로 제거하여 상기 제 3 반도체층과 상기 제 3 반도체층에 인접하는 제 4 반도체층의 일부를 노출시키는 제 9 공정과, 상기 제 9 공정후에 노출된 상기 제 3 반도체층, 상기 제 4 반도체층 및 상기 절연체의 표면상에 도전층을 적층하는 제 10 공정과, 상기 제 1 주 표면과 반대쪽의 상기 반도체 기판의 제2 주 표면상에 도전층을 적층하는 제 11 공정을 포함하는 절연게이트형 반도체 장치의 제조방법.

도면

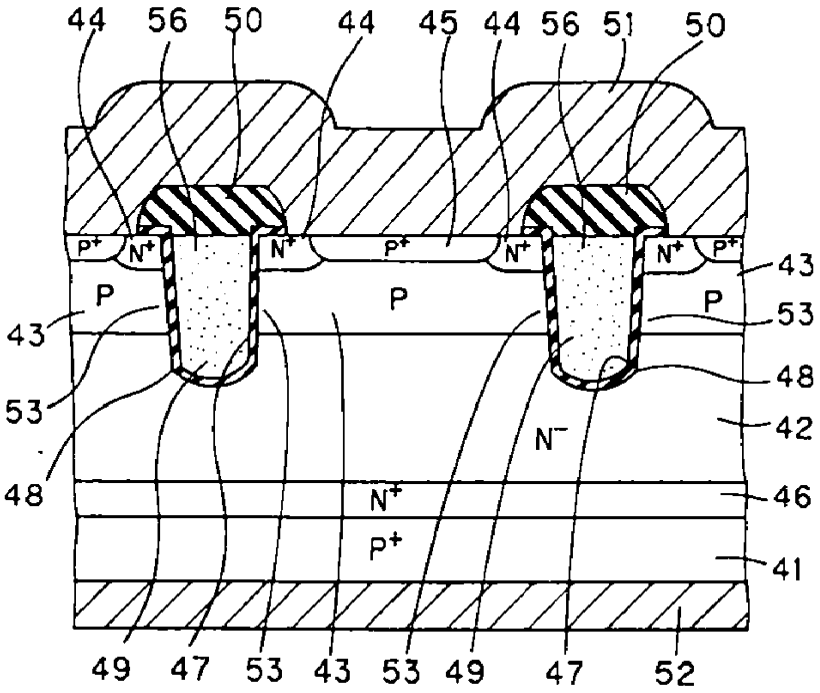
도면1



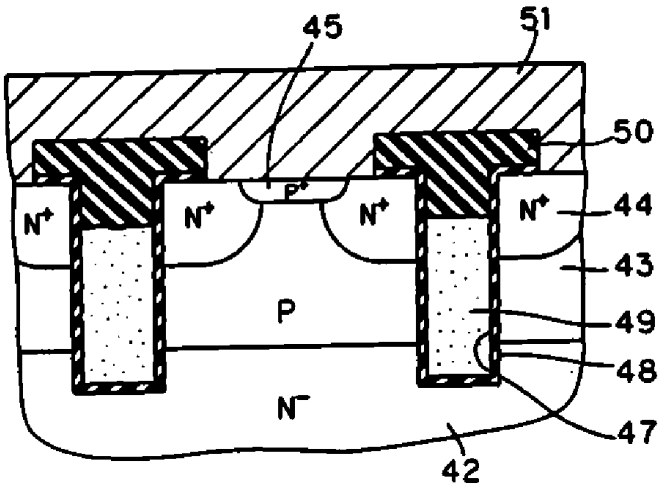
도면2



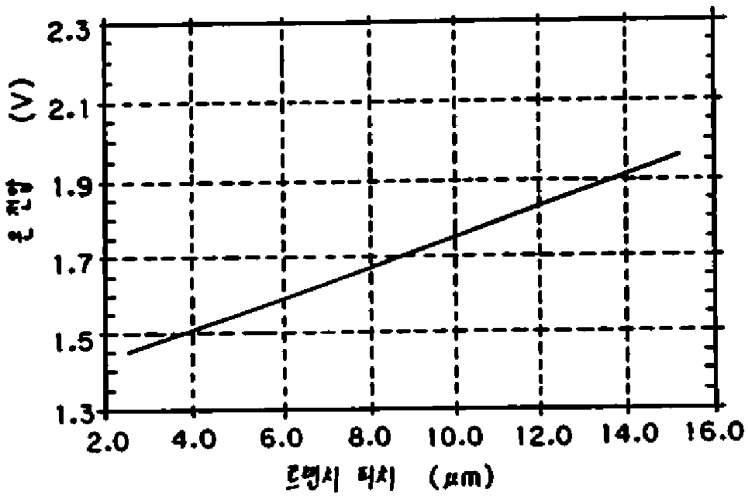
도면3



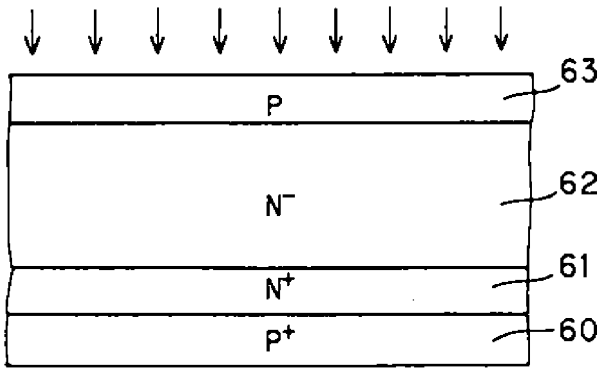
도면4


45
51
50
44
43
49
48
47
42
P
N⁻

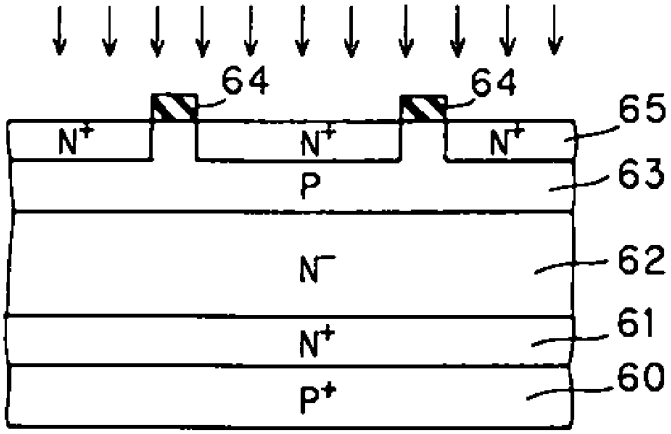
도면5


2.3
2.1
1.9
1.7
1.5
1.3
(V)
2.0
4.0
6.0
8.0
10.0
12.0
14.0
16.0
(μm)

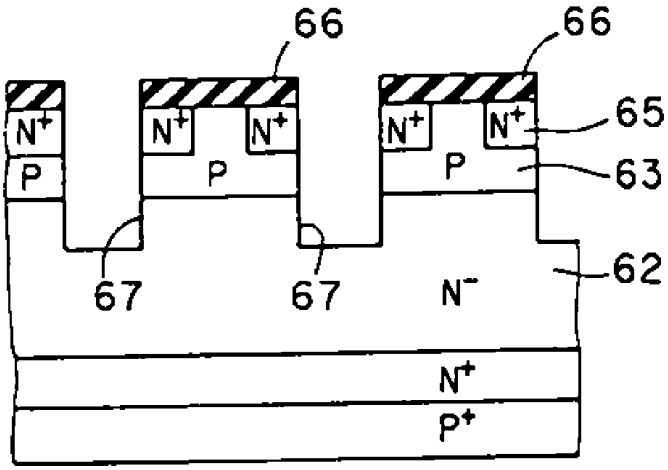
도면6


63
62
61
60
P
N⁻
N⁺
P⁺

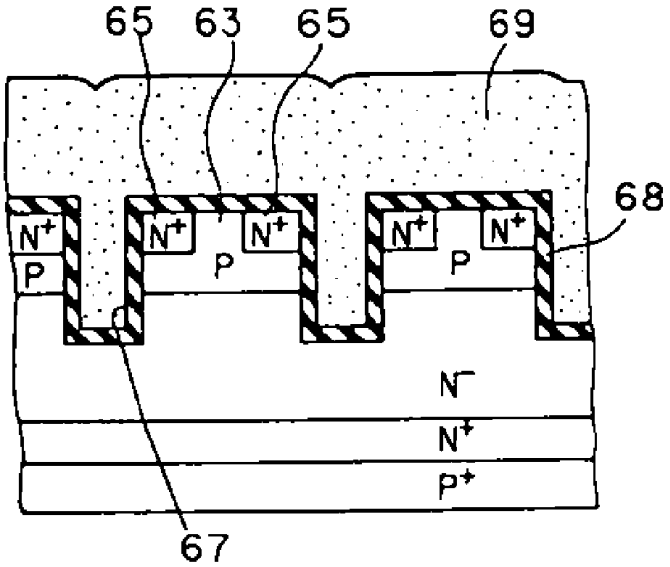
도면7


64
64
65
N+
N+
N+
P
63
N-
62
N+
61
P+
60

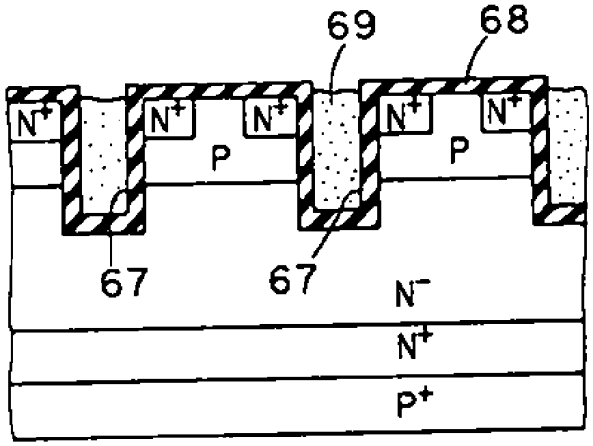
도면8


66
66
65
N+
N+
N+
N+
N+
P
P
P
63
67
67
N-
62
N+
P+

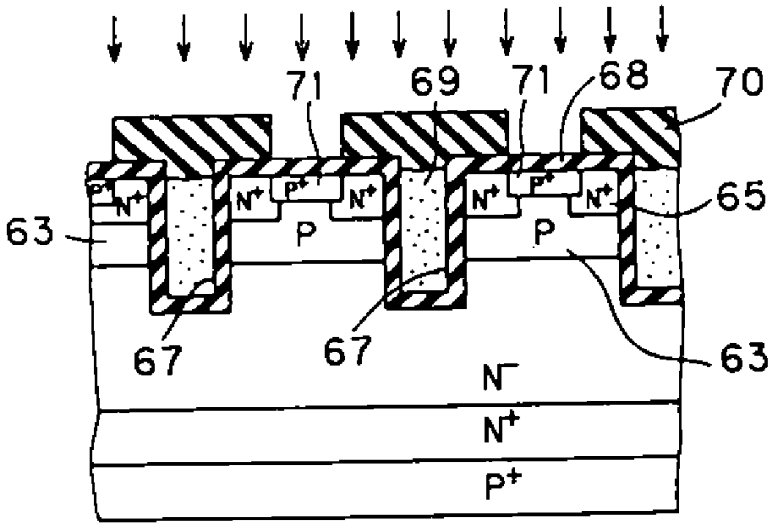
도면9


65
63
65
69
68
N+
N+
N+
N+
N+
P
P
P
N-
N+
P+
67

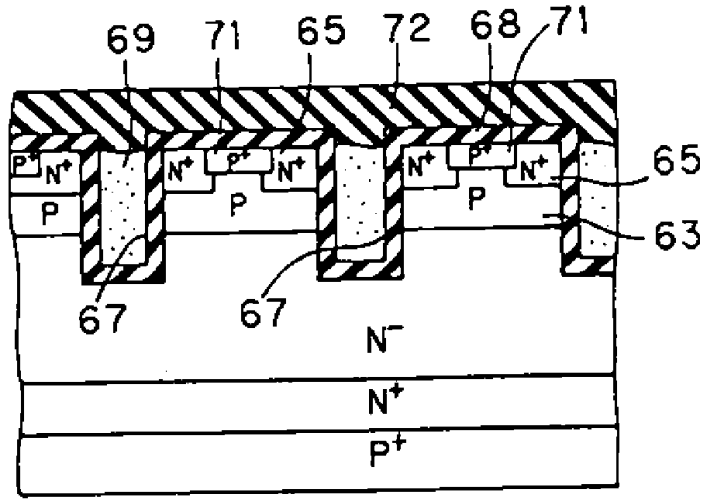
도면10



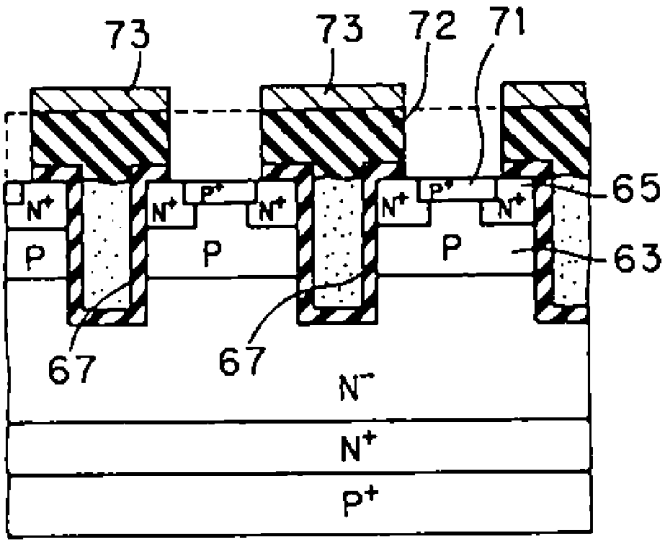
도면11



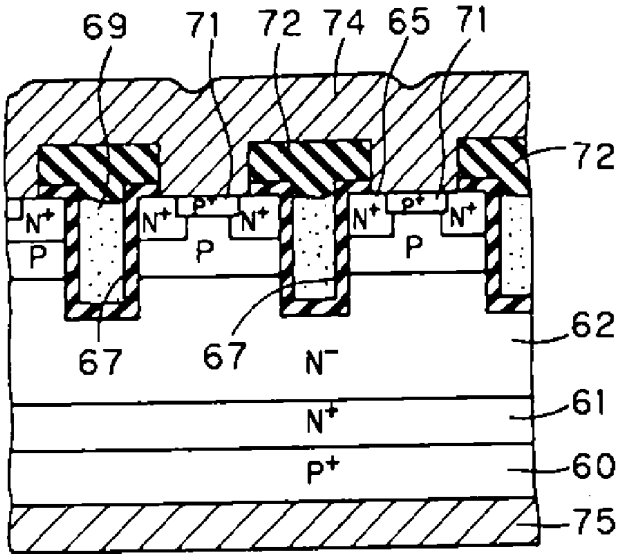
도면12



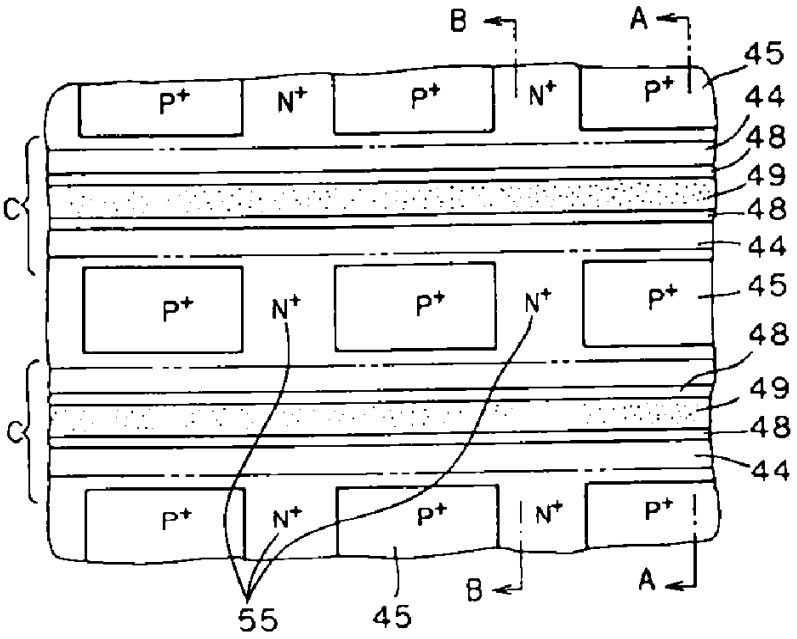
도면13


73
73
72
71
65
63
N+
P+
P
67
67
N-
N+
P+

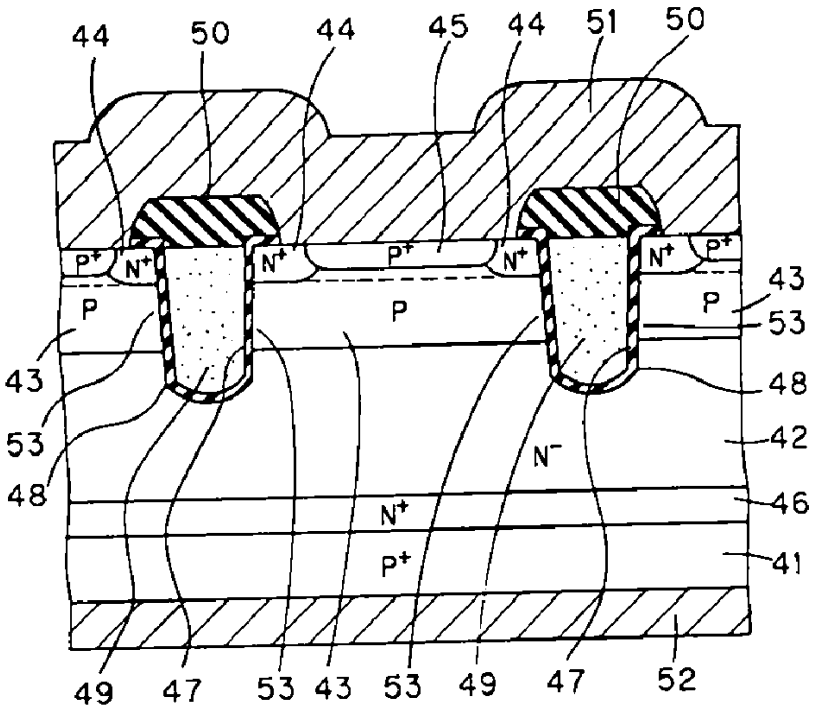
도면14


69
71
72
74
65
71
72
N+
P+
P
62
67
67
N-
61
N+
60
P+
75

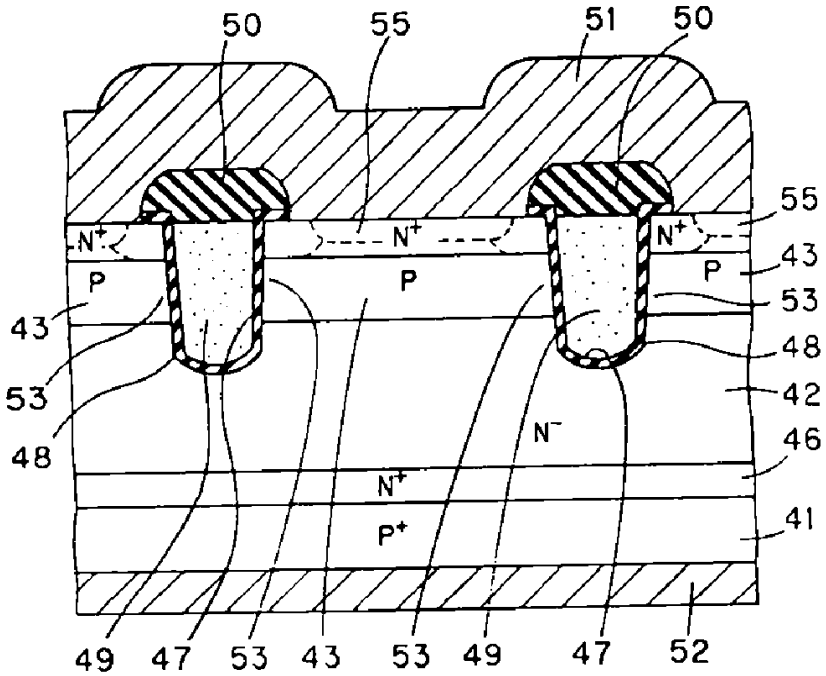
도면15


B
A
45
44
48
49
48
44
45
48
49
48
44
P+
N+
C
55
45

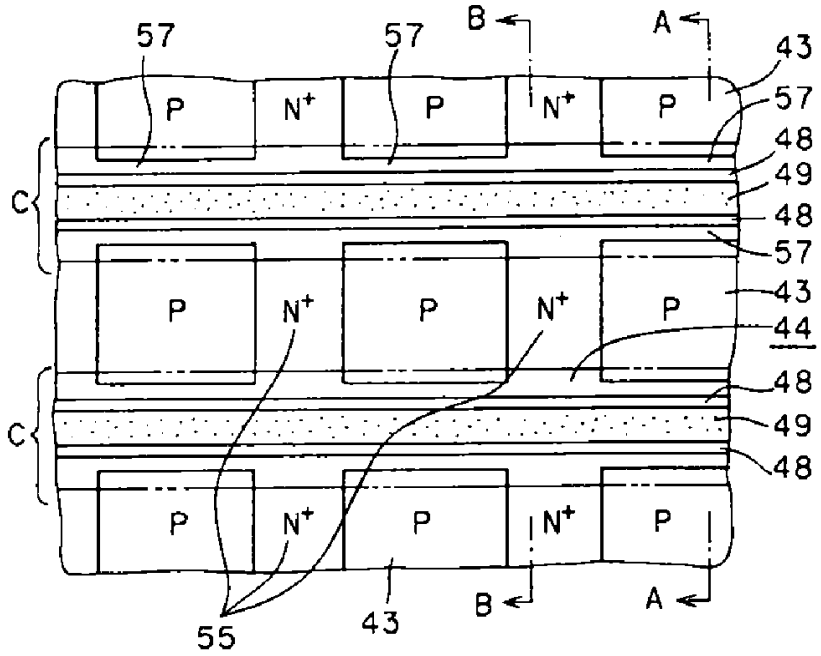
도면16


44
50
44
45
44
51
50
P+
N+
P
43
53
48
42
46
41
N−
49
47
52

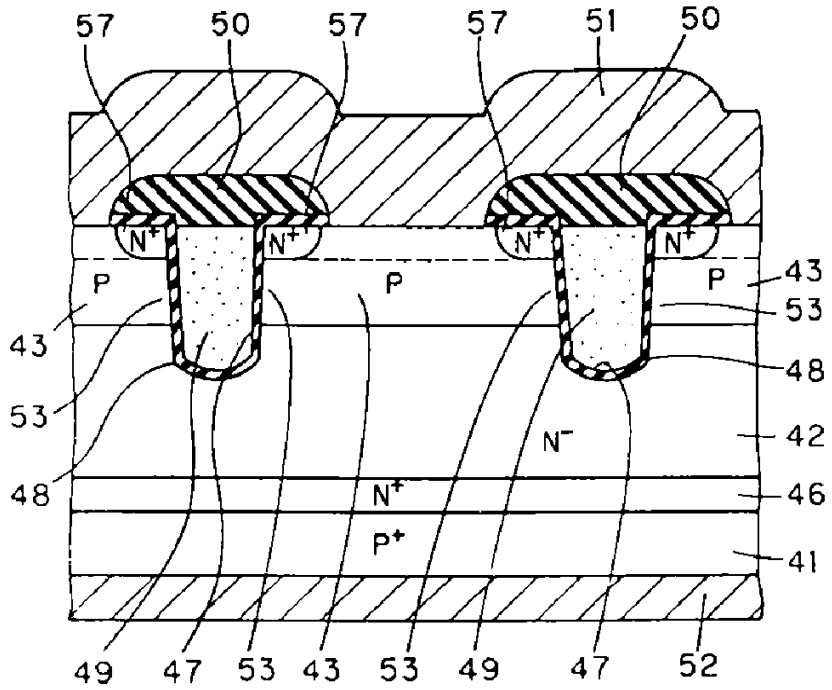
도면17


50
55
51
50
55
43
53
48
42
46
41
N+
P
N+
P
N+
P
43
53
48
N−
N+
P+
49
47
53
43
53
49
47
52

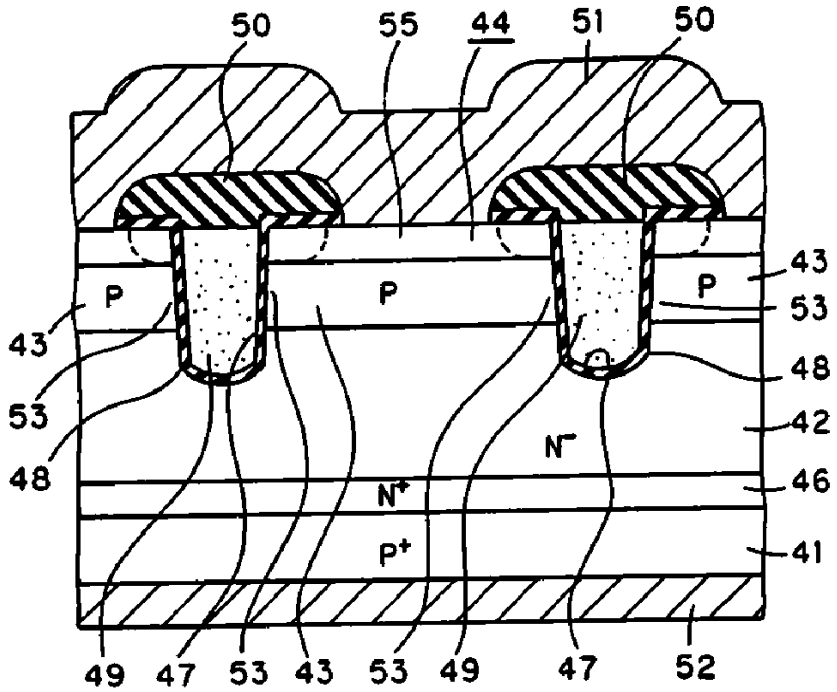
도면18


57
57
B
A
43
57
48
49
48
57
43
44
48
49
48
C
C
P
N+
P
N+
P
55
43
B
A

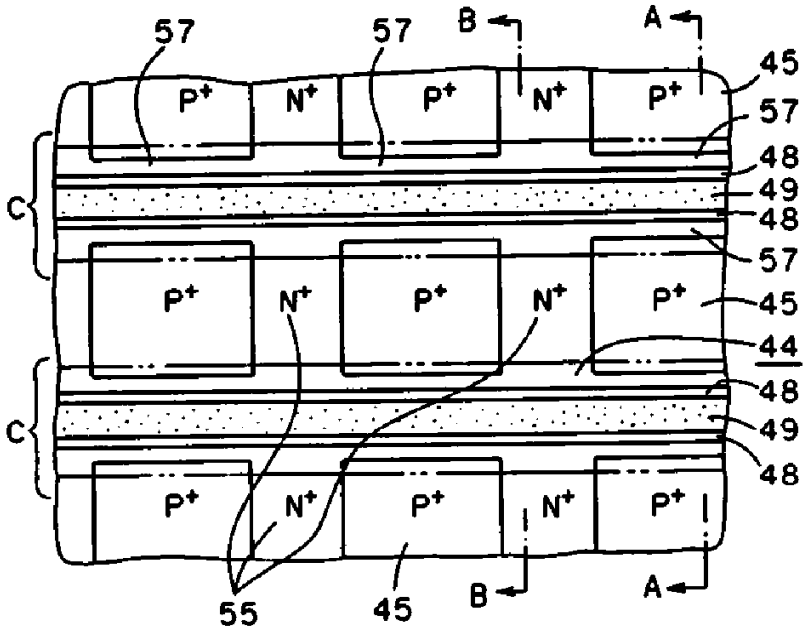
도면19


57
50
57
57
51
50
N+
N+
N+
N+
P
P
P
43
53
48
42
46
41
N-
N+
P+
43
53
48
49
47
53
43
53
49
47
52

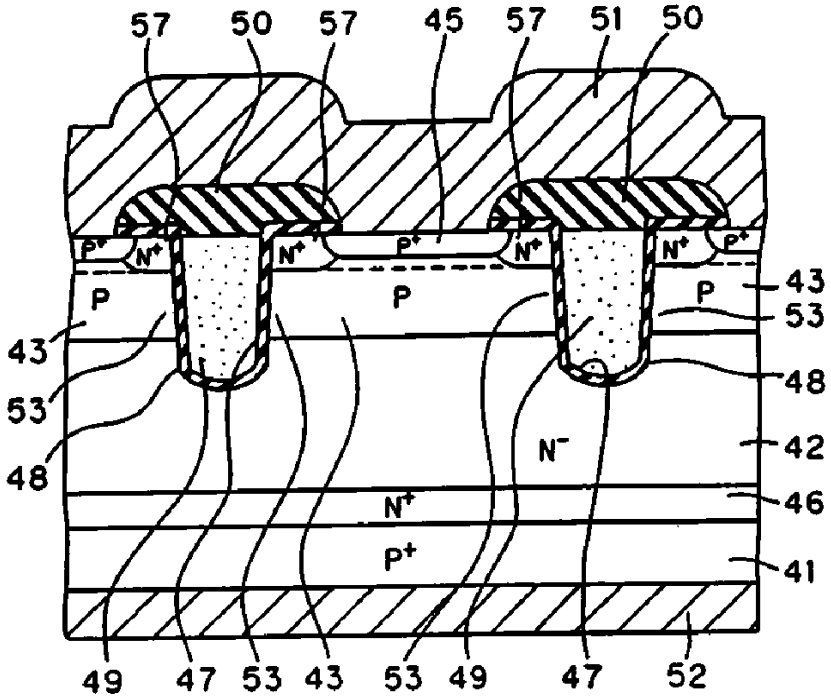
도면20


50
55
44
51
50
P
P
P
43
53
48
42
46
41
N-
N+
P+
43
53
48
49
47
53
43
53
49
47
52

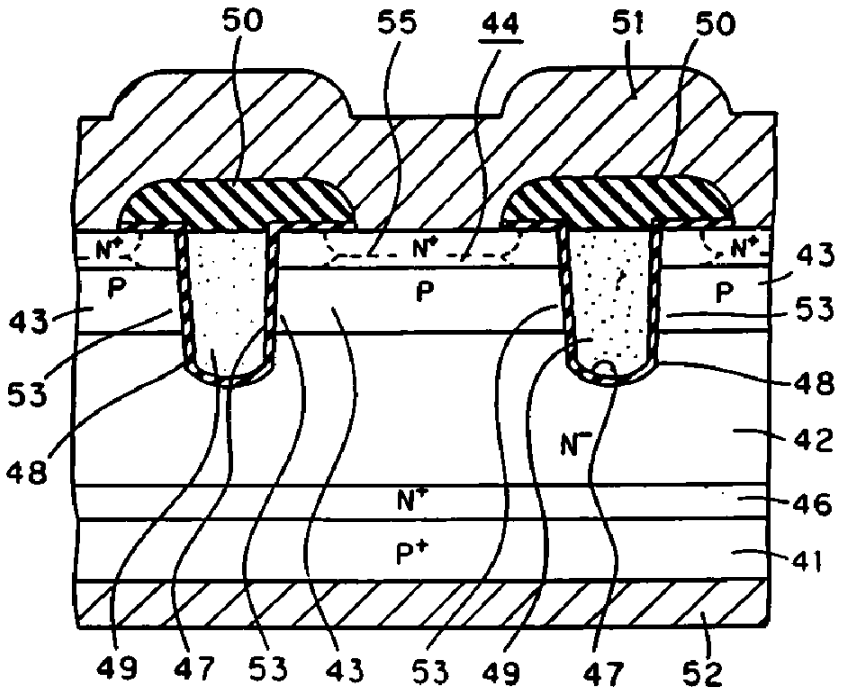
도면21


57
57
B
A
45
57
48
49
48
57
45
44
48
49
48
C
C
P+
N+
55
45
B
A

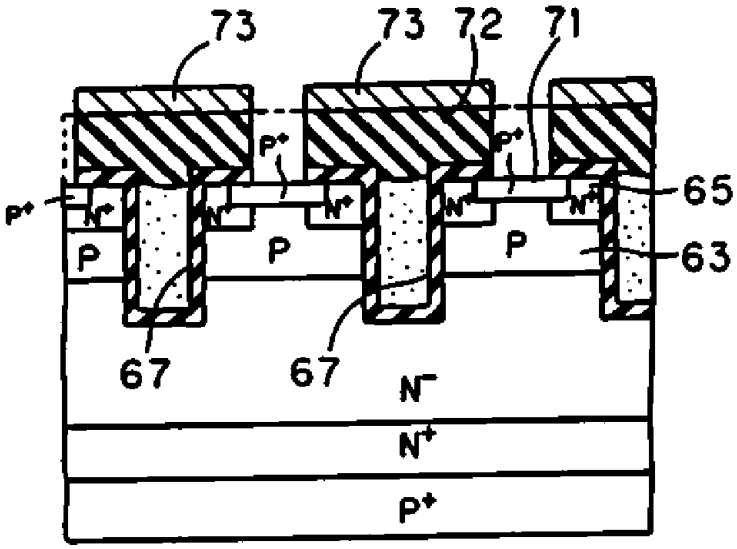
도면22


57
50
57
45
57
51
50
P
43
53
48
42
46
41
N-
N+
P+
49
47
53
43
53
49
47
52

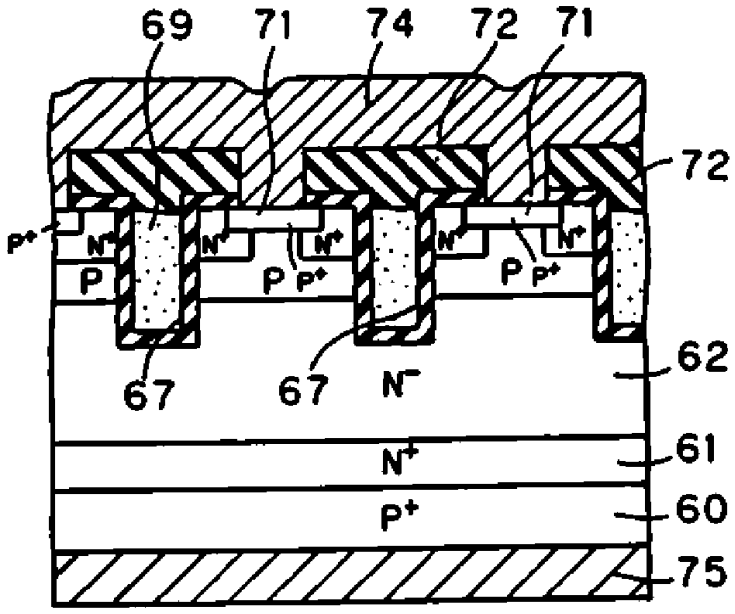
도면23


50
55
44
51
50
N+
N+
N+
P
P
P
43
43
53
53
48
48
N-
42
N+
46
P+
41
49
47
53
43
53
49
47
52

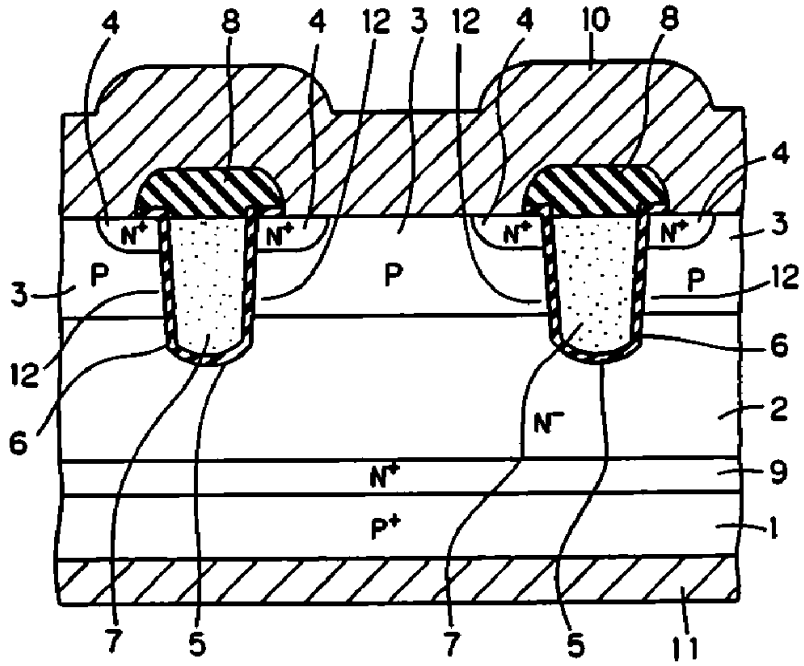
도면24


73
73
72
71
P+
P+
P+
65
N+
N+
N+
N+
N+
P
P
P
63
67
67
N-
N+
P+

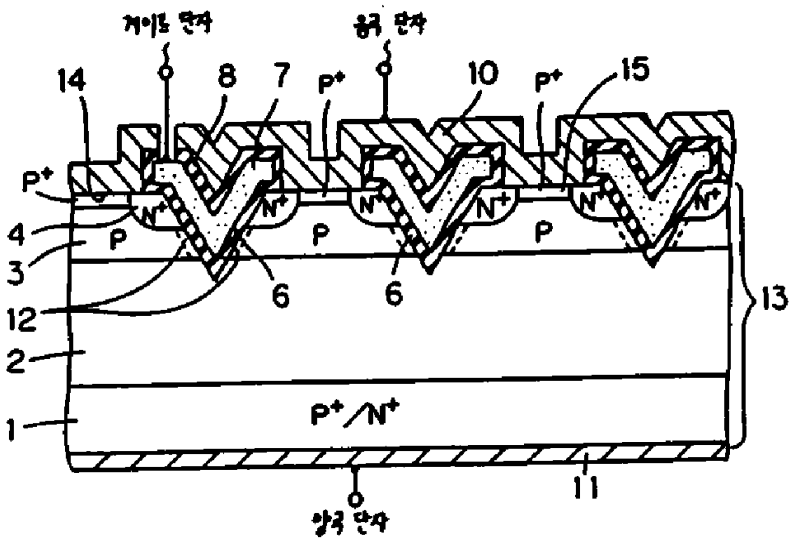
도면25


69
71
74
72
71
72
P+
N+
N+
N+
N+
N+
P
P
P+
P
P+
62
67
67
N-
61
N+
60
P+
75

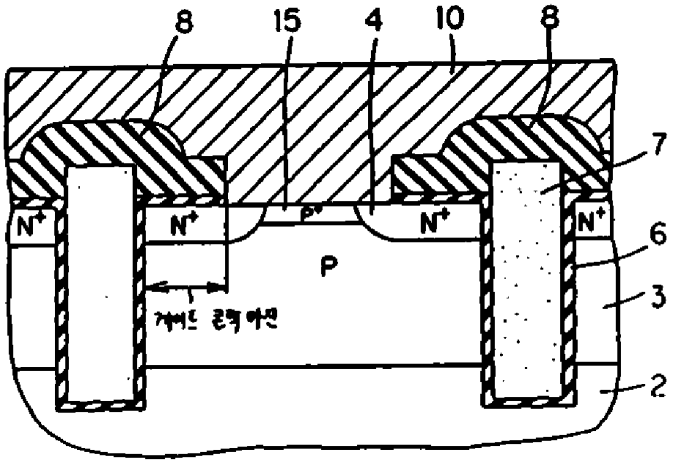
도면26


4
8
4
12
3
12
4
10
8
4
3
12
6
2
9
1
N+
N+
N+
N+
P
P
P
N-
N+
P+
3
12
6
7
5
7
5
11

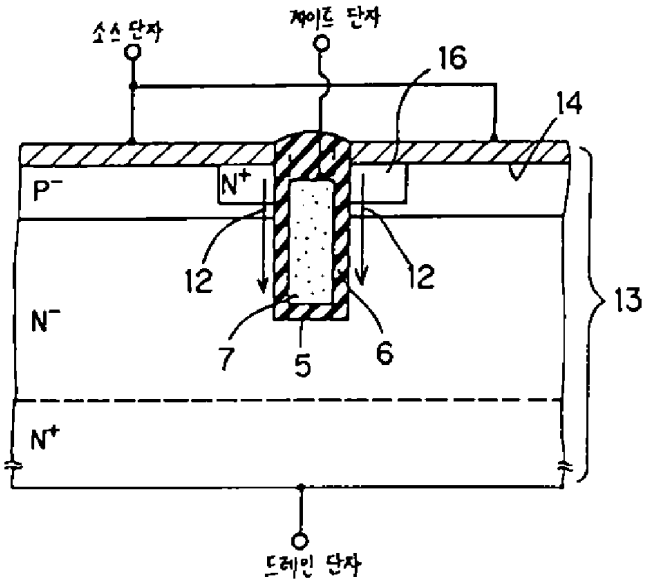
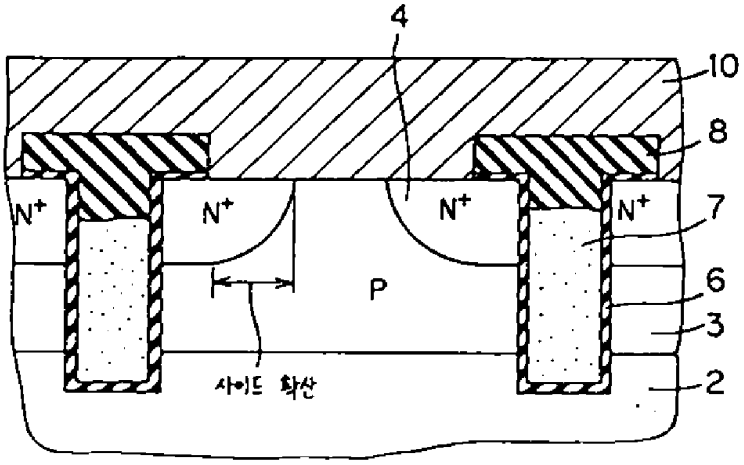
도면27


게이트 전극
출력 전극
14
8
7
P+
10
P+
15
P+
N+
P
4
3
12
6
6
13
2
1
P+/N+
11
양극 전극

도면28


8
15
4
10
8
7
N+
N+
P+
N+
N+
6
P
3
게이트 콘택 마진
2

도면29



도면30