



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特に互いに閾値電圧の異なるMulti-V_tタイプのMISFET (Metal Insulator Semiconductor Field Effect Transistor) を備えた半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、半導体集積回路装置の高性能化と低消費電力化とを両立させるために、互いに導電型が同じで、且つ、閾値電圧の異なるMISFET (以下、「MISトランジスタ」と称する) を混載させるMulti-V_tプロセスが、一般的に使われている。

[0003] 一方、半導体集積回路装置の高集積化、高機能化及び高速化に伴って、MISトランジスタのゲート絶縁膜の薄膜化が進められている。しかし、ゲート絶縁膜としてシリコン酸化膜を用いた場合、ゲート絶縁膜の膜厚が一定以下にまで薄くなると、ダイレクトトンネリングによるリークが飛躍的に増大し、チップの消費電流が増大するという問題がある。

[0004] そこで、ゲート絶縁膜として、シリコン酸化膜の代わりに、誘電率がシリコン酸化膜の3倍以上を示す例えばHfO₂、及びHfSiON等の高誘電率絶縁膜を用いることが注目されている。

[0005] ここで、Multi-V_tタイプのMISトランジスタを備えた半導体装置において、ゲート絶縁膜として高誘電率絶縁膜を用いた場合には、ゲート絶縁膜として例えばSiON系膜を用いた場合と同様なプロセスにより、半導体装置が製造される。従来の半導体装置の製造方法について、図10(a)～(d)を参照しながら以下に簡単に説明する。図10(a)～(d)は、従来の半導体装置の製造方法を工程順に示す要部工程断面図である。なお、図中において、L_{v_t}領域は相対的に閾値電圧の低いP型MISトランジスタが形

成される領域であり、H v t 領域は相対的に閾値電圧の高いP型M I S トランジスタが形成される領域である。

[0006] まず、図10(a)に示すように、シリコン基板101の上部に素子分離領域102を形成する。これにより、シリコン基板101における素子分離領域102に囲まれた領域のうち、L v t 領域に位置する領域がL v t 領域の活性領域101aとなり、H v t 領域に位置する領域がH v t 領域の活性領域101bとなる。その後、L v t 領域の活性領域101aにおける上部に第1の不純物濃度を有するn型チャネル領域103aを形成する一方、H v t 領域の活性領域101bにおける上部に第1の不純物濃度よりも高濃度の第2の不純物濃度を有するn型チャネル領域103bを形成する。その後、シリコン基板101上に高誘電率絶縁膜104及び金属膜105を順次形成する。

[0007] 次に、図10(b)に示すように、金属膜105上にポリシリコン膜111を形成する。

[0008] 次に、図10(c)に示すように、L v t 領域のポリシリコン膜111、金属膜105、及び高誘電率絶縁膜104を順次パターニングして、L v t 領域の活性領域101a上に、高誘電率絶縁膜104からなるゲート絶縁膜104a、並びに金属膜105a及びポリシリコン膜111aからなるゲート電極120Aを順次形成すると共に、H v t 領域のポリシリコン膜111、金属膜105、及び高誘電率絶縁膜104を順次パターニングして、H v t 領域の活性領域101b上に、高誘電率絶縁膜104からなるゲート絶縁膜104b、並びに金属膜105b及びポリシリコン膜111bからなるゲート電極120Bを順次形成する。その後、活性領域101aに浅いp型ソースドレイン領域107aを形成すると共に、活性領域101bに浅いp型ソースドレイン領域107bを形成する。

[0009] 次に、図10(d)に示すように、ゲート電極120Aの側面上にサイドウォール108aを形成すると共に、ゲート電極120Bの側面上にサイドウォール108bを形成する。その後、活性領域101aに深いp型ソースド

レイン領域 109 a を形成すると共に、活性領域 101 b に深い p 型ソースドレイン領域 109 b を形成する。その後、深い p 型ソースドレイン領域 109 a, 109 の上部にシリサイド膜 110 a 1, 110 b 1 を形成すると共に、ゲート電極 120 A, 120 B におけるポリシリコン膜 111 a, 111 b の上部にシリサイド膜 110 a 2, 110 b 2 を形成する。

非特許文献1: H. Nakamura et al., VLSI 2006 Tech. Symp, pp.158-159

発明の開示

発明が解決しようとする課題

- [0010] 一般に、互いに閾値電圧の異なる M I S トランジスタが混載した半導体装置においては、高閾値電圧系 M I S トランジスタにおけるチャネル領域（図 10 (d) : 103 b 参照）の不純物濃度を、低閾値電圧系 M I S トランジスタにおけるチャネル領域（図 10 (d) : 103 a 参照）の不純物濃度に比べて高く調整する必要がある。これにより、高閾値電圧系 M I S トランジスタの閾値電圧を、低閾値電圧系 M I S トランジスタの閾値電圧よりも高く制御する。
- [0011] しかしながら、この場合、高閾値電圧系 M I S トランジスタにおけるチャネル領域の不純物濃度が比較的高いため、半導体装置の動作時に、キャリアが該チャネル領域に含まれる導電型不純物と衝突して散乱し、高閾値電圧系 M I S トランジスタにおいて、キャリアの移動度が減少し、駆動力が低下するという問題がある。
- [0012] そこで、L v t 領域のチャネル領域、及び H v t 領域のチャネル領域の不純物濃度を一様に低くする方法として、低、高閾値電圧系 M I S トランジスタとして、バンドエッジ寄りの実効仕事関数を有する M I S トランジスタではなく、ミッドギャップ寄りの実効仕事関数を有する M I S トランジスタを用いる方法がある。ミッドギャップ寄りの実効仕事関数を有する M I S トランジスタを用いた場合に必要とされるチャネル領域の不純物濃度は、バンドエッジ寄りの実効仕事関数を有する M I S トランジスタを用いた場合に必要とされるチャネル領域の不純物濃度よりも低いため、L v t, H v t 領域の

チャネル領域の不純物濃度を一様に低くすることができる。

[0013] しかしながら、上記の方法においても、高閾値電圧系M I Sトランジスタの閾値電圧を、低閾値電圧系M I Sトランジスタの閾値電圧よりも高く制御するには、H v t領域のチャネル領域の不純物濃度を、L v t領域のチャネル領域の不純物濃度よりも高く調整しなければならず、上記問題が依然として残る。

[0014] 一方、M I Sトランジスタの閾値電圧を制御する方法として、高誘電率絶縁膜（例えばH f S i O N膜）からなるゲート絶縁膜のH f濃度を調整し、フェルミレベルピンニングのレベルを調整する方法が提案されている（例えば、非特許文献1参照）。しかしながら、この方法では、ゲート絶縁膜のH f濃度を調整することは非常に困難なため、M I Sトランジスタの閾値電圧を制御することが非常に困難であるという問題がある。

[0015] 以上のように、互いに導電型の同じM I Sトランジスタの閾値電圧を制御する方法として、チャネル領域の不純物濃度を調整する方法を採用した場合、高閾値電圧系M I Sトランジスタの駆動能力が低下するため、高閾値電圧系M I Sトランジスタの高性能化を図ることができない。一方、ゲート絶縁膜のH f濃度を調整する方法を採用した場合、低、高閾値電圧系M I Sトランジスタの閾値電圧を制御することが非常に困難であり、低、高閾値電圧系M I Sトランジスタの双方を精度良く実現することができない。すなわち、上記何れの方法を採用しても、互いに閾値電圧の異なるM I Sトランジスタを精度良く且つ高性能に実現することができない。

[0016] 前記に鑑み、本発明の目的は、互いに導電型の同じM I Sトランジスタを備えた半導体装置において、互いに閾値電圧の異なるM I Sトランジスタを精度良く且つ高性能に実現することである。

課題を解決するための手段

[0017] 前記の目的を達成するために、本発明に係る第1の半導体装置は、第1のM I Sトランジスタと、第1のM I Sトランジスタよりも高い閾値電圧を有する第2のM I Sトランジスタとを備えた半導体装置であって、第1のM I

Sトランジスタは、半導体基板における第1の活性領域に形成された第1のチャネル領域と、第1の活性領域における第1のチャネル領域上に形成された高誘電率絶縁膜からなる第1のゲート絶縁膜と、第1のゲート絶縁膜上に接して設けられた第1の導電部と、第1の導電部上に形成された第2の導電部とを有する第1のゲート電極とを備え、第2のMISトランジスタは、半導体基板における第2の活性領域に形成され、第1のチャネル領域と同じ導電型を有する第2のチャネル領域と、第2の活性領域における第2のチャネル領域上に形成された高誘電率絶縁膜からなる第2のゲート絶縁膜と、第2のゲート絶縁膜上に接して設けられた第3の導電部と、第3の導電部上に形成された第4の導電部とを有する第2のゲート電極とを備え、第3の導電部は、第1の導電部よりも薄い膜厚で、且つ、第1の導電部と同じ組成材料からなることを特徴とする。

[0018] 本発明に係る第1の半導体装置によると、その上に第4の導電部が形成された第3の導電部の膜厚を、その上に第2の導電部が形成された第1の導電部の膜厚よりも薄くすることにより、第3の導電部と第4の導電部とからなる第2のゲート電極を有する第2のMISトランジスタの閾値電圧が、第1の導電部と第2の導電部とからなる第1のゲート電極を有する第1のMISトランジスタの閾値電圧よりも高く制御されている。

[0019] そのため、従来のように第2のチャネル領域の不純物濃度を、第1のチャネル領域の不純物濃度よりも十分に高くする必要がなく、第2のチャネル領域の不純物濃度を、第1のチャネル領域の不純物濃度と同じにすることができる（又は第1のチャネル領域の不純物濃度よりも若干高くするだけでよい）。そのため、半導体装置の動作時に、キャリアが第2のチャネル領域に含まれる導電型不純物と衝突して散乱することを抑制することができるため、第2のMISトランジスタにおいて、リーク電流の低減化、及び、高駆動力化を図ることができる。

[0020] また、第1、第2のMISトランジスタの閾値電圧を制御する方法として、従来のようにMISトランジスタを構成するゲート絶縁膜のHf濃度を調

整する方法ではなく、第1、第2のMISトランジスタを構成する第1、第2のゲート絶縁膜上に接して設けられた第1、第3の導電部の膜厚を調整する方法が採用されているため、第1、第2のMISトランジスタの閾値電圧を容易に且つ高精度に制御することができる。

[0021] 従って、互いに導電型の同じ第1、第2のMISトランジスタを備えた半導体装置において、互いに閾値電圧の異なる第1、第2のMISトランジスタを高性能化することができる。

[0022] 本発明に係る第1の半導体装置において、第1の導電部及び第3の導電部は、金属又は金属化合物からなり、第2の導電部及び第4の導電部は、シリコンからなることが好ましい。

[0023] 本発明に係る第1の半導体装置において、第2のゲート絶縁膜及び第2のゲート電極を有する第2のMISトランジスタは、第1のゲート絶縁膜及び第1のゲート電極を有する第1のMISトランジスタに比べてシリコンのミッドギャップ仕事関数に近い実効仕事関数を有していることが好ましい。

[0024] 本発明に係る第1の半導体装置において、第1のMISトランジスタ及び第2のMISトランジスタは、P型MISトランジスタであり、第1の導電部及び第3の導電部は、4.7 eV以上で5.15 eV以下の仕事関数を有していることが好ましい。

[0025] 本発明に係る第1の半導体装置において、第1のMISトランジスタ及び第2のMISトランジスタは、P型MISトランジスタであり、第1の導電部及び第3の導電部は、窒化チタン膜、窒化タンタル膜又は炭化タンタル膜であることが好ましい。

[0026] 本発明に係る第1の半導体装置において、第1のMISトランジスタ及び第2のMISトランジスタは、P型MISトランジスタであり、第1の導電部及び第3の導電部は、窒化チタン膜からなり、第1の導電部の膜厚は、20 nm以上であり、第3の導電部の膜厚は、15 nm以下であることが好ましい。

[0027] 本発明に係る第1の半導体装置において、第1のMISトランジスタ及び

第2のM I S トランジスタは、N型M I S トランジスタであり、第1の導電部及び第3の導電部は、 4.05 eV 以上で 4.5 eV 以下の仕事関数を有していることが好ましい。

[0028] 本発明に係る第1の半導体装置において、第2のチャネル領域は、第1のチャネル領域と同じ不純物濃度を有していることが好ましい。

[0029] 本発明に係る第1の半導体装置において、第2のゲート絶縁膜は、第1のゲート絶縁膜と同じ膜厚を有し、第4の導電部は、第2の導電部と同じ膜厚を有していることが好ましい。

[0030] 本発明に係る第1の半導体装置において、第1のゲート電極の膜厚は、第2のゲート電極の膜厚に比べて厚いことが好ましい。

[0031] 前記の目的を達成するために、本発明に係る第2の半導体装置は、第1のM I S トランジスタと、第1のM I S トランジスタよりも高い閾値電圧を有する第2のM I S トランジスタとを備えた半導体装置であって、第1のM I S トランジスタは、半導体基板における第1の活性領域に形成された第1のチャネル領域と、第1の活性領域における第1のチャネル領域上に形成された高誘電率絶縁膜からなる第1のゲート絶縁膜と、第1のゲート絶縁膜上に接して設けられた第1の導電部を有する第1のゲート電極とを備え、第2のM I S トランジスタは、半導体基板における第2の活性領域に形成され、第1のチャネル領域と同じ導電型を有する第2のチャネル領域と、第2の活性領域における第2のチャネル領域上に形成された高誘電率絶縁膜からなる第2のゲート絶縁膜と、第2のゲート絶縁膜上に接して設けられた第2の導電部を有する第2のゲート電極とを備え、第2の導電部は、第1の導電部と異なる組成材料からなることを特徴とする。

[0032] 本発明に係る第2の半導体装置によると、第1の導電部と第2の導電部とが互いに組成の異なる材料からなることにより、第2の導電部を有する第2のゲート電極を備えた第2のM I S トランジスタの閾値電圧が、第1の導電部を有する第1のゲート電極を備えた第1のM I S トランジスタの閾値電圧よりも高く制御されている。

- [0033] そのため、従来のように第2のチャネル領域の不純物濃度を、第1のチャネル領域の不純物濃度よりも充分に高くする必要がなく、第2のチャネル領域の不純物濃度を、第1のチャネル領域の不純物濃度と同じにすることができる（又は第1のチャネル領域の不純物濃度よりも若干高くするだけでよい）。そのため、半導体装置の動作時に、キャリアが第2のチャネル領域に含まれる導電型不純物と衝突して散乱することを抑制することができるため、第2のMISトランジスタにおいて、リーク電流の低減化、及び、高駆動力化を図ることができる。
- [0034] また、第1、第2のMISトランジスタの閾値電圧を制御する方法として、従来のようにMISトランジスタを構成するゲート絶縁膜のHf濃度を調整する方法ではなく、第1、第2のMISトランジスタを構成する第1、第2のゲート絶縁膜上に接して設けられた第1、第2の導電部の導電材料を調整する方法が採用されているため、第1、第2のMISトランジスタの閾値電圧を容易に且つ高精度に制御することができる。
- [0035] 従って、互いに導電型の同じ第1、第2のMISトランジスタを備えた半導体装置において、互いに閾値電圧の異なる第1、第2のMISトランジスタを高性能化することができる。
- [0036] 本発明に係る第2の半導体装置において、第2の導電部は、第1の導電部に比べてシリコンのミッドギャップ仕事関数に近い仕事関数を有していることが好ましい。
- [0037] 本発明に係る第2の半導体装置において、第1のゲート電極は、第1の導電部のみからなり、第2のゲート電極は、第2の導電部のみからなることが好ましい。
- [0038] 本発明に係る第2の半導体装置において、第1のゲート電極は、第1の導電部上に形成された第3の導電部を有し、第2のゲート電極は、第2の導電部上に形成された第4の導電部を有していることが好ましい。
- [0039] 本発明に係る第2の半導体装置において、第1のゲート電極は、第1の導電部と第3の導電部との間に、第2の導電部と同じ導電材料からなる第5の

導電部を有していることが好ましい。

[0040] 本発明に係る第2の半導体装置において、第2のゲート電極は、第2の導電部と第4の導電部との間に、第1の導電部と同じ導電材料からなる第5の導電部を有していることが好ましい。

[0041] 本発明に係る第2の半導体装置において、第3の導電部及び第4の導電部は、シリコンからなることが好ましい。

[0042] 本発明に係る第2の半導体装置において、第1の導電部は、第1の金属又は第1の金属化合物からなり、第2の導電部は、第2の金属又は第2の金属化合物からなることが好ましい。

[0043] 本発明に係る第2の半導体装置において、第1のMISトランジスタ及び第2のMISトランジスタは、P型MISトランジスタであり、第1の導電部は、窒化チタン膜であり、第2の導電部は、窒化モリブデン膜又は窒化タンタル膜であることが好ましい。

[0044] 本発明に係る第2の半導体装置において、第2のチャネル領域は、第1のチャネル領域と同じ不純物濃度を有していることが好ましい。

[0045] 前記の目的を達成するために、本発明に係る第1の半導体装置の製造方法は、第1のゲート電極を有する第1のMISトランジスタと、第1のMISトランジスタよりも高い閾値電圧を持つ第2のゲート電極を有する第2のMISトランジスタとを備えた半導体装置の製造方法であって、半導体基板に、素子分離領域によって囲まれた第1の活性領域及び第2の活性領域を形成する工程（a）と、第1の活性領域に第1のチャネル領域を形成すると共に、第2の活性領域に第1のチャネル領域と同じ導電型を有する第2のチャネル領域を形成する工程（b）と、工程（b）の後に、第1の活性領域及び第2の活性領域の上に高誘電率絶縁膜を形成する工程（c）と、工程（c）の後に、第1の活性領域上に高誘電率絶縁膜からなる第1のゲート絶縁膜を形成し、且つ、第1のゲート絶縁膜上に接して設けられた第1の導電部と第1の導電部上に設けられた第2の導電部とを有する第1のゲート電極を形成する共に、第2の活性領域上に高誘電率絶縁膜からなる第2のゲート絶縁膜を

形成し、且つ、第2のゲート絶縁膜上に接して設けられた第3の導電部と第3の導電部上に設けられた第4の導電部とを有する第2のゲート電極を形成する工程（d）とを備え、第3の導電部は、第1の導電部よりも薄い膜厚で、且つ、第1の導電部と同じ組成材料からなることを特徴とする。

[0046] 本発明に係る第1の半導体装置の製造方法によると、その上に第4の導電部が形成された第3の導電部の膜厚を、その上に第2の導電部が形成された第1の導電部の膜厚よりも薄くすることにより、第3の導電部と第4の導電部とからなる第2のゲート電極を有する第2のMISトランジスタの実効仕事関数を、第1の導電部と第2の導電部とからなる第1のゲート電極を有する第1のMISトランジスタの実効仕事関数よりもミッドギャップ寄りにシフトさせて、第2のMISトランジスタの実効仕事関数を、第1のMISトランジスタの実効仕事関数に比べて「シリコンのミッドギャップ仕事関数」に近い実効仕事関数にすることができる。

[0047] 本発明に係る第1の半導体装置の製造方法において、工程（d）は、第1の活性領域上の高誘電率絶縁膜に接する第1の金属膜を形成する工程（d1）と、工程（d1）の後に、第1の金属膜、及び第2の活性領域上の高誘電率絶縁膜に接する第2の金属膜を形成する工程（d2）と、（d2）の後に、第2の金属膜上にシリコン膜を形成する工程（d3）と、工程（d3）の後に、第1の活性領域上のシリコン膜、第2の金属膜、第1の金属膜、及び高誘電率絶縁膜をパターンニングして、高誘電率絶縁膜からなる第1のゲート絶縁膜、第1の金属膜及び第2の金属膜からなる第1の導電部、及びシリコン膜からなる第2の導電部を形成すると共に、第2の活性領域上のシリコン膜、第2の金属膜、及び高誘電率絶縁膜をパターンニングして、高誘電率絶縁膜からなる第2のゲート絶縁膜、第2の金属膜からなる第3の導電部、及びシリコン膜からなる第4の導電部を形成する工程（d4）とを含むことが好ましい。

[0048] 本発明に係る第1の半導体装置の製造方法において、工程（d）は、高誘電率絶縁膜に接する金属膜を形成する工程（d1）と、工程（d1）の後に

、第2の活性領域上の金属膜の上部をエッチングして、金属膜よりも膜厚の薄い金属薄膜部を形成する工程（d2）と、工程（d2）の後に、金属膜及び金属薄膜部の上にシリコン膜を形成する工程（d3）と、工程（d3）の後に、第1の活性領域上のシリコン膜、金属膜、及び高誘電率絶縁膜をパターンニングして、高誘電率絶縁膜からなる第1のゲート絶縁膜、金属膜からなる第1の導電部、及びシリコン膜からなる第2の導電部を形成すると共に、第2の活性領域上のシリコン膜、金属薄膜部、及び高誘電率絶縁膜をパターンニングして、高誘電率絶縁膜からなる第2のゲート絶縁膜、金属薄膜部からなる第3の導電部、及びシリコン膜からなる第4の導電部を形成する工程（d4）とを含むことが好ましい。

[0049] 前記の目的を達成するために、本発明に係る第2の半導体装置の製造方法は、第1のゲート電極を有する第1のMISトランジスタと、第1のMISトランジスタよりも高い閾値電圧を持つ第2のゲート電極を有する第2のMISトランジスタとを備えた半導体装置の製造方法であって、半導体基板に、素子分離領域によって囲まれた第1の活性領域及び第2の活性領域を形成する工程（a）と、第1の活性領域に第1のチャネル領域を形成すると共に、第2の活性領域に第1のチャネル領域と同じ導電型を有する第2のチャネル領域を形成する工程（b）と、工程（b）の後に、第1の活性領域及び第2の活性領域の上に高誘電率絶縁膜を形成する工程（c）と、工程（c）の後に、第1の活性領域上に高誘電率絶縁膜からなる第1のゲート絶縁膜を形成し、且つ、第1のゲート絶縁膜上に接して設けられた第1の導電部を有する第1のゲート電極を形成する共に、第2の活性領域上に高誘電率絶縁膜からなる第2のゲート絶縁膜を形成し、且つ、第2のゲート絶縁膜上に接して設けられた第2の導電部を有する第2のゲート電極を形成する工程（d）とを備え、第2の導電部は、第1の導電部と異なる組成材料からなることを特徴とする。

[0050] 本発明に係る第2の半導体装置の製造方法によると、第1の導電部と第2の導電部とが互いに組成の異なる材料からなることにより、第2の導電部の

仕事関数を、第1の導電部の仕事関数に比べて「シリコンのミッドギャップ仕事関数」に近い仕事関数にして、第2の導電部を有する第2のゲート電極を備えた第2のMISトランジスタの実効仕事関数を、第1の導電部を有する第1のゲート電極を備えた第1のMISトランジスタの実効仕事関数に比べて「シリコンのミッドギャップ仕事関数」に近い実効仕事関数にすることができる。

[0051] 本発明に係る第2の半導体装置の製造方法において、工程(d)は、第1の活性領域上の高誘電率絶縁膜に接する第1の金属膜を形成する工程(d1)と、第2の活性領域上の高誘電率絶縁膜に接する第2の金属膜を形成する工程(d2)と、工程(d1)及び工程(d2)の後に、第1の活性領域上の第1の金属膜、及び高誘電率絶縁膜をパターンニングして、高誘電率絶縁膜からなる第1のゲート絶縁膜、及び第1の金属膜からなる第1の導電部を形成すると共に、第2の活性領域上の第2の金属膜、及び高誘電率絶縁膜をパターンニングして、高誘電率絶縁膜からなる第2のゲート絶縁膜、及び第2の金属膜からなる第2の導電部を形成する工程(d3)とを含むことが好ましい。

[0052] 本発明に係る第2の半導体装置の製造方法において、工程(d)は、第1の活性領域上の高誘電率絶縁膜に接する第1の金属膜を形成する工程(d1)と、第2の活性領域上の高誘電率絶縁膜に接する第2の金属膜を形成する工程(d2)と、工程(d1)及び工程(d2)の後に、第1の金属膜及び第2の金属膜の上にシリコン膜を形成する工程(d3)と、工程(d3)の後に、第1の活性領域上のシリコン膜、第1の金属膜、及び高誘電率絶縁膜をパターンニングして、高誘電率絶縁膜からなる第1のゲート絶縁膜、第1の金属膜からなる第1の導電部、及びシリコン膜からなる第3の導電部を形成すると共に、第2の活性領域上のシリコン膜、第2の金属膜、及び高誘電率絶縁膜をパターンニングして、高誘電率絶縁膜からなる第2のゲート絶縁膜、第2の金属膜からなる第2の導電部、及びシリコン膜からなる第4の導電部を形成する工程(d4)とを含むことが好ましい。

[0053] 本発明に係る第2の半導体装置の製造方法において、工程(d)は、第1の活性領域上の高誘電率絶縁膜に接する第1の金属膜を形成する工程(d1)と、工程(d1)の後に、第1の金属膜、及び第2の活性領域上の高誘電率絶縁膜に接する第2の金属膜を形成する工程(d2)と、工程(d2)の後に、第2の金属膜上にシリコン膜を形成する工程(d3)と、工程(d3)の後に、第1の活性領域上のシリコン膜、第2の金属膜、第1の金属膜、及び高誘電率絶縁膜をパターンニングして、高誘電率絶縁膜からなる第1のゲート絶縁膜、第1の金属膜からなる第1の導電部、第2の金属膜からなる第5の導電部、及びシリコン膜からなる第3の導電部を形成すると共に、第2の活性領域上のシリコン膜、第2の金属膜、及び高誘電率絶縁膜をパターンニングして、高誘電率絶縁膜からなる第2のゲート絶縁膜、第2の金属膜からなる第2の導電部、及びシリコン膜からなる第4の導電部を形成する工程(d4)とを含むことが好ましい。

発明の効果

[0054] 本発明に係る半導体装置及びその製造方法によると、第1、第2のMISトランジスタを構成する第1、第2のゲート絶縁膜上に接して設けられた導電部の膜厚（又は導電部の導電材料）を調整することにより、第2のMISトランジスタの実効仕事関数が、第1のMISトランジスタの実効仕事関数よりも高く制御されている。そのため、互いに導電型の同じ第1、第2のMISトランジスタを備えた半導体装置において、互いに閾値電圧の異なる第1、第2のMISトランジスタを精度良く且つ高性能に実現することができる。

図面の簡単な説明

[0055] [図1]図1(a)～(d)は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す要部工程断面図である。

[図2]図2(a)～(d)は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す要部工程断面図である。

[図3]図3(a)～(d)は、本発明の第2の実施形態に係る半導体装置の製造方

法を工程順に示す要部工程断面図である。

[図4]図4(a)～(d)は、本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す要部工程断面図である。

[図5]図5(a)～(d)は、本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す要部工程断面図である。

[図6]図6は、P型MISトランジスタの実効仕事関数とTiN膜の膜厚との関係を示す図である。

[図7]図7(a)～(d)は、本発明の第4の実施形態に係る半導体装置の製造方法を工程順に示す要部工程断面図である。

[図8]図8(a)～(d)は、本発明の第4の実施形態に係る半導体装置の製造方法を工程順に示す要部工程断面図である。

[図9]図9(a)～(d)は、本発明の第4の実施形態の変形例に係る半導体装置の製造方法を工程順に示す要部工程断面図である。

[図10]図10(a)～(d)は、従来の半導体装置の製造方法を工程順に示す要部工程断面図である。

符号の説明

- [0056]
- 1 半導体基板
 - 1 a 第1の活性領域
 - 1 b 第2の活性領域
 - 2 素子分離領域
 - 3 a, 3 b n型チャネル領域
 - 4 高誘電率絶縁膜
 - 4 a 第1のゲート絶縁膜
 - 4 b 第2のゲート絶縁膜
 - 5 第1の金属膜
 - 5 a 第1の導電部
 - 6 第2の金属膜
 - 6 b 第2の導電部

7 a, 7 b 浅いp型ソースドレイン領域
8 a, 8 b サイドウォール
9 a, 9 b 深いp型ソースドレイン領域
10 a 1, 10 b 1 シリサイド膜
20 A 第1のゲート電極
20 B 第2のゲート電極
11 シリコン膜
11 a 第3の導電部
11 b 第4の導電部
10 a 2, 10 b 2 シリサイド膜
6 a 第5の導電部
12, 12 A 第1の金属膜
12 X, 12 X A, 12 X B 第2の金属膜
12 a 第1の導電部
12 b 第3の導電部
13 シリコン膜
13 a 第2の導電部
13 b 第4の導電部
14 金属膜
14 Y 金属薄膜部
14 a 第1の導電部
14 b 第3の導電部
15 レジストパターン

発明を実施するための最良の形態

[0057] 以下に、本発明の各実施形態について図面を参照しながら説明する。

[0058] ここで、本明細書中に登場する1)シリコンのミッドギャップ仕事関数、2)バンドエッジ、3)ミッドギャップ寄り、バンドエッジ寄り、4)仕事関数、5)実効仕事関数という文言の定義はそれぞれ、以下に記載の通りで

ある。

- [0059] 1) 「シリコンのミッドギャップ仕事関数」という文言は、シリコンのバンドギャップエネルギーの中間値を意味する。例えば、負電荷がドーピングされたシリコン (N型シリコン) の仕事関数 (約 4.05 eV) と正電荷がドーピングされたシリコン (P型シリコン) の仕事関数 (約 5.15 eV) との中間値である、 4.6 eV 程度を意味する。
- [0060] 2) 「バンドエッジ」という文言は、シリコンのバンドギャップエネルギーの端値を意味する。例えば、N型MISトランジスタの場合には負電荷がドーピングされたシリコン (N型シリコン) の仕事関数である約 4.05 eV を意味し、P型MISトランジスタの場合には正電荷がドーピングされたシリコン (P型シリコン) の仕事関数である約 5.15 eV を意味する。
- [0061] 3) 「ミッドギャップ寄り」と「バンドエッジ寄り」という文言は、N型MISトランジスタの場合、例えば 4.3 eV の第1の仕事関数 (又は実効仕事関数) と 4.5 eV の第2の仕事関数 (又は実効仕事関数) とを比較すると、第1の仕事関数 (又は実効仕事関数) が「バンドエッジ寄り」で第2の仕事関数 (又は実効仕事関数) が「ミッドギャップ寄り」であることを意味する。一方、P型MISトランジスタの場合、例えば 4.7 eV の第1の仕事関数 (又は実効仕事関数) と 4.9 eV の第2の仕事関数 (又は実効仕事関数) とを比較すると、第1の仕事関数 (又は実効仕事関数) が「ミッドギャップ寄り」で第2の仕事関数 (又は実効仕事関数) が「バンドエッジ寄り」であることを意味する。
- [0062] すなわち、互いに異なる仕事関数 (又は実効仕事関数) のうち、シリコンのミッドギャップ仕事関数 (すなわち、上記1) に示すように 4.6 eV 程度) に近い仕事関数 (又は実効仕事関数) が「ミッドギャップ寄り」であり、バンドエッジ (すなわち、上記2) に示すようにN型MISトランジスタ: 約 4.05 eV , P型MISトランジスタ: 約 5.15 eV) に近い仕事関数 (又は実効仕事関数) が「バンドエッジ寄り」であることを意味する。
- [0063] 4) 「仕事関数」という文言は、真空準位と金属 (又は金属化合物) のエ

エネルギー準位との差を示す物性値を意味する。

[0064] 5) 「実効仕事関数」という文言は、M I S トランジスタの閾値電圧を決めるのに実効的に作用する仕事関数を意味する。M I S トランジスタの「実効仕事関数」は、M I S トランジスタ内での様々な要因により、M I S トランジスタを構成する金属（又は金属化合物）の物性的な仕事関数とは異なる。

[0065] (第1の実施形態)

以下に、本発明の第1の実施形態に係る半導体装置の製造方法について、互いに閾値電圧の異なるM I S トランジスタとしてP型M I S トランジスタを適用した場合を具体例に挙げて、図1(a)～(d)及び図2(a)～(d)を参照しながら説明する。図1(a)～(d)及び図2(a)～(d)は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す要部工程断面図である。なお、本実施形態において、L v t 領域は相対的に閾値電圧の低いP型M I S トランジスタ（以下、「低閾値トランジスタ」と称する）が形成される領域であり、H v t 領域は相対的に閾値電圧の高いP型M I S トランジスタ（以下、「高閾値トランジスタ」と称する）が形成される領域である。

[0066] まず、図1(a)に示すように、例えば埋め込み素子分離（Shallow Trench Isolation: S T I）法により、例えばシリコン領域等の半導体領域を有する一導電型の基板（以下、「半導体基板」と称する）1の上部に、トレンチ内に絶縁膜が埋め込まれた素子分離領域2を選択的に形成する。これにより、半導体基板1における素子分離領域2に囲まれた領域のうち、L v t 領域に位置する領域が第1の活性領域1 aとなる一方、H v t 領域に位置する領域が第2の活性領域1 bとなる。その後、図示は省略しているが、半導体基板1に対してn型不純物をイオン注入することにより、n型ウェル及びn型パンチスルーストップパを形成する。ここで例えば、n型ウェルの注入条件は、注入イオン種がP（リン）、注入エネルギーが400keV、注入ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ であり、n型パンチスルーストップパの注入条件は、注入イオン種がP（リン）、注入エネルギーが200keV、注入ドーズ量が

$1 \times 10^{13} \text{ cm}^{-2}$ である。その後、半導体基板 1 に対して n 型不純物をイオン注入することにより、第 1 の活性領域 1 a における上部に n 型チャネル領域 3 a を形成すると共に、第 2 の活性領域 1 b における上部に n 型チャネル領域 3 b を形成する。ここで例えば、n 型チャネル領域 3 a, 3 b の注入条件は、注入イオン種が As (ヒ素)、注入エネルギーが 100 keV、注入ドーズ量が $2 \times 10^{12} \text{ cm}^{-2}$ であり、n 型チャネル領域 3 a と n 型チャネル領域 3 b とは、実質的に同一の不純物濃度プロファイルで形成される。

[0067] その後、図 1 (a) に示すように、半導体基板 1 上に例えば膜厚 0.5 nm のシリコン酸化膜からなるバッファ絶縁膜 (図示省略) を形成した後、当該バッファ絶縁膜上に、例えば膜厚 4 nm の HfSiON 膜 (酸化膜換算膜厚は 1 nm) からなる絶縁膜 (以下、「高誘電率絶縁膜」と称する) 4 を形成する。このように、半導体基板 1 と高誘電率絶縁膜 4 との間にはバッファ絶縁膜が形成され、以降の説明において登場する「高誘電率絶縁膜 4」とは、その下面にバッファ絶縁膜が形成された膜をいう。

[0068] その後、例えば CVD 法により、高誘電率絶縁膜 4 上に例えば膜厚 100 nm の窒化チタン膜 (TiN 膜) からなる第 1 の金属膜 (ここで「金属膜」とは金属又は金属化合物からなる膜をいう) 5 を堆積する。この第 1 の金属膜 5 としては、4.70 eV 以上で 5.15 eV 以下の仕事関数 (例えば、4.9 eV) を有し、且つ、後述の第 2 の金属膜 (図 1 (c) : 6 参照) の仕事関数よりもバンドエッジ寄りの仕事関数を有する金属又は金属化合物からなる膜が望ましい。

[0069] 次に、図 1 (b) に示すように、第 1 の金属膜 5 上に、Lv t 領域を覆い Hv t 領域を開口するレジストパターン (図示省略) を形成した後、当該レジストパターンをマスクにして、Hv t 領域の第 1 の金属膜 5 に対してエッチングを行い、第 2 の活性領域 1 b 上の第 1 の金属膜 5 を除去し、その後、前記レジストパターンを除去する。これにより、第 1 の活性領域 1 a 上に第 1 の金属膜 5 を選択的に残存させることができる。このようにして、第 1 の活性領域 1 a 上の高誘電率絶縁膜 4 に接する第 1 の金属膜 5 を形成する。

[0070] 次に、図 1 (c) に示すように、例えば CVD 法により、半導体基板 1 上の全面に例えば膜厚 100 nm の窒化モリブデン膜 (MoN 膜) からなる第 2 の金属膜 6 を堆積する。この第 2 の金属膜 6 としては、4.6 eV 以上で 5.05 eV 以下の仕事関数 (例えば、4.7 eV) を有し、且つ、第 1 の金属膜 5 の仕事関数よりもミッドギャップ寄りの仕事関数を有する金属又は金属化合物からなる膜が望ましい。例えば MoN 膜の代わりに、窒化タンタル膜 (TaN 膜) を用いてもよい。

[0071] 次に、図 1 (d) に示すように、例えば化学機械研磨 (Chemical Mechanical Polishing: CMP) 法により、第 1 の金属膜 5 の上面が露出するまで第 2 の金属膜 6 を研磨除去し、第 2 の金属膜 6 のうち第 1 の金属膜 5 の上面よりも上側に位置する領域を除去する。これにより、第 2 の活性領域 1 b 上に第 2 の金属膜 6 が残存する。そして、第 2 の金属膜 6 の上面は、その高さが第 1 の金属膜 5 の上面高さと同じになるように平坦化される。言い換えれば、第 1 の金属膜 5 と第 2 の金属膜 6 とは実質的に同一の膜厚で形成される。このようにして、第 2 の活性領域 1 b 上の高誘電率絶縁膜 4 に接する第 2 の金属膜 6 を形成する。

[0072] 次に、図 2 (a) に示すように、例えばフォトリソグラフィ法により、第 1 の金属膜 5 及び第 2 の金属膜 6 上に、ゲートパターン形状を有するレジストパターン (図示省略) を形成する。その後、当該レジストパターンをマスクにして、ドライエッチングにより、Lvt 領域の第 1 の金属膜 5 及び高誘電率絶縁膜 4 を順次パターニングして、第 1 の活性領域 1 a 上に、高誘電率絶縁膜 4 からなる第 1 のゲート絶縁膜 4 a、及び第 1 の金属膜 5 からなる第 1 の導電部 5 a を順次形成する。それと共に、Hvt 領域の第 2 の金属膜 6 及び高誘電率絶縁膜 4 を順次パターニングして、第 2 の活性領域 1 b 上に、高誘電率絶縁膜 4 からなる第 2 のゲート絶縁膜 4 b、及び第 2 の金属膜 6 からなる第 2 の導電部 6 b を順次形成する。

[0073] このようにして、第 1 の活性領域 1 a 上に、第 1 のゲート絶縁膜 4 a、及び第 1 のゲート絶縁膜 4 a 上に接して設けられた第 1 の導電部 5 a を有する

第1のゲート電極20Aを順次形成すると共に、第2の活性領域1b上に、第2のゲート絶縁膜4b、及び第2のゲート絶縁膜4b上に接して設けられた第2の導電部6bを有する第2のゲート電極20Bを順次形成する。

[0074] その後、図2(a)に示すように、第1の活性領域1aに第1のゲート電極20Aをマスクにしてp型不純物をイオン注入すると共に、第2の活性領域1bに第2のゲート電極20Bをマスクにしてp型不純物をイオン注入することにより、第1の活性領域1aにおける第1のゲート電極20Aの側方下に接合深さが比較的浅いp型ソースドレイン領域(LDD領域又はエクステンション領域)7aを自己整合的に形成すると共に、第2の活性領域1bにおける第2のゲート電極20Bの側方下に接合深さが比較的浅いp型ソースドレイン領域(LDD領域又はエクステンション領域)7bを自己整合的に形成する。ここで例えば、浅いp型ソースドレイン領域7a、7bの注入条件は、注入イオン種がB(ボロン)、注入エネルギーが0.5keV、注入ドーズ量が $5 \times 10^{14} \text{ cm}^{-2}$ である。

[0075] 次に、図2(b)に示すように、例えばCVD(Chemical Vapor Deposition)法により、半導体基板1上の全面に、例えば膜厚50nmのシリコン酸化膜からなる絶縁膜を堆積した後、絶縁膜に対して異方性エッチングを行う。これにより、第1のゲート電極20Aの側面上にサイドウォール8aを形成すると共に、第2のゲート電極20Bの側面上にサイドウォール8bを形成する。

[0076] 次に、図2(c)に示すように、第1の活性領域1aに第1のゲート電極20A及びサイドウォール8aをマスクにしてp型不純物をイオン注入すると共に、第2の活性領域1bに第2のゲート電極20B及びサイドウォール8bをマスクにしてp型不純物をイオン注入する。その後、例えば1050℃の下、半導体基板1に対してスパイクRTA(Rapid Thermal Annealing)処理を行い、第1の活性領域1aにおけるサイドウォール8aの外側方下に、浅いp型ソースドレイン領域7aの接合深さよりも深い接合深さを有し、接合深さの比較的深いp型ソースドレイン領域9aを自己整合的に形成す

ると共に、第2の活性領域1bにおけるサイドウォール8bの外側方下に、浅いp型ソースドレイン領域7bの接合深さよりも深い接合深さを有し、接合深さの比較的深いp型ソースドレイン領域9bを自己整合的に形成する。ここで例えば、深いp型ソースドレイン領域9a, 9bの注入条件は、注入イオン種がB（ボロン）、注入エネルギーが2.0keV、注入ドーズ量が $3 \times 10^{15} \text{ cm}^{-2}$ である。

[0077] 次に、図2(d)に示すように、スパッタリング法により、半導体基板1上の全面に、例えば膜厚10nmのニッケル膜（Ni膜）からなるシリサイド用金属膜（図示省略）を堆積する。その後、例えば窒素雰囲気中、320℃の下、半導体基板1に対して1回目のRTA処理を行い、深いp型ソースドレイン領域9a, 9bの各シリコンと、シリサイド用金属膜のニッケルとを反応させる。その後、硫酸と過酸化水素水との混合液からなるエッチング液中に半導体基板1を浸漬することにより、素子分離領域2、第1のゲート電極20Aにおける第1の導電部5a、第2のゲート電極20Bにおける第2の導電部6b、及びサイドウォール8a, 8b等の上に残存する未反応のシリサイド用金属膜を除去する。その後、1回目のRTA処理での温度よりも高い温度（例えば550℃）の下、半導体基板1に対して2回目のRTA処理を行う。これにより、Lv領域の深いp型ソースドレイン領域9aの上部にニッケルシリサイド膜（NiSi膜）からなるシリサイド膜10a1を形成すると共に、Hv領域の深いp型ソースドレイン領域9bの上部にニッケルシリサイド膜（NiSi膜）からなるシリサイド膜10b1を形成する。

[0078] 以上のようにして、本実施形態に係る半導体装置、すなわち、バンドエッジ寄りの仕事関数を有する第1の導電部5aからなる第1のゲート電極20Aを有する低閾値トランジスタLT_rと、第1の導電部5aと異なる組成で、ミッドギャップ寄りの仕事関数を有する第2の導電部6bからなる第2のゲート電極20Bを有する高閾値トランジスタHT_rとを備えた半導体装置を製造することができる。

[0079] 以下に、本発明の第 1 の実施形態に係る半導体装置の構造について、図 2 (d) を参照しながら説明する。

[0080] 半導体基板 1 上の上部には、第 1 の活性領域 1 a と第 2 の活性領域 1 b とを区画するように、トレンチ内に絶縁膜が埋め込まれた素子分離領域 2 が形成されている。そして、半導体装置は、第 1 の活性領域 1 a に設けられた低閾値トランジスタ L T r と、第 2 の活性領域 1 b に設けられた高閾値トランジスタ H T r とを備えている。

[0081] 低閾値トランジスタ L T r は、第 1 の活性領域 1 a に形成された n 型チャネル領域 3 a と、n 型チャネル領域 3 a 上に形成された高誘電率絶縁膜からなる第 1 のゲート絶縁膜 4 a と、第 1 のゲート絶縁膜 4 a 上に接して設けられた第 1 の導電部 5 a からなる第 1 のゲート電極 2 0 A と、第 1 のゲート電極 2 0 A の側面上に形成されたサイドウォール 8 a と、第 1 の活性領域 1 a における第 1 のゲート電極 2 0 A の側方下に形成された浅い p 型ソースドレイン領域 7 a と、第 1 の活性領域 1 a におけるサイドウォール 8 a の外側方下に形成された深い p 型ソースドレイン領域 9 a と、深い p 型ソースドレイン領域 9 a の上部に形成されたシリサイド膜 1 0 a 1 とを有している。

[0082] 一方、高閾値トランジスタ H T r は、第 2 の活性領域 1 b に形成された n 型チャネル領域 3 b と、n 型チャネル領域 3 b 上に形成された高誘電率絶縁膜からなる第 2 のゲート絶縁膜 4 b と、第 2 のゲート絶縁膜 4 b 上に接して設けられた第 2 の導電部 6 b からなる第 2 のゲート電極 2 0 B と、第 2 のゲート電極 2 0 B の側面上に形成されたサイドウォール 8 b と、第 2 の活性領域 1 b における第 2 のゲート電極 2 0 B の側方下に形成された浅い p 型ソースドレイン領域 7 b と、第 2 の活性領域 1 b におけるサイドウォール 8 b の外側方下に形成された深い p 型ソースドレイン領域 9 b と、深い p 型ソースドレイン領域 9 b の上部に形成されたシリサイド膜 1 0 b 1 とを有している。

[0083] ここで、本実施形態の構造上の特徴点は、以下に示す点である。

[0084] 低閾値トランジスタ L T r の第 1 のゲート電極 2 0 A を構成する第 1 の導

電部 5 a は、T i N 膜からなり、バンドエッジ寄りの仕事関数（例えば、4.9 e V）を有している。一方、高閾値トランジスタ H T r の第 2 のゲート電極 2 0 B を構成する第 2 の導電部 6 b は、M o N 膜からなり、ミッドギャップ寄りの仕事関数（例えば、4.7 e V）を有している。このように第 1 の導電部 5 a と第 2 の導電部 6 b とは、互いに組成の異なる金属膜からなる。そして、第 1 の導電部 5 a は、第 2 の導電部 6 b に比べて「バンドエッジ（約 5.15 e V、上記 2）参照）」に近い仕事関数を有している。言い換えれば、第 2 の導電部 6 b は、第 1 の導電部 5 a に比べて「シリコンのミッドギャップ仕事関数（4.6 e V 程度、上記 1）参照）」に近い仕事関数を有している。すなわち、第 2 の導電部 6 b は、第 1 の導電部 5 a に比べて低い仕事関数を有している。

[0085] 第 1 の導電部 5 a が接する第 1 のゲート絶縁膜 4 a と、第 2 の導電部 6 b が接する第 2 のゲート絶縁膜 4 b とは、互いに同一工程で、且つ、同一構造で形成されており、互いに同じ膜厚の高誘電率絶縁膜からなる。

[0086] L v t 領域の n 型チャネル領域 3 a と H v t 領域の n 型チャネル領域 3 b とは、互いに同一工程で、且つ、同一構造で形成されており、互いに同じ不純物濃度を有している。なお、本明細書中において登場する「同じ膜厚」及び「同じ不純物濃度」とは、互いに同一工程で形成した際に生じる製造上のバラツキは含むことを意味する。

[0087] また、浅い p 型ソースドレイン領域 7 a、7 b、深い p 型ソースドレイン領域 9 a、9 b、及びサイドウォール 8 a、8 b もそれぞれ、互いに同一工程で、且つ、同一構造で形成されている。但し、第 1、第 2 のゲート電極 2 0 A、2 0 B の高さに差異があると、第 1 のゲート電極 2 0 A の側面上に形成されるサイドウォール 8 a と、第 2 のゲート電極 2 0 B の側面上に形成されるサイドウォール 8 b とは、互いに異なる高さで形成される場合がある。

[0088] 本実施形態によると、第 1 の導電部 5 a と第 2 の導電部 6 b とが互いに組成の異なる金属膜からなることにより、第 2 の導電部 6 b の仕事関数を、第 1 の導電部 5 a の仕事関数に比べて「シリコンのミッドギャップ仕事関数」

に近い仕事関数にして、第2の導電部6bからなる第2のゲート電極20Bを有する高閾値トランジスタHT_rの実効仕事関数を、第1の導電部5aからなる第1のゲート電極20Aを有する低閾値トランジスタLT_rの実効仕事関数に比べて低くすることができる。すなわち、高閾値トランジスタHT_rの閾値電圧を、低閾値トランジスタLT_rの閾値電圧に比べて高くすることができる。

[0089] そのため、従来のようにH_vt領域のn型チャネル領域（図10(d)：103b参照）の不純物濃度を、L_vt領域のn型チャネル領域（図10(d)：103a参照）の不純物濃度よりも高くする必要がなく、n型チャネル領域3bの不純物濃度を、n型チャネル領域3aの不純物濃度と同じにすることができる。そのため、半導体装置の動作時に、キャリアがn型チャネル領域3bに含まれるn型不純物と衝突して散乱することを抑制することができるため、高閾値トランジスタHT_rにおいて、リーク電流の低減化、及び、高駆動力化を図ることができる。

[0090] また、低、高閾値トランジスタの閾値電圧を制御する方法として、従来のように低、高閾値トランジスタを構成するゲート絶縁膜のH_f濃度を調整する方法ではなく、低、高閾値トランジスタを構成するゲート絶縁膜上に接して設けられた導電部の導電材料を調整する方法を採用することにより、低、高閾値トランジスタの閾値電圧を容易に且つ高精度に制御することができる。

[0091] 従って、互いに導電型の同じMISトランジスタを備えた半導体装置において、互いに閾値電圧の異なるMISトランジスタを精度良く且つ高性能に実現することができる。

[0092] なお、本実施形態では、互いに仕事関数の異なる第1、第2の導電部5a、6bを構成する第1、第2の金属膜5、6として、互いに組成の異なる第1、第2の金属膜5、6（例えば第1の金属膜5：TiN膜、第2の金属膜6：MoN膜）を用いる場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、第1、第2の導電部を構成する第1、第

2の金属膜として、互いに組成が同じであっても、互いに形成方法の異なる第1、第2の金属膜を用いた場合、又は互いに組成と形成方法とが同じであっても、互いに形成温度の異なる第1、第2の金属膜を用いた場合においても、互いに仕事関数の異なる第1、第2の導電部を実現することができる。

[0093] また、本実施形態では、 $L_v t$ 領域のn型チャネル領域3aと $H_v t$ 領域のn型チャネル領域3bとを、図1(a)に示すように同一工程で形成し、互いに不純物濃度の同じn型チャネル領域3a、3bを形成する場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、互いに不純物濃度の若干異なるn型チャネル領域を形成してもよい。このように、互いに閾値電圧の異なる低、高閾値トランジスタ $L T r$ 、 $H T r$ を実現するために、互いに仕事関数の異なる第1、第2の導電部からなる第1、第2のゲート電極を利用するのに加えて、互いに不純物濃度の若干異なるn型チャネル領域を利用してもよい。

[0094] この場合、高閾値トランジスタ $H T r$ と低閾値トランジスタ $L T r$ との間に設ける閾値電圧差の大部分を、互いに仕事関数の異なる第1、第2の導電部によって制御する一方、その残りの部分を、互いに不純物濃度の若干異なるn型チャネル領域によって微調整するため、 $H_v t$ 領域のn型チャネル領域の不純物濃度を、 $L_v t$ 領域のn型チャネル領域の不純物濃度よりも若干高くするだけでよく、 $L_v t$ 領域のn型チャネル領域と $H_v t$ 領域のn型チャネル領域との間に非常に小さな不純物濃度差を設けるだけでよい。そのため、従来のように $L_v t$ 領域のn型チャネル領域（図10(d): 103a参照）と $H_v t$ 領域のn型チャネル領域（図10(d): 103b参照）との間に大きな不純物濃度差を設ける必要がなく、半導体装置の動作時に、キャリアが $H_v t$ 領域のn型チャネル領域に含まれるn型不純物との衝突により散乱することを抑制することができる。

[0095] また、本実施形態では、図1(b)に示すように、第1の活性領域1a上に第1の金属膜5を形成した後、図1(d)に示すように、第2の活性領域1b上に第2の金属膜6を形成する場合を具体例に挙げて説明したが、本発明は

これに限定されるものではない。例えば、第2の活性領域上に第2の金属膜を形成した後、第1の活性領域上に第1の金属膜を形成してもよい。

[0096] また、本実施形態では、図1(c)に示すように、半導体基板1上に第2の金属膜6を形成した後、図1(d)に示すように、CMP法により、第2の金属膜6を研磨除去し、その後、図2(a)に示すように、第1の金属膜5及び第2の金属膜6をパターニングして、第1の金属膜5からなる第1の導電部5aのみを有する第1のゲート電極20Aと、第2の金属膜6からなる第2の導電部6bのみを有する第2のゲート電極20Bとを形成する場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、図1(c)に示す工程と同様に、半導体基板上に第2の金属膜を形成した後、CMP法による第2の金属膜の研磨除去を行わずに、第1の金属膜及び第2の金属膜をパターニングして、第1の金属膜からなる導電部と、当該導電部上に形成された第2の金属膜からなる導電部とを有する第1のゲート電極と、第2の金属膜からなる導電部のみを有する第2のゲート電極とを形成してもよい。

[0097] (第2の実施形態)

以下に、本発明の第2の実施形態に係る半導体装置の製造方法について、互いに閾値電圧の異なるMISトランジスタとしてP型MISトランジスタを適用した場合を具体例に挙げて図3(a)～(d)及び図4(a)～(d)を参照しながら説明する。図3(a)～(d)及び図4(a)～(d)は、本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す要部工程断面図である。なお、図3(a)～図4(d)において、前述の第1の実施形態と同一の構成要素には、第1の実施形態における図1(a)～図2(d)に示す符号と同一の符号を付すことにより、重複する説明を省略する。また、本実施形態において、Lv領域は低閾値トランジスタが形成される領域であり、Hv領域は高閾値トランジスタが形成される領域である。

[0098] まず、第1の実施形態における図1(a)に示す工程と同様の工程を行い、図3(a)に示す構成を得る。但し、本実施形態では、第1の実施形態におけ

る膜厚100nmのTiN膜からなる第1の金属膜5の代わりに、図3(a)に示すように、膜厚20nmのTiN膜からなる第1の金属膜5を形成する。ここで、本実施形態における第1の金属膜5としては、その膜厚が20nm以上であることが望ましく、4.70eV以上で5.15eV以下の仕事関数（例えば、4.9eV）を有し、且つ、後述の第2の金属膜（図3(c): 6参照）の仕事関数よりもバンドエッジ寄りの仕事関数を有する金属又は金属化合物からなる膜が望ましい。

[0099] 次に、図3(b)に示すように、第1の金属膜5上に、Lv領域を覆いHv領域を開口するレジストパターン（図示省略）を形成した後、当該レジストパターンをマスクにして、Hv領域の第1の金属膜5に対してエッチングを行い、第2の活性領域1b上の第1の金属膜5を除去し、その後、前記レジストパターンを除去する。これにより、第1の活性領域1a上に第1の金属膜5を選択的に残存させることができる。このようにして、第1の活性領域1a上の高誘電率絶縁膜4に接する第1の金属膜5を形成する。

[0100] 次に、図3(c)に示すように、例えばCVD法により、半導体基板1上の全面に例えば膜厚20nmのMoN膜からなる第2の金属膜6を堆積する。このように、本実施形態では、第1の実施形態における図1(c)に示す工程と同様の工程を行う。但し、本実施形態におけるMoN膜からなる第2の金属膜6の膜厚（例えば20nm）は、第1の実施形態におけるMoN膜からなる第2の金属膜6の膜厚（例えば100nm）よりも薄い。ここで、本実施形態における第2の金属膜6としては、その膜厚が20nm以上であることが望ましく、4.6eV以上で5.05eV以下の仕事関数（例えば、4.7eV）を有し、且つ、第1の金属膜5の仕事関数よりもミッドギャップ寄りの仕事関数を有する金属又は金属化合物からなる膜が望ましい。例えばMoN膜の代わりに、TaN膜を用いてもよい。

[0101] 次に、図3(d)に示すように、第2の金属膜6上に、Lv領域を開口しHv領域を覆うレジストパターン（図示省略）を形成した後、当該レジストパターンをマスクにして、Lv領域の第2の金属膜6に対してドライエ

ッチングを行い、第1の金属膜5上の第2の金属膜6を除去し、その後、前記レジストパターンを除去する。これにより、第2の活性領域1b上に第2の金属膜6を選択的に残存させることができる。このようにして、第2の活性領域1b上の高誘電率絶縁膜4に接する第2の金属膜6を形成する。

[0102] その後、第1の金属膜5及び第2の金属膜6上に、例えば膜厚100nmのポリシリコン膜を形成した後、ポリシリコン膜に対してp型不純物をイオン注入することにより、p型ポリシリコン膜からなるシリコン膜11を形成する。ここで例えば、シリコン膜11の注入条件は、注入イオン種がB（ボロン）、注入エネルギーが3keV、注入ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ である。

[0103] 次に、図4(a)に示すように、例えばフォトリソグラフィ法により、シリコン膜11上に、ゲートパターン形状を有するレジストパターン（図示省略）を形成する。その後、当該レジストパターンをマスクにして、ドライエッチングにより、Lv領域のシリコン膜11、第1の金属膜5、及び高誘電率絶縁膜4を順次パターニングして、第1の活性領域1a上に、高誘電率絶縁膜4からなる第1のゲート絶縁膜4a、第1の金属膜5からなる第1の導電部5a、及びシリコン膜11からなる第3の導電部11aを順次形成する。それと共に、Hv領域のシリコン膜11、第2の金属膜6、及び高誘電率絶縁膜4を順次パターニングして、第2の活性領域1b上に、高誘電率絶縁膜4からなる第2のゲート絶縁膜4b、第2の金属膜6からなる第2の導電部6b、及びシリコン膜11からなる第4の導電部11bを順次形成する。

[0104] このようにして、第1の活性領域1a上に、第1のゲート絶縁膜4a、及び第1のゲート絶縁膜4a上に接して設けられた第1の導電部5aと、第1の導電部5a上に形成された第3の導電部11aとを有する第1のゲート電極20Aを順次形成すると共に、第2の活性領域1b上に、第2のゲート絶縁膜4b、及び第2のゲート絶縁膜4b上に接して設けられた第2の導電部6bと、第2の導電部6b上に形成された第4の導電部11bとを有する第

2のゲート電極20Bを順次形成する。

[0105] その後、第1の実施形態における図2(a)に示す工程での浅いp型ソースドレイン領域の形成方法と同様な方法を用いて、第1の活性領域1aにおける第1のゲート電極20Aの側方下に接合深さの比較的浅いp型ソースドレイン領域7aを自己整合的に形成すると共に、第2の活性領域1bにおける第2のゲート電極20Bの側方下に接合深さの比較的浅いp型ソースドレイン領域7bを自己整合的に形成する。

[0106] 次に、図4(b)に示すように、第1の実施形態における図2(b)に示す工程でのサイドウォールの形成方法と同様な方法を用いて、第1のゲート電極20Aの側面上にサイドウォール8aを形成すると共に、第2のゲート電極20Bの側面上にサイドウォール8bを形成する。

[0107] 次に、図4(c)に示すように、第1の実施形態における図2(c)に示す工程での深いp型ソースドレイン領域の形成方法と同様な方法を用いて、第1の活性領域1aにおけるサイドウォール8aの外側方下に接合深さの比較的深いp型ソースドレイン領域9aを自己整合的に形成すると共に、第2の活性領域1bにおけるサイドウォール8bの外側方下に接合深さの比較的深いp型ソースドレイン領域9bを自己整合的に形成する。

[0108] 次に、図4(d)に示すように、スパッタリング法により、半導体基板1上の全面に、例えば膜厚10nmのNi膜からなるシリサイド用金属膜(図示省略)を堆積する。その後、例えば窒素雰囲気中、320℃の下、半導体基板1に対して1回目のRTA処理を行い、深いp型ソースドレイン領域9a, 9b、及び第3, 第4の導電部11a, 11bの各シリコンと、シリサイド用金属膜のニッケルとを反応させる。その後、硫酸と過酸化水素水との混合液からなるエッチング液中に半導体基板1を浸漬することにより、素子分離領域2、及びサイドウォール8a, 8b等の上に残存する未反応のシリサイド用金属膜を除去する。その後、1回目のRTA処理での温度よりも高い温度(例えば550℃)の下、半導体基板1に対して2回目のRTA処理を行う。これにより、深いp型ソースドレイン領域9a, 9bの上部にNiS

i 膜からなるシリサイド膜 10a1, 10b1 を形成すると共に、第1, 第2のゲート電極 20A, 20B における第3, 第4の導電部 11a, 11b の上部に NiSi 膜からなるシリサイド膜 10a2, 10b2 を形成する。

[0109] 以上のようにして、本実施形態に係る半導体装置、すなわち、バンドエッジ寄りの仕事関数（例えば、4.9 eV）を有する第1の導電部 5a、及び第3の導電部 11a からなる第1のゲート電極 20A を有する低閾値トランジスタ LTr と、ミッドギャップ寄りの仕事関数（例えば、4.7 eV）を有する第2の導電部 6b、及び第4の導電部 11b からなる第2のゲート電極 20B を有する高閾値トランジスタ HTr とを備えた半導体装置を製造することができる。このように、本実施形態における第1, 第2のゲート電極 20A, 20B は、金属膜とその上に形成されたポリシリコン膜とからなる、いわゆる MIP S（Metal Insert Poly-Silicon）電極構造を有している。

[0110] ここで、本実施形態に係る半導体装置の構造上の特徴点について、図4(d)を参照しながら説明する。

[0111] 低閾値トランジスタ LTr の第1のゲート電極 20A は、第1の金属膜 5 からなる第1の導電部 5a と、シリコン膜 11 からなる第3の導電部 11a とを有している。一方、高閾値トランジスタ HTr の第2のゲート電極 20B は、第2の金属膜 6 からなる第2の導電部 6b と、シリコン膜 11 からなる第4の導電部 11b とを有している。

[0112] 第1のゲート絶縁膜 4a 上に接して設けられた第1の導電部 5a と、第2のゲート絶縁膜 4b 上に接して設けられた第2の導電部 6b とは、互いに組成の異なる金属膜（第1の導電部 5a : TiN 膜, 第2の導電部 6b : MoN 膜）からなり、第2の導電部 6b は、第1の導電部 5a に比べて「シリコンのミッドギャップ仕事関数」に近い仕事関数を有している。

[0113] 第1の導電部 5a 上に形成された第3の導電部 11a と、第2の導電部 6b 上に形成された第4の導電部 11b とは、互いに同じ膜厚（例えば 100 nm）で、且つ、同じ組成のシリコン膜からなる。すなわち、第1の導電部

5 a と第 2 の導電部 6 b とは、その上に互いに同じ膜厚で同じ組成のシリコン膜からなる第 3、第 4 の導電部 11 a、11 b が形成されている。

[0114] 第 1 の導電部 5 a が接する第 1 のゲート絶縁膜 4 a と、第 2 の導電部 6 b が接する第 2 のゲート絶縁膜 4 b とは、互いに同一工程で、且つ、同一構造で形成されており、互いに同じ膜厚の高誘電率絶縁膜からなる。

[0115] L v t 領域の n 型チャネル領域 3 a と H v t 領域の n 型チャネル領域 3 b とは、互いに同一工程で、且つ、同一構造で形成されており、互いに同じ不純物濃度を有している。

[0116] また、浅い p 型ソースドレイン領域 7 a、7 b、深い p 型ソースドレイン領域 9 a、9 b、及びサイドウォール 8 a、8 b もそれぞれ、互いに同一工程で、且つ、同一構造で形成されている。但し、第 1、第 2 のゲート電極 20 A、20 B の高さに差異があると、第 1 のゲート電極 20 A の側面上に形成されるサイドウォール 8 a と、第 2 のゲート電極 20 B の側面上に形成されるサイドウォール 8 b とは、互いに異なる高さで形成される場合がある。

[0117] 本実施形態によると、第 1 の導電部 5 a と第 2 の導電部 6 b とが互いに異なる組成の金属膜からなることにより、第 2 の導電部 6 b の仕事関数を、第 1 の導電部 5 a の仕事関数に比べて「シリコンのミッドギャップ仕事関数」に近い仕事関数にして、第 2 の導電部 6 b と第 4 の導電部 11 b とからなる第 2 のゲート電極 20 B を有する高閾値トランジスタ H T r の実効仕事関数を、第 1 の導電部 5 a と第 3 の導電部 11 a とからなる第 1 のゲート電極 20 A を有する低閾値トランジスタ L T r の実効仕事関数に比べて低くすることができる。すなわち、高閾値トランジスタ H T r の閾値電圧を、低閾値トランジスタ L T r の閾値電圧に比べて高くすることができる。そのため、互いに閾値電圧の異なる低、高閾値トランジスタ L T r、H T r を精度良く実現することができる。

[0118] 加えて、図 4 (a) に示すように、第 1 の金属膜 5 上にシリコン膜 11 が形成された状態でパターニングして第 1 のゲート電極 20 A を形成すると共に、第 2 の金属膜 6 上にシリコン膜 11 が形成された状態でパターニングして

第2のゲート電極20Bを形成することができるため、第1、第2のゲート電極20A、20Bのパターニング精度を大きく向上させることができる。

[0119] このように、本実施形態では、第1の実施形態と同様の効果を得るのに加えて、精度良くパターニングされた第1、第2のゲート電極20A、20Bを実現することができる。

[0120] すなわち、本実施形態における第1のゲート電極20Aは、膜厚の比較的薄い第1の導電部5aと、その上に形成された第1の導電部5aよりもパターニングし易い第3の導電部11aとを有している。同様に、本実施形態における第2のゲート電極20Bは、膜厚の比較的薄い第2の導電部6bと、その上に形成された第2の導電部6bよりもパターニングし易い第4の導電部11bとを有している。

[0121] なお、本実施形態では、図3(d)に示すように、ドライエッチングにより、第1の金属膜5上の第2の金属膜6を除去する場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、第1の実施形態における図1(d)に示す工程と同様に、CMP法により、第1の金属膜5上の第2の金属膜6を研磨除去してもよい。

[0122] また、本実施形態では、図3(b)に示すように、第1の活性領域1a上に第1の金属膜5を形成した後、図3(d)に示すように、第2の活性領域1b上に第2の金属膜6を形成する場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、第2の活性領域上に第2の金属膜を形成した後、第1の活性領域上に第1の金属膜を形成してもよい。

[0123] (第3の実施形態)

以下に、本発明の第3の実施形態に係る半導体装置の製造方法について、互いに閾値電圧の異なるMISトランジスタとしてP型MISトランジスタを適用した場合を具体例に挙げて図5(a)～(d)を参照しながら説明する。図5(a)～(d)は、本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す要部工程断面図である。なお、図5(a)～(d)において、前述の第1の実施形態、又は第2の実施形態と同一の構成要素には、第1の実施

形態における図 1 (a) ～図 2 (d) に示す符号、又は第 2 の実施形態における図 3 (a) ～図 4 (d) に示す符号と同一の符号を付すことにより、重複する説明を省略する。また、本実施形態において、L v t 領域は低閾値トランジスタが形成される領域であり、H v t 領域は高閾値トランジスタが形成される領域である。

[0124] ここで、前述の第 2 の実施形態と本実施形態との製造方法上の相違点は、以下に示す点である。

[0125] 第 2 の実施形態では、図 3 (d) に示すように、第 1 の金属膜 5 上の第 2 の金属膜 6 を除去した後、第 1 の金属膜 5 及び第 2 の金属膜 6 上にシリコン膜 1 1 を形成する点に対し、本実施形態では、後述の図 5 (a) に示すように、第 1 の金属膜 5 上の第 2 の金属膜 6 を除去せずに、第 1 の金属膜 5 上に第 2 の金属膜 6 を残存させて、第 2 の金属膜 6 上にシリコン膜 1 1 を形成する点である。

[0126] まず、第 2 の実施形態における図 3 (a) ～(c) に示す工程を順次行い、図 3 (c) に示す構成を得る。

[0127] 次に、図 5 (a) に示すように、第 2 の金属膜 6 上に、例えば膜厚 100 nm のポリシリコン膜を形成した後、ポリシリコン膜に対して p 型不純物をイオン注入することにより、p 型ポリシリコン膜からなるシリコン膜 1 1 を形成する。なお、シリコン膜 1 1 の注入条件は、第 2 の実施形態と同一の注入条件である。

[0128] 次に、図 5 (b) に示すように、例えばフォトリソグラフィ法により、シリコン膜 1 1 上に、ゲートパターン形状を有するレジストパターン（図示省略）を形成する。その後、当該レジストパターンをマスクにして、ドライエッチングにより、L v t 領域のシリコン膜 1 1、第 2 の金属膜 6、第 1 の金属膜 5、及び高誘電率絶縁膜 4 を順次パターンニングして、第 1 の活性領域 1 a 上に、高誘電率絶縁膜 4 からなる第 1 のゲート絶縁膜 4 a、第 1 の金属膜 5 からなる第 1 の導電部 5 a、第 2 の金属膜 6 からなる第 5 の導電部 6 a、及びシリコン膜 1 1 からなる第 3 の導電部 1 1 a を順次形成する。それと共に

、H v t 領域のシリコン膜 1 1、第 2 の金属膜 6、及び高誘電率絶縁膜 4 を順次パターニングして、第 2 の活性領域 1 b 上に、高誘電率絶縁膜 4 からなる第 2 のゲート絶縁膜 4 b、第 2 の金属膜 6 からなる第 2 の導電部 6 b、及びシリコン膜 1 1 からなる第 4 の導電部 1 1 b を順次形成する。

[0129] このようにして、第 1 の活性領域 1 a 上に、第 1 のゲート絶縁膜 4 a、及び第 1 のゲート絶縁膜 4 a 上に接して設けられた第 1 の導電部 5 a と、第 1 の導電部 5 a 上に形成された第 5 の導電部 6 a と、第 5 の導電部 6 a 上に形成された第 3 の導電部 1 1 a とを有する第 1 のゲート電極 2 0 A を順次形成すると共に、第 2 の活性領域 1 b 上に、第 2 のゲート絶縁膜 4 b、及び第 2 のゲート絶縁膜 4 b 上に接して設けられた第 2 の導電部 6 b と、第 2 の導電部 6 b 上に形成された第 4 の導電部 1 1 b とを有する第 2 のゲート電極 2 0 B を順次形成する。

[0130] その後、第 1 の実施形態における図 2 (a) に示す工程での浅い p 型ソースドレイン領域の形成方法と同様な方法を用いて、第 1 の活性領域 1 a における第 1 のゲート電極 2 0 A の側方下に接合深さの比較的浅い p 型ソースドレイン領域 7 a を自己整合的に形成すると共に、第 2 の活性領域 1 b における第 2 のゲート電極 2 0 B の側方下に接合深さの比較的浅い p 型ソースドレイン領域 7 b を自己整合的に形成する。

[0131] 次に、図 5 (c) に示すように、第 1 の実施形態における図 2 (b) に示す工程でのサイドウォールの形成方法と同様な方法を用いて、第 1 のゲート電極 2 0 A の側面上にサイドウォール 8 a を形成すると共に、第 2 のゲート電極 2 0 B の側面上にサイドウォール 8 b を形成する。その後、第 1 の実施形態における図 2 (c) に示す工程での深い p 型ソースドレイン領域の形成方法と同様な方法を用いて、第 1 の活性領域 1 a におけるサイドウォール 8 a の外側方下に接合深さの比較的深い p 型ソースドレイン領域 9 a を自己整合的に形成すると共に、第 2 の活性領域 1 b におけるサイドウォール 8 b の外側方下に接合深さの比較的深い p 型ソースドレイン領域 9 b を自己整合的に形成する。

[0132] 次に、図 5 (d) に示すように、第 2 の実施形態における図 4 (d) に示す工程でのシリサイド膜の形成方法と同様な方法を用いて、深い p 型ソースドレイン領域 9 a, 9 b の上部に N i S i 膜からなるシリサイド膜 1 0 a 1, 1 0 b 1 を形成すると共に、第 1, 第 2 のゲート電極 2 0 A, 2 0 B における第 3, 第 4 の導電部 1 1 a, 1 1 b の上部に N i S i 膜からなるシリサイド膜 1 0 a 2, 1 0 b 2 を形成する。

[0133] 以上のようにして、本実施形態に係る半導体装置、すなわち、バンドエッジ寄りの仕事関数（例えば、4. 9 e V）を有する第 1 の導電部 5 a、第 5 の導電部 6 a、及び第 3 の導電部 1 1 a からなる第 1 のゲート電極 2 0 A を有する低閾値トランジスタ L T r と、ミッドギャップ寄りの仕事関数（例えば、4. 7 e V）を有する第 2 の導電部 6 b、及び第 4 の導電部 1 1 b からなる第 2 のゲート電極 2 0 B を有する高閾値トランジスタ H T r とを備えた半導体装置を製造することができる。このように、本実施形態における第 1, 第 2 のゲート電極 2 0 A, 2 0 B は、金属膜とその上に形成されたポリシリコン膜とからなる、いわゆる M I P S 電極構造を有している。

[0134] ここで、前述の第 2 の実施形態と本実施形態との構造上の相違点は、以下に示す点である。

[0135] 低閾値トランジスタ L T r の第 1 のゲート電極 2 0 A は、第 2 の実施形態では、図 4 (d) に示すように、第 1 の導電部 5 a と、第 3 の導電部 1 1 a とを有している点に対し、本実施形態では、図 5 (d) に示すように、第 1 の導電部 5 a と、第 5 の導電部 6 a と、第 3 の導電部 1 1 a とを有している点であり、本実施形態における第 1 のゲート電極 2 0 A は、第 1 の導電部 5 a と第 3 の導電部 1 1 a との間に、第 2 のゲート電極 2 0 B を構成する第 2 の導電部 6 b と同じ導電材料からなる第 5 の導電部 6 a を有している。

[0136] ここで、ゲート絶縁膜上に接して設けられた下側導電部（第 1 の導電部 5 a、第 2 の導電部 6 b）と、下側導電部上に形成された上側導電部（第 5 の導電部 6 a 及び第 3 の導電部 1 1 a、第 4 の導電部 1 1 b）とからなるゲート電極を有するトランジスタにおいて、下側導電部の膜厚が十分に厚い場合

、当該トランジスタの閾値電圧は、上側導電部の影響を受けない。

[0137] 本実施形態における第1のゲート電極20Aは、第1の導電部5aと第3の導電部11aとの間に、ミッドギャップ寄りの仕事関数を有する第5の導電部6aを介在させた構成であるが、第1の導電部5aが十分に厚い膜厚（例えば20nm以上）を確保しているため、第1のゲート電極20Aを有する低閾値トランジスタLT_rの閾値電圧は、第5の導電部6aの影響を受けない。そのため、本実施形態における低閾値トランジスタLT_rは、第2の実施形態における低閾値トランジスタLT_r（すなわち、第1の導電部5aと第3の導電部11aとの間に導電部を介在させない構成の第1のゲート電極20Aを有する低閾値トランジスタLT_r）と実質的に同一の閾値電圧を有している。

[0138] 本実施形態によると、第2の実施形態と同様の効果を得ることができる。

[0139] 加えて、図5(a)に示すように、第1の金属膜5上の第2の金属膜6を除去せずに、第1の金属膜5上に第2の金属膜6を残存させる。すなわち、第2の実施形態のように第1の金属膜上の第2の金属膜を除去しない（図3(d)参照）ため、製造方法の簡略化を図ることができる。

[0140] なお、本実施形態では、図5(a)に示すように、第1の活性領域1a上に第1の金属膜5を形成した後、半導体基板1上に第2の金属膜6を形成し、その後、第2の金属膜6上にシリコン膜11を形成する場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。

[0141] 例えば、第2の活性領域上に第2の金属膜を形成した後、半導体基板上に第1の金属膜を形成し、その後、第1の金属膜上にシリコン膜を形成してもよい。この場合、低閾値トランジスタのゲート電極は、第1の金属膜からなる導電部と、シリコン膜からなる導電部とを有し、その構成は、第2の実施形態における第1のゲート電極20Aの構成と同一になる。一方、高閾値トランジスタのゲート電極は、第2の金属膜からなる導電部と、第1の金属膜からなる導電部と、シリコン膜からなる導電部とを有し、その構成は、第2の実施形態における第2のゲート電極20Bの構成とは異なり、第2の実施

形態における第2の導電部6bと第4の導電部11bとの間に、第1の導電部5aと同じ導電材料からなる導電部（すなわち、バンドエッジ寄りの仕事関数を有する導電部）を介在させた構成となる。

[0142] しかしながら、高閾値トランジスタHT_rを構成する第2のゲート絶縁膜4b上に接して設けられた第2の導電部6bが、十分に厚い膜厚（例えば20nm）を確保していることにより、第2の導電部6bと第4の導電部11bとの間に、バンドエッジ寄りの仕事関数を有する導電部を介在させた構成のゲート電極を有する高閾値トランジスタであっても、該導電部を介在させない構成のゲート電極を有する高閾値トランジスタ（すなわち、第2の実施形態における高閾値トランジスタHT_r）と実質的に同一の閾値電圧を有する。

[0143] （第4の実施形態）

以下に、本発明の第4の実施形態に係る半導体装置の製造方法について、互いに閾値電圧の異なるMISトランジスタとしてP型MISトランジスタを適用した場合を具体例に挙げて図6、図7(a)～(d)、及び図8(a)～(d)を参照しながら説明する。

[0144] ここで、前述の第1～第3の実施形態と本実施形態との共通点は、以下に示す点である。

[0145] 本実施形態と第1～第3の実施形態とは、低閾値トランジスタLT_rと高閾値トランジスタHT_rとの間で、従来のように互いに不純物濃度の異なるチャネル領域（図10(d)：103a, 103b参照）を設ける、又は互いにHf濃度の異なるゲート絶縁膜を設けるのではなく、互いに実効仕事関数の異なる低、高閾値トランジスタLT_r, HT_rを設けて、互いに閾値電圧の異なる低、高閾値トランジスタLT_r, HT_rを実現する点で共通する。

[0146] 一方、第1～第3の実施形態と本実施形態との相違点は、以下に示す点である。

[0147] 第1～第3の実施形態では、低閾値トランジスタLT_rを構成する第1のゲート絶縁膜4a上に接して設けられた第1の導電部5aと、高閾値トラン

ジスタHT_rを構成する第2のゲート絶縁膜4b上に接して設けられた第2の導電部6bとが、互いに組成の異なる金属又は金属化合物からなることにより、互いに仕事関数の異なる第1, 第2の導電部5a, 6bを設けて、互いに実効仕事関数の異なる低, 高閾値トランジスタLT_r, HT_rを実現する。

[0148] これに対し、本実施形態では、低閾値トランジスタを構成する第1のゲート絶縁膜上に接して設けられた第1の導電部（後述の図8(d): 12a参照）と、高閾値トランジスタを構成する第2のゲート絶縁膜上に接して設けられた第3の導電部（後述の図8(d): 12b参照）とが、互いに組成が同じで、且つ、膜厚の異なる金属又は金属化合物からなると共に、第1, 第3の導電部上に、互いに膜厚が同じで、且つ、シリコンからなる第2, 第4の導電部（後述の図8(d): 13a, 13b参照）を設けることにより、互いに実効仕事関数の異なる低, 高閾値トランジスタを実現する。

[0149] このように、本実施形態では、金属膜からなる導電部と、その上に形成されたシリコン膜からなる導電部とを有するゲート電極において、金属膜の膜厚に応じてトランジスタの実効仕事関数に変化することに着目し、トランジスタの実効仕事関数と金属膜の膜厚との関係に基づいて、金属膜を所定膜厚に設定し、容易に且つ高精度に制御された実効仕事関数を有するトランジスタを実現する。

[0150] ここで、トランジスタの実効仕事関数と金属膜の膜厚との関係について、P型MISトランジスタを構成するゲート電極において、高誘電率絶縁膜からなるゲート絶縁膜上に形成された金属膜がTiN膜、シリコン膜が膜厚100nmのp型ポリシリコン膜である場合を具体例に挙げて、図6を参照しながら説明する。図6は、P型MISトランジスタの実効仕事関数と金属膜の膜厚との関係について示す図である。図6中の横軸はゲート電極におけるTiN膜の膜厚、図6中の左側縦軸はP型MISトランジスタの実効仕事関数、右側縦軸はP型MISトランジスタの閾値電圧を示す。

[0151] 図6に示すように、TiN膜の膜厚が15nm以下になると、TiN膜の

膜厚の減少に応じてP型MISトランジスタの実効仕事関数が急激に減少し（言い換えれば、ミッドギャップ寄りにシフトし）、P型MISトランジスタの閾値電圧が急激に増加する。一方、TiN膜の膜厚が20nm以上になると、TiN膜の膜厚の増加に応じてP型MISトランジスタの実効仕事関数は緩やかに増加し、P型MISトランジスタの閾値電圧が緩やかに減少する。

[0152] このように、TiN膜の膜厚が15nm以下の場合、P型MISトランジスタの実効仕事関数は、膜厚依存性が比較的高く、TiN膜の膜厚が薄くなるに連れて、ミッドギャップ寄りの実効仕事関数となる。一方、TiN膜の膜厚が20nm以上の場合、P型MISトランジスタの実効仕事関数は、膜厚依存性が比較的低く、バンドエッジ（すなわち、約5.15eV）寄りの実効仕事関数のままである。例えば、TiN膜の膜厚が20nm（すなわち20nm以上）の場合、P型MISトランジスタの実効仕事関数は4.85eV程度であったのに対して、TiN膜の膜厚が10nm（すなわち15nm以下）の場合、P型MISトランジスタの実効仕事関数は4.75eV程度となる。

[0153] すなわち、金属膜からなる導電部と、シリコン膜からなる導電部とを有するゲート電極において、金属膜の膜厚が所定膜厚以下になると、金属膜の膜厚が薄くなるに連れて、MISトランジスタの実効仕事関数がミッドギャップ寄りに連続的にシフトする。これは、金属膜の膜厚が十分に厚いと、金属膜上に形成されたシリコン膜の影響を大きく受けないが、金属膜の膜厚が薄くなるとシリコン膜の影響を大きく受けて、MISトランジスタの実効仕事関数がミッドギャップ寄りにシフトすると理解される。

[0154] 以上のように、低閾値トランジスタを構成するゲート絶縁膜上に接して設けられた導電部（後述の図8(d)：12a参照）として、実効仕事関数に対して比較的低い依存性を示す膜厚（例えば膜厚が20nm以上のTiN膜）を採用する一方、高閾値トランジスタを構成するゲート絶縁膜上に接して設けられた導電部（後述の図8(d)：12b参照）として、実効仕事関数に対して

比較的高い依存性を示す膜厚（例えば膜厚が15 nm以下のTiN膜）を採用することにより、高閾値トランジスタの実効仕事関数を、低閾値トランジスタの実効仕事関数よりもミッドギャップ寄りにシフトさせて、高閾値トランジスタの閾値電圧を、低閾値トランジスタの閾値電圧に比べて高くすることができる。

[0155] なお、図6に示すP型MISトランジスタの実効仕事関数と金属膜の膜厚との関係は、金属膜上に100 nmのシリコン膜が形成されたゲート電極を有するP型MISトランジスタの場合にのみ成立する関係ではなく、金属膜上にある程度（例えば50 nm）以上の膜厚のシリコン膜が形成されたゲート電極を有するP型MISトランジスタにおいて常に成立する関係である。

[0156] また、図6に示すP型MISトランジスタの実効仕事関数と金属膜の膜厚との関係は、P型MISトランジスタの場合にのみ成立する関係ではなく、N型MISトランジスタの場合においても成立する関係である。すなわち、金属膜上にシリコン膜が形成されたゲート電極を有するN型MISトランジスタにおいて、金属膜の膜厚が薄くなるに連れて、N型MISトランジスタの実効仕事関数がミッドギャップ寄りに連続的にシフトする。

[0157] 図7(a)～(d)及び図8(a)～(d)は、本発明の第4の実施形態に係る半導体装置の製造方法を工程順に示す要部工程断面図である。なお、図7(a)～図8(d)において、前述の第1の実施形態、又は第2の実施形態と同一の構成要素には、第1の実施形態における図1(a)～図2(d)に示す符号、又は第2の実施形態における図3(a)～図4(d)に示す符号と同一の符号を付すことにより、重複する説明を省略する。また、本実施形態において、Lv_t領域は低閾値トランジスタLT_rが形成される領域であり、Hv_t領域は高閾値トランジスタHT_rが形成される領域である。

[0158] まず、図7(a)に示すように、例えばSTI法により、例えば半導体基板1の上部に、トレンチ内に絶縁膜が埋め込まれた素子分離領域2を選択的に形成する。これにより、半導体基板1における素子分離領域2に囲まれた領域のうち、Lv_t領域に位置する領域が第1の活性領域1aとなる一方、H

v t 領域に位置する領域が第 2 の活性領域 1 b となる。その後、図示は省略しているが、半導体基板 1 に対して n 型不純物をイオン注入することにより、n 型ウェル及び n 型パンチスルーストップを形成する。その後、半導体基板 1 に対して n 型不純物をイオン注入することにより、第 1 の活性領域 1 a における上部に n 型チャネル領域 3 a を形成すると共に、第 2 の活性領域 1 b における上部に n 型チャネル領域 3 b を形成する。なお、n 型ウェル、n 型パンチスルーストップ、及び n 型チャネル領域 3 a, 3 b の各注入条件は、第 1 の実施形態と同一の注入条件である。

[0159] その後、図 7 (a) に示すように、半導体基板 1 上に例えば膜厚 0.5 nm のシリコン酸化膜からなるバッファ絶縁膜（図示省略）を形成した後、当該バッファ絶縁膜上に、例えば膜厚 4 nm の H f S i O N 膜からなる高誘電率絶縁膜 4 を形成する。このように、半導体基板 1 と高誘電率絶縁膜 4 との間にはバッファ絶縁膜が形成され、以降の説明において登場する「高誘電率絶縁膜 4」とは、その下面にバッファ絶縁膜が形成された膜をいう。

[0160] その後、例えば C V D 法により、高誘電率絶縁膜 4 上に例えば膜厚 10 nm の窒化チタン膜（T i N 膜）からなる第 1 の金属膜（ここで「金属膜」とは金属又は金属化合物からなる膜をいう）12 を堆積する。この第 1 の金属膜 12 としては、4.7 e V 以上で 5.15 e V 以下の仕事関数（例えば、4.9 e V）を有することが望ましい。例えば T i N 膜の代わりに、窒化タンタル膜（T a N 膜）又は炭化タンタル膜（T a C 膜）等を用いてもよい。

[0161] 次に、図 7 (b) に示すように、第 1 の金属膜 12 上に、L v t 領域を覆い H v t 領域を開口するレジストパターン（図示省略）を形成した後、当該レジストパターンをマスクにして、H v t 領域の第 1 の金属膜 12 に対してエッチングを行い、第 2 の活性領域 1 b 上の第 1 の金属膜 12 を除去し、その後、前記レジストパターンを除去する。これにより、第 1 の活性領域 1 a 上に第 1 の金属膜 12 を選択的に残存させることができる。このようにして、第 1 の活性領域 1 a 上の高誘電率絶縁膜 4 に接する第 1 の金属膜 12 を形成する。

- [0162] 次に、図 7 (c) に示すように、例えば CVD 法により、半導体基板 1 上の全面に例えば膜厚 10 nm の窒化チタン膜 (TiN 膜) からなる第 2 の金属膜 12 X を堆積する。このようにして、第 1 の金属膜 12、及び第 2 の活性領域 1 b 上の高誘電率絶縁膜 4 に接する第 2 の金属膜 12 X を形成する。
- [0163] 次に、図 7 (d) に示すように、第 2 の金属膜 12 X 上に、例えば膜厚 100 nm のポリシリコン膜を形成した後、ポリシリコン膜に対して p 型不純物をイオン注入することにより、p 型ポリシリコン膜からなるシリコン膜 13 を形成する。なお、シリコン膜 13 の注入条件は、第 2 の実施形態におけるシリコン膜 11 の注入条件と同一である。
- [0164] 次に、図 8 (a) に示すように、例えばフォトリソグラフィ法により、シリコン膜 13 上に、ゲートパターン形状を有するレジストパターン (図示省略) を形成する。その後、当該レジストパターンをマスクにして、ドライエッチングにより、L v t 領域のシリコン膜 13、第 2 の金属膜 12 X、第 1 の金属膜 12、及び高誘電率絶縁膜 4 を順次パターニングして、第 1 の活性領域 1 a 上に、高誘電率絶縁膜 4 からなる第 1 のゲート絶縁膜 4 a、第 1 の金属膜 12 A 及び第 2 の金属膜 12 X A からなる第 1 の導電部 12 a、並びにシリコン膜 13 からなる第 2 の導電部 13 a を順次形成する。それと共に、H v t 領域のシリコン膜 13、第 2 の金属膜 12 X、及び高誘電率絶縁膜 4 を順次パターニングして、第 2 の活性領域 1 b 上に、高誘電率絶縁膜 4 からなる第 2 のゲート絶縁膜 4 b、第 2 の金属膜 12 X B からなる第 3 の導電部 12 b、及びシリコン膜 13 からなる第 4 の導電部 13 b を順次形成する。このとき、第 1 の導電部 12 a の膜厚は、第 1 の金属膜 12 A と第 2 の金属膜 12 X A との合計膜厚である 20 nm となり、第 3 の導電部 12 b の膜厚は、第 2 の金属膜 12 X B のみの膜厚である 10 nm となる。
- [0165] このようにして、第 1 の活性領域 1 a 上に、第 1 のゲート絶縁膜 4 a、及び第 1 のゲート絶縁膜 4 a 上に接して設けられた第 1 の導電部 12 a と、第 1 の導電部 12 a 上に設けられた第 2 の導電部 13 a とを有する第 1 のゲート電極 20 A を順次形成すると共に、第 2 の活性領域 1 b 上に、第 2 のゲー

ト絶縁膜 4 b、及び第 2 のゲート絶縁膜 4 b 上に接して設けられた第 3 の導電部 1 2 b と、第 3 の導電部 1 2 b 上に設けられた第 4 の導電部 1 3 b とを有する第 2 のゲート電極 2 0 B を順次形成する。

[0166] その後、第 1 の実施形態における図 2 (a) に示す工程での浅い p 型ソースドレイン領域の形成方法と同様な方法を用いて、第 1 の活性領域 1 a における第 1 のゲート電極 2 0 A の側方下に接合深さの比較的浅い p 型ソースドレイン領域 7 a を自己整合的に形成すると共に、第 2 の活性領域 1 b における第 2 のゲート電極 2 0 B の側方下に接合深さの比較的浅い p 型ソースドレイン領域 7 b を自己整合的に形成する。

[0167] 次に、図 8 (b) に示すように、第 1 の実施形態における図 2 (b) に示す工程でのサイドウォールの形成方法と同様な方法を用いて、第 1 のゲート電極 2 0 A の側面上にサイドウォール 8 a を形成すると共に、第 2 のゲート電極 2 0 B の側面上にサイドウォール 8 b を形成する。

[0168] 次に、図 8 (c) に示すように、第 1 の実施形態における図 2 (c) に示す工程での深い p 型ソースドレイン領域の形成方法と同様な方法を用いて、第 1 の活性領域 1 a におけるサイドウォール 8 a の外側方下に接合深さの比較的深い p 型ソースドレイン領域 9 a を自己整合的に形成すると共に、第 2 の活性領域 1 b におけるサイドウォール 8 b の外側方下に接合深さの比較的深い p 型ソースドレイン領域 9 b を自己整合的に形成する。

[0169] 次に、図 8 (d) に示すように、第 2 の実施形態における図 4 (d) に示す工程でのシリサイド膜の形成方法と同様な方法を用いて、深い p 型ソースドレイン領域 9 a、9 b の上部に N i S i 膜からなるシリサイド膜 1 0 a 1、1 0 b 1 を形成すると共に、第 1、第 2 のゲート電極 2 0 A、2 0 B における第 2、第 4 の導電部 1 3 a、1 3 b の上部に N i S i 膜からなるシリサイド膜 1 0 a 2、1 0 b 2 を形成する。

[0170] 以上のようにして、本実施形態に係る半導体装置、すなわち、バンドエッジ寄りの実効仕事関数（例えば、4. 8 5 e V）が得られる膜厚（例えば 2 0 n m）を有する第 1 の導電部 1 2 a、及び第 2 の導電部 1 3 a からなる第

1のゲート電極20Aを有する低閾値トランジスタLT_rと、第1の導電部12aと同じ組成で、且つ、ミッドギャップ寄りの実効仕事関数（例えば、4.75 eV）が得られる膜厚（例えば10 nm）を有する第3の導電部12b、及び第4の導電部13bからなる第2のゲート電極20Bを有する高閾値トランジスタHT_rとを備えた半導体装置を製造することができる。

[0171] 以下に、本発明の第4の実施形態に係る半導体装置の構造について、図8（d）を参照しながら説明する。

[0172] 半導体基板1上の上部には、第1の活性領域1aと第2の活性領域1bとを区画するように、トレンチ内に絶縁膜が埋め込まれた素子分離領域2が形成されている。そして、半導体装置は、第1の活性領域1aに設けられた低閾値トランジスタLT_rと、第2の活性領域1bに設けられた高閾値トランジスタHT_rとを備えている。

[0173] 低閾値トランジスタLT_rは、第1の活性領域1aに形成されたn型チャネル領域3aと、n型チャネル領域3a上に形成された高誘電率絶縁膜からなる第1のゲート絶縁膜4aと、第1のゲート絶縁膜4a上に接して設けられた第1の導電部12aと、第1の導電部12a上に形成された第2の導電部13aとを有する第1のゲート電極20Aと、第1のゲート電極20Aの側面上に形成されたサイドウォール8aと、第1の活性領域1aにおける第1のゲート電極20Aの側方下に形成された浅いp型ソースドレイン領域7aと、第1の活性領域1aにおけるサイドウォール8aの外側方下に形成された深いp型ソースドレイン領域9aと、深いp型ソースドレイン領域9aの上部に形成されたシリサイド膜10a1と、第1のゲート電極20Aの上部に形成されたシリサイド膜10a2とを有している。

[0174] 一方、高閾値トランジスタHT_rは、第2の活性領域1bに形成されたn型チャネル領域3bと、n型チャネル領域3b上に形成された高誘電率絶縁膜からなる第2のゲート絶縁膜4bと、第2のゲート絶縁膜4b上に接して設けられた第3の導電部12bと、第3の導電部12b上に形成された第4の導電部13bとを有する第2のゲート電極20Bと、第2のゲート電極2

0 Bの側面上に形成されたサイドウォール8 bと、第2の活性領域1 bにおける第2のゲート電極2 0 Bの側方下に形成された浅いp型ソースドレイン領域7 bと、第2の活性領域1 bにおけるサイドウォール8 bの外側方下に形成された深いp型ソースドレイン領域9 bと、深いp型ソースドレイン領域9 bの上部に形成されたシリサイド膜1 0 b 1と、第2のゲート電極2 0 Bの上部に形成されたシリサイド膜1 0 b 2とを有している。

[0175] ここで、本実施形態の構造上の特徴点は、以下に示す点である。

[0176] 高閾値トランジスタH T rの第2のゲート電極2 0 Bを構成する第3の導電部1 2 bは、低閾値トランジスタL T rの第1のゲート電極2 0 Aを構成する第1の導電部1 2 aよりも薄い膜厚で、且つ、第1の導電部1 2 aと同じ組成の金属又は金属化合物からなり、第1の導電部1 2 aと同じ仕事関数を有している。そして、第1の導電部1 2 aと第3の導電部1 2 bとは、その上に互いに同じ膜厚のシリコン膜からなる第2、第4の導電部1 3 a、1 3 bが形成されている。具体的には、第1の導電部1 2 aは膜厚が2 0 nm（すなわち、2 0 nm以上）のT i N膜からなり、第3の導電部1 2 bは膜厚が1 0 nm（すなわち、1 5 nm以下）のT i N膜からなる。そして、第2、第4の導電部1 3 a、1 3 bは膜厚が1 0 0 nmのp型ポリシリコン膜からなる。これにより、図6に示すように、4. 8 5 e V程度の実効仕事関数を有する低閾値トランジスタL T rを実現し、低閾値トランジスタL T rの閾値電圧を0. 3 0 V程度にする一方、4. 7 5 e V程度の実効仕事関数を有する高閾値トランジスタH T rを実現し、高閾値トランジスタH T rの閾値電圧を0. 4 0 V程度にすることができる。

[0177] このように、第1の導電部1 2 aの膜厚として、実効仕事関数に対して比較的低い依存性を示す膜厚を採用する一方、第3の導電部1 2 bの膜厚として、実効仕事関数に対して比較的高い依存性を示す膜厚を採用することにより、第3の導電部1 2 bと第4の導電部1 3 bとからなる第2のゲート電極2 0 Bを有する高閾値トランジスタH T rの実効仕事関数を、第1の導電部1 2 aと第2の導電部1 3 aとからなる第1のゲート電極2 0 Aを有する低

閾値トランジスタ LTr の実効仕事関数よりもミッドギャップ寄りにシフトさせることができる。

[0178] そのため、高閾値トランジスタ HTr は、低閾値トランジスタ LTr に比べて「シリコンのミッドギャップ仕事関数（4.6 eV程度、上記1）参照）」に近い実効仕事関数を有している。言い換えれば、低閾値トランジスタ LTr は、高閾値トランジスタ HTr に比べて「バンドエッジ（約5.15 eV、上記2）参照）」に近い実効仕事関数を有している。すなわち、低閾値トランジスタ LTr は、高閾値トランジスタ HTr に比べて高い実効仕事関数を有している。

[0179] 第1の導電部12aが接する第1のゲート絶縁膜4aと、第3の導電部12bが接する第2のゲート絶縁膜4bとは、互いに同一工程で、且つ、同一構造で形成されており、互いに同じ膜厚の高誘電率絶縁膜からなる。そして、第1の導電部12a上に形成された第2の導電部13aと、第3の導電部12b上に形成された第4の導電部13bとは、互いに同じ膜厚のシリコン膜からなる。

[0180] 第1の導電部12a及び第2の導電部13aからなる第1のゲート電極20Aの膜厚は、第1の導電部12aよりも薄い膜厚の第3の導電部12b、及び第2の導電部13aと同じ膜厚の第4の導電部13bからなる第2のゲート電極20Bの膜厚に比べて厚い。そして、第1のゲート電極20Aの側面上に形成されたサイドウォール8aの高さは、第2のゲート電極20Bの側面上に形成されたサイドウォール8bの高さに比べて高い。

[0181] Lvt 領域のn型チャネル領域3aと Hvt 領域のn型チャネル領域3bとは、互いに同一工程で、且つ、同一構造で形成されており、互いに同じ不純物濃度を有している。

[0182] また、浅いp型ソースドレイン領域7a、7b、及び深いp型ソースドレイン領域9a、9bもそれぞれ、同一工程で、且つ、同一構造で形成されている。

[0183] 本実施形態によると、その上に第4の導電部13bが形成された第3の導

電部 1 2 b の膜厚を、その上に第 2 の導電部 1 3 a が形成された第 1 の導電部 1 2 a の膜厚よりも薄くすることにより、第 3 の導電部 1 2 b と第 4 の導電部 1 3 b とからなる第 2 のゲート電極 2 0 B を有する高閾値トランジスタ HTr の実効仕事関数を、第 1 の導電部 1 2 a と第 2 の導電部 1 3 a とからなる第 1 のゲート電極 2 0 A を有する低閾値トランジスタ LTr の実効仕事関数よりもミッドギャップ寄りにシフトさせて、高閾値トランジスタ HTr の実効仕事関数を、低閾値トランジスタ LTr の実効仕事関数に比べて「シリコンのミッドギャップ仕事関数」に近い実効仕事関数にして、高閾値トランジスタ HTr の閾値電圧を、低閾値トランジスタ LTr の閾値電圧に比べて高くすることができる。

[0184] そのため、従来のように Hvt 領域の n 型チャネル領域（図 1 0 (d) : 1 0 3 b 参照）の不純物濃度を、 Lvt 領域の n 型チャネル領域（図 1 0 (d) : 1 0 3 a 参照）の不純物濃度よりも高くする必要がなく、 n 型チャネル領域 3 b の不純物濃度を、 n 型チャネル領域 3 a の不純物濃度と同じにすることができる。そのため、半導体装置の動作時に、キャリアが n 型チャネル領域 3 b に含まれる n 型不純物と衝突して散乱することを抑制することができるため、高閾値トランジスタ HTr において、リーク電流の低減化、及び、高駆動力化を図ることができる。

[0185] また、低、高閾値トランジスタの閾値電圧を制御する方法として、従来のように低、高閾値トランジスタを構成するゲート絶縁膜の Hf 濃度を調整する方法ではなく、低、高閾値トランジスタを構成するゲート絶縁膜上に接して設けられた導電部の膜厚を調整する方法を採用するため、低、高閾値トランジスタの閾値電圧を容易に且つ高精度に制御することができる。

[0186] 従って、互いに導電型の同じ MIS トランジスタを備えた半導体装置において、互いに閾値電圧の異なる MIS トランジスタを精度良く且つ高性能に実現することができる。

[0187] なお、本実施形態では、第 1 の導電部 1 2 a として、実効仕事関数に対する依存性の比較的低い膜厚（例えば 2 0 nm 以上）の TiN 膜を採用する一

方、第3の導電部12bとして、実効仕事関数に対する依存性の比較的高い膜厚、すなわち第1の導電部12aよりも薄い膜厚（例えば15nm以下）のTiN膜を採用する場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、TiN膜の代わりに、Ta₂N膜又はTaC膜を用いてもよい。

[0188] すなわち、本実施形態のように、第1、第3の導電部12a、12bの導電材料として、4.7eV以上で5.15eV以下の仕事関数を有する導電材料を採用し、第3の導電部12bの膜厚を、第1の導電部12aの膜厚よりも薄くすることにより、高閾値トランジスタHT_rの実効仕事関数を、低閾値トランジスタLT_rの実効仕事関数よりもミッドギャップ寄りにシフトさせることができる。

[0189] また、本実施形態では、第1、第3の導電部12a、12b上に形成された第2、第4の導電部13a、13bが、p型ポリシリコン膜からなる場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、p型ポリシリコン膜の代わりに、n型ポリシリコン膜を用いてもよい。

[0190] すなわち、本実施形態のように、第2、第4の導電部13a、13bの条件は、第4の導電部13bと第2のゲート絶縁膜4bとを組み合わせた場合に得られる実効仕事関数が、第1の導電部12aと第1のゲート絶縁膜4aとを組み合わせた場合に得られる実効仕事関数よりも、ミッドギャップ寄りにあればよい。これにより、第3の導電部12bと第4の導電部13bとからなる第2のゲート電極20Bを有する高閾値トランジスタHT_rの実効仕事関数を、第1の導電部12aと第2の導電部13aとからなる第1のゲート電極20Aを有する低閾値トランジスタLT_rの実効仕事関数よりも、ミッドギャップ寄りにシフトさせることができる。

[0191] また、本実施形態では、Lv_t領域のn型チャネル領域3aとHv_t領域のn型チャネル領域3bとを、図7(a)に示すように同一工程で形成し、互いに不純物濃度が同じn型チャネル領域3a、3bを形成する場合を具体例

に挙げて説明したが、本発明はこれに限定されるものではない。例えば、互いに不純物濃度の若干異なる n 型チャネル領域を形成してもよい。

[0192] (第4の実施形態の変形例)

以下に、本発明の第4の実施形態の変形例に係る半導体装置の製造方法について、互いに閾値電圧の異なる MIS トランジスタとして P 型 MIS トランジスタを適用した場合を具体例に挙げて、図9(a)～(d)を参照しながら説明する。図9(a)～(d)は、本発明の第4の実施形態の変形例に係る半導体装置の製造方法を工程順に示す要部工程断面図である。なお、図9(a)～(d)において、第4の実施形態と同一の構成要素には、第4の実施形態における図7(a)～図8(d)に示す符号と同一の符号を付すことにより、重複する説明を省略する。また、本実施形態において、 Lvt 領域は低閾値トランジスタ LTr が形成される領域であり、 Hvt 領域は高閾値トランジスタ HTr が形成される領域である。

[0193] まず、第4の実施形態における図7(a)に示す工程と同様の工程を行い、図9(a)に示す構成を得る。但し、本変形例では、第4の実施形態における膜厚 10 nm の TiN 膜からなる第1の金属膜12の代わりに、図9(a)に示すように、膜厚 20 nm の TiN 膜からなる金属膜14を形成する。このようにして、高誘電率絶縁膜4に接する金属膜14を形成する。

[0194] 次に、図9(b)に示すように、金属膜14上に、 Lvt 領域を覆い Hvt 領域を開口するレジストパターン15を形成した後、レジストパターン15をマスクにして、第2の活性領域1b上の金属膜14の上部に対してエッチングを行い、膜厚が 10 nm の金属薄膜部14Yを形成し、その後、レジストパターン15を除去する。これにより、第1の活性領域1a上に膜厚 20 nm の金属膜14を残存させる一方、第2の活性領域1b上に、金属膜14よりも膜厚の薄い金属薄膜部14Yを残存させる。

[0195] 次に、図9(c)に示すように、金属膜14及び金属薄膜部14Y上に、例えば膜厚 100 nm のポリシリコン膜を形成した後、ポリシリコン膜に対して p 型不純物をイオン注入することにより、 p 型ポリシリコン膜からなるシ

リコン膜 1 3 を形成する。なお、シリコン膜 1 3 の注入条件は、第 2 の実施形態におけるシリコン膜 1 1 の注入条件と同一である。

[0196] 次に、図 9 (d) に示すように、例えばフォトリソグラフィ法により、シリコン膜 1 3 上に、ゲートパターン形状を有するレジストパターン（図示省略）を形成する。その後、当該レジストパターンをマスクにして、ドライエッチングにより、 $L_v t$ 領域のシリコン膜 1 3、金属膜 1 4、及び高誘電率絶縁膜 4 を順次パターニングして、第 1 の活性領域 1 a 上に、高誘電率絶縁膜 4 からなる第 1 のゲート絶縁膜 4 a、金属膜 1 4 からなる第 1 の導電部 1 4 a、及びシリコン膜 1 3 からなる第 2 の導電部 1 3 a を順次形成する。それと共に、 $H_v t$ 領域のシリコン膜 1 3、金属薄膜部 1 4 Y、及び高誘電率絶縁膜 4 を順次パターニングして、第 2 の活性領域 1 b 上に、高誘電率絶縁膜 4 からなる第 2 のゲート絶縁膜 4 b、金属薄膜部 1 4 Y からなる第 3 の導電部 1 4 b、及びシリコン膜 1 3 からなる第 4 の導電部 1 3 b を順次形成する。このとき、第 1 の導電部 1 4 a の膜厚は、金属膜 1 4 の膜厚である 20 nm となり、第 3 の導電部 1 4 b の膜厚は、金属薄膜部 1 4 Y の膜厚である 10 nm となる。

[0197] このようにして、第 1 の活性領域 1 a 上に、第 1 のゲート絶縁膜 4 a、及び第 1 のゲート絶縁膜 4 a 上に接して設けられた第 1 の導電部 1 4 a と、第 1 の導電部 1 4 a 上に設けられた第 2 の導電部 1 3 a とを有する第 1 のゲート電極 20 A を順次形成すると共に、第 2 の活性領域 1 b 上に、第 2 のゲート絶縁膜 4 b、及び第 2 のゲート絶縁膜 4 b 上に接して設けられた第 3 の導電部 1 4 b と、第 3 の導電部 1 4 b 上に設けられた第 4 の導電部 1 3 b とを有する第 2 のゲート電極 20 B を順次形成する。

[0198] その後、第 1 の実施形態における図 2 (a) に示す工程での浅い p 型ソースドレイン領域の形成方法と同様な方法を用いて、第 1 の活性領域 1 a における第 1 のゲート電極 20 A の側方下に接合深さの比較的浅い p 型ソースドレイン領域 7 a を自己整合的に形成すると共に、第 2 の活性領域 1 b における第 2 のゲート電極 20 B の側方下に接合深さの比較的浅い p 型ソースドレイ

ン領域 7 b を自己整合的に形成する。その後、第 4 の実施形態における図 8 (b) ~ (d) に示す工程と同様の工程を順次行い、図 8 (d) に示す構成と同様の構成を有する半導体装置を製造することができる。

[0199] 本変形例によると、第 4 の実施形態と同様の効果を得ることができる。

[0200] なお、第 1 ~ 第 3 の実施形態、並びに第 4 の実施形態及びその変形例では、互いに閾値電圧の異なる M I S トランジスタとして、P 型 M I S トランジスタを適用した場合を具体例に挙げて説明したが、本発明はこれに限定されるものではなく、N 型 M I S トランジスタを適用した場合においても、第 1 ~ 第 3 の実施形態、又は第 4 の実施形態若しくはその変形例と同様の効果を得ることができる。

[0201] 第 1 に例えば、第 1 の実施形態において、互いに閾値電圧の異なる M I S トランジスタとして N 型 M I S トランジスタを適用した場合、仕事関数が 4.05 eV 以上で 4.6 eV 以下の範囲内にある導電材料中から互いに仕事関数の異なる第 1, 第 2 の導電材料を選択し、これら第 1, 第 2 の導電材料のうち、「バンドエッジ (約 4.05 eV, 上記 2) 参照)」に比較的近い仕事関数の導電材料を、相対的に閾値電圧の低い N 型 M I S トランジスタ (以下、「N 型低閾値トランジスタ」と称する) を構成する導電部の導電材料として採用する一方、「シリコンのミッドギャップ仕事関数 (4.6 eV 程度, 上記 1) 参照)」に比較的近い仕事関数の導電材料を、相対的に閾値電圧の高い N 型 M I S トランジスタ (以下、「N 型高閾値トランジスタ」と称する) を構成する導電部の導電材料として採用する。例えば、N 型低閾値トランジスタを構成する導電部の導電材料としては、4.05 eV 以上で 4.5 eV 以下の仕事関数 (例えば、4.3 eV) を有し、且つ、N 型高閾値トランジスタを構成する導電部の導電材料の仕事関数よりもバンドエッジ寄りの仕事関数を有する金属又は金属化合物からなる膜が望ましい。一方、N 型高閾値トランジスタを構成する導電部の導電材料としては、4.15 eV 以上で 4.6 eV 以下の仕事関数 (例えば、4.5 eV) を有し、且つ、N 型低閾値トランジスタを構成する導電部の導電材料の仕事関数よりもミッドギ

ャップ寄りの仕事関数を有する金属又は金属化合物からなる膜が望ましい。

[0202] このように、N型高閾値トランジスタを構成する導電部の仕事関数を、N型低閾値トランジスタを構成する導電部の仕事関数に比べて「シリコンのミッドギャップ仕事関数」に近い仕事関数にすることにより、N型高閾値トランジスタの実効仕事関数を、N型低閾値トランジスタの実効仕事関数に比べて高くして、N型高閾値トランジスタの閾値電圧を、N型低閾値トランジスタの閾値電圧に比べて高くすることができるので、互いに閾値電圧の異なるN型低、高閾値トランジスタを精度良く実現することができる。すなわち、第1の実施形態と同様の効果を得ることができる。

[0203] なお、第2、第3の実施形態において、互いに閾値電圧の異なるMISトランジスタとしてN型MISトランジスタを適用した場合も、N型低閾値トランジスタを構成するゲート絶縁膜上に接して設けられた導電部の仕事関数に比べて、N型高閾値トランジスタを構成するゲート絶縁膜上に接して設けられた導電部の仕事関数を「シリコンのミッドギャップ仕事関数」に近い仕事関数にすることにより、第2、第3の実施形態と同様の効果を得ることができる。

[0204] 第2に例えば、第4の実施形態において、互いに閾値電圧の異なるMISトランジスタとしてN型MISトランジスタを適用した場合、金属膜からなる導電部と、該導電部上に形成されたシリコン膜からなる導電部とで構成されたゲート電極を有するN型低、高閾値トランジスタにおいて、N型低、高閾値トランジスタを構成する金属膜からなる導電部として、仕事関数が4.05 eV以上で4.5 eV以下の範囲内にある導電部を採用し、N型高閾値トランジスタを構成する金属膜からなる導電部の膜厚を、N型低閾値トランジスタを構成する金属膜からなる導電部の膜厚よりも薄くする。ここで、シリコン膜からなる導電部としては、例えばn型ポリシリコン膜、又はp型ポリシリコン膜等が挙げられる。

[0205] このように、N型高閾値トランジスタを構成する金属膜からなる導電部の膜厚を、N型低閾値トランジスタを構成する金属膜からなる導電部の膜厚よ

りも薄くすることにより、N型高閾値トランジスタの実効仕事関数を、N型低閾値トランジスタの実効仕事関数よりもミッドギャップ寄りにシフトさせて、N型高閾値トランジスタの閾値電圧を、N型低閾値トランジスタの閾値電圧よりも高くすることができるので、互いに閾値電圧の異なるN型低、高閾値トランジスタを精度良く実現することができる。すなわち、第4の実施形態と同様の効果を得ることができる。

[0206] なお、言うまでもないが、低、高閾値トランジスタの導電型に関係なく、高閾値トランジスタは、低閾値MISトランジスタに比べて「シリコンのミッドギャップ仕事関数（4.6 eV程度、上記1）参照）」に近い実効仕事関数を有している。言い換えれば、低閾値MISトランジスタは、高閾値MISトランジスタに比べて「バンドエッジ（N型MISトランジスタ：4.05 eV、P型MISトランジスタ：5.15 eV、上記2）参照）」に近い実効仕事関数を有している。すなわち、低、高閾値トランジスタの導電型がN型の場合、N型高閾値トランジスタは、N型低閾値トランジスタに比べて高い実効仕事関数を有している。一方、低、高閾値トランジスタの導電型がP型の場合、P型高閾値トランジスタは、P型低閾値トランジスタに比べて低い実効仕事関数を有している。

[0207] また、第1～第3の実施形態、並びに第4の実施形態及びその変形例では、浅いp型ソースドレイン領域7a、7bを、第1、第2のゲート電極20A、20Bをマスクにして、第1、第2の活性領域1a、1bにp型不純物をイオン注入することにより形成したが、本発明はこれに限定されるものではない。例えば、浅いp型ソースドレイン領域を、側面にオフセットスペーサが形成された第1、第2のゲート電極をマスクにして、第1、第2の活性領域にp型不純物をイオン注入することにより形成してもよい。

[0208] また、第1～第3の実施形態、並びに第4の実施形態及びその変形例では、サイドウォール8a、8bが単層構造である場合を具体例に挙げて説明したが、本発明はこれに限定されるものではなく、例えば、断面形状がL字状の第1の絶縁膜（例えばシリコン酸化膜）からなる内側サイドウォールと、

内側サイドウォール上に形成された第2の絶縁膜（例えばシリコン窒化膜）からなる外側サイドウォールとで構成された積層構造であってもよい。

[0209] また、第1～第3の実施形態、並びに第4の実施形態及びその変形例では、高誘電率絶縁膜4としてHfSiON膜を用いたが、これに代えて、HfO₂等のハフニウムを含む金属酸化物、又はZrO₂、TiO₂若しくはTa₂O₅等の金属酸化物からなる高誘電率絶縁膜を用いてもよい。

産業上の利用可能性

[0210] 以上説明したように、本発明は、互いに導電型の同じMISトランジスタを備えた半導体装置において、互いに閾値電圧の異なるMISトランジスタを精度良く実現することができるので、半導体装置及びその製造方法に有用である。

請求の範囲

- [1] 第1のMISトランジスタと、前記第1のMISトランジスタよりも高い閾値電圧を有する第2のMISトランジスタとを備えた半導体装置であって、
- 、
- 前記第1のMISトランジスタは、
- 半導体基板における第1の活性領域に形成された第1のチャネル領域と、
- 前記第1の活性領域における前記第1のチャネル領域上に形成された高誘電率絶縁膜からなる第1のゲート絶縁膜と、
- 前記第1のゲート絶縁膜上に接して設けられた第1の導電部と、前記第1の導電部上に形成された第2の導電部とを有する第1のゲート電極とを備え、
- 、
- 前記第2のMISトランジスタは、
- 前記半導体基板における第2の活性領域に形成され、前記第1のチャネル領域と同じ導電性を有する第2のチャネル領域と、
- 前記第2の活性領域における前記第2のチャネル領域上に形成された前記高誘電率絶縁膜からなる第2のゲート絶縁膜と、
- 前記第2のゲート絶縁膜上に接して設けられた第3の導電部と、前記第3の導電部上に形成された第4の導電部とを有する第2のゲート電極とを備え、
- 、
- 前記第3の導電部は、前記第1の導電部よりも薄い膜厚で、且つ、前記第1の導電部と同じ組成材料からなることを特徴とする半導体装置。
- [2] 請求項1に記載の半導体装置において、
- 前記第1の導電部及び前記第3の導電部は、金属又は金属化合物からなり、
- 、
- 前記第2の導電部及び前記第4の導電部は、シリコンからなることを特徴とする半導体装置。
- [3] 請求項1又は2に記載の半導体装置において、
- 前記第2のゲート絶縁膜及び前記第2のゲート電極を有する前記第2のM

I S トランジスタは、前記第 1 のゲート絶縁膜及び前記第 1 のゲート電極を有する前記第 1 の M I S トランジスタに比べてシリコンのミッドギャップ仕事関数に近い実効仕事関数を有していることを特徴とする半導体装置。

- [4] 請求項 1 ～ 3 のうちいずれか 1 項に記載の半導体装置において、
前記第 1 の M I S トランジスタ及び前記第 2 の M I S トランジスタは、P 型 M I S トランジスタであり、
前記第 1 の導電部及び前記第 3 の導電部は、4. 7 e V 以上で 5. 1 5 e V 以下の仕事関数を有していることを特徴とする半導体装置。
- [5] 請求項 1 ～ 4 のうちいずれか 1 項に記載の半導体装置において、
前記第 1 の M I S トランジスタ及び前記第 2 の M I S トランジスタは、P 型 M I S トランジスタであり、
前記第 1 の導電部及び前記第 3 の導電部は、窒化チタン膜、窒化タンタル膜又は炭化タンタル膜であることを特徴とする半導体装置。
- [6] 請求項 1 ～ 5 のうちいずれか 1 項に記載の半導体装置において、
前記第 1 の M I S トランジスタ及び前記第 2 の M I S トランジスタは、P 型 M I S トランジスタであり、
前記第 1 の導電部及び前記第 3 の導電部は、窒化チタン膜からなり、
前記第 1 の導電部の膜厚は、2 0 n m 以上であり、
前記第 3 の導電部の膜厚は、1 5 n m 以下であることを特徴とする半導体装置。
- [7] 請求項 1 ～ 3 のうちいずれか 1 項に記載の半導体装置において、
前記第 1 の M I S トランジスタ及び前記第 2 の M I S トランジスタは、N 型 M I S トランジスタであり、
前記第 1 の導電部及び前記第 3 の導電部は、4. 0 5 e V 以上で 4. 5 e V 以下の仕事関数を有していることを特徴とする半導体装置。
- [8] 請求項 1 ～ 7 のうちいずれか 1 項に記載の半導体装置において、
前記第 2 のチャネル領域は、前記第 1 のチャネル領域と同じ不純物濃度を有していることを特徴とする半導体装置。

- [9] 請求項 1 ～ 8 のうちいずれか 1 項に記載の半導体装置において、
前記第 2 のゲート絶縁膜は、前記第 1 のゲート絶縁膜と同じ膜厚を有し、
前記第 4 の導電部は、前記第 2 の導電部と同じ膜厚を有していることを特徴とする半導体装置。
- [10] 請求項 1 ～ 9 のうちいずれか 1 項に記載の半導体装置において、
前記第 1 のゲート電極の膜厚は、前記第 2 のゲート電極の膜厚に比べて厚いことを特徴とする半導体装置。
- [11] 第 1 の M I S トランジスタと、前記第 1 の M I S トランジスタよりも高い閾値電圧を有する第 2 の M I S トランジスタとを備えた半導体装置であって、
前記第 1 の M I S トランジスタは、
半導体基板における第 1 の活性領域に形成された第 1 のチャネル領域と、
前記第 1 の活性領域における前記第 1 のチャネル領域上に形成された高誘電率絶縁膜からなる第 1 のゲート絶縁膜と、
前記第 1 のゲート絶縁膜上に接して設けられた第 1 の導電部を有する第 1 のゲート電極とを備え、
前記第 2 の M I S トランジスタは、
前記半導体基板における第 2 の活性領域に形成され、前記第 1 のチャネル領域と同じ導電性を有する第 2 のチャネル領域と、
前記第 2 の活性領域における前記第 2 のチャネル領域上に形成された前記高誘電率絶縁膜からなる第 2 のゲート絶縁膜と、
前記第 2 のゲート絶縁膜上に接して設けられた第 2 の導電部を有する第 2 のゲート電極とを備え、
前記第 2 の導電部は、前記第 1 の導電部と異なる組成材料からなることを特徴とする半導体装置。
- [12] 請求項 1 1 に記載の半導体装置において、
前記第 2 の導電部は、前記第 1 の導電部に比べてシリコンのミッドギャップ仕事関数に近い仕事関数を有していることを特徴とする半導体装置。

- [13] 請求項 1 1 又は 1 2 に記載の半導体装置において、
前記第 1 のゲート電極は、前記第 1 の導電部のみからなり、
前記第 2 のゲート電極は、前記第 2 の導電部のみからなることを特徴とする半導体装置。
- [14] 請求項 1 1 又は 1 2 に記載の半導体装置において、
前記第 1 のゲート電極は、前記第 1 の導電部上に形成された第 3 の導電部を有し、
前記第 2 のゲート電極は、前記第 2 の導電部上に形成された第 4 の導電部を有していることを特徴とする半導体装置。
- [15] 請求項 1 4 に記載の半導体装置において、
前記第 1 のゲート電極は、前記第 1 の導電部と前記第 3 の導電部との間に、前記第 2 の導電部と同じ導電材料からなる第 5 の導電部を有していることを特徴とする半導体装置。
- [16] 請求項 1 4 又は 1 5 に記載の半導体装置において、
前記第 3 の導電部及び前記第 4 の導電部は、シリコンからなることを特徴とする半導体装置。
- [17] 請求項 1 1 ～ 1 6 のうちいずれか 1 項に記載の半導体装置において、
前記第 1 の導電部は、第 1 の金属又は第 1 の金属化合物からなり、
前記第 2 の導電部は、第 2 の金属又は第 2 の金属化合物からなることを特徴とする半導体装置。
- [18] 請求項 1 1 ～ 1 7 のうちいずれか 1 項に記載の半導体装置において、
前記第 1 の M I S トランジスタ及び前記第 2 の M I S トランジスタは、P 型 M I S トランジスタであり、
前記第 1 の導電部は、窒化チタン膜であり、
前記第 2 の導電部は、窒化モリブデン膜又は窒化タンタル膜であることを特徴とする半導体装置。
- [19] 請求項 1 1 ～ 1 8 のうちいずれか 1 項に記載の半導体装置において、
前記第 2 のチャネル領域は、前記第 1 のチャネル領域と同じ不純物濃度を

有していることを特徴とする半導体装置。

- [20] 第1のゲート電極を有する第1のMISトランジスタと、前記第1のMISトランジスタよりも高い閾値電圧を持つ第2のゲート電極を有する第2のMISトランジスタとを備えた半導体装置の製造方法であって、

半導体基板に、素子分離領域によって囲まれた第1の活性領域及び第2の活性領域を形成する工程（a）と、

前記第1の活性領域に第1のチャネル領域を形成すると共に、前記第2の活性領域に前記第1のチャネル領域と同じ導電型を有する第2のチャネル領域を形成する工程（b）と、

前記工程（b）の後に、前記第1の活性領域及び前記第2の活性領域の上に高誘電率絶縁膜を形成する工程（c）と、

前記工程（c）の後に、前記第1の活性領域上に前記高誘電率絶縁膜からなる第1のゲート絶縁膜を形成し、且つ、前記第1のゲート絶縁膜上に接して設けられた第1の導電部と前記第1の導電部上に設けられた第2の導電部とを有する前記第1のゲート電極を形成する共に、前記第2の活性領域上に前記高誘電率絶縁膜からなる第2のゲート絶縁膜を形成し、且つ、前記第2のゲート絶縁膜上に接して設けられた第3の導電部と前記第3の導電部上に設けられた第4の導電部とを有する前記第2のゲート電極を形成する工程（d）とを備え、

前記第3の導電部は、前記第1の導電部よりも薄い膜厚で、且つ、前記第1の導電部と同じ組成材料からなることを特徴とする半導体装置の製造方法。

- [21] 請求項20に記載の半導体装置の製造方法において、

前記工程（d）は、前記第1の活性領域上の前記高誘電率絶縁膜に接する第1の金属膜を形成する工程（d1）と、前記工程（d1）の後に、前記第1の金属膜、及び前記第2の活性領域上の前記高誘電率絶縁膜に接する第2の金属膜を形成する工程（d2）と、前記（d2）の後に、前記第2の金属膜上にシリコン膜を形成する工程（d3）と、前記工程（d3）の後に、前

記第 1 の活性領域上の前記シリコン膜、前記第 2 の金属膜、前記第 1 の金属膜、及び前記高誘電率絶縁膜をパターンニングして、前記高誘電率絶縁膜からなる前記第 1 のゲート絶縁膜、前記第 1 の金属膜及び前記第 2 の金属膜からなる前記第 1 の導電部、及び前記シリコン膜からなる前記第 2 の導電部を形成すると共に、前記第 2 の活性領域上の前記シリコン膜、前記第 2 の金属膜、及び前記高誘電率絶縁膜をパターンニングして、前記高誘電率絶縁膜からなる前記第 2 のゲート絶縁膜、前記第 2 の金属膜からなる前記第 3 の導電部、及び前記シリコン膜からなる前記第 4 の導電部を形成する工程（d 4）とを含むことを特徴とする半導体装置の製造方法。

[22] 請求項 20 に記載の半導体装置の製造方法において、

前記工程（d）は、前記高誘電率絶縁膜に接する金属膜を形成する工程（d 1）と、前記工程（d 1）の後に、第 2 の活性領域上の前記金属膜の上部をエッチングして、前記金属膜よりも膜厚の薄い金属薄膜部を形成する工程（d 2）と、前記工程（d 2）の後に、前記金属膜及び前記金属薄膜部の上にシリコン膜を形成する工程（d 3）と、前記工程（d 3）の後に、前記第 1 の活性領域上の前記シリコン膜、前記金属膜、及び前記高誘電率絶縁膜をパターンニングして、前記高誘電率絶縁膜からなる前記第 1 のゲート絶縁膜、前記金属膜からなる前記第 1 の導電部、及び前記シリコン膜からなる前記第 2 の導電部を形成すると共に、前記第 2 の活性領域上の前記シリコン膜、前記金属薄膜部、及び前記高誘電率絶縁膜をパターンニングして、前記高誘電率絶縁膜からなる前記第 2 のゲート絶縁膜、前記金属薄膜部からなる前記第 3 の導電部、及び前記シリコン膜からなる前記第 4 の導電部を形成する工程（d 4）とを含むことを特徴とする半導体装置の製造方法。

[23] 第 1 のゲート電極を有する第 1 の M I S トランジスタと、前記第 1 の M I S トランジスタよりも高い閾値電圧を持つ第 2 のゲート電極を有する第 2 の M I S トランジスタとを備えた半導体装置の製造方法であって、

半導体基板に、素子分離領域によって囲まれた第 1 の活性領域及び第 2 の活性領域を形成する工程（a）と、

前記第 1 の活性領域に第 1 のチャネル領域を形成すると共に、前記第 2 の活性領域に前記第 1 のチャネル領域と同じ導電性を有する第 2 のチャネル領域を形成する工程（b）と、

前記工程（b）の後に、前記第 1 の活性領域及び前記第 2 の活性領域の上に高誘電率絶縁膜を形成する工程（c）と、

前記工程（c）の後に、前記第 1 の活性領域上に前記高誘電率絶縁膜からなる第 1 のゲート絶縁膜を形成し、且つ、前記第 1 のゲート絶縁膜上に接して設けられた第 1 の導電部を有する前記第 1 のゲート電極を形成する共に、前記第 2 の活性領域上に前記高誘電率絶縁膜からなる第 2 のゲート絶縁膜を形成し、且つ、前記第 2 のゲート絶縁膜上に接して設けられた第 2 の導電部を有する前記第 2 のゲート電極を形成する工程（d）とを備え、

前記第 2 の導電部は、前記第 1 の導電部と異なる組成材料からなることを特徴とする半導体装置の製造方法。

[24] 請求項 23 に記載の半導体装置の製造方法において、

前記工程（d）は、前記第 1 の活性領域上の前記高誘電率絶縁膜に接する第 1 の金属膜を形成する工程（d1）と、前記第 2 の活性領域上の前記高誘電率絶縁膜に接する第 2 の金属膜を形成する工程（d2）と、前記工程（d1）及び前記工程（d2）の後に、前記第 1 の活性領域上の前記第 1 の金属膜、及び前記高誘電率絶縁膜をパターニングして、前記高誘電率絶縁膜からなる前記第 1 のゲート絶縁膜、及び前記第 1 の金属膜からなる前記第 1 の導電部を形成すると共に、前記第 2 の活性領域上の前記第 2 の金属膜、及び前記高誘電率絶縁膜をパターニングして、前記高誘電率絶縁膜からなる前記第 2 のゲート絶縁膜、及び前記第 2 の金属膜からなる前記第 2 の導電部を形成する工程（d3）とを含むことを特徴とする半導体装置の製造方法。

[25] 請求項 23 に記載の半導体装置の製造方法において、

前記工程（d）は、前記第 1 の活性領域上の前記高誘電率絶縁膜に接する第 1 の金属膜を形成する工程（d1）と、前記第 2 の活性領域上の前記高誘電率絶縁膜に接する第 2 の金属膜を形成する工程（d2）と、前記工程（d

1) 及び前記工程 (d 2) の後に、前記第 1 の金属膜及び前記第 2 の金属膜の上にシリコン膜を形成する工程 (d 3) と、前記工程 (d 3) の後に、前記第 1 の活性領域上の前記シリコン膜、前記第 1 の金属膜、及び前記高誘電率絶縁膜をパターンニングして、前記高誘電率絶縁膜からなる前記第 1 のゲート絶縁膜、前記第 1 の金属膜からなる前記第 1 の導電部、及び前記シリコン膜からなる第 3 の導電部を形成すると共に、前記第 2 の活性領域上の前記シリコン膜、前記第 2 の金属膜、及び前記高誘電率絶縁膜をパターンニングして、前記高誘電率絶縁膜からなる前記第 2 のゲート絶縁膜、前記第 2 の金属膜からなる前記第 2 の導電部、及び前記シリコン膜からなる第 4 の導電部を形成する工程 (d 4) とを含むことを特徴とする半導体装置の製造方法。

[26] 請求項 2 3 に記載の半導体装置の製造方法において、

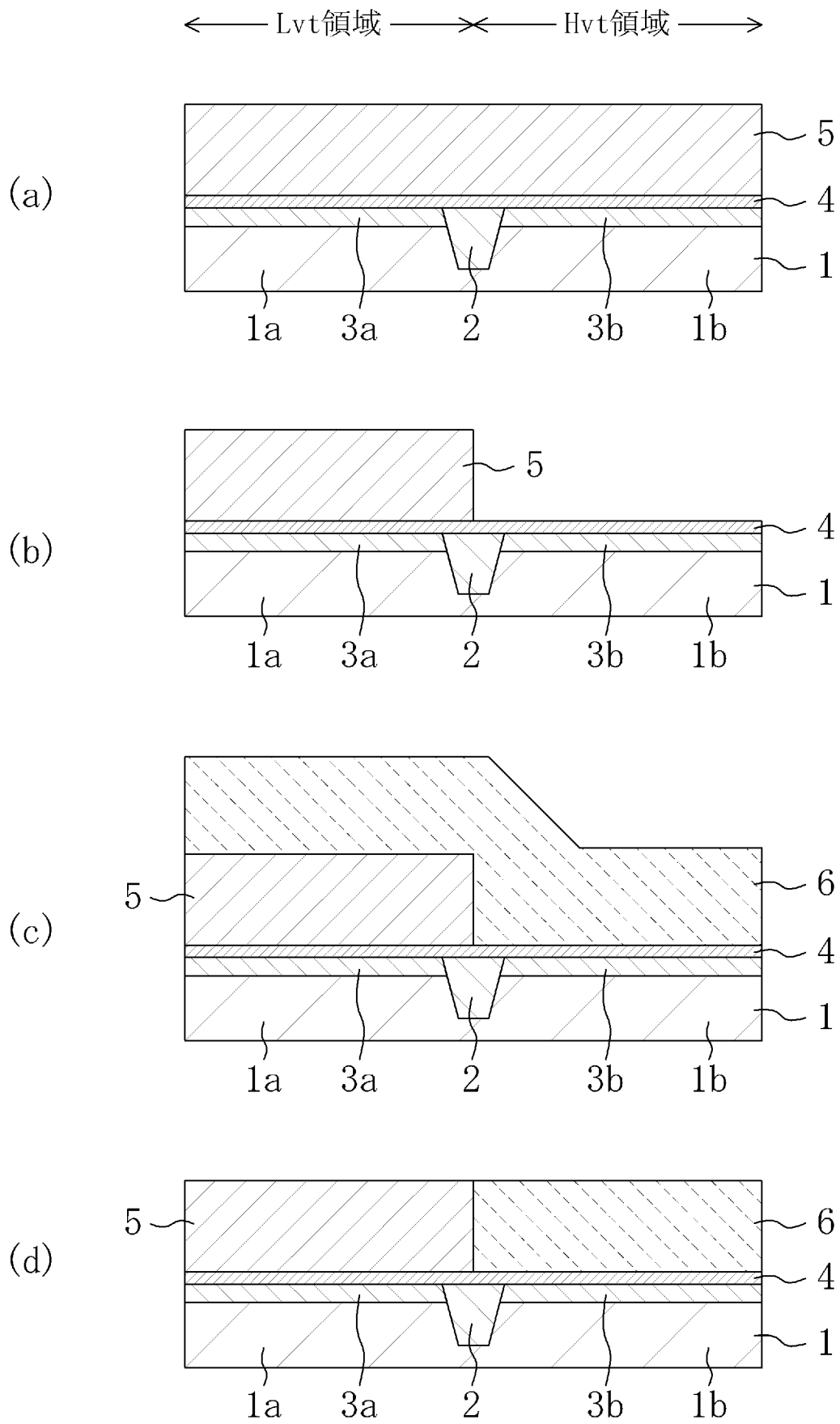
前記工程 (d) は、前記第 1 の活性領域上の前記高誘電率絶縁膜に接する第 1 の金属膜を形成する工程 (d 1) と、前記工程 (d 1) の後に、前記第 1 の金属膜、及び前記第 2 の活性領域上の前記高誘電率絶縁膜に接する第 2 の金属膜を形成する工程 (d 2) と、前記工程 (d 2) の後に、前記第 2 の金属膜上にシリコン膜を形成する工程 (d 3) と、前記工程 (d 3) の後に、前記第 1 の活性領域上の前記シリコン膜、前記第 2 の金属膜、前記第 1 の金属膜、及び前記高誘電率絶縁膜をパターンニングして、前記高誘電率絶縁膜からなる前記第 1 のゲート絶縁膜、前記第 1 の金属膜からなる前記第 1 の導電部、前記第 2 の金属膜からなる第 5 の導電部、及び前記シリコン膜からなる第 3 の導電部を形成すると共に、前記第 2 の活性領域上の前記シリコン膜、前記第 2 の金属膜、及び前記高誘電率絶縁膜をパターンニングして、前記高誘電率絶縁膜からなる前記第 2 のゲート絶縁膜、前記第 2 の金属膜からなる前記第 2 の導電部、及び前記シリコン膜からなる第 4 の導電部を形成する工程 (d 4) とを含むことを特徴とする半導体装置の製造方法。

[27] 請求項 1 4 に記載の半導体装置において、

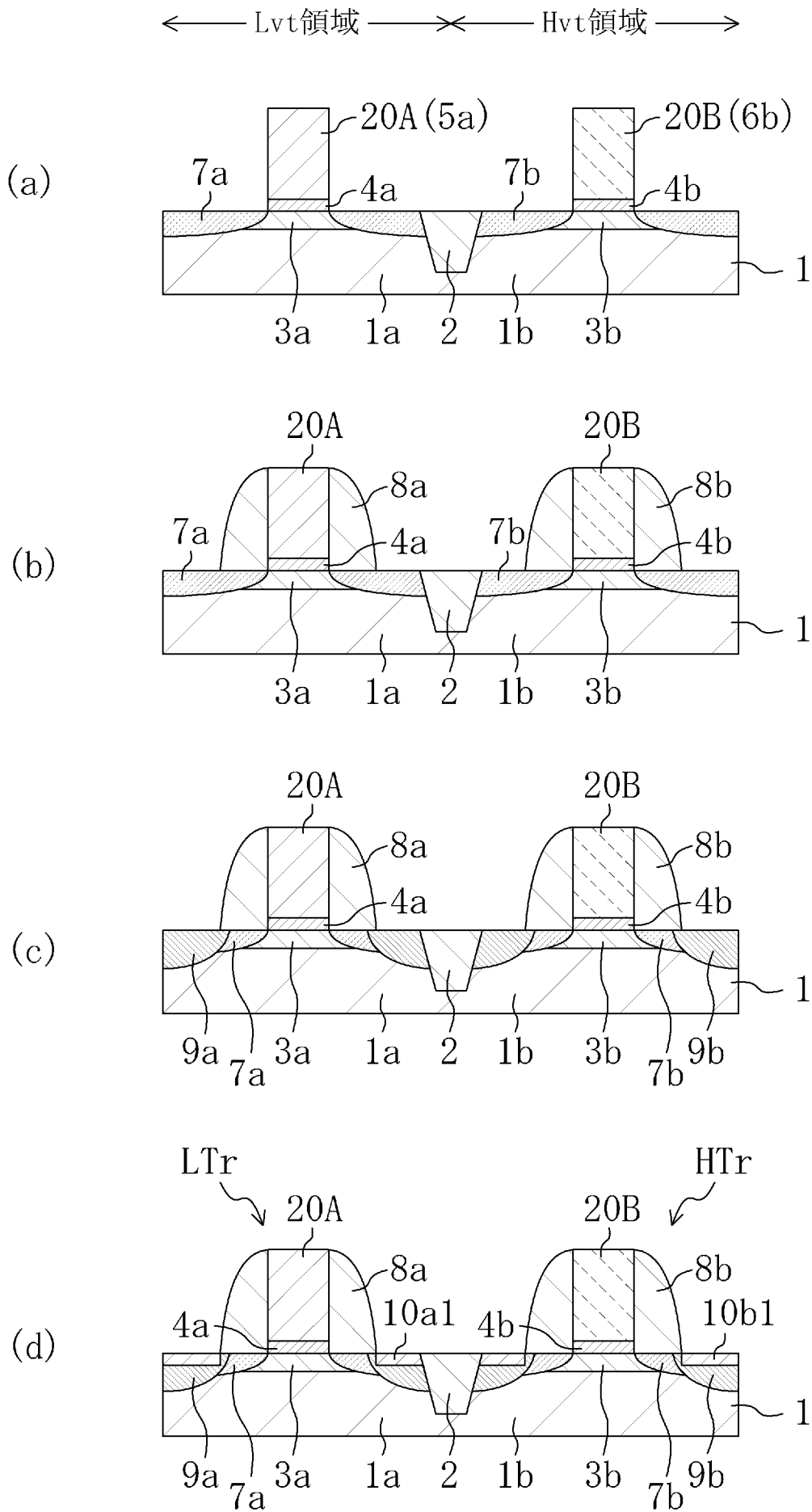
前記第 2 のゲート電極は、前記第 2 の導電部と前記第 4 の導電部との間に、前記第 1 の導電部と同じ導電材料からなる第 5 の導電部を有していること

を特徴とする半導体装置。

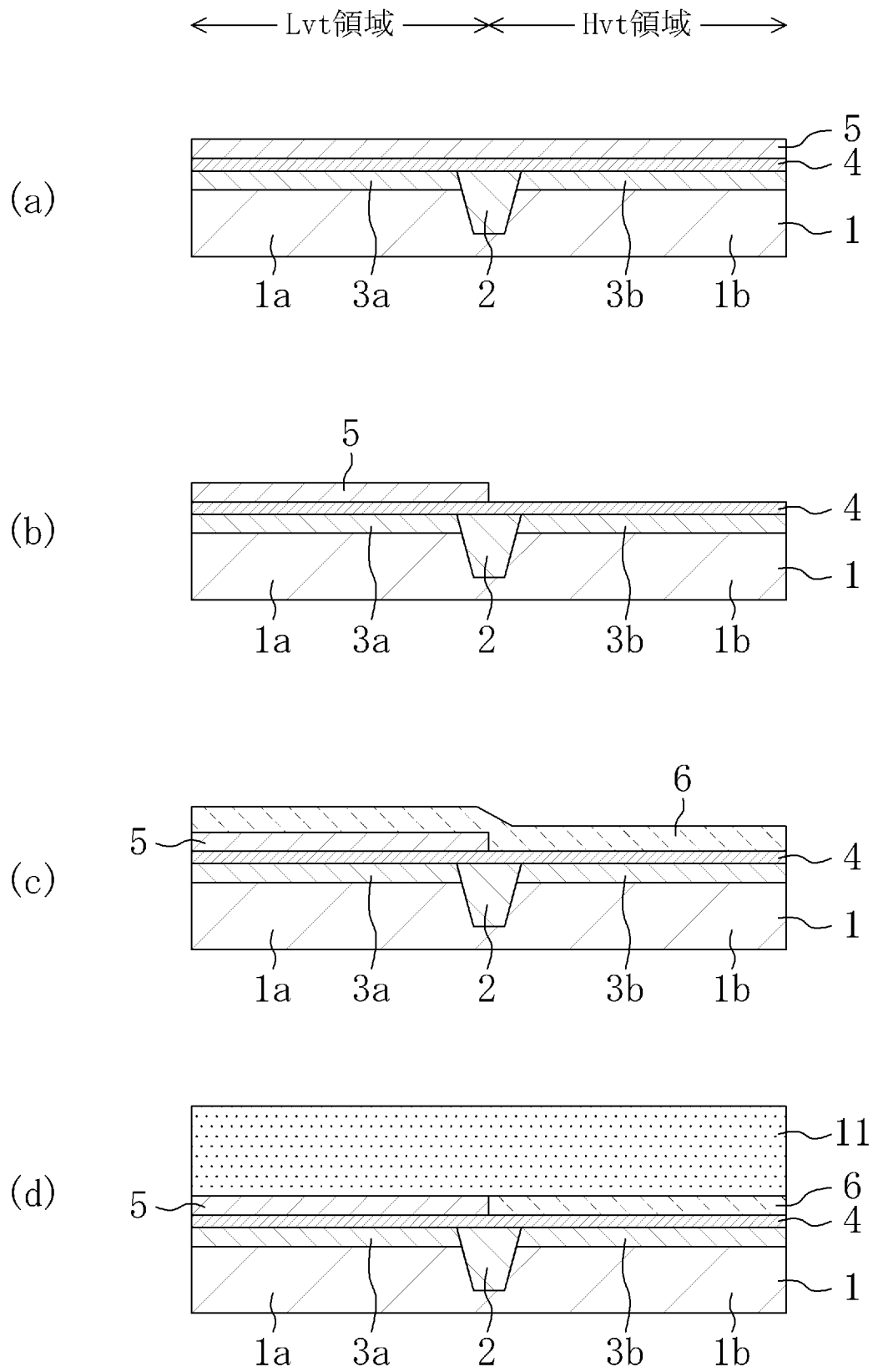
[図1]



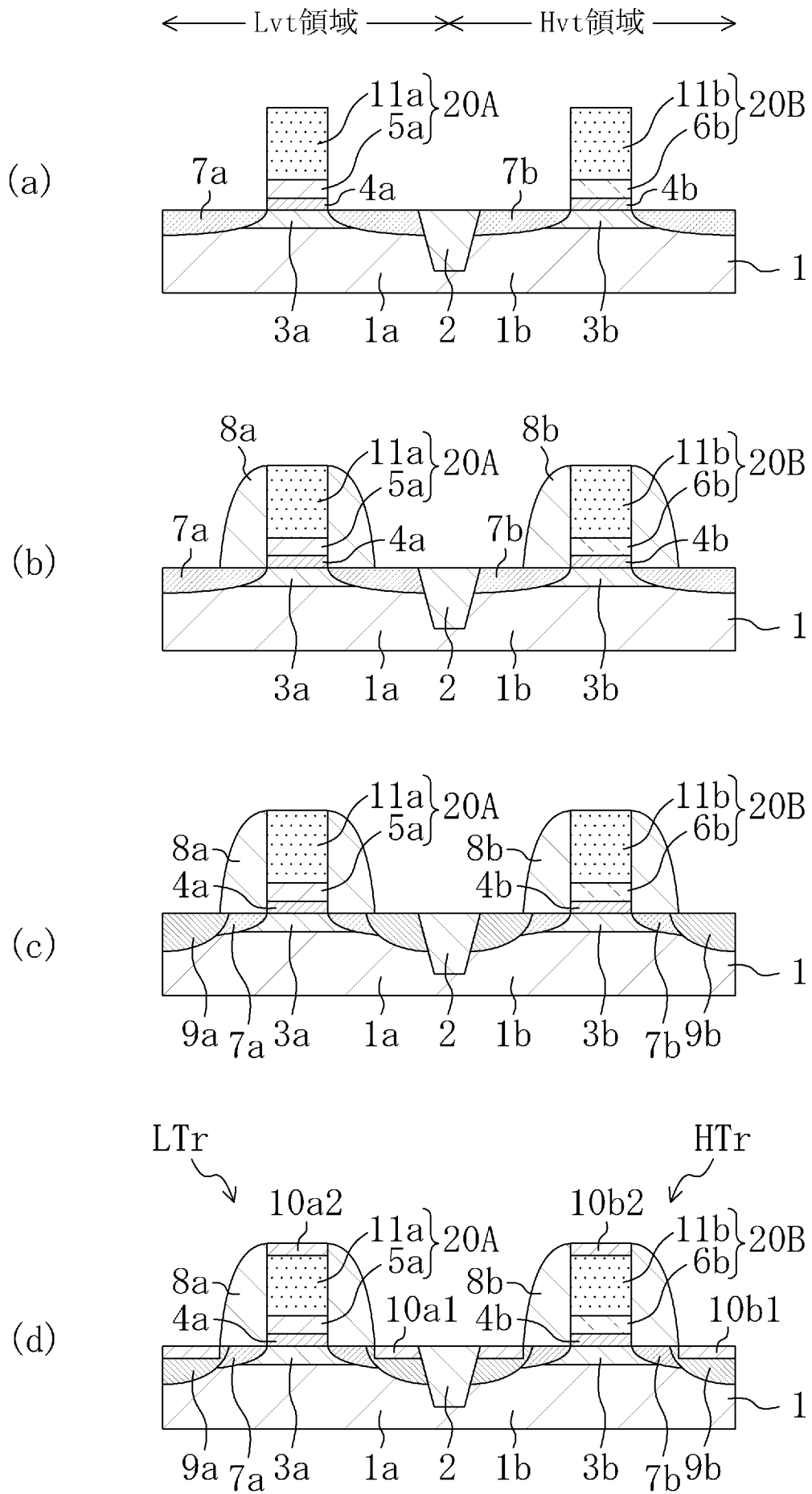
[図2]



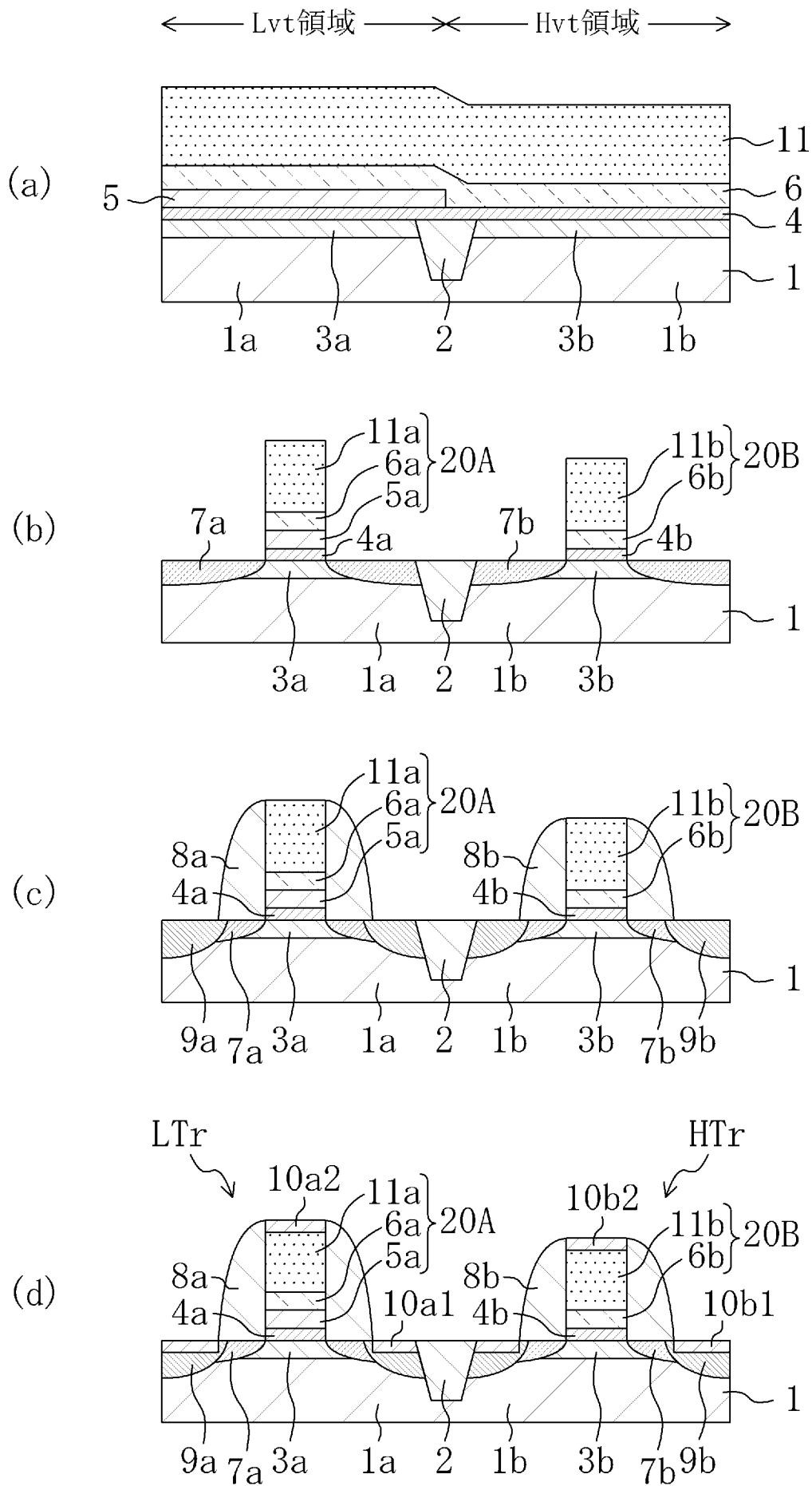
[図3]



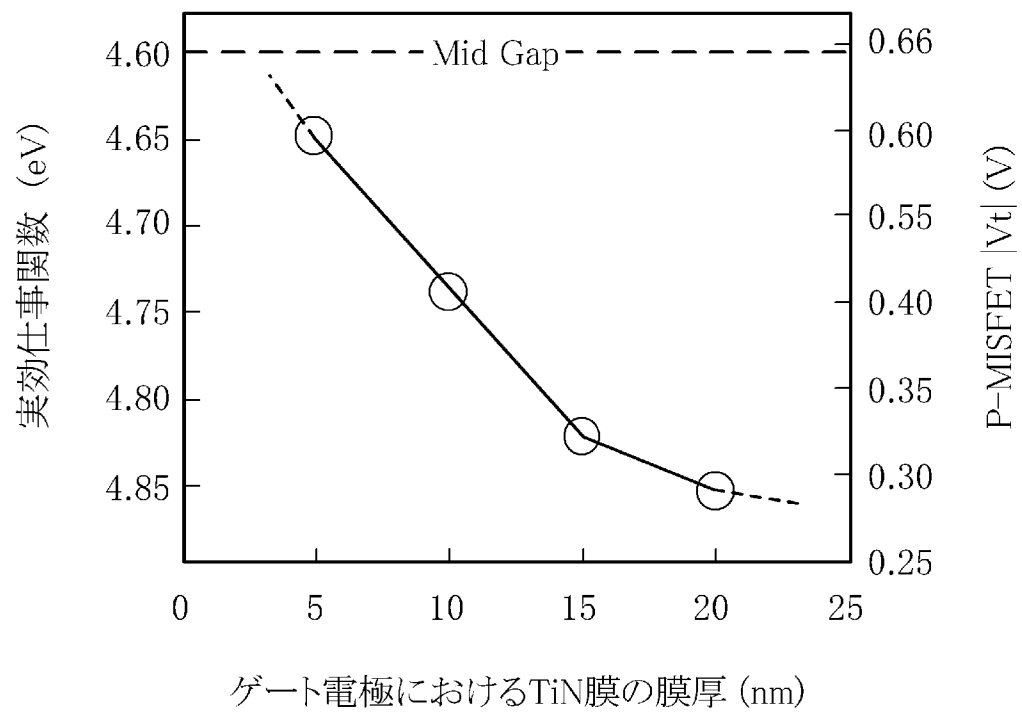
[図4]



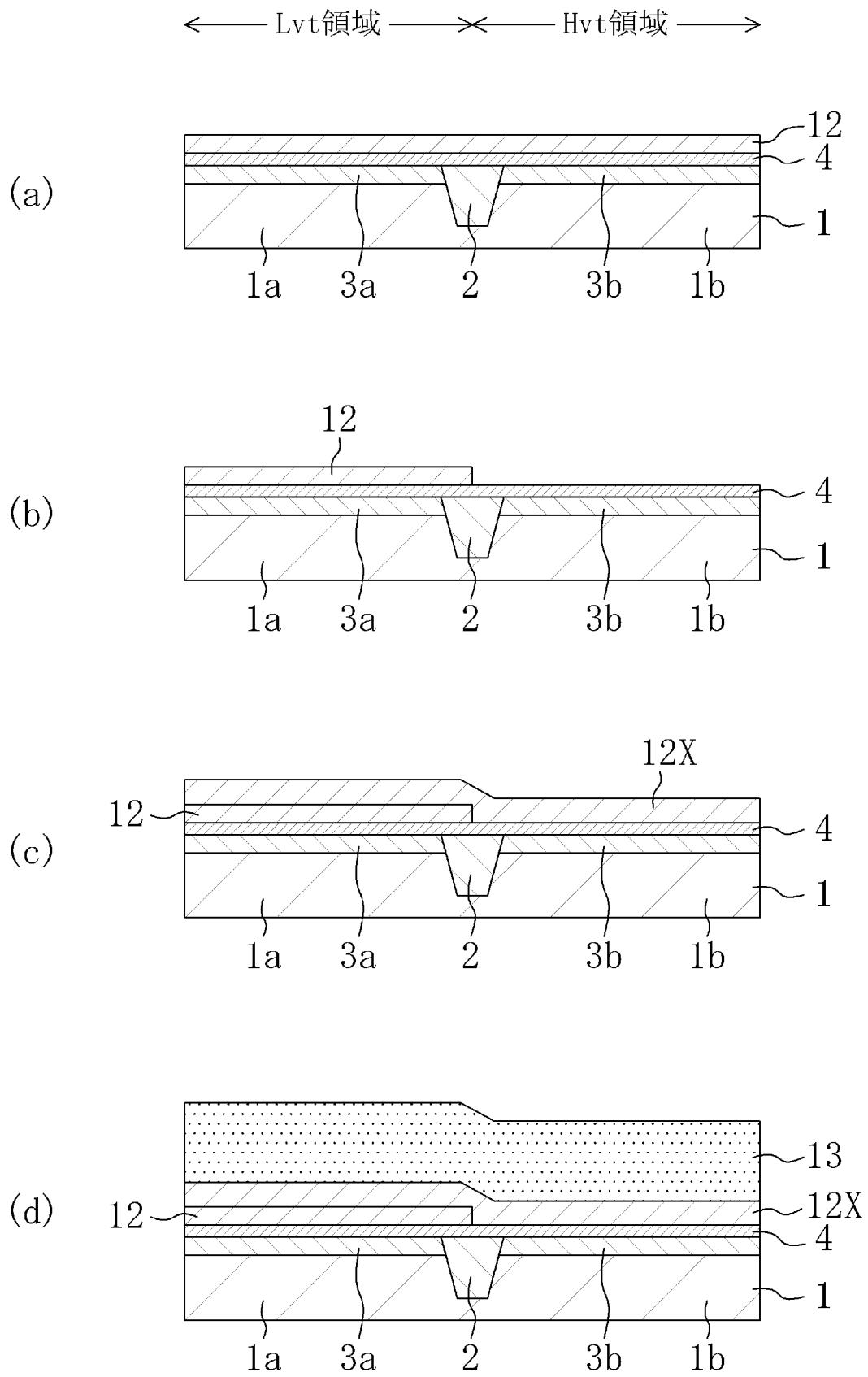
[図5]



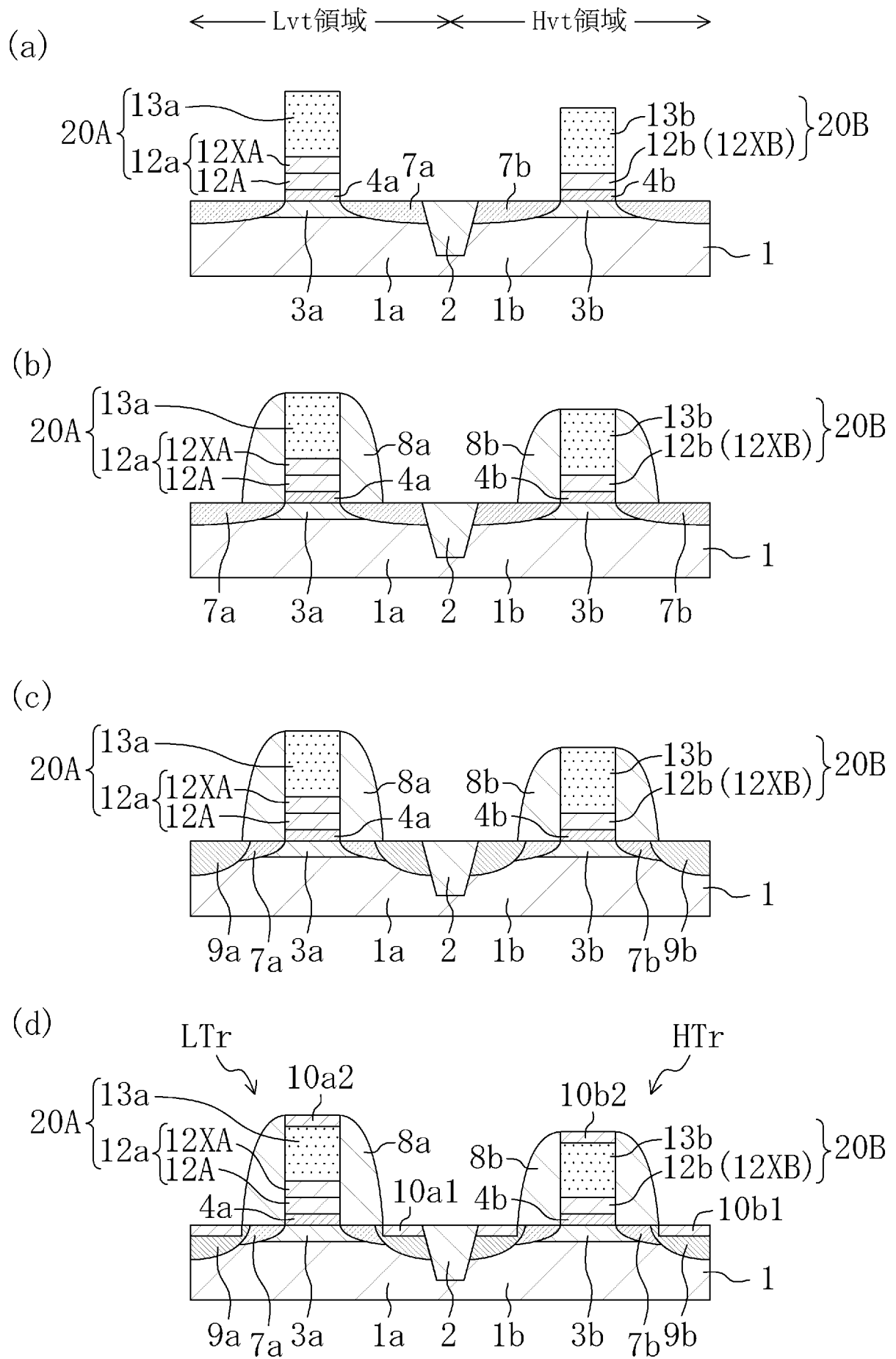
[図6]



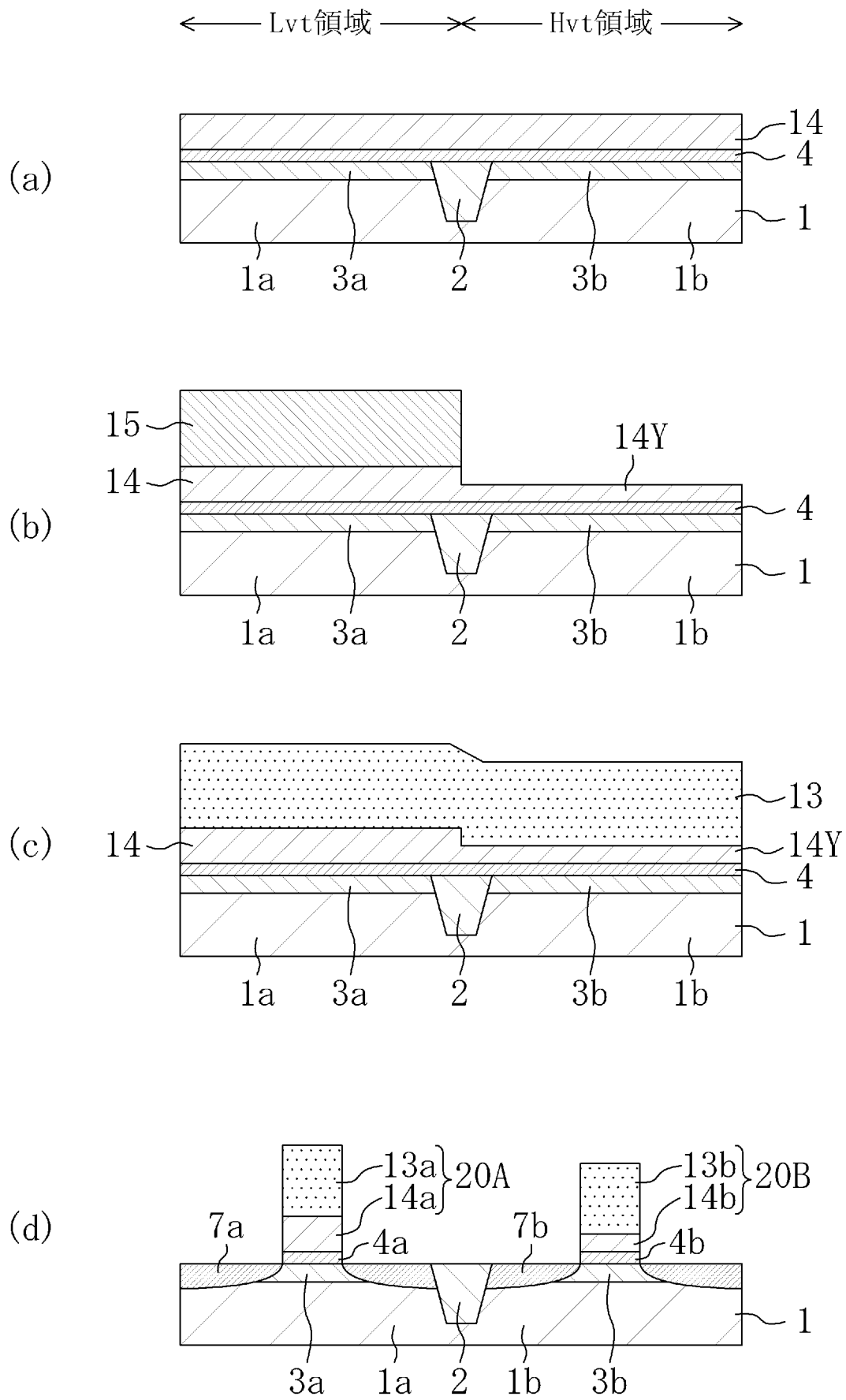
[図7]



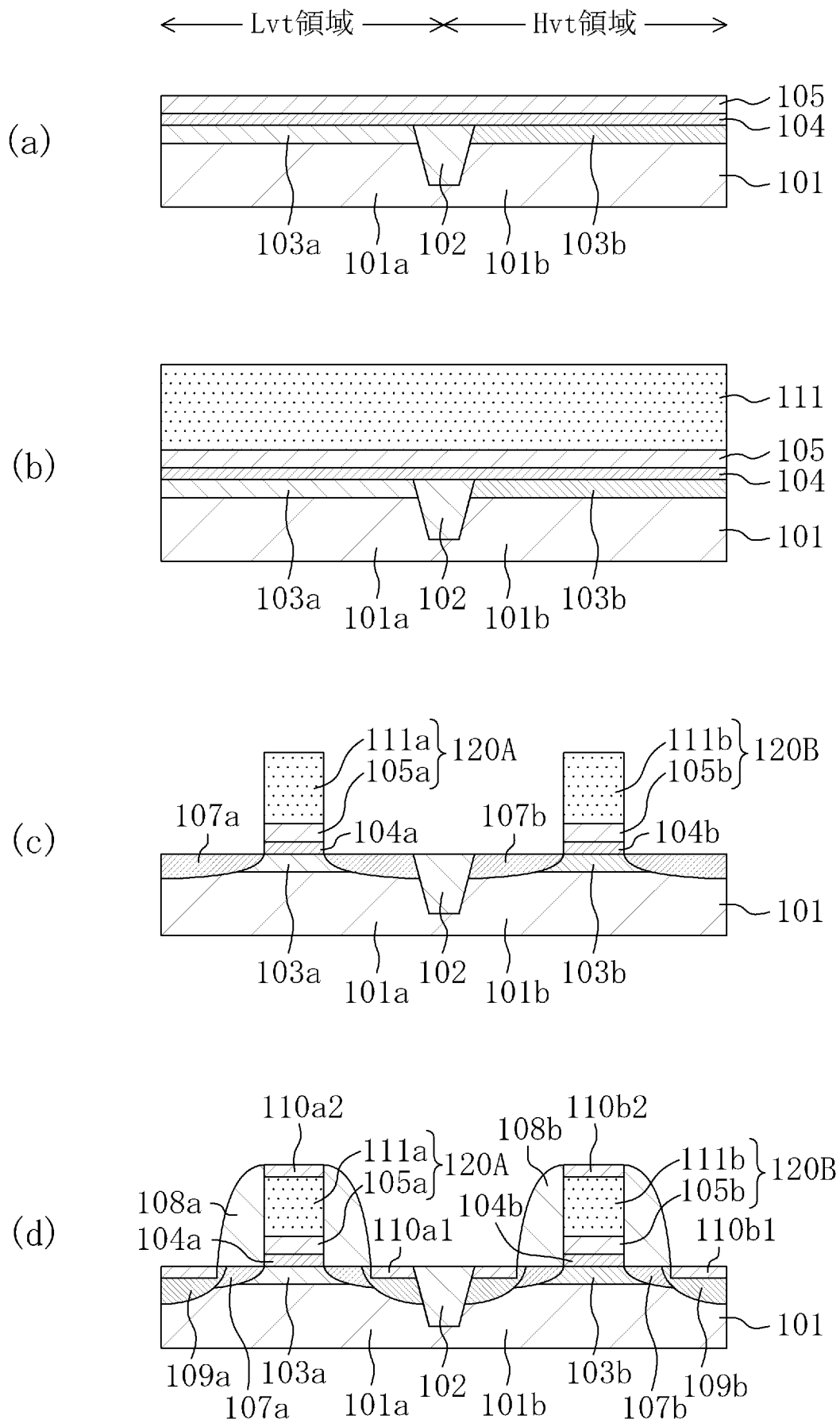
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/003898

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8234(2006.01)i, H01L21/28(2006.01)i, H01L27/088(2006.01)i,
H01L29/417(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8234, H01L21/28, H01L27/088, H01L29/417, H01L29/423, H01L29/49,
H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-110091 A (Infineon Technologies AG.), 26 April, 2007 (26.04.07), Par. No. [0062]; Figs. 1 to 5 & US 2007/0052036 A1 Par. No. [0064]; Figs. 1 to 5 & US 2007/0052037 A1 & EP 1760777 A2	1, 2
A	JP 2006-196610 A (Fujitsu Ltd.), 27 July, 2006 (27.07.06), Full text; all drawings (Family: none)	1, 2
A	JP 2007-335783 A (Fujitsu Ltd.), 27 December, 2007 (27.12.07), Full text; all drawings (Family: none)	1, 2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
25 March, 2009 (25.03.09)

Date of mailing of the international search report
14 April, 2009 (14.04.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/003898

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-324342 A (Renesas Technology Corp.) , 30 November, 2006 (30.11.06) , Full text; all drawings (Family: none)	1,2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/003898

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See the extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 2

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/003898

Continuation of Box No.III of continuation of first sheet (2)

The technical feature of the inventions of claims 1-10, 20-22 is that the third conductive portion is thinner than the first conductive portion and is made of the same composition material as that of the first conductive portion.

The technical feature of the inventions of claims 11-19, 23-27 is that the second conductive portion is made of a composition material different from that of the first conductive portion.

Therefore, since the technical feature of the inventions of claims 1-10, 20-22 is different from that of claims 11-19, 23-27, these inventions obviously do not comply with the requirement of unity of invention.

There must be a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-10, 20-22 are linked only by the matter stated in claim 1.

However, since the matter is disclosed in prior art documents, e.g., JP 2007-110091 A (Infineon Technologies AG.), 26 April, 2007 (26.04.07), [0062], figures 1-5, it cannot be a special technical feature.

Therefore, there is no special technical feature so linking the group of inventions of claims 1-10, 20-22 as to form a single general inventive concept.

Consequently, the group of inventions of claims 1-10, 20-22 does not comply with the requirement of unity of invention.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/8234(2006.01)i, H01L21/28(2006.01)i, H01L27/088(2006.01)i, H01L29/417(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/8234, H01L21/28, H01L27/088, H01L29/417, H01L29/423, H01L29/49, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2007-110091 A (インフィネオン テクノロジーズ アクチエン ゲゼルシャフト) 2007.04.26, 【0062】, 第 1-5 図 & US 2007/0052036 A1, [0064], 第 1-5 図 & US 2007/0052037 A1 & EP 1760777 A2	1, 2
A	JP 2006-196610 A (富士通株式会社) 2006.07.27, 全文, 全図 (フ ァミリーなし)	1, 2
A	JP 2007-335783 A (富士通株式会社) 2007.12.27, 全文, 全図 (フ ァミリーなし)	1, 2

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 3 . 2 0 0 9

国際調査報告の発送日

1 4 . 0 4 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

宇多川 勉

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

4 L

3 1 2 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2006-324342 A (株式会社ルネサステクノロジ) 2006.11.30, 全文, 全図 (ファミリーなし)	1, 2

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページを参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1, 2

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲 1-10, 20-22 に係る発明における技術的特徴は、第 3 の導電部は第 1 の導電部よりも薄い膜厚で、且つ、第 1 の導電部と同じ組成材料からなることであると認められる。

ここで、請求の範囲 11-19, 23-27 に係る発明における技術的特徴は、第 2 の導電部は第 1 の導電部と異なる組成材料からなることであると認められる。

よって、請求の範囲 1-10, 20-22 に係る発明と、請求の範囲 11-19, 23-27 に係る発明とは、技術的特徴が相違しているため、発明の単一性の要件を満たしていないことは明らかである。

また、請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲 1-10, 20-22 に記載されている一群の発明は、請求の範囲 1 に記載された事項でのみ連関している。

しかしながら、この事項は、先行技術文献、例えば、JP 2007-110091 A (インフィネオン テクノロジーズ アクチエンゲゼルシャフト) 2007.04.26, 【0062】, 第 1-5 図、に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲 1-10, 20-22 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しないこととなる。

よって、請求の範囲 1-10, 20-22 に記載されている一群の発明は、発明の単一性の要件を満たしていない。