



(45)授权公告日 2019.03.29

赤間貞洋

申请公布号 CN 106165295 A

代理人 徐殿军

(51) Int.Cl.

H03K 17/56(2006.01)

H02M 1/08(2006.01)

(56)对比文件

CN 101309347 A, 2008.11.19.

CN 1485656 A, 2004.03.31,

CN 1968017 A, 2007.05.23,

JP 2008078816 A, 2008.04.03,

JP 2012248991 A, 2012.12.13,

US 5986484 A, 1999.11.16,

宙查员 王倩

权利要求书3页 说明书7页 附图7页

(57)摘要

1. 一种驱动电路的定时调整方法，

所述驱动电路(1)具备：

上升检测部(5)，检测在电压驱动型半导体元件(3)关断时所述电压驱动型半导体元件的导通端子间电压的上升开始；

定时信号输出部(6)，在从检测到所述上升开始的时刻起经过了所设定的延迟时间的情况下，输出速度变更定时信号；以及

导通控制部(4)，在根据被输入的驱动信号使所述电压驱动型半导体元件关断时，对于所述电压驱动型半导体元件的导通控制端子，最初使其高速放电，在被输入所述速度变更定时信号的情况下使放电速度变化为低速，

所述定时调整方法针对驱动电路(1)，调整向所述定时信号输出部设定的延迟时间，

所述定时调整方法，

将在所述电压驱动型半导体元件关断时所述导通端子间电压从所述上升开始起上升至向高电位侧的导通端子供给的电源电压为止的时间设为上升完成时间的情况下，对经过所述上升完成时间的时刻的所述导通控制端子的电压进行推测并定义为推测端子电压，

当TEST模式信号成为高电平时，在一定期间从脉冲生成电路向所述驱动电路输出使所述电压驱动型半导体元件关断的电平的所述驱动信号，

在从使所述脉冲生成电路所输出的所述驱动信号变化为使所述电压驱动型半导体元件关断的电平的时刻起到使所述电平反转为止所述导通控制端子的电压不成为所述推测端子电压以下的情况下，使向所述定时信号输出部设定的延迟时间增加规定的单位时间后，使驱动信号再次变化为使所述电压驱动型半导体元件关断的电平，

将在所述导通控制端子的电压初次成为所述推测端子电压以下的时刻所设定着的延迟时间决定为向所述定时信号输出部固定地设定的值。

2. 如权利要求1所述的驱动电路的定时调整方法，

在设所述导通控制部为了进行放电动作而使用的电源电压为 V_B ，所述电压驱动型半导体元件的反馈电容为 C_{rss} ，所述电压驱动型半导体元件的输入电容为 C_{iss} ，所述推测端子电压为 V_T 时， V_T 由式 $V_T = V_B - V_H \times C_{rss} / C_{iss}$ 决定。

3. 一种驱动电路的定时调整电路，

所述驱动电路(1)具备：

上升检测部(5)，检测在电压驱动型半导体元件(3)关断时所述电压驱动型半导体元件的导通端子间电压的上升开始；

定时信号输出部(6)，在从检测到所述上升开始的时刻起经过了所设定的延迟时间的情况下，输出速度变更定时信号；以及

导通控制部(4)，在根据被输入的驱动信号使所述电压驱动型半导体元件关断时，对于所述电压驱动型半导体元件的导通控制端子，最初使其高速放电，在被输入所述速度变更定时信号的情况下使放电速度变化为低速，

所述定时调整电路针对驱动电路(1)，调整向所述定时信号输出部设定的延迟时间，

所述定时调整电路具备：

脉冲生成电路(8)，当TEST模式信号成为高电平时，在一定期间向所述驱动电路输出使所述电压驱动型半导体元件关断的电平的所述驱动信号，

比较器(9),在所述导通控制端子的电压低于推测端子电压的情况下,输出检测信号,所述推测端子电压是指,将在所述电压驱动型半导体元件关断时所述导通端子间电压从所述上升开始起上升至向高电位侧的导通端子供给的电源电压为止的时间设为上升完成时间的情况下,对经过了所述上升完成时间的时刻的所述导通控制端子的电压进行推测而得到的电压;以及

延迟时间设定装置(7),在从所述脉冲生成电路所输出的所述驱动信号变化为使所述电压驱动型半导体元件关断的电平的时刻起到所述电平反转为止所述检测信号没有被输出的情况下,使向所述定时信号输出部设定的延迟时间增加规定的单位时间,将在所述检测信号初次被输出的时刻所设定着的延迟时间向所述定时信号输出部固定地设定。

4.如权利要求3所述的驱动电路的定时调整电路,

在设所述导通控制部为了进行放电动作而使用的电源电压为 V_B ,所述电压驱动型半导体元件的反馈电容为 C_{rss} ,所述电压驱动型半导体元件的输入电容为 C_{iss} ,所述推测端子电压为 V_T 时, V_T 由式 $V_T = V_B - V_H \times C_{rss} / C_{iss}$ 决定。

5.如权利要求3所述的驱动电路的定时调整电路,

该定时调整电路还具备延迟电路,

所述延迟时间设定装置(7)构成为:

具备数据寄存器(24)、存储器(25)、选择器(26),在被输入表示定时调整期间的信号的期间中,使向所述数据寄存器设定的相当于所述延迟时间的数据值每次增加规定值从而增加所述单位时间,将所述数据寄存器的数据值经由所述选择器向所述延迟电路输出,

在所述检测信号初次被输出的情况下,将所述数据寄存器的数据值写入所述存储器,

在表示所述定时调整期间的信号的输入停止的情况下,将写入到所述存储器中的数据值经由所述选择器向所述延迟电路输出。

6.如权利要求3或4所述的驱动电路的定时调整电路,

该定时调整电路还具备延迟电路,该延迟电路根据所述延迟时间的设定来使CR时间常数变化,从而使延迟时间变化。

7.如权利要求5所述的驱动电路的定时调整电路,

所述延迟电路根据所述延迟时间的设定来使CR时间常数变化,从而使延迟时间变化。

8.如权利要求3或4所述的驱动电路的定时调整电路,

该定时调整电路还具备延迟电路,该延迟电路具有可变电流源(42)及电容器(C)的串联电路,根据所述延迟时间的设定来使所述可变电流源的电流值变化,从而使延迟时间变化。

9.如权利要求5所述的驱动电路的定时调整电路,

所述延迟电路具有可变电流源(42)及电容器(C)的串联电路,根据所述延迟时间的设定来使所述可变电流源的电流值变化,从而使延迟时间变化。

10.如权利要求3或4所述的驱动电路的定时调整电路,

该定时调整电路还具备延迟电路,该延迟电路具有串联连接的多个延迟元件(52)以及连接在各延迟元件的输出端子之间的多个开关电路(22),根据所述延迟时间的设定仅使所述多个开关电路中的某一个接通,从而使延迟时间变化。

11.如权利要求5所述的驱动电路的定时调整电路,

所述延迟电路具有串联连接的多个延迟元件 (52) 以及连接在各延迟元件的输出端子之间的多个开关电路 (22), 根据所述延迟时间的设定仅使所述多个开关电路中的某一个接通, 从而使延迟时间变化。

12. 如权利要求3或4所述的驱动电路的定时调整电路,

该定时调整电路还具备延迟电路, 该延迟电路由以规定周期的时钟信号进行计数动作的计数器 (63)、以及将该计数器的计数器值与相当于所述延迟时间的值进行比较的比较器 (65) 构成。

13. 如权利要求5所述的驱动电路的定时调整电路,

所述延迟电路由以规定周期的时钟信号进行计数动作的计数器 (63)、以及将该计数器的计数器值与相当于所述延迟时间的值进行比较的比较器 (65) 构成。

驱动电路的定时调整方法以及驱动电路的定时调整电路

[0001] 相关申请的交叉引用

[0002] 本申请基于2014年4月11日提出的日本申请号2014-81890号,在此引用其记载内容。

技术领域

[0003] 本申请涉及对驱动电路在使电压驱动型半导体元件关断时在中途变更关断速度的定时(timing)进行调整的方法以及电路。

背景技术

[0004] 在驱动例如IGBT等电压驱动型半导体元件的电路中,作为用于减少关断时的开关损失的技术,有有源门极控制。例如在专利文献1中,在检测到IGBT的集电极-发射极间电压VCE的上升之后,由延迟装置(电容器C1)设定延迟时间,以在集电极电压达到高端电压时,将开关速度切换为低速。

[0005] 但是,在专利文献1的结构中,如果因IGBT的门极电容或驱动电流的不均匀而集电极电压的上升时间不均匀,则开关速度的切换定时会偏离,因此有可能导致开关损失的减少不充分,或浪涌电压的增大。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:特开2007-142788号公报

发明内容

[0009] 本申请的目的在于,提供能够根据实际使用的电压驱动型半导体元件及驱动电路的特性,来适当进行为了在关断时切换开关速度而对驱动信号赋予的延迟时间的调整的驱动电路的定时调整方法以及驱动电路的定时调整电路。

[0010] 在本申请的某方式中,一种针对具备上升检测部、定时信号输出部以及导通控制部的驱动电路、调整向所述定时信号输出部设定的延迟时间的方法中,所述上升检测部,检测在电压驱动型半导体元件关断时所述电压驱动型半导体元件的导通端子间电压的上升开始;所述定时信号输出部,当从检测到所述上升开始的时刻起经过了所设定的延迟时间时,输出速度变更定时信号;所述导通控制部,在根据被输入的驱动信号使所述电压驱动型半导体元件关断时,最初使所述电压驱动型半导体元件的导通控制端子高速放电,在被输入所述速度变更定时信号时使放电速度变化为低速;将在所述电压驱动型半导体元件关断时、所述导通端子间电压从所述上升开始起到上升至向高电位侧的导通端子供给的电源电压的时间设为上升完成时间时,对经过了所述上升完成时间的时刻的所述导通控制端子的电压进行推测而定义为推测端子电压,当TEST模式信号成为高电平时,从脉冲生成电路在一定期间向所述驱动电路输出使所述电压驱动型半导体元件关断的电平的所述驱动信号,如果从将所述脉冲生成电路所输出的所述驱动信号变化为使所述电压驱动型半导体元件

关断的电平的时刻起到使所述电平反转为止所述导通控制端子的电压不成为所述推测端子电压以下,则使向所述定时信号输出部设定的延迟时间增加规定的单位时间之后,使驱动信号再次变化为使所述电压驱动型半导体元件关断的电平,将在所述导通控制端子的电压初次成为所述推测端子电压 V_T 以下的时刻所设定着的延迟时间决定为向所述定时信号输出部固定地设定的值。

[0011] 在本申请的其他方式中,一种驱动电路的定时调整电路,所述驱动电路具备:上升检测部,检测在电压驱动型半导体元件关断时所述电压驱动型半导体元件的导通端子间电压的上升开始;定时信号输出部,在从检测到所述上升开始的时刻起经过了所设定的延迟时间时,输出速度变更定时信号;以及导通控制部,在根据被输入的驱动信号使所述电压驱动型半导体元件关断时,对于所述电压驱动型半导体元件的导通控制端子,最初使其高速放电,在被输入所述速度变更定时信号时使放电速度变化为低速,所述定时调整电路针对驱动电路,调整向所述定时信号输出部设定的延迟时间,所述定时调整电路具备:脉冲生成电路,当TEST模式信号成为高电平时,在一定期间向所述驱动电路输出使所述电压驱动型半导体元件关断的电平的所述驱动信号;比较器,在所述导通控制端子的电压低于推测端子电压时,输出检测信号,所述推测端子电压是指,将在所述电压驱动型半导体元件关断时所述导通端子间电压从所述上升开始起上升至向高电位侧的导通端子供给的电源电压为止的时间设为上升完成时间时,对经过了所述上升完成时间的时刻的所述导通控制端子的电压进行推测而得到的电压;以及延迟时间设定装置,在从所述脉冲生成电路所输出的所述驱动信号变化为使所述电压驱动型半导体元件关断的电平的时刻起到所述电平反转为止所述检测信号没有被输出时,使向所述定时信号输出部设定的延迟时间增加规定的单位时间,将在所述检测信号初次被输出的时刻所设定着的延迟时间向所述定时信号输出部固定地设定。

[0012] 如果从使驱动信号变化为使电压驱动型半导体元件关断的电平的时刻起到使所述电平反转为止导通控制端子的电压不成为推测端子电压 V_T 以下,则将放电速度从高速切换为低速的定时较早,所以到驱动信号的电平反转为止的期间中,导通控制端子的电压不会达到推测端子电压。

[0013] 并且,在导通控制端子的电压初次成为推测端子电压以下的时刻设定着的延迟时间为使将放电速度从高速切换为低速的定时正好与所述上升完成时间一致的时间。因此,将所述延迟时间决定为向定时信号输出部固定地设定的值。由此,能够根据实际使用的电压驱动型半导体元件及驱动电路的特性,来适当地设定将驱动电路关断时的放电速度从高速切换为低速的定时。

附图说明

[0014] 关于本申请的上述目的及其他目的、特征及优点通过参照所附的附图来进行的下述的详细记述而变得更加明确。

[0015] 图1是第1实施方式,是表示门极驱动电路电气结构的功能框图。

[0016] 图2是表示恒流驱动部的电气结构的图。

[0017] 图3是表示延迟电路的电气结构的图。

[0018] 图4是表示延迟时间设定部的电气结构的图。

- [0019] 图5是表示调整处理 (TEST模式) 的流程图。
- [0020] 图6 (a) 至图6 (c) 是表示与图5的处理对应的各信号的变化的时间图。
- [0021] 图7 (b) 是表示IGBT的关断时的放电速度的变化的图, 图7 (a) 是表示集电极-发射极间电压VCE的变化图。
- [0022] 图8是表示示出第2实施方式的门极驱动电路的电气结构的功能框图。
- [0023] 图9是表示延迟时间设定部的电气结构的图。
- [0024] 图10是表示示出第3实施方式的延迟电路的电气结构的图。
- [0025] 图11是表示示出第4实施方式的延迟电路的电气结构的图。
- [0026] 图12是表示示出第5实施方式的延迟电路的电气结构的图。

具体实施方式

[0027] (第1实施方式)

[0028] 如图1所示, 作为本申请的调整对象的门极驱动电路1根据从微机 (微型计算机) 2 输入的驱动信号, 使IGBT3 (电压驱动型半导体元件) 接通、关断, 所述驱动信号经由恒流驱动部4 (导通控制部) 输出至IGBT3的门极 (导通控制端子)。也就是说, 通过以下的定时调整方法以及定时调整电路来调整门极驱动电路1。IGBT3的集电极与高电位电源VH连接, 发射极与未图示的负载等连接 (高端驱动)。此外, 在集电极、发射极之间连接有续流二极管FD。

[0029] 恒流驱动部4对IGBT3的门极以恒流进行充电而使其接通, 并以恒流进行放电 (也就是说, 放电动作) 而使其关断。但是, 在使其关断时, 以最初使门极高速放电、然后低速放电的方式切换。即, 进行将使门极放电的恒流量 (开关速度) 在中途变更的有源门极控制。

[0030] 上升检测部5在IGBT3关断时, 检测其集电极-发射极间电压VCE (导通端子间电压) 的上升开始。如图7所示, 如果从上升检测部5检测到上述上升开始的时刻 (1) 起经过由延迟时间设定部7 (延迟时间设定装置) 设定的延迟时间 (2), 则延迟电路6 (定时信号输出部、延迟时间设定装置) 向恒流驱动部4输出速度变更定时信号 (以下, 简称为定时信号) (3)。于是, 恒流驱动部4将放电速度从高速变化为低速。另外, 在该图中, 将电压VCE从上升开始起到等于向IGBT3的集电极供给的电压VH为止的时间定义为上升完成时间 t_E 。

[0031] 脉冲生成电路8在进行门极驱动电路1的调整时为了代替微机2来输出驱动信号而被连接。所述驱动信号还输入至上升检测部5, 以在进行后述的调整时使用。此外, 比较器9也在进行上述调整时被连接, 在关断时将IGBT3的门极电压与阈值电压VT进行比较。并且, 如果前者小于后者, 则使输出信号电平从高变化为低 (检测信号)。延迟时间设定部7根据比较器9的输出信号的变化来决定向延迟电路6设定的延迟时间。

[0032] 此外, 在门极驱动电路1设有输入端子10及11和输出端子12。输入端子10是用于从外部向延迟时间设定部7输入TEST模式信号 (高态有效) 的端子, 输入端子11是用于从外部向延迟时间设定部7输入相当于延迟时间的设定数据的端子。此外, 输出端子12是用于在外部观察比较器9的输出信号的端子。

[0033] 如图2所示, 恒流驱动部4中, 在驱动用电源VB与IGBT3的门极之间连接有恒流源13 (I1) 及开关电路14的串联电路。此外, 在所述门极与IGBT3的发射极之间, 并联连接有开关电路15及恒流源16 (I2) 的串联电路、以及开关电路17及恒流源18 (I3) 的串联电路。

[0034] 被输入的驱动信号是被提供至NOT门极19的输入端子以及NOR门极20的负逻辑的

输入端子、并且直接控制开关电路15的通断的信号。此外，NOR门极20的正逻辑的输入端子上被输入延迟电路6所输出的定时信号。NOT门极19的输出信号对开关电路14的通断进行控制，NOR门极20的输出信号对开关电路17的通断进行控制。

[0035] 即，在驱动信号为低电平的情况下，NOT门极19的输出成为高电平，NOR门极20的输出成为低电平，只有开关电路14接通，因此IGBT3的门极通过恒流I1被充电，IGBT3接通。另一方面，在驱动信号为高电平且定时信号为低电平的情况下，NOT门极19的输出成为低电平，NOR门极20的输出成为高电平，开关电路15及17接通。因此，IGBT3的门极通过恒流(I2+I3)高速放电，IGBT3关断。

[0036] 此外，在驱动信号以及定时信号为高电平的情况下，NOR门极20的输出成为低电平，因此只有开关电路15接通。因此，IGBT3的门极通过恒流I2低速放电。

[0037] 如图3所示，延迟电路6包括由多个电阻元件R及电容器C、施密特触发缓冲器21构成的积分电路、分别连接于各电阻元件R的两端的多个开关电路(模拟开关)22、以及对多个开关电路22的通断有选择地进行控制的SW选择部23。SW选择部23根据从延迟时间设定部7输入的设定数据，对多个开关电路22的通断进行控制。初级的电阻元件R上被输入从上升检测部5输入的驱动信号的上升检测信号。即，如果开关电路22接通而电阻元件R短路、实质上的串联电阻元件数量变少，则延迟时间变短，开关电路22断开而实质上的串联电阻元件数量变得越多，则延迟时间变得越长。

[0038] 如图4所示，延迟时间设定部7由数据寄存器24、存储器(例如EPROM等)25以及选择器26构成。数据寄存器24中存放从外部输入的设定数据，被存放的数据原样输入至存储器25。并且，如果比较器9的输出信号表示低电平，则进行向存储器25的数据写入。

[0039] 另外，如果比较器9是仅在TEST模式的执行时被连接的元件，则优选的是之后将存储器25的端子上拉而禁止写入。此外，在比较器9通常搭载于门极驱动电路1的情况下，向存储器25的写入例如在与TEST模式信号的AND条件下写入。

[0040] 选择器26将从数据寄存器24、存储器25输入的数据中的某一方向延迟电路6输出，如果TEST模式信号为高电平，则选择数据寄存器24侧，如果TEST模式信号为低电平，则选择存储器25侧。

[0041] 在此，说明比较器9中设定的阈值电压VT。如果设IGBT3的门极电压为VG，关断时的驱动电流(放电电流)为IG，IGBT3的输入电容为Ciss，则与时间t[s]对应的电压VG的变化由以下的式表示。

$$[0042] \quad VG = VB - (IG/Ciss) \times t \cdots \cdots (2)$$

[0043] 从该(2)式可知，IGBT3的输入电容Ciss以及驱动电流IG的不均匀呈现为门极电压VG的变化不均匀。

[0044] 如果设IGBT3的反馈电容为Crss，则上述的上升完成时间tE可通过下式决定。

$$[0045] \quad t_E = V_H \times Crss / IG \cdots \cdots (3)$$

[0046] 并且，如果向(2)式的右边中的时间t代入(3)式，则成为(4)式。

$$[0047] \quad VG = VB - V_H \times Crss / Ciss \cdots \cdots (4)$$

[0048] (4)式所示的门极电压VG是推测为达到IGBT3的集电极—发射极间电压VCE等于电源电压VH的时刻的门极电压，将其定义为推测门极电压VT(推测端子电压)。

$$[0049] \quad VT = VB - V_H \times Crss / Ciss \cdots \cdots (1)$$

[0050] 并且,将推测门极电压 V_T 设为比较器9的阈值电压。

[0051] 在此,认为IGBT3的反馈电容 C_{rss} 、输入电容 C_{iss} 以相同的增减方向、相同的比例不均匀,因此两者之比 C_{rss}/C_{iss} 为固定值。并且,这些是根据IGBT3的设计条件来得到的值,因此(1)式的右边全部为已知的值,能够设定比较器9的阈值电压 V_T 。

[0052] 接着对本实施方式的作用进行说明。如图5所示,使门极驱动电路1的输入端子10为高电平来设定TEST模式(定时调整期间)。此外,从输入端子11向寄存器24存放初始值0h。并且,由脉冲生成电路8输出调整用的驱动信号(S1)。作业者在输出端子12连接示波器等计测器,确认比较器9的输出信号是否从高电平变化为了低电平(S2)。将进行该确认的期间设为驱动信号表示高电平的期间。

[0053] 如果比较器9的输出信号没有变化为低电平(S2:否),则将向寄存器24存放的数据值增加而使延迟时间增加单位时间(S4),并回到步骤S1。如果比较器9的输出信号变化为低电平(S2:是),则该时刻存放在寄存器24中的数据被存储到存储器25(S3)。此外,作业者在输出端子12上确认上述信号的变化,结束作业。如果调整处理结束而将输入端子10下拉,则之后存储在存储器25中的数据经由选择器26输出至延迟电路6。

[0054] 如图6所示,关于调整时的驱动信号的高电平脉冲宽度,考虑到集电极-发射极间电压 V_{CE} 的不均匀而设定得较长。如果IGBT3为导通状态,则门极电压 V_G 被充电到恒流驱动部4的驱动电源电压 V_B 。并且,如果驱动信号变化为高电平,则最初,门极高速放电而门极电压 V_G 急速降低。并且,如果经过延迟电路6中设定的延迟时间而输出定时信号,则放电速度切换为低速,门极电压 V_G 几乎不降低。

[0055] 如图6(a)所示,如果定时信号在较早的阶段中被输出,则门极电压 V_G 只降低至比阈值电压 V_T 高的电压,比较器9的输出信号保持高电平而不变化。如果从该状态增加延迟时间而使定时信号的输出进一步延迟,则与此相应地门极电压 V_G 进一步降低。并且,如图6(c)所示,如果门极电压 V_G 降低至阈值电压 V_T ,则比较器9的输出信号变化为低电平。该时刻设定着的延迟时间等于上升完成时间 t_E 。因此,通过按照图5所示的流程进行调整,最佳地决定延迟时间。

[0056] 如以上那样,根据本实施方式,将在IGBT3关断时集电极-发射极间电压 V_{CE} 从上升开始起到上升至电源电压 V_H 的时间设为上升完成时间 t_E ,将对经过上升完成时间 t_E 的时刻的门极电压 V_G 进行推测而得到的电压设为推测门极电压 V_T 。

[0057] 并且,如果从使驱动信号变化为使IGBT3关断的高电平的时刻起到置为低电平为止门极电压 V_G 不成为推测门极电压 V_T 以下,则使向延迟电路6设定的延迟时间增加规定的单位时间之后使驱动信号再次如上述那样变化,将门极电压 V_G 初次成为推测端子电压 V_T 以下的时刻设定着的延迟时间决定为向延迟电路6固定地设定的值。

[0058] 因此,能够根据实际使用的IGBT3及门极驱动电路1的特性,来适当设定将门极驱动电路1关断时的放电速度从高速切换为低速的定时(时刻、timing)。此外,由于将推测门极电压 V_T 基于(1)式来设定,因此能够基于全部已知的值来明确地设定比较器9的阈值电压 V_T 。

[0059] 此外,使延迟时间设定部7由数据寄存器24、存储器25以及选择器26构成,并且将延迟电路6构成为通过使CR时间常数变化来使延迟时间变化。在TEST模式中,使在数据寄存器24中设定的数据值每次增加规定值,将数据寄存器24中存放的数据值经由选择器26向延

迟电路6输出,如果比较器9的输出信号初次变化为低电平,则将数据寄存器24中存放的数据值向存储器25写入,如果TEST模式结束,则将向存储器25写入的数据值经由选择器26向延迟电路6输出。因此,能够简单地进行延迟时间的调整以及确定。

[0060] (第2实施方式)

[0061] 以下,对与第1实施方式相同的部分附加相同的标号并省略说明,而对不同的部分进行说明。如图8所示,第2实施方式的门极驱动电路31中,延迟时间设定部7被替换为延迟时间设定部32。此外,输入端子11被删除。并且,延迟时间设定部32中被输入上升检测部5所输出的上升检测信号、脉冲生成电路8所输出的驱动信号、以及比较器9的输出信号。

[0062] 如图9所示,延迟时间设定部32是对延迟时间设定部7加上控制逻辑部33而成的,控制逻辑部33中被输入TEST模式信号、上升检测信号以及驱动信号。控制逻辑部33构成为自动进行对数据寄存器24的数据的设定,其动作内容与图5所示的流程图相同。

[0063] 接着,对第2实施方式的作用进行说明。控制逻辑部33在TEST模式信号为高电平时变为有效,开始图5所示的处理。另外,数据寄存器24在初始状态下被清零,其初始值为0h。控制逻辑部33在从上升检测信号被输入起到驱动信号变化为低电平的期间,监视比较器9的输出信号是否变化为低电平,如果没有变化则将数据值从0h增加并存放于数据寄存器24。并且,如果检测到比较器9的输出信号变化为低电平,则在此结束动作。

[0064] 在该情况下,作业者只要参照输出端子12的信号变化,来掌握延迟时间设定部32内部中的调整处理结束的情况即可,并且掌握该结束并将输入端子10下拉即可。另外,如果被输入上升检测信号的定时和被直接输入的驱动信号的上升的时间差忽略也无妨,则也可以将前者的输入省略。

[0065] 如以上那样,根据第2实施方式,延迟时间设定部32在TEST模式时自动进行向数据寄存器24存放的数据的更新,因此能够更简单地进行调整。

[0066] (第3实施方式)

[0067] 以下的第3~第5实施方式关于延迟电路的结构示出变形例。如图10所示,第3实施方式的延迟电路41(延迟时间设定装置)由连接在电源与接地端之间的可变恒流源42(或者可变电流量源)以及电容器C的串联电路、在两者的共通连接点连接输入端子的施密特触发缓冲器21、以及与电容器C并联连接的N沟道MOSFET43构成。N沟道MOSFET43的门极中被输入上升检测信号,可变恒流源42的恒流值根据延迟时间的设定数据而被决定。

[0068] 即,在没有被输入上升检测信号的状态下,N沟道MOSFET43导通,因此电容器C不被充电,如果被输入上升检测信号,则N沟道MOSFET43截止而电容器C被可变恒流源42充电。在该情况下,如果恒流值较小,则延迟时间变长,如果恒流值变大,则延迟时间变短。因此,以使设定数据值与延迟时间的大小关系整合的方式对数据进行解码并向可变恒流源42输出。

[0069] 如以上那样,根据第3实施方式,使延迟电路41具有可变恒流源42及电容器C的串联电路,通过根据延迟时间的设定而使所述可变恒流源42的电流值变化,来使延迟时间变化。因此,可得到与第1或第2实施方式相同的效果。

[0070] (第4实施方式)

[0071] 图11所示的第4实施方式的延迟电路51中,将偶数个NOT门极52(延迟元件)串联连接,在初级的NOT门极52的输入端子(延迟电路51的输入端子)和每一个NOT门极52的输出端子分别配置开关电路22。并且,开关电路22的另一端被共通地连接而成为延迟电路51的输

出端子。开关电路22的通断控制由SW选择部53进行。

[0072] SW选择部53根据被输入的设定数据值,仅使开关电路22中的某一个接通而设定延迟时间。如果设定数据值较小,则使与输入端子近的一侧的开关电路22接通而使延迟时间较短,设定数据值越大则使与输出端子越近一侧的开关电路22接通而使延迟时间较长。

[0073] 如以上那样,根据第4实施方式,延迟电路51由串联连接的偶数个NOT门极52和在NOT门极52的输出端子各连接1个的开关电路22构成,因此可得到与上述各实施方式相同的效果。

[0074] (第5实施方式)

[0075] 图12所示的第5实施方式的延迟电路61具备环形振荡器62、计数器63、数据寄存器64以及比较器65。环形振荡器62若被输入上升检测信号则开始振荡动作(例如,振荡频率200MHz),计数器63根据从环形振荡器62输入的时钟信号来进行计数动作。延迟时间的设定数据存放在数据寄存器64中,比较器65在计数器63的计数值与数据寄存器64中存放的数据值一致时输出变更定时信号。

[0076] 如以上那样,根据第5实施方式,延迟电路61具备通过规定周期的时钟信号进行计数动作的计数器63、以及将该计数器63的计数器值与延迟时间相当值进行比较的比较器65而构成,因此可得到与上述各实施方式相同的效果。另外,也可以代替环形振荡器62而配置使用水晶振荡器的振荡电路。

[0077] 本申请并不限于上述的或附图中记载的实施方式,可以进行如下的变形或扩展。

[0078] 驱动信号电平的高、低与IGBT3的通断的关系也可以相反。

[0079] 电压驱动型半导体元件并不限于IGBT,也可以是MOSFET等。

[0080] 调整时,只要能够将微机2连接到门极驱动电路,则不需要脉冲发生电路8。

[0081] 推测端子电压 V_T 的设定并不限于使用(1)式进行的设定。

[0082] 附图中,1表示门极驱动电路,3表示IGBT(电压驱动型半导体元件),4表示恒流驱动部(导通控制部),5表示上升检测部,6表示延迟电路(定时信号输出部、延迟时间设定装置),7表示延迟时间设定部(延迟时间设定装置),9表示比较器。

[0083] 在此,该申请中记载的流程图或流程图的处理由多个部分(段、section)(或作为步骤来实现)构成,各部分例如被表现为S1。进而,各部分能够分割为多个子部分,另一方面,也可以是将多个部分合并而构成一个部分。进而,如此构成的各部分也可以作为设备、模块、方法来实现。

[0084] 本申请是依据实施例来记述的,但应理解为本申请不限于该实施例及构造。本申请还包含多种变形例及均等范围内的变形。并且,多种组合及形态、进而包括对其追加或删除仅一要素后的结构在内的其他组合及形态也包含在本申请的范畴及思想范围内。

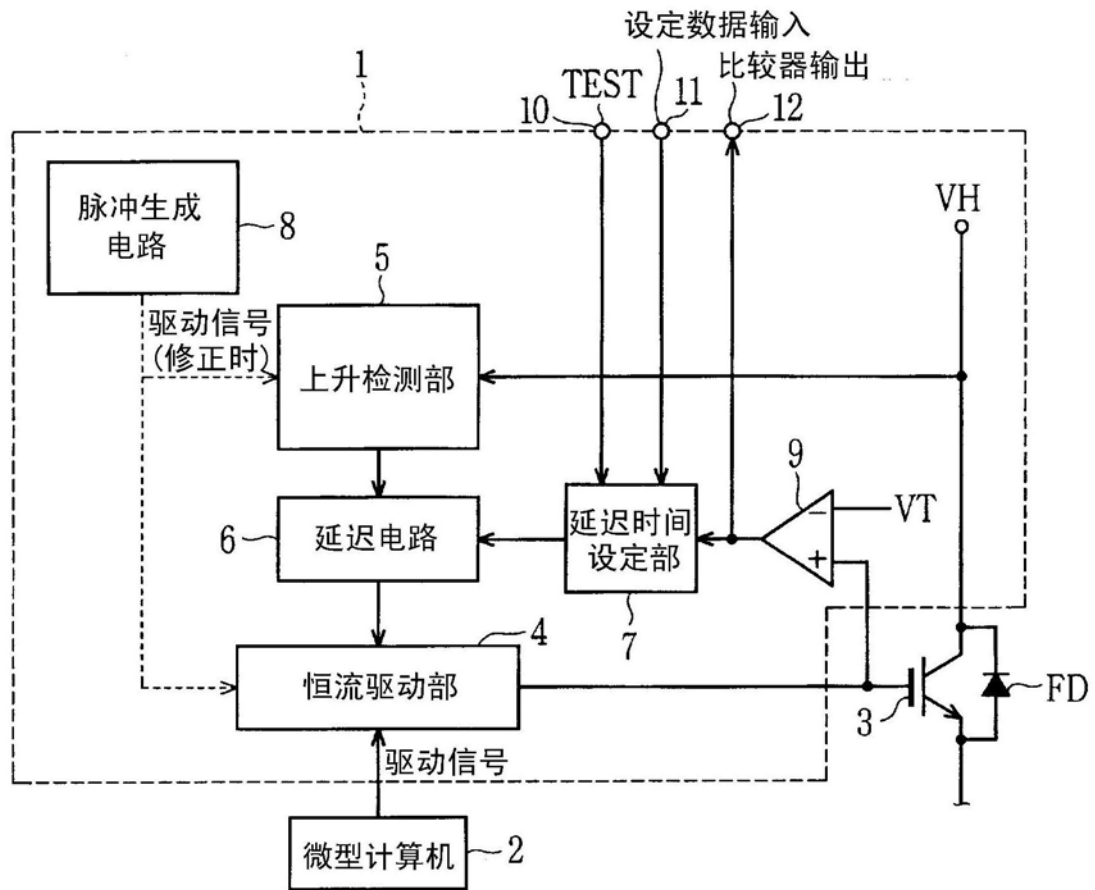


图1

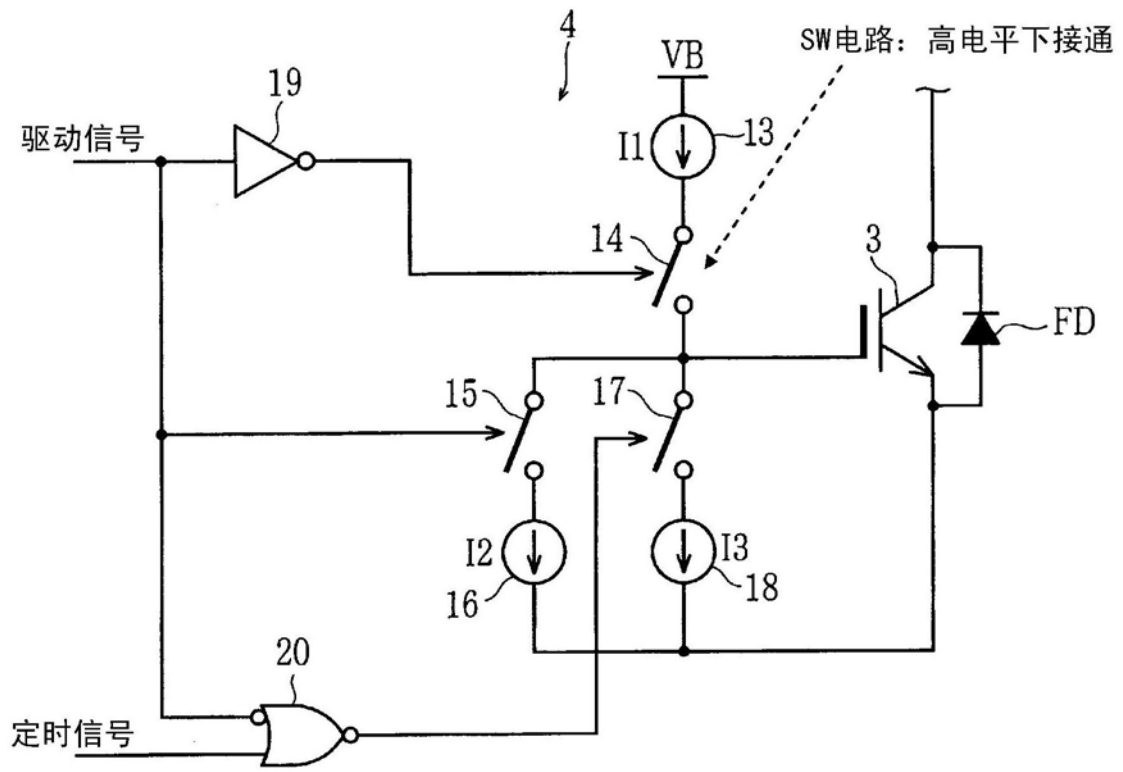


图2

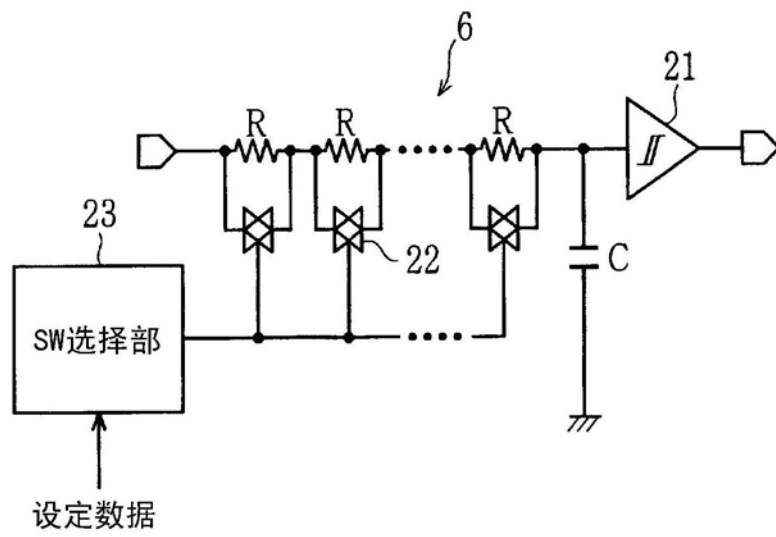


图3

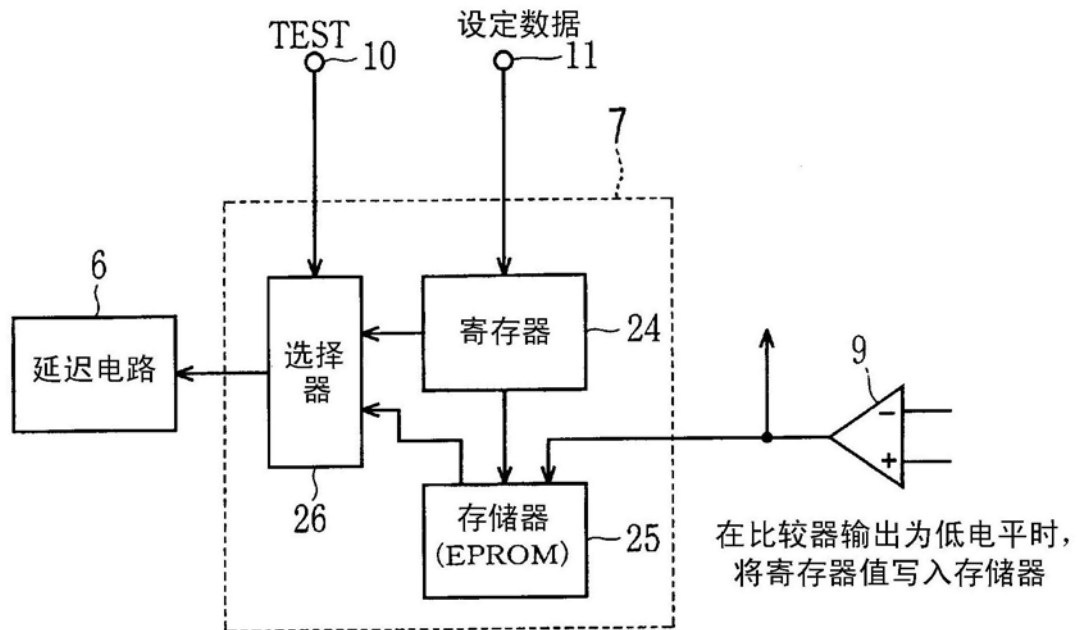


图4

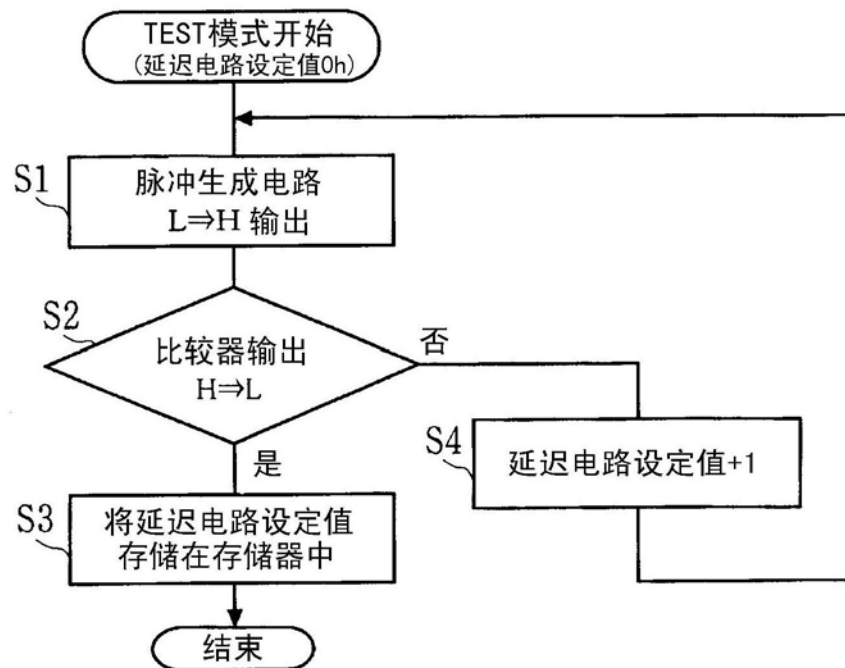


图5

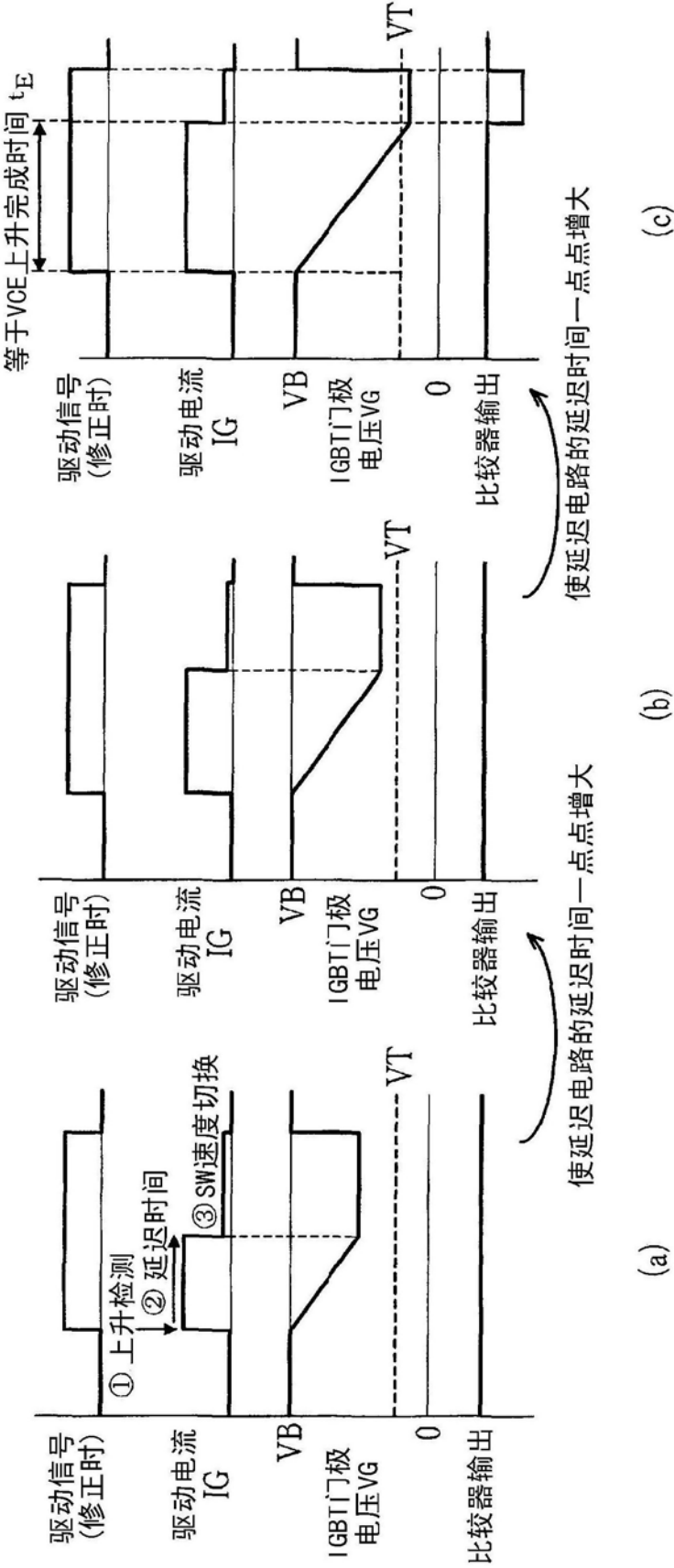


图6

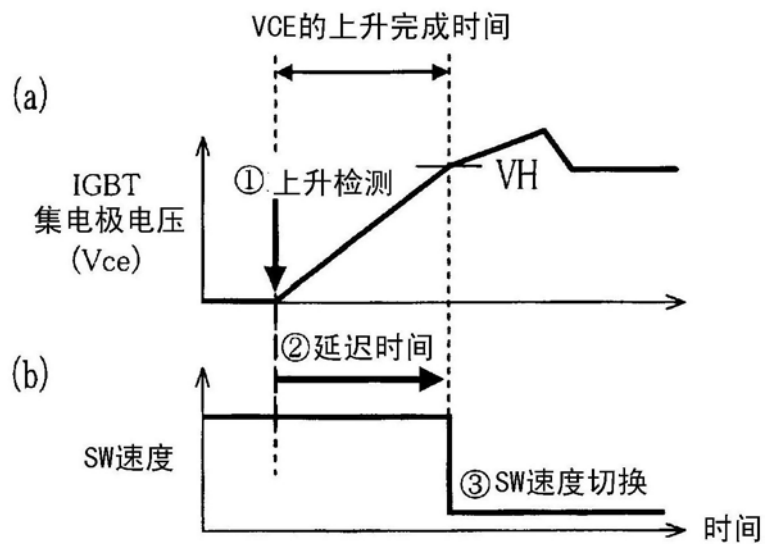


图7

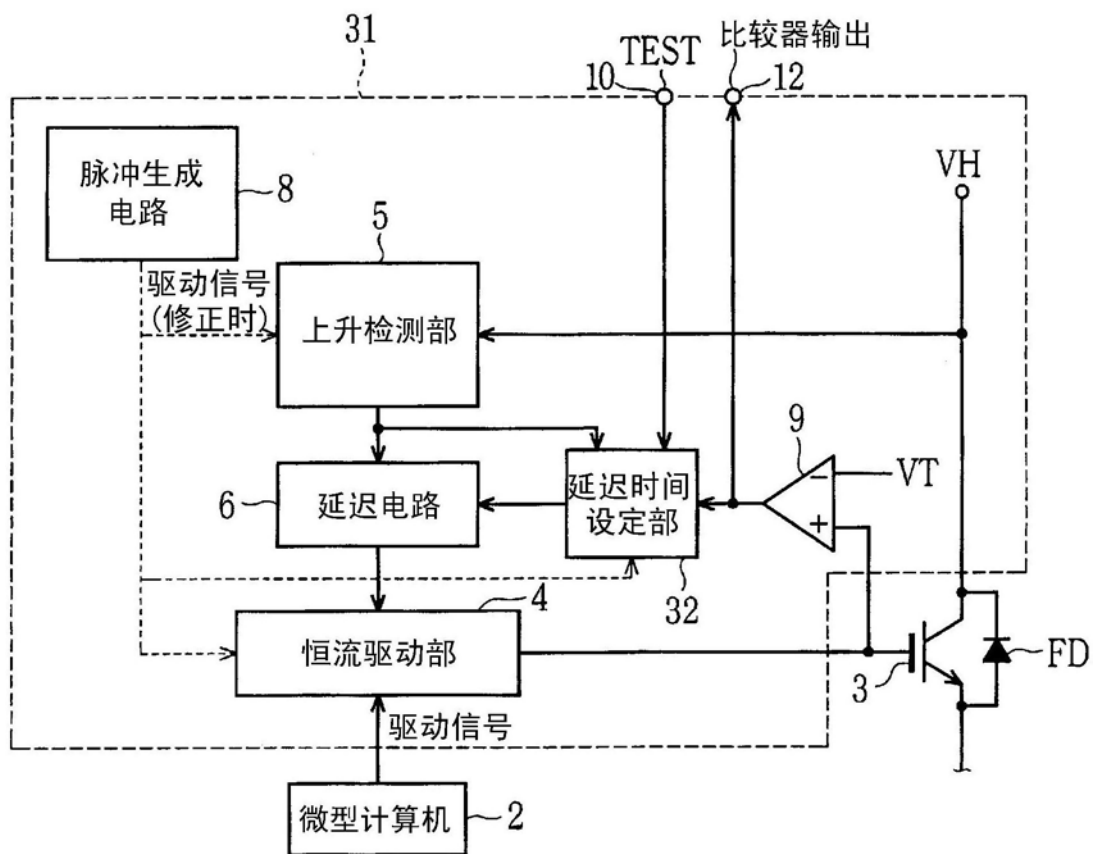


图8

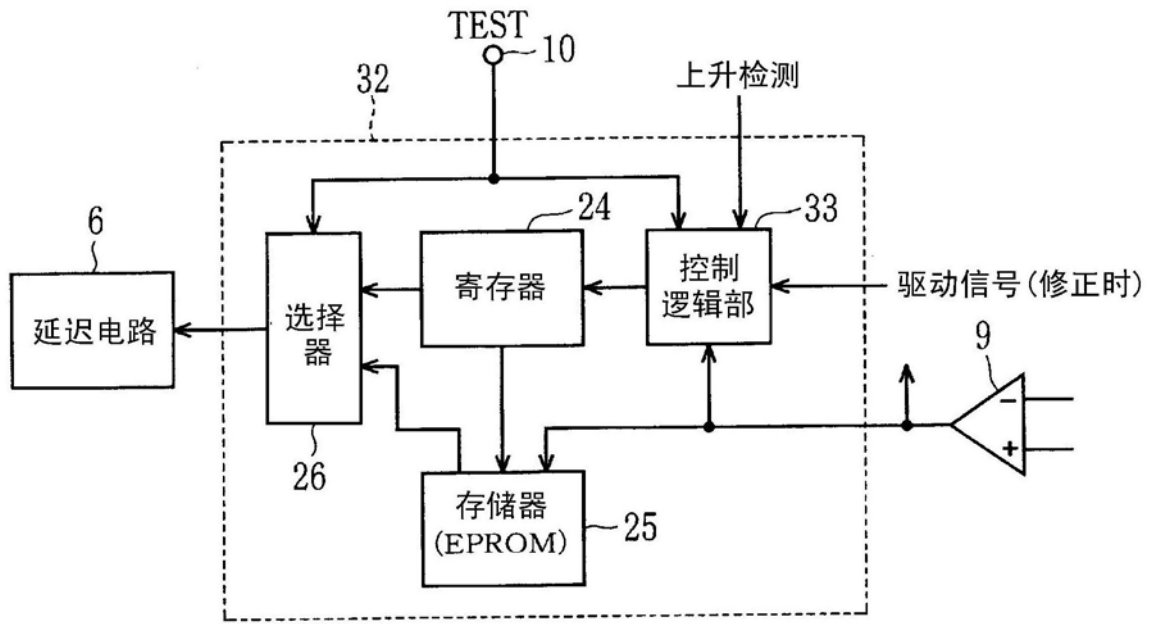


图9

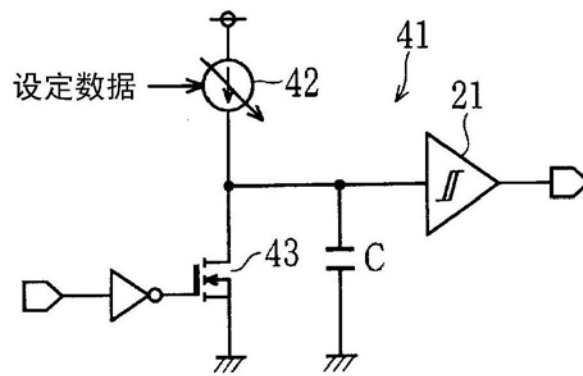


图10

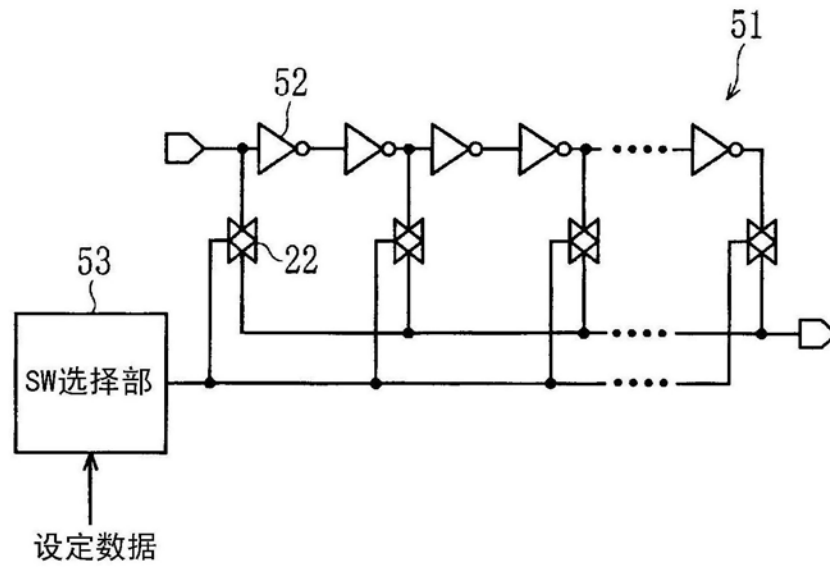


图11

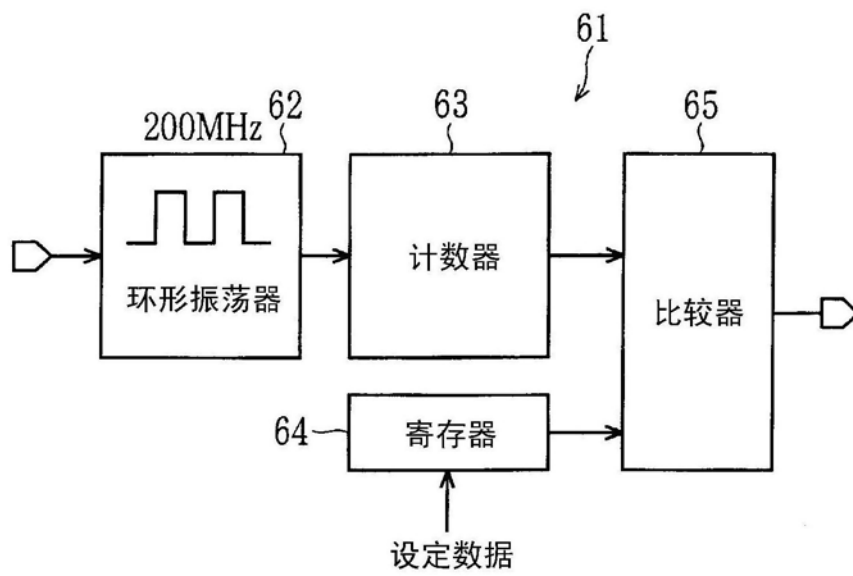


图12