

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7457255号
(P7457255)

(45)発行日 令和6年3月28日(2024.3.28)

(24)登録日 令和6年3月19日(2024.3.19)

(51)国際特許分類		F I	
G 0 9 F	9/33 (2006.01)	G 0 9 F	9/33
G 0 9 F	9/00 (2006.01)	G 0 9 F	9/00 3 3 8
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30 3 1 0
H 0 1 L	33/00 (2010.01)	G 0 9 F	9/30 3 3 8
		G 0 9 F	9/30 3 4 8 A
請求項の数 22 (全47頁) 最終頁に続く			
(21)出願番号	特願2021-518333(P2021-518333)	(73)特許権者	000226057
(86)(22)出願日	令和2年4月20日(2020.4.20)		日亜化学工業株式会社
(86)国際出願番号	PCT/JP2020/017014		徳島県阿南市上中町岡491番地100
(87)国際公開番号	WO2020/226044	(74)代理人	100108062
(87)国際公開日	令和2年11月12日(2020.11.12)		弁理士 日向寺 雅彦
審査請求日	令和5年4月12日(2023.4.12)	(74)代理人	100168332
(31)優先権主張番号	特願2019-88536(P2019-88536)		弁理士 小崎 純一
(32)優先日	令和1年5月8日(2019.5.8)	(74)代理人	100172188
(33)優先権主張国・地域又は機関	日本国(JP)		弁理士 内田 敬人
(31)優先権主張番号	特願2019-179860(P2019-179860)	(72)発明者	秋元 肇
(32)優先日	令和1年9月30日(2019.9.30)		徳島県阿南市上中町岡491番地100
(33)優先権主張国・地域又は機関	日本国(JP)	審査官	日亜化学工業株式会社内 川俣 郁子
最終頁に続く			

(54)【発明の名称】 画像表示装置の製造方法および画像表示装置

(57)【特許請求の範囲】

【請求項1】

発光層を含む半導体層を、第1基板上に形成された基板を準備する工程と、
前記半導体層上にメタル層を形成する工程と、
前記半導体層を、回路素子を含む回路が形成された第2基板に前記メタル層を介して貼
り合わせる工程と、
前記半導体層を加工して発光素子を形成する工程と、
前記メタル層を加工して第1の配線層を形成する工程と、
前記発光素子および前記第1の配線層を覆う絶縁膜を形成する工程と、
前記絶縁膜を貫通して前記回路に達する第1ビアを形成する工程と、
前記絶縁膜上に第2の配線層を形成する工程と、
前記第1の配線層、前記第2の配線層、前記第1ビア、前記発光素子および前記回路素
子を直列に接続する工程と、
を備え、

前記第1ビアは、前記第1の配線層を貫通し、前記第1の配線層から絶縁されて形成さ
れ、前記第2の配線層に電氣的に接続された画像表示装置の製造方法。

【請求項2】

前記半導体層を前記第2基板に貼り合わせた後に、前記第1基板を除去する工程をさら
に備えた請求項1記載の画像表示装置の製造方法。

【請求項3】

前記半導体層を前記第 2 基板に貼り合わせる前に前記第 1 基板を除去する工程と、
前記半導体層を前記第 2 基板に貼り合わせる前に前記半導体層に第 3 基板を貼付する工程と、

をさらに備えた請求項 1 記載の画像表示装置の製造方法。

【請求項 4】

前記半導体層は、前記第 1 基板の側から、第 1 導電形の第 1 半導体層、前記発光層および前記第 1 導電形とは異なる第 2 導電形の第 2 半導体層の順に積層され、

前記第 1 導電形は、n 形であり、

前記第 2 導電形は、p 形である請求項 1 ～ 3 のいずれか 1 つに記載の画像表示装置の製造方法。

10

【請求項 5】

前記半導体層を前記第 2 基板に貼り合わせる前に、前記第 2 基板の貼り合わせ面に第 2 メタル層を形成する工程

をさらに備えた請求項 1 ～ 4 のいずれか 1 つに記載の画像表示装置の製造方法。

【請求項 6】

前記絶縁膜の一部を除去して前記発光素子の表面を露出させる工程をさらに備えた請求項 1 ～ 5 のいずれか 1 つに記載の画像表示装置の製造方法。

【請求項 7】

露出された前記発光素子の露出面と前記第 2 の配線層とを電氣的に接続する透明電極を形成する工程をさらに備えた請求項 6 記載の画像表示装置の製造方法。

20

【請求項 8】

前記第 1 基板は、シリコンまたはサファイアを含む請求項 1 ～ 7 のいずれか 1 つに記載の画像表示装置の製造方法。

【請求項 9】

前記半導体層は、窒化ガリウム系化合物半導体を含み、

前記第 2 基板は、シリコンを含む請求項 1 ～ 8 のいずれか 1 つに記載の画像表示装置の製造方法。

【請求項 10】

前記発光素子上に波長変換部材を形成する工程をさらに備えた請求項 1 ～ 9 のいずれか 1 つに記載の画像表示装置の製造方法。

30

【請求項 11】

回路素子と、

前記回路素子に電氣的に接続された第 1 配線層と、

前記回路素子および前記第 1 配線層を覆う第 1 絶縁膜と、

前記第 1 絶縁膜上に設けられた第 2 配線層と、

前記第 2 配線層上に設けられ、前記第 2 配線層に接続された第 1 導電形の第 1 半導体層と、前記第 1 半導体層上に設けられた発光層と、前記発光層上に設けられ、前記第 1 導電形と異なる第 2 導電形の第 2 半導体層を含む発光素子と、

前記発光素子の少なくとも一部および前記第 2 配線層を覆う第 2 絶縁膜と、

前記発光素子に電氣的に接続され、前記第 2 絶縁膜上に設けられた第 3 配線層と、

前記第 1 絶縁膜および前記第 2 絶縁膜を貫通し、前記第 1 配線層および前記第 3 配線層を電氣的に接続する第 1 ピアと、

を備え、

前記第 2 配線層は、部分を有し、

前記部分の外周は、平面視で、前記部分に投影された前記発光素子の外周を含み、

前記発光素子の前記第 1 絶縁膜の側の面に対向する発光面を露出させる開口を有しており、前記発光面上に透明電極を備えた画像表示装置。

40

【請求項 12】

前記開口から露出された露出面は、粗面を含む請求項 11 記載の画像表示装置。

【請求項 13】

50

前記第 2 絶縁膜を貫通し、前記部分と前記第 3 配線層を電氣的に接続する第 2 ビアをさらに備えた請求項 1 1 または 1 2 に記載の画像表示装置。

【請求項 1 4】

前記第 1 ビアは、前記第 3 配線層を介して前記第 2 半導体層に接続された請求項 1 1 または 1 2 に記載の画像表示装置。

【請求項 1 5】

前記第 1 ビアは、前記第 2 配線層を貫通し、前記第 2 配線層から絶縁されて設けられた請求項 1 4 に記載の画像表示装置。

【請求項 1 6】

前記第 2 配線層は、異なる電位に接続された複数の配線を含む請求項 1 1 ～ 1 3 のいずれか 1 つに記載の画像表示装置。

10

【請求項 1 7】

前記第 1 導電形は、p 形であり、

前記第 2 導電形は、n 形である請求項 1 1 ～ 1 6 のいずれか 1 つに記載の画像表示装置。

【請求項 1 8】

前記発光素子は、窒化ガリウム系化合物半導体を含み、

前記回路素子は、基板に形成され、前記基板は、シリコンを含む請求項 1 1 ～ 1 7 のいずれか 1 つに記載の画像表示装置。

【請求項 1 9】

前記発光素子上に波長変換部材をさらに備えた請求項 1 1 ～ 1 8 のいずれか 1 つに記載の画像表示装置。

20

【請求項 2 0】

複数のトランジスタと、

前記複数のトランジスタに電氣的に接続された第 1 配線層と、

前記複数のトランジスタおよび前記第 1 配線層を覆う第 1 絶縁膜と、

前記第 1 絶縁膜上に設けられた第 2 配線層と、

前記第 2 配線層上に設けられた第 1 導電形の第 1 半導体層と、

前記第 1 半導体層上に設けられた発光層と、

前記発光層上に設けられ、前記第 1 導電形とは異なる第 2 導電形の第 2 半導体層と、

前記第 1 絶縁膜、前記第 2 配線層、前記第 1 半導体層および前記発光層を覆うとともに前記第 2 半導体層の少なくとも一部を覆う第 2 絶縁膜と、

30

前記複数のトランジスタに応じて前記第 2 絶縁膜からそれぞれ露出された、前記第 2 半導体層の複数の露出面上に配設された透明電極に接続された第 3 配線層と、

前記第 1 絶縁膜および前記第 2 絶縁膜を貫通し、前記第 1 配線層の配線および前記第 3 配線層の配線を電氣的に接続する第 1 ビアと、

を備え、

前記第 2 配線層は、部分を有し、

前記部分の外周は、平面視で、前記部分に投影された前記第 1 半導体層、前記発光層および前記第 2 半導体層の外周を含む画像表示装置。

【請求項 2 1】

40

前記第 1 配線層は、前記複数のトランジスタのうちの第 1 トランジスタの主電極に接続された第 1 配線と、第 2 トランジスタの主電極に接続された第 2 配線と、を含み、

前記第 3 配線層は、前記複数の露出面のうちの第 1 露出面に接続された第 3 配線と、第 2 露出面に接続された第 4 配線と、を含み、

前記第 2 配線と前記第 4 配線との間に設けられた第 2 ビア

をさらに備え、

前記第 1 ビアは、前記第 1 配線と前記第 3 配線との間に設けられた請求項 2 0 に記載の画像表示装置。

【請求項 2 2】

前記第 2 半導体層は、前記第 2 絶縁膜によって分離された請求項 2 0 または 2 1 に記載

50

の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、画像表示装置の製造方法および画像表示装置に関する。

【背景技術】

【0002】

高輝度、広視野角、高コントラストで低消費電力の薄型の画像表示装置の実現が望まれている。このような市場要求に対応するように、自発光素子を利用した表示装置の開発が進められている。

10

【0003】

自発光素子として、微細発光素子であるマイクロLEDを用いた表示装置の登場が期待されている。マイクロLEDを用いた表示装置の製造方法として、個々に形成されたマイクロLEDを駆動回路に順次転写する方法が紹介されている。しかしながら、フルハイビジョンや4K、8K等と高画質になるにつれて、マイクロLEDの素子数が増えると、多数のマイクロLEDを個々に形成して、駆動回路等を形成した基板に順次転写するのは、転写工程に膨大な時間を要する。さらに、マイクロLEDと駆動回路等との接続不良等が発生し、歩留りの低下を生じるおそれがある。

【0004】

Si基板上に発光層を含む半導体層を成長させ、半導体層に電極を形成した後、駆動回路が形成された回路基板に貼り合わせる技術が知られている（たとえば、特許文献1）。

20

【先行技術文献】

【特許文献】

【0005】

【文献】特開2002-141492号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一実施形態は、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法を提供する。

30

【課題を解決するための手段】

【0007】

本発明の一実施形態に係る画像表示装置の製造方法は、発光層を含む半導体層を、第1基板上に形成された基板を準備する工程と、前記半導体層上にメタル層を形成する工程と、前記半導体層を、回路素子を含む回路が形成された第2基板に前記メタル層を介して貼り合わせる工程と、前記半導体層を加工して発光素子を形成する工程と、前記メタル層を加工して第1の配線層を形成する工程と、前記発光素子および前記第1の配線層を覆う絶縁膜を形成する工程と、前記絶縁膜を貫通して前記回路に達する第1ビアを形成する工程と、前記絶縁膜上に第2の配線層を形成する工程と、前記第1の配線層、前記第2の配線層、前記第1ビア、前記発光素子および前記回路素子を直列に接続する工程と、を備える。

40

【0008】

本発明の一実施形態に係る画像表示装置は、回路素子と、前記回路素子に電氣的に接続された第1配線層と、前記回路素子および前記第1配線層を覆う第1絶縁膜と、前記第1絶縁膜上に設けられた第2配線層と、前記第2配線層上に設けられ、前記第2配線層に接続された第1導電形の第1半導体層と、前記第1半導体層上に設けられた発光層と、前記発光層上に設けられ、前記第1導電形と異なる第2導電形の第2半導体層を含む発光素子と、前記発光素子の少なくとも一部および前記第2配線層を覆う第2絶縁膜と、前記発光素子に電氣的に接続され、前記第2絶縁膜上に設けられた第3配線層と、前記第1絶縁膜および前記第2絶縁膜を貫通し、前記第1配線層および前記第3配線層を電氣的に接続する第1ビアと、を備える。前記第2配線層は、部分を有する。前記部分の外周は、平面視

50

で、前記部分に投影された前記発光素子の外周を含む。

【0009】

本発明の一実施形態に係る画像表示装置は、複数のトランジスタと、前記複数のトランジスタに電氣的に接続された第1配線層と、前記複数のトランジスタおよび前記第1配線層を覆う第1絶縁膜と、前記第1絶縁膜上に設けられた第2配線層と、前記第2配線層上に設けられた第1導電形の第1半導体層と、前記第1半導体層上に設けられた発光層と、前記発光層上に設けられ、前記第1導電形とは異なる第2導電形の第2半導体層と、前記第1絶縁膜、前記第2配線層、前記第1半導体層および前記発光層を覆うとともに前記第2半導体層の少なくとも一部を覆う第2絶縁膜と、前記複数のトランジスタに応じて前記第2絶縁膜からそれぞれ露出された、前記第2半導体層の複数の露出面上に配設された透明電極に接続された第3配線層と、前記第1絶縁膜および前記第2絶縁膜を貫通し、前記第1配線層の配線および前記第3配線層の配線を電氣的に接続する第1ビアと、を備える。前記第2配線層は、部分を有する。前記部分の外周は、平面視で、前記部分に投影された前記第1半導体層、前記発光層および前記第2半導体層の外周を含む。

10

【発明の効果】

【0010】

本発明の一実施形態によれば、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法が実現される。

【図面の簡単な説明】

【0011】

20

【図1】第1の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【図2A】第1の実施形態の画像表示装置の変形例の1つを例示する模式的な断面図である。

【図2B】第1の実施形態の画像表示装置の変形例の1つを例示する模式的な断面図である。

【図3】第1の実施形態の画像表示装置を例示する模式的なブロック図である。

【図4】第1の実施形態の画像表示装置の一部を例示する模式的な平面図である。

【図5A】第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図5B】第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図6A】第1の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

30

【図6B】第1の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図6C】第1の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図7A】第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図7B】第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図8A】第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図8B】第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図8C】第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

40

【図9A】第1の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図9B】第1の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図10】第1の実施形態の画像表示装置の製造方法を例示する模式的な斜視図である。

【図11】第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図12A】第1の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図12B】第1の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

50

【図 1 2 C】第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図 1 2 D】第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【図 1 3】第 2 の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【図 1 4】第 2 の実施形態の画像表示装置を例示する模式的なブロック図である。

【図 1 5 A】第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 5 B】第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 6 A】第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 6 B】第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 6 C】第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 7】第 3 の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【図 1 8】第 3 の実施形態の画像表示装置の一部を例示する模式的な平面図である。

【図 1 9 A】第 3 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 1 9 B】第 3 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 2 0】第 4 の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【図 2 1 A】第 4 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 2 1 B】第 4 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 2 2】第 5 の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【図 2 3 A】第 5 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 2 3 B】第 5 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 2 4 A】第 5 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 2 4 B】第 5 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【図 2 5】第 5 の実施形態の変形例に係る画像表示装置の一部を例示する模式的な断面図である。

【図 2 6 A】第 5 の実施形態の変形例の画像表示装置の製造方法を例示する模式的な断面図である。

【図 2 6 B】第 5 の実施形態の変形例の画像表示装置の製造方法を例示する模式的な断面図である。

【図 2 7】画素 L E D 素子の特性を例示するグラフである。

【図 2 8】第 6 の実施形態に係る画像表示装置を例示するブロック図である。

【図 2 9】第 6 の実施形態の変形例に係る画像表示装置を例示するブロック図である。

【図 3 0】第 1 ～ 第 5 の実施形態およびこれらの変形例の画像表示装置を模式的に例示する斜視図である。

【発明を実施するための形態】

【0 0 1 2】

以下、図面を参照しつつ、本発明の実施形態について説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同一とは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して詳細な説明を適宜省略する。

【0 0 1 3】

(第 1 の実施形態)

図 1 は、実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図 1 には、本実施形態の画像表示装置のサブピクセル 2 0 の構成が模式的に示されている。画像表示装置に表示される画像を構成するピクセル 1 0 は、複数のサブピクセル 2 0 によって構成されている。

以下では、X Y Z の 3 次元座標系を用いて説明することがある。サブピクセル 2 0 は、2 次元平面上に配列されている。サブピクセル 2 0 が配列された 2 次元平面を X Y 平面と

10

20

30

40

50

する。サブピクセル 20 は、X 軸方向および Y 軸方向に沿って配列されている。

【0014】

サブピクセル 20 は、XY 平面にほぼ平行な発光面 153S を有している。発光面 153S は、主として、XY 平面に直交する Z 軸の正方向に向かって光を出力する。

【0015】

図 1 は、サブピクセル 20 を XZ 平面に平行な面で切断した場合の断面を模式的に示している。この断面図は、後述する図 4 の A-A' 線における矢視断面である。

図 1 に示すように、画像表示装置のサブピクセル 20 は、トランジスタ 103 と、第 1 の配線層 110 と、第 1 の層間絶縁膜（第 1 絶縁膜）112 と、第 2 の配線層（第 2 配線層）130 と、発光素子 150 と、第 2 の層間絶縁膜（第 2 絶縁膜）156 と、第 3 の配線層（第 3 配線層）160 と、ビア（第 1 ビア）161d と、を備える。サブピクセル 20 は、カラーフィルタ 180 をさらに備える。カラーフィルタ（波長変換部材）180 は、表面樹脂層 170 上に、透明薄膜接着層 188 を介して設けられている。表面樹脂層 170 は、発光素子 150、層間絶縁膜 156 および配線層 160 上に設けられている。

【0016】

トランジスタ 103 は、基板 102 に形成されている。基板 102 には、発光素子 150 の駆動用のトランジスタ 103 のほか、他のトランジスタやキャパシタ等の回路素子が形成され、配線等によって回路 101 を構成している。たとえば、トランジスタ 103 は、後述する図 3 に示された駆動トランジスタ 26 に対応し、そのほか選択トランジスタ 24 やキャパシタ 28 等が回路素子である。以下では、回路 101 は、回路素子が形成された素子形成領域 104、絶縁層 105、配線層 110、配線層 110 と回路素子を接続するビアおよび回路素子間等を絶縁する絶縁膜 108 を含むものとする。基板 102、回路 101 および層間絶縁膜 112 等のその他の構成要素を含めて回路基板 100 と呼ぶことがある。

【0017】

トランジスタ 103 は、p 形半導体領域 104b と、n 形半導体領域 104s、104d と、ゲート 107 と、を含む。ゲート 107 は、絶縁層 105 を介して、p 形半導体領域 104b の上に設けられている。絶縁層 105 は、素子形成領域 104 とゲート 107 とを絶縁するとともに、隣接する他の回路素子との絶縁を十分にとるために設けられている。ゲート 107 に電圧が印加されると、p 形半導体領域 104b にチャネルが形成され得る。トランジスタ 103 は、n チャネルトランジスタであり、たとえば n チャネル MOSFET である。

【0018】

素子形成領域 104 は、基板 102 に設けられている。基板 102 は、たとえば Si 基板である。素子形成領域 104 は、p 形半導体領域 104b と、n 形半導体領域 104s、104d と、を含む。p 形半導体領域 104b は、基板 102 の表面付近に設けられている。n 形半導体領域 104s、104d は、p 形半導体領域 104b 内で p 形半導体領域 104b の表面付近に互いに離隔して設けられている。

【0019】

基板 102 の表面には、絶縁層 105 が設けられている。絶縁層 105 は、素子形成領域 104 も覆っており、p 形半導体領域 104b および n 形半導体領域 104s、104d の表面も覆っている。絶縁層 105 は、たとえば SiO₂ である。絶縁層 105 は、覆っている領域に応じて SiO₂ や Si₃N₄ 等を含む多層の絶縁層であってもよい。絶縁層 105 は、高誘電率を有する絶縁材料の層を含んでもよい。

【0020】

絶縁層 105 を介して、p 形半導体領域 104b の上にゲート 107 が設けられている。ゲート 107 は、n 形半導体領域 104s、104d の間に設けられている。ゲート 107 は、たとえば多結晶 Si である。ゲート 107 は、多結晶 Si よりも低抵抗のシリサイド等を含んでもよい。

【0021】

10

20

30

40

50

この例では、ゲート107および絶縁層105は、絶縁膜108で覆われている。絶縁膜108は、たとえば SiO_2 や Si_3N_4 等である。配線層110を形成する際に表面を平坦化するために、さらにPSG (Phosphorus Silicon Glass) やBPSG (Boron Phosphorus Silicon Glass) 等の有機絶縁膜を設けるようにしてもよい。

【0022】

絶縁膜108には、ビア111s, 111dが形成されている。絶縁膜108上には、第1の配線層（第1配線層）110が形成されている。第1の配線層110は、電位の異なり得る複数の配線を含んでおり、配線110s, 110dを含んでいる。なお、このように、図1以降の断面図においては、配線層は、その配線層に含まれる1つの配線の横の位置に符号を表示するものとする。ビア111s, 111dは、配線層110の配線110s, 110dとn形半導体領域104s, 104dとの間にそれぞれ設けられ、これらを電氣的に接続している。配線層110およびビア111s, 111dは、たとえばAlやCu等の金属によって形成されている。配線層110およびビア111s, 111dは、高融点金属等を含んでもよい。

10

【0023】

絶縁膜108および配線層110上には、さらに平坦化膜として、第1の層間絶縁膜112が設けられている。層間絶縁膜（第1絶縁膜）112は、たとえばPSGやBPSG等の有機絶縁膜である。第1の層間絶縁膜112は、回路基板100においてその表面を保護する保護膜としても機能する。

【0024】

図1に示すように、第2の配線層130は、層間絶縁膜112上に設けられている。配線層130は、遮光プレート（部分）130aを含んでいる。遮光プレート130aは、サブピクセルごとに設けられており、これら複数の遮光プレート130aは、互いに電氣的に絶縁されている。遮光プレート130a上には発光素子150がそれぞれ設けられている。

20

【0025】

配線層130、すなわち遮光プレート130aは、高導電率を有する材料で形成されている。遮光プレート130aは、たとえば、TiやAl、TiとSnとの合金等を含む。CuやV等、あるいはAgやPt等の高い光反射性を有する貴金属を含んでもよい。遮光プレート130aは、このような高導電率を有する金属材料等で形成されているので、発光素子150と回路101とを低抵抗で電氣的に接続する。

30

【0026】

遮光プレート130aの外周は、XY平面視で発光素子150をZ軸上方から投影したときの外周を含んでいる。これにより、遮光プレート130aは、発光素子150の下方への光の散乱を発光面153S側に反射して、トランジスタ103に到達しないようにすることができる。遮光プレート130aの材料を適切に選択することによって、発光素子150の下方への光の散乱を発光面153S側に反射させて発光効率を向上させることができる。また、遮光プレート130aが、発光素子150の下方への散乱光を遮光することによって、トランジスタ103への光の到達が抑制され、トランジスタ103の誤動作を防止することもできる。

40

【0027】

発光素子150は、n形半導体層（第1半導体層）151と、発光層152と、p形半導体層（第2半導体層）153と、を含む。n形半導体層151、発光層152およびp形半導体層153は、層間絶縁膜112からZ軸の正方向に向かってこの順に積層されている。つまり、発光素子150の各層は、層間絶縁膜112から発光面153Sに向かって積層されている。

【0028】

発光素子150は、XY平面視で、たとえばほぼ正方形または長形状を有しているが、角部は丸くなってもよい。発光素子150はXY平面視で、たとえば楕円形状や円形状を有していてもよい。平面視での発光素子の形状や配置等を適切に選定することによ

50

って、レイアウトの自由度が向上する。

【0029】

発光素子150には、たとえば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$ 、 $0 \leq y$ 、 $x+y < 1$)等の窒化物半導体が好適に用いられる。本発明の一実施形態における発光素子150は、いわゆる青色発光ダイオードであり、発光素子150が発光する光の波長は、たとえば $467\text{nm} \pm 20\text{nm}$ 程度である。発光素子150が発光する光の波長は、 $410\text{nm} \pm 20\text{nm}$ 程度の青紫発光としてもよい。発光素子150が発光する光の波長は、上述の値に限らず、適切なものとすることができる。

【0030】

第2の層間絶縁膜(第2絶縁膜)156は、第1の層間絶縁膜112、第2の配線層130および発光素子150を覆っている。第2の層間絶縁膜156は、好ましくは白色樹脂によって形成されている。層間絶縁膜156を白色樹脂とすることによって、発光素子150が横方向や下方向に発光する光を反射させて、実質的に発光素子150の輝度を向上させることができる。層間絶縁膜156は、発光素子150を保護するとともに、第2の層間絶縁膜156上に形成される配線層160のために表面を平坦化する機能も有する。

【0031】

第2の層間絶縁膜156は、黒色樹脂であってもよい。層間絶縁膜156を黒色樹脂とすることによって、サブピクセル内における光の散乱が抑制され、迷光がより効果的に抑制される。迷光が抑制された画像表示装置は、よりシャープな画像を表示することが可能である。

【0032】

第2の層間絶縁膜156は、開口158を有している。開口158は、発光素子150の上方の層間絶縁膜156の一部を除去することによって形成されている。開口158は、発光面153Sが層間絶縁膜156から露出するように形成されている。発光面153Sは、p形半導体層153の面のうち発光層152に接する面に対向する面である。発光面153Sは、好ましくは粗面加工されている。発光素子150は、発光面153Sが粗面とされている場合には、光の取出効率を向上させることができる。

【0033】

第2の層間絶縁膜156を貫通して、ビア161k(第2ビア)が設けられている。ビア161kの一端は、遮光プレート130aに接続されている。

【0034】

ビア161d(第1ビア)は、層間絶縁膜112、156を貫通して設けられている。ビア161dの一端は、配線110dに接続されている。

【0035】

配線層160は、層間絶縁膜156上に設けられている。配線層160は、配線160a、160kを含んでいる。この図には示されないが、配線160aは、サブピクセル20に電源を供給する電源線に接続されている。

【0036】

配線160kは、ビア161k、161dの他端に接続されている。したがって、発光素子150のn形半導体層151は、遮光プレート130a、ビア161k、配線160k、ビア161dおよび配線110dを介して、トランジスタ103の主電極であるドレイン電極に電氣的に接続される。

【0037】

透明電極159a、159kは、配線160a、160k上にそれぞれ設けられている。透明電極159aは、開口されたp形半導体層153の発光面153S上にわたって設けられている。透明電極159aは、配線160aと発光面153Sとの間に設けられ、配線160aとp形半導体層153とを電氣的に接続している。

【0038】

表面樹脂層170は、第2の層間絶縁膜156、透明電極159a、159kを含む透明導電膜および第3の配線層160を覆っている。表面樹脂層170は、透明樹脂であり

10

20

30

40

50

、層間絶縁膜 156 および配線層 160 を保護するとともに、カラーフィルタ 180 を接着するための平坦化面を提供する。

【0039】

カラーフィルタ 180 は、遮光部 181 と色変換部 182 とを含む。色変換部 182 は、発光素子 150 の発光面 153S の直上に発光面 153S の形状に応じて設けられている。カラーフィルタ 180 では、色変換部 182 以外の部分は、遮光部 181 とされている。遮光部 181 は、いわゆるブラックマトリクスであり、隣接する色変換部 182 から発光される光の混色等によるにじみを低減し、シャープな画像を表示することを可能にする。

【0040】

色変換部 182 は、1 層または 2 層とされる。図 1 には、2 層の部分が示されている。1 層であるか 2 層であるかは、サブピクセル 20 が発光する光の色、すなわち波長によって決定される。サブピクセル 20 の発光色が赤または緑の場合には、色変換部 182 は、好ましくは 2 層とされる。サブピクセル 20 の発光色が青の場合には、好ましくは 1 層とされる。

【0041】

色変換部 182 が 2 層の場合には、発光素子 150 により近い 1 層目が色変換層 183 であり、2 層目がフィルタ層 184 である。つまり、フィルタ層 184 は、色変換層 183 上に積層されている。

【0042】

色変換層 183 は、発光素子 150 が発光する光の波長を所望の波長に変換する層である。赤色を発光するサブピクセル 20 の場合には、発光素子 150 の波長、 $467\text{ nm} \pm 20\text{ nm}$ の光を、たとえば $630\text{ nm} \pm 20\text{ nm}$ 程度の波長の光に変換する。緑色を発光するサブピクセル 20 の場合には、発光素子 150 の波長、 $467\text{ nm} \pm 20\text{ nm}$ の光を、たとえば $532\text{ nm} \pm 20\text{ nm}$ 程度の波長の光に変換する。

【0043】

フィルタ層 184 は、色変換層 183 で色変換されずに残存した青色発光の波長成分を遮断する。

【0044】

サブピクセル 20 が発光する光の色が青色の場合には、サブピクセル 20 は、色変換層 183 を介して光を出力してもよいし、色変換層 183 を介さずにそのまま光を出力するようにしてもよい。発光素子 150 が発光する光の波長が $467\text{ nm} \pm 20\text{ nm}$ 程度の場合には、サブピクセル 20 は、色変換層 183 を介さずに光を出力してもよい。発光素子 150 が発光する光の波長を $410\text{ nm} \pm 20\text{ nm}$ とする場合には、出力する光の波長を $467\text{ nm} \pm 20\text{ nm}$ 程度に変換するために、1 層の色変換層 183 を設けることが好ましい。

【0045】

青色のサブピクセル 20 の場合であっても、サブピクセル 20 は、フィルタ層 184 を有していてもよい。青色のサブピクセル 20 にフィルタ層 184 を設けることによって、発光素子 150 の表面で生じる微小な外光反射が抑制される。

【0046】

(変形例)

サブピクセルの構成の変形例について説明する。

図 2A および図 2B は、本実施形態の画像表示装置の変形例をそれぞれ例示する模式的な断面図である。

図 2A 以降のサブピクセルの断面図では、煩雑さを避けるため、表面樹脂層 170 およびカラーフィルタ 180 の表示が省略されている。特に記載のない場合には、第 2 の層間絶縁膜および第 3 の配線層上には、表面樹脂層 170 およびカラーフィルタ 180 が設けられる。後述の他の実施形態およびその変形例の場合についても同様である。

【0047】

10

20

30

40

50

図 2 A の場合には、サブピクセル 20 a は、発光素子 150 に接続する配線構造が上述の第 1 の実施形態の場合と相違する。他の構成要素は、上述の第 1 の実施形態の場合と同一であり、詳細な説明を適宜省略する。

図 2 A に示すように、サブピクセル 20 a は、配線 160 a 1 を含む。配線 160 a 1 は、第 3 の配線層 160 に含まれる配線として形成されている。本変形例では、p 形半導体層 153 との電氣的接続は、配線 160 a 1 の一端を発光面 153 S の一部に接続することにより行われる。本変形例では、透明電極を含む透明導電膜を形成する工程を省略することができる。

【0048】

図 2 B に示すように、サブピクセル 20 b では、第 2 の層間絶縁膜 156 a が透明樹脂である。層間絶縁膜 156 a は、発光面 153 S に対応する開口が設けられていない。発光面 153 S は、第 3 の配線層 160 の配線 160 a 2 に直接接続されている。

【0049】

発光素子 150 は、層間絶縁膜 156 a を介して、発光面 153 S から発光する。本変形例では、層間絶縁膜 156 a に開口を形成する工程および発光面 153 S を粗面化する工程を省略することができる。

【0050】

本実施形態では、上述に示したサブピクセル 20, 20 a, 20 b の構成のいずれかを含むことができる。また、以下に説明する各実施形態についても、本実施形態の場合と同様にサブピクセルの変形例を適用することができる。

【0051】

図 3 は、本実施形態に係る画像表示装置を例示する模式的なブロック図である。

図 3 に示すように、本実施形態の画像表示装置 1 は、表示領域 2 を備える。表示領域 2 には、サブピクセル 20 が配列されている。サブピクセル 20 は、たとえば格子状に配列されている。たとえば、サブピクセル 20 は、X 軸に沿って n 個配列され、Y 軸に沿って m 個配列される。

【0052】

ピクセル 10 は、異なる色の光を発光する複数のサブピクセル 20 を含む。サブピクセル 20 R は、赤色の光を発光する。サブピクセル 20 G は、緑色の光を発光する。サブピクセル 20 B は、青色の光を発光する。3 種類のサブピクセル 20 R, 20 G, 20 B が所望の輝度で発光することによって、1 つのピクセル 10 の発光色および輝度が決定される。

【0053】

1 つのピクセル 10 は、3 つのサブピクセル 20 R, 20 G, 20 B を含み、サブピクセル 20 R, 20 G, 20 B は、たとえばこの例のように、X 軸上を直線状に配列されている。各ピクセル 10 は、同じ色のサブピクセルが同じ列に配列されていてもよいし、この例のように、列ごとに異なる色のサブピクセルが配列されていてもよい。

【0054】

画像表示装置 1 は、電源線 3 および接地線 4 をさらに有する。電源線 3 および接地線 4 は、サブピクセル 20 の配列に沿って、格子状に布線されている。電源線 3 および接地線 4 は、各サブピクセル 20 に電氣的に接続され、電源端子 3 a と GND 端子 4 a との間に接続された直流電源から各サブピクセル 20 に電力を供給する。電源端子 3 a および GND 端子 4 a は、電源線 3 および接地線 4 の端部にそれぞれ設けられ、表示領域 2 の外部に設けられた直流電源回路に接続される。電源端子 3 a は、GND 端子 4 a を基準にして正の電圧が供給される。

【0055】

画像表示装置 1 は、走査線 6 および信号線 8 をさらに有する。走査線 6 は、X 軸に平行な方向に布線されている。つまり、走査線 6 は、サブピクセル 20 の行方向の配列に沿って布線されている。信号線 8 は、Y 軸に平行な方向に布線されている。つまり、信号線 8 は、サブピクセル 20 の列方向の配列に沿って布線されている。

10

20

30

40

50

【0056】

画像表示装置1は、行選択回路5および信号電圧出力回路7をさらに有する。行選択回路5および信号電圧出力回路7は、表示領域2の外縁に沿って設けられている。行選択回路5は、表示領域2の外縁のY軸方向に沿って設けられている。行選択回路5は、各列のサブピクセル20に走査線6を介して電氣的に接続され、各サブピクセル20に選択信号を供給する。

【0057】

信号電圧出力回路7は、表示領域2の外縁に沿って設けられている。信号電圧出力回路7は、表示領域2の外縁のX軸方向に沿って設けられている。信号電圧出力回路7は、各行のサブピクセル20に信号線8を介して電氣的に接続され、各サブピクセル20に信号電圧を供給する。

10

【0058】

サブピクセル20は、発光素子22と、選択トランジスタ24と、駆動トランジスタ26と、キャパシタ28と、を含む。図3において、選択トランジスタ24はT1と表示され、駆動トランジスタ26はT2と表示され、キャパシタ28はCmと表示されることがある。

【0059】

発光素子22は、駆動トランジスタ26と直列に接続されている。本実施形態では、駆動トランジスタ26はnチャネルMOSFETであり、駆動トランジスタ26の主電極であるドレイン電極に発光素子22のn電極であるカソード電極が接続されている。発光素子22および駆動トランジスタ26の直列回路は、電源線3と接地線4との間に接続されている。駆動トランジスタ26は、図1等におけるトランジスタ103に対応し、発光素子22は、図1等における発光素子150に対応する。駆動トランジスタ26のゲートソース間に印加される電圧によって、発光素子22に流れる電流が決定され、発光素子22は、発光素子22に流れる電流に応じた輝度で発光する。

20

【0060】

選択トランジスタ24は、駆動トランジスタ26のゲート電極と信号線8との間に主電極を介して接続されている。選択トランジスタ24のゲート電極は、走査線6に接続されている。駆動トランジスタ26のゲート電極と接地線4との間には、キャパシタ28が接続されている。

30

【0061】

行選択回路5は、m行のサブピクセル20の配列から、1行を選択して走査線6に選択信号を供給する。信号電圧出力回路7は、選択された行の各サブピクセル20に必要なアナログ電圧値を有する信号電圧を供給する。選択された行のサブピクセル20の駆動トランジスタ26のゲートソース間には、信号電圧が印加される。信号電圧は、キャパシタ28によって保持される。駆動トランジスタ26は、信号電圧に応じた電流を発光素子22に流す。発光素子22は、流れた電流に応じた輝度で発光する。

【0062】

行選択回路5は、選択する行を順次切り替えて選択信号を供給する。つまり、行選択回路5は、サブピクセル20が配列された行を走査する。順次走査されたサブピクセル20の発光素子22には、信号電圧に応じた電流が流れて発光する。RGB各色のサブピクセル20が発光する発光色および輝度によって決定された発光色および輝度で各ピクセル10が発光して表示領域2に画像が表示される。

40

【0063】

図4は、本実施形態の画像表示装置の一部を例示する模式的な平面図である。

本実施形態では、図1において説明したように、発光素子22(150)と駆動トランジスタ26(103)が、Z軸方向に積層されており、ビア161dによって、発光素子22(150)のカソード電極と駆動トランジスタ26(103)のドレイン電極とを電氣的に接続している。

【0064】

50

図4の上部には、第Ⅰ層の平面図が模式的に表示され、下部には、第Ⅱ層の平面図が模式的に表示されている。図4では、第Ⅰ層を“Ⅰ”と表記し、第Ⅱ層を“Ⅱ”と表記している。第Ⅰ層は、発光素子22(150)が形成された層である。すなわち、第Ⅰ層は、図1において、第2の配線層130からZ軸の正方向に、第3の配線層160までの層を含んでいる。図4では、第2の層間絶縁膜156は示されていない。第Ⅱ層は、図1において、基板102からZ軸の正方向に、第1の層間絶縁膜112までの層を含んでいる。図4では、基板102、絶縁層105、絶縁膜108および第1の層間絶縁膜112は示されていない。この図では、素子形成領域104としてチャネル領域104cが示されている。

【0065】

図1に示した断面図は、第Ⅰ層および第Ⅱ層それぞれに一点鎖線で示した箇所のAA'線の矢視断面である。

【0066】

図4に示すように、発光素子150のカソード電極となるn形半導体層151には、図1に示されているビア161kおよびそのコンタクトホール161k1を介して、配線160kが接続されている。配線160kは、第2の層間絶縁膜156に設けられたコンタクトホール161d1を介してビア161dの一端に接続されている。ビア161dは、図上、二点鎖線で模式的に示されている。なお、配線160k上には、透明電極159kが設けられている。

【0067】

発光素子150のアノード電極となるp形半導体層153には、その表面である発光面153Sの全面にわたって透明電極159aが設けられている。透明電極159aは、第3の配線層160である配線160a上にも設けられている。透明電極159aは、発光面153Sと、第3の配線層160である配線160aとの間に設けられ、これらを電氣的に接続している。

【0068】

ビア161dの他端は、第1の層間絶縁膜112に設けられたコンタクトホール161d2を介して、配線110dに接続されている。配線110dは、絶縁膜108に開口されたコンタクトホール111c1を介して、ビア111d(図1)に接続され、トランジスタ103のドレイン電極に接続される。このようにして、層間絶縁膜156、112を貫通するビア161dによって、異なる層である第Ⅰ層および第Ⅱ層にそれぞれ形成された発光素子150およびトランジスタ103を電氣的に接続することができる。

【0069】

遮光プレート130aによって、発光素子150の発光を遮光する配置について、図4を用いて説明する。

発光素子150は、X軸方向の長さL1およびY軸方向の長さW1を有する長方形の底面を有している。遮光プレート(部分)130aは、X軸方向の長さL2およびY軸方向の長さW2を有する長方形を有する。発光素子150は、遮光プレート130a上に設けられている。

【0070】

上述した各部の長さは、 $L2 > L1$ 、 $W2 > W1$ となるように設定されている。発光素子150は、遮光プレート130a上に設けられ、遮光プレート130aの外周が、発光素子150の外周を含むように配置されている。遮光プレート130aの外周は発光素子150の外周を含んでいればよく、遮光プレート130aの形状および発光素子150の形状は、方形である場合に限り適切な任意の形状としてもよい。

【0071】

発光素子150は、上方に向かって発光するとともに、下方に向かう発光や、層間絶縁膜112と表面樹脂層170との界面での反射光や散乱光等が存在する。したがって、好ましくは、遮光プレート130aの外周は、XY平面視で遮光プレート130aに投影された発光素子150の外周を含むように設定される。このように遮光プレート130aが

10

20

30

40

50

設定されることによって、発光素子 150 の下方への光の到達を抑制して、回路素子への光の影響を軽減することができる。

【0072】

本実施形態の画像表示装置 1 の製造方法について説明する。

図 5 A ～ 図 9 B は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図 5 A に示すように、半導体成長基板 1194 を準備する。半導体成長基板 1194 は、結晶成長用基板（第 1 基板）1001 上に成長させた半導体層 1150 を有する。結晶成長用基板 1001 は、たとえば Si 基板やサファイア基板等である。好ましくは、Si 基板が用いられる。

【0073】

この例では、結晶成長用基板 1001 の一方の面には、バッファ層 1140 が形成されている。バッファ層（緩衝層）1140 は、AlN 等のナイトライドが好適に用いられる。バッファ層 1140 は、GaN をエピタキシャル成長させるときに、GaN の結晶と結晶成長用基板 1001 との界面での不整合を緩和するために用いられる。

【0074】

半導体成長基板 1194 では、バッファ層 1140 上に、p 形半導体層 1153、発光層 1152 および n 形半導体層 1151 が、バッファ層 1140 側からこの順に積層される。半導体層 1150 の成長には、たとえば気相成長法（Chemical Vapor Deposition、CVD 法）が用いられ、有機金属気相成長法（Metal Organic Chemical Vapor Deposition、MOCVD 法）が好適に用いられる。半導体層 1150 は、たとえば、 $\text{In}_x\text{Ga}_{1-x-y}\text{N}$ （ $0 \leq x$ 、 $0 \leq y$ 、 $x + y < 1$ ）等である。

【0075】

半導体層 1150 の結晶成長用基板 1001 の側の面に対向する側の面には、メタル層 1130 が形成される。つまり、メタル層 1130 は、n 形半導体層 1151 の発光層 1152 が設けられた面に対向する n 形半導体層 1151 の面上に形成される。メタル層 1130 は、たとえば Ti や Al、Ti と Sn との合金等を含む。Cu や V 等、あるいは、Ag や Pt 等の高い光反射性を有する貴金属を含んでもよい。

【0076】

図 5 B に示すように、回路基板 1100 が準備される。回路基板（第 2 基板）1100 は、図 1 等で説明した回路 101 を含む。半導体成長基板 1194 は、上下を反転される。つまり、図の矢印で示したように、回路基板 1100 の一方の面は、半導体層 1150 上に形成されたメタル層 1130 の面に向かい合わせて、両者を貼り合わせる。回路基板 1100 の貼り合わせ面は、配線層 110 上に形成された層間絶縁膜 112 の露出面である。その後、結晶成長用基板 1001 は、除去される。結晶成長用基板 1001 の除去には、たとえばウェットエッチングやレーザリフトオフが用いられる。

【0077】

2 つの基板を貼り合わせるウェハボンディングでは、たとえば、2 つの基板を加熱して熱圧着により 2 つの基板を貼り合わせる。加熱圧着する際に、低融点金属や低融点合金を用いてもよい。低融点金属は、たとえば Sn や In 等であり、低融点合金は、たとえば Zn や In、Ga、Sn、Bi 等を主成分とした合金とすることができる。

【0078】

ウェハボンディングでは、上述のほか、それぞれの基板の貼り合わせ面を化学機械研磨（Chemical Mechanical Polishing、CMP）等を用いて平坦化した上で、真空中で貼り合わせ面をプラズマ処理により清浄化して密着させるようにしてもよい。

【0079】

図 6 A ～ 図 6 C には、ウェハボンディング工程における変形例が示されている。ウェハボンディング工程では、図 5 B の工程に代えて、図 6 A ～ 図 6 C のいずれかとすることができる。

【0080】

10

20

30

40

50

図 6 A に示すように、半導体層 1150 は、結晶成長用基板 1001 上に、結晶成長用基板 1001 の側から、n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 の順に成長、積層される。半導体層 1150 を形成した後、p 形半導体層 1153 の発光層 1152 が設けられた側の面に対向する面、すなわち p 形半導体層 1153 の開放された面に支持基板 1190 が接着される。支持基板 1190（第 3 基板）は、たとえば Si や石英等によって形成されている。その後、結晶成長用基板 1001 は、除去される。結晶成長用基板 1001 の除去には、たとえばレーザが用いられる。その後、n 形半導体層 1151 の開放された面にメタル層 1130 が形成される。

【0081】

この例では、バッファ層 1140 を除去した後に支持基板 1190 を接着したが、バッファ層 1140 に支持基板 1190 を接着し、ウェハボンディング工程後にバッファ層 1140 を除去するようにしてもよい。

【0082】

図 6 B に示すように、半導体成長基板 1194 にメタル層 1130 を形成し、回路基板 1100 にもメタル層 1120 を形成してもよい。この変形例では、メタル層同士を接合するので、それぞれのメタル層で同一の金属材料を用いたり、同一の金属材料を含む合金とすることによって、より容易にウェハボンディングを行うことができる。なお、メタル層は、半導体成長基板 1194 側および回路基板 1100 側の少なくとも一方に設けられていればよい。

【0083】

図 6 C に示すように、結晶成長用基板 1001 に半導体層 1150 を結晶成長させる場合には、バッファ層 1140 を介さずに半導体成長基板を形成するようにしてもよい。この場合には、ウェハボンディング後にバッファ層を除去する工程を省略することができる。

【0084】

ウェハボンディングした後の製造工程に戻って説明を続ける。

図 7 A および図 7 B に示すように、回路基板 1100 は、ウェハボンディングによってメタル層 1130 を介して半導体層 1150 に接合される。メタル層 1130 および半導体層 1150 は、エッチングによって、必要な形状に形成される。メタル層 1130 は、エッチングされて第 2 の配線層 130 が形成される。この配線層 130 は、遮光プレート 130a を含む。遮光プレート 130a は、エッチングによって、上述した形状に成形される。半導体層 1150 は、さらにエッチングされ、発光素子 150 の形状に成形される。発光素子 150 の成形には、たとえばドライエッチングプロセスが用いられ、好適には、異方性プラズマエッチング（Reactive Ion Etching、RIE）が用いられる。

【0085】

図 8 A に示すように、発光素子 150 を覆って層間絶縁膜 156 が形成される。層間絶縁膜 156 には、ビアホールが形成される。その後、ビアホールに導電性の金属材料が充填される。ビアホールの形成にはウェットエッチングまたはドライエッチングいずれかを用いることができる。

【0086】

その後、スパッタ等によって、ビアホール内に導電層を形成する。ビアホールを形成した後、ビアおよび配線層を同時に形成するようにしてもよい。

【0087】

第 2 の層間絶縁膜 156 をエッチングにより開口 158 を形成し、p 形半導体層 153 の面を露出させる。エッチングは、ウェットエッチングでもよいし、ドライエッチングでもよい。

【0088】

その後、露出された p 形半導体層 153 の発光面 153S は、発光効率を向上させるためにウェットエッチング等により粗面化される。

【0089】

図 8 B に示すように、開口 158 を含めて第 3 の配線層 160 を成膜し、フォトリソグ

10

20

30

40

50

ラフィによって各配線 160a, 160k を形成する。配線 160a は、p 形半導体層 153 に接続されていない。

【0090】

図 8C に示すように、配線層 160、第 2 の層間絶縁膜 156 および p 形半導体層 153 の発光面 153S を覆う透明導電膜を形成する。透明導電膜は、ITO 膜や ZnO 膜等が好適に用いられる。フォトリソグラフィにより、必要な透明電極 159a, 159k が形成される。

【0091】

透明電極 159a は、配線 160a 上に形成されるとともに、p 形半導体層 153 の発光面 153S 上にも形成されている。したがって、配線 160a および p 形半導体層 153 は、電氣的に接続される。好ましくは、透明電極 159a は、露出されている発光面 153S の全面を覆うように設けられ、発光面 153S に接続されている。

10

【0092】

図 9A および図 9B は、変形例のサブピクセル 20a, 20b にそれぞれ対応する製造工程を表している。図 9A は、図 7B の工程の後に実行されて、サブピクセル 20a を形成する。図 9B は、図 7B の工程の後に実行されて、サブピクセル 20b を形成する。

【0093】

図 9A に示すように、p 形半導体層 153 の発光面 153S を露出するように開口 158 を形成した後、各配線 160a1, 160k を形成する。配線 160a1 は、透明電極による電氣的接続に代えて、p 形半導体層 153 の発光面 153S に接続される。

20

【0094】

図 9B に示すように、第 2 の層間絶縁膜 156a を形成された後、開口を形成することなく、第 3 の配線層 160 が形成され、p 形半導体層 153 の発光面 153S には、配線 160a2 で接続される。

【0095】

このようにして、変形例のサブピクセル 20a, 20b が形成される。

【0096】

サブピクセル 20 以外の回路の一部は、回路基板 100 中に形成されている。たとえば行選択回路 5 (図 3) は、駆動トランジスタや選択トランジスタ等とともに、回路基板 100 中に形成されることができる。つまり、行選択回路 5 は、上述の製造工程によって同時に組み込まれている場合がある。一方、信号電圧出力回路 7 は、微細加工による高集積化が可能な製造プロセスによって製造された半導体デバイスに組み込まれることが望ましい。信号電圧出力回路 7 は、CPU や他の回路要素とともに別の基板に実装され、たとえば後述するカラーフィルタの組み込みの前に、あるいは、カラーフィルタの組み込みの後、回路基板 100 の配線と相互に接続される。

30

【0097】

好ましくは、回路基板 1100 は、回路 101 を含むウェハである。回路基板 1100 には、1 つまたは複数の画像表示装置のための回路 101 が形成されている。あるいは、より大きな画面サイズ等の場合には、1 つの画像表示装置を構成するための回路 101 が複数の回路基板 1100 に分割されて形成されており、分割された回路のすべてを組み合わせ、1 つの画像表示装置を構成するようにしてもよい。

40

【0098】

また、好ましくは、結晶成長用基板 1001 は、ウェハ状の回路基板 1100 と同じ大きさのウェハである。

【0099】

図 10 は、本実施形態の画像表示装置の製造方法を例示する斜視図である。

図 10 に示すように、複数の半導体成長基板 1194 を準備して、1 つの回路基板 1100 に、複数の結晶成長用基板 1001 に形成された半導体層 1150 を接合するようにしてもよい。

【0100】

50

回路基板 1100 には、複数の回路 101 がたとえば格子状に配置されている。回路 101 は、1つの画像表示装置 1に必要なすべてのサブピクセル 20等を含んでいる。隣接して配置されている回路 101の間には、スクライブライン幅の程度の間隔が設けられている。回路 101の端部および端部付近には、回路素子等は配置されていない。

【0101】

半導体層 1150 は、その端部が結晶成長用基板 1001の端部と一致するように形成されている。そこで、半導体成長基板 1194の端部を、回路 101の端部と一致するように配置し、接合することによって、接合後の半導体層 1150の端部と回路 101の端部とを一致させることができる。

【0102】

結晶成長用基板 1001に半導体層 1150を成長させるときに、半導体層 1150の端部およびその近傍では、結晶品位の低下が生じ易い。そのため、半導体層 1150の端部と回路 101の端部とを一致させることによって、半導体成長基板 1194上の半導体層 1150の端部近傍における結晶品位の低下し易い領域を画像表示装置 1の表示領域に使用しないようにすることができる。

【0103】

あるいは、この逆に、複数の回路基板 1100を準備して、1つの半導体成長基板 1194の結晶成長用基板 1001上に形成された半導体層 1150に対して、複数の回路基板 1100を接合するようにしてもよい。

【0104】

図 11 は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

なお、図 11では、煩雑さを避けるために、回路基板 100内や層間絶縁膜 112, 156内等の配線等については、表示が省略されている。また、図 11には、カラーフィルタ 180等の色変換部材の一部が表示されている。ここでは、配線層 130、発光素子 150、ビア 161k, 161d、配線層 160、層間絶縁膜 156および表面樹脂層 170を含む構造物を発光回路部 172と呼ぶ。また、回路基板 100上に発光回路部 172を設けた構造物を構造体 1192と呼ぶ。

【0105】

図 11に示すように、カラーフィルタ 180は、一方の面で構造体 1192に接着される。カラーフィルタ 180の他方の面は、ガラス基板 186に接着されている。カラーフィルタ 180の一方の面には、透明薄膜接着層 188が設けられており、透明薄膜接着層 188を介して、構造体 1192の発光回路部 172の側の面に接着される。

【0106】

カラーフィルタ 180は、この例では、赤色、緑色、青色の順に X 軸の正方向に色変換部が配列されている。赤色および緑色については、1層目に赤色の色変換層 183Rおよび緑色の色変換層 183Gがそれぞれ設けられており、2層目にフィルタ層 184がそれぞれ設けられている。青色については、単層の色変換層 183Bが設けられている。各色変換部の間には、遮光部 181が設けられている。

【0107】

各色の色変換層 183R, 183G, 183Bの位置を発光素子 150の位置に合わせて、カラーフィルタ 180は、構造体 1192に貼り付けられる。

【0108】

図 12A～図 12D は、本実施形態の画像表示装置の製造方法の変形例を示す模式的な断面図である。

図 12A～図 12Dには、カラーフィルタをインクジェットで形成する方法が示されている。

【0109】

図 12Aに示すように、回路基板 100に発光回路部 172が貼り付けられた構造体 1192が準備される。

【0110】

10

20

30

40

50

図12Bに示すように、構造体1192上に遮光部181aが形成される。遮光部181aは、たとえばスクリーン印刷やフォトリソグラフィ技術等を用いて形成される。

【0111】

図12Cに示すように、発光色に応じた蛍光体183aは、インクジェットノズルから噴出される。蛍光体183aは、遮光部181aが形成されていない領域を着色する。蛍光体183aは、たとえば一般的な蛍光体材料や量子ドット蛍光体材料を用いた蛍光塗料が用いられる。量子ドット蛍光体材料を用いた場合には、各発光色を実現できるとともに、単色性が高く、色再現性を高くできるので好ましい。インクジェットノズルによる描画の後、適切な温度および時間で乾燥処理を行う。着色時の塗膜の厚さは、遮光部181aの厚さよりも薄く設定されている。

10

【0112】

すでに説明したように、青色発光のサブピクセルについては、色変換部を形成しない場合があるので、蛍光体は噴出されない。また、青色発光のサブピクセルについて、青色の色変換層を形成する場合には、色変換部は1層でよいので、好ましくは、青色の蛍光体の塗膜の厚さは、遮光部181aの厚さと同じ程度とされる。

【0113】

図12Dに示すように、フィルタ層のための塗料184aは、インクジェットノズルから噴出される。塗料184aは、蛍光体183aの塗膜に重ねて塗布される。蛍光体183aおよび塗料184aの塗膜の合計の厚さは、遮光部181aの厚さと同じ程度とされる。

20

【0114】

このようにして、画像表示装置1を製造することができる。

【0115】

本実施形態の画像表示装置1の効果について説明する。

本実施形態の画像表示装置1の製造方法では、発光素子150を駆動するトランジスタ103等の回路素子を含む回路基板1100(100)に、発光素子150のための発光層1152を含む半導体層1150を貼り合わせる。その後、半導体層1150をエッチングして発光素子150を形成する。そのため、回路基板1100(100)に個片化された発光素子を個々に転写するのに比べて、発光素子を転写する工程を著しく短縮することができる。

30

【0116】

たとえば、4K画質の画像表示装置では、サブピクセルの数は2400万個を超え、8K画質の画像表示装置の場合には、サブピクセルの数は9900万個を超える。これだけ大量の発光素子を個々に回路基板に実装するのでは、膨大な時間を要することとなり、マイクロLEDによる画像表示装置を現実的なコストで実現することは困難である。また、大量の発光素子を個々に実装したのでは、実装時の接続不良等による歩留りが低下し、さらなるコスト上昇が避けられない。

【0117】

これに対して、本実施形態の画像表示装置1の製造方法では、半導体層1150を個片化する前に、半導体層1150全体を回路基板1100(100)に貼り付けるので、転写工程が1回で完了する。

40

【0118】

回路基板上で、エッチング等により発光素子を直接形成した後に、発光素子と、回路基板1100(100)内の回路素子とを、ビア形成により電氣的に接続するので、均一な接続構造を実現することができ、歩留りの低下を抑制することができる。

【0119】

さらに、半導体層1150をあらかじめ個片化したり、回路素子に対応した位置に電極を形成したりすることなく、ウェハレベルで回路基板1100(100)に貼り付けるので、アライメントをとる必要がない。そのため、貼り付け工程を短時間で容易に行うことが可能になる。貼り付け時にアライメントをとる必要がないので、発光素子150の小型

50

化も容易であり、高精細化されたディスプレイに好適である。

【0120】

半導体層1150を回路基板1100にウェハボンディングする場合に、本実施形態では、半導体層1150および回路基板1100の貼り合わせ面の少なくとも一方に、あらかじめメタル層1130、1120が形成されている。そのため、メタル層の材料を適切に選定することによって、容易にウェハボンディングを行うことができる。

【0121】

ウェハボンディング時に形成されたメタル層は、第2の配線層130として、発光素子150と外部との接続等に利用することができる。第2の配線層130をn形半導体層151とオーミック接続をとることによって、ビア161kとn形半導体層151とを低い抵抗値で電氣的に接続することができる。

【0122】

第2の配線層130は、遮光プレート130aを含むことができるので、発光素子150の不要な光の散乱により、トランジスタ103等の回路素子が誤動作することを防止することができる。

【0123】

(第2の実施形態)

図13は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図13は、サブピクセル220をXZ平面に平行な面で切断した場合の断面を模式的に示している。この断面図は、上述した図4のA-A'線における矢視断面に相当する断面図である。

本実施形態では、発光素子250の構成および発光素子250を駆動するトランジスタ203の構成が上述の他の実施形態の場合と相違する。上述の他の実施形態の場合と同一の構成要素には、同一の符号を付して詳細な説明を適宜省略する。

【0124】

図13に示すように、本実施形態の画像表示装置のサブピクセル220は、トランジスタ203と、発光素子250と、を含む。トランジスタ203は、基板102に形成された素子形成領域204に形成されている。素子形成領域204は、n形半導体領域204bとp形半導体領域204s、204dとを含む。n形半導体領域204bは、基板102の表面付近に設けられている。p形半導体領域204s、204dは、n形半導体領域204b内でn形半導体領域204bの表面付近に互いに離隔して設けられている。

【0125】

絶縁層105を介して、n形半導体領域204bの上にゲート107が設けられている。ゲート107は、p形半導体領域204s、204dの間に設けられている。

【0126】

トランジスタ203の上部の構造および配線の構造は、上述した他の実施形態の場合と同じである。本実施形態では、トランジスタ203は、pチャネルトランジスタであり、たとえばpチャネルMOSFETである。

【0127】

第1の層間絶縁膜112上には、上述の他の実施形態の場合と同様に、第2の配線層130が形成され、この配線層130の一部である遮光プレート130aが設けられている。

【0128】

発光素子250は、p形半導体層253と、発光層252と、n形半導体層251と、を含む。p形半導体層253、発光層252およびn形半導体層251は、回路基板100の第1の層間絶縁膜112から発光面251Sに向かってこの順に積層されている。発光素子250は、XY平面視で、たとえば、ほぼ正方形または長方形状をしているが、角部は丸くなってもよい。発光素子250はXY平面視で、たとえば楕円形状や円形状を有していてもよい。平面視での発光素子の形状や配置等を適切に選定することによって、レイアウトの自由度が向上する。

【0129】

10

20

30

40

50

発光素子 250 は、上述の他の実施形態の場合と同じ材料でよい。発光素子 250 は、たとえば $467\text{ nm} \pm 20\text{ nm}$ 程度の青色光あるいは $410\text{ nm} \pm 20\text{ nm}$ の波長の青紫色光を発光する。

【0130】

発光素子 250 の p 形半導体層 253 は、遮光プレート 130 a 上に設けられている。好ましくは、遮光プレート 130 a と p 形半導体層 253 とは、オーミック接続されている。

【0131】

第 2 の層間絶縁膜（第 2 絶縁膜）156 は、第 1 の層間絶縁膜 112、第 2 の配線層 130 および発光素子 250 を覆っている。第 2 の層間絶縁膜 156 は、開口 258 を有している。開口 258 は、発光素子 250 上に形成されており、層間絶縁膜 156 は、発光素子 250 の発光面 251 S 上に設けられていない。層間絶縁膜 156 は、発光素子 250 が発光する光を反射して開口 258 から効果的に出力されるように、白色樹脂が好適に用いられる。

【0132】

発光面 251 S は、n 形半導体層 251 の面のうち発光層 252 に接する面に対向する面である。発光面 251 S は、粗面化されている。

【0133】

層間絶縁膜 156 を貫通して、ビア 261 a が設けられている。ビア 261 a の一端は、遮光プレート 130 a に接続されている。

【0134】

ビア 161 d は、層間絶縁膜 112、156 を貫通して設けられている。ビア 161 d の一端は、配線 110 d に接続されている。

【0135】

配線層 260 は、層間絶縁膜 156 上に設けられている。配線層 260 は、配線 260 k、260 a を含む。配線 260 a は、ビア 261 a、161 d の他端に接続されている。したがって、発光素子 250 の p 形半導体層 253 は、ビア 261 a、161 d を介して、トランジスタ 203 の主電極に電氣的に接続される。

【0136】

配線 260 k は、図示しないが、接地線に接続されている。配線 260 k 上には、透明電極 259 k が設けられている。透明電極 259 k は、発光面 251 S まで延伸しており、発光面 251 S の全面にわたって設けられている。したがって、n 形半導体層 251 は、透明電極 259 k および配線 260 k を介して、接地線に接続されている。

【0137】

配線 260 a 上にも透明電極 259 a が配設されている。

【0138】

層間絶縁膜 156 および透明電極 259 k、259 a 上には、表面樹脂層 170 が設けられている。

【0139】

図 14 は、本実施形態に係る画像表示装置を例示する模式的なブロック図である。

図 14 に示すように、本実施形態の画像表示装置 201 は、表示領域 2、行選択回路 205 および信号電圧出力回路 207 を備える。表示領域 2 には、上述の他の実施形態の場合と同様に、たとえばサブピクセル 220 が格子状に配列されている。

【0140】

サブピクセル 220 は、発光素子 222 と、選択トランジスタ 224 と、駆動トランジスタ 226 と、キャパシタ 228 と、を含む。図 14 において、選択トランジスタ 224 は T1 と表示され、駆動トランジスタ 226 は T2 と表示され、キャパシタ 228 は Cm と表示されることがある。

【0141】

本実施形態では、発光素子 222 が接地線 4 側に設けられており、発光素子 222 に直

10

20

30

40

50

列に接続された駆動トランジスタ 226 は、電源線 3 側に設けられている。つまり、駆動トランジスタ 226 は、発光素子 222 よりも高電位側に接続されている。駆動トランジスタ 226 は、p チャンネル MOSFET である。

【0142】

駆動トランジスタ 226 のゲート電極と信号線 208 との間には、選択トランジスタ 224 が接続されている。キャパシタ 228 は、駆動トランジスタ 226 のゲート電極と電源線 3 との間に接続されている。

【0143】

行選択回路 205 および信号電圧出力回路 207 は、p チャンネル MOSFET である駆動トランジスタ 226 を駆動するために、上述の他の実施形態と異なる極性の信号電圧を、走査線 206 および信号線 208 に供給する。

【0144】

本実施形態では、駆動トランジスタ 226 の極性が p チャンネルであることから、信号電圧の極性等が上述の他の実施形態の場合と相違する。すなわち、行選択回路 205 は、m 行のサブピクセル 220 の配列から、順次 1 行を選択するように走査線 206 に選択信号を供給する。信号電圧出力回路 207 は、選択された行の各サブピクセル 220 に必要なアナログ電圧値を有する信号電圧を供給する。選択された行のサブピクセル 220 の駆動トランジスタ 226 は、信号電圧に応じた電流を発光素子 222 に流す。発光素子 222 は、流れた電流に応じた輝度で発光する。

【0145】

本実施形態の画像表示装置 201 の製造方法について説明する。

図 15A ~ 図 16C は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

本実施形態では、図 5A においてすでに説明した半導体成長基板 1194 とは異なる半導体成長基板 1294 を準備する。半導体成長基板 1294 は、結晶成長用基板 1001 上に成長させた半導体層 1150 を有する。半導体層 1150 は、この例では、バッファ層 1140 を介して結晶成長用基板 1001 上に成長されているが、バッファ層 1140 を介さずに成長させてもよいのは、上述の他の実施形態の場合と同様である。

【0146】

本実施形態では、半導体成長基板 1294 は、結晶成長用基板 1001 の側から、n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 の順に積層されている。ここで、結晶成長の初期には結晶格子定数の不整合に起因する結晶欠陥が生じ易く、そのような結晶は n 形を呈する。そのため、この例のように、n 形半導体層 1151 から積層する方が生産プロセス上のマージンを大きくとれて歩留りを向上し易いという長所がある。

【0147】

メタル層 1130 は、p 形半導体層 1153 の側に形成される。メタル層を p 形半導体層 1153 の面上に形成することによって、p 形半導体層 1153 をメタル層 1130 によって保護することができる。そのため、半導体成長基板 1294 の保管が容易になるというメリットを生じる。なお、p 形半導体層 1153 とメタル層 1130 との界面に、ホール注入性のある材料を用いた薄膜層を形成することで、前述の発光素子 250 の駆動電圧をより低下させることも可能である。このようなホール注入性のある材料としては、たとえば ITO 膜等が好適に用いられ得る。

【0148】

図 15B に示すように、半導体成長基板 1294 は、上下を反転させて、回路基板 1100 に貼り付けられる。図の矢印で示したように、回路基板 1100 の一方の面と、半導体層 1150 上に形成されたメタル層 1130 の面とを合わせて、両者を貼り付ける。回路基板 1100 の貼り合わせ面は、配線層 110 上に形成された層間絶縁膜 112 の露出面である。

【0149】

なお、上述のウェハボンディングに際しては、図 6A ~ 図 6C において説明した変形例

10

20

30

40

50

の場合と同様にしてもよい。すなわち、支持基板に半導体層 1150 を転写後、半導体成長基板を反転せずに回路基板 1100 に貼り付けてもよいし、メタル層を半導体層 1150 および回路基板 1100 の少なくとも一方に設けるようにしてもよいし、バッファ層 1140 を介さずに結晶成長させた半導体層 1150 を貼り付けてもよい。

【0150】

図 16A～図 16C に示すように、回路基板 1100 は、ウェハボンディングによって、メタル層 1130 を介して、半導体層 1150 に接合される。その後、上述の他の実施形態の場合と同様に、メタル層 1130 から第 2 の配線層 130、遮光プレート 130a が形成され、半導体層 1150 から発光素子 250 が形成される。

【0151】

発光素子 250 を覆って層間絶縁膜 156 が形成され、層間絶縁膜 156 に、ビアホールが形成される。その後、ビアホールに導電性の金属材料が充填され、ビアホール内に導電層を形成し、フォトリソグラフィによって配線層 260 が形成される。

【0152】

層間絶縁膜 156 には、開口 258 が形成され、発光面 251S が粗面化される。その後、配線 260a、260k を含む第 3 の配線層 260 が形成され、第 3 の配線層 260 上に ITO 膜等によって透明電極 259a、259k が形成される。

【0153】

本実施形態の画像表示装置 201 の効果について説明する。

本実施形態では、上述の他の実施形態の場合と同様の効果を有する。すなわち、回路基板 1100 に半導体層 1150 を貼り合わせた後、個別の発光素子 250 をエッチングにより形成するので、発光素子の転写工程を著しく短縮することができる。

【0154】

上述の他の実施形態の場合の効果に加えて、本実施形態では、n 形半導体層 251 を発光面 251S とすることによって、より容易に粗面化することができ、発光面 251S に配線 260k を接続することによって、発光効率の高いサブピクセルを形成することができる。

【0155】

(第 3 の実施形態)

上述した他の実施形態では、第 2 の配線層 130 は、複数の異なる電位に接続される場合があり、第 2 の配線層 130 に含まれる遮光プレート 130a は、各サブピクセルの下層の半導体をビアを介して、駆動用のトランジスタ 103、203 の主電極に接続する。そのため、遮光プレート 130a は、各サブピクセルで異なる電位に設定され得る。本実施形態では、第 2 の配線層 330 は、遮光プレートを兼ねており、すべての発光素子を遮光する。また、本実施形態では、第 2 の配線層 330 は、単一の電位に接続される。配線層 330 は、この例では、電源線に接続される。

【0156】

図 17 は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図 17 は、サブピクセル 320 を XZ 平面に平行な面で切断した場合の断面を模式的に示している。この断面図は、後述する図 18 の B-B' 線における矢視断面である。

本実施形態では、発光素子 250 の構成は、第 2 の実施形態の場合と同じである。すなわち、発光素子 250 は、下層の p 形半導体層 253、発光面 251S を有する n 形半導体層 251 を有する。発光素子 250 の駆動用のトランジスタ 103 は、第 1 の実施形態の場合と同様の n チャネルトランジスタである。上述の他の実施形態と同一の構成要素には、同一の符号を付して、詳細な説明を適宜省略する。

【0157】

図 17 に示すように、本実施形態の画像表示装置のサブピクセル 320 は、トランジスタ 103 と、発光素子 250 と、を含む。トランジスタ 103 は、基板 102 に形成された素子形成領域 104 に形成されている。素子形成領域 104 は、p 形半導体領域 104b と n 形半導体領域 104s、104d とを含んでおり、トランジスタ 103 は、n チャ

10

20

30

40

50

ネルトランジスタである。

【0158】

回路基板100におけるトランジスタ103の上部の構造および配線の構造は、上述した第1の実施形態の場合と同じである。

【0159】

第1の層間絶縁膜112上には、第2の配線層330が形成されている。配線層330は、各サブピクセル320下に設けられているトランジスタ103を含む回路素子をほぼ覆うように設けられている。配線層330は、サブピクセル320ごとに貫通孔332を有する。

【0160】

第2の層間絶縁膜156は、発光素子250、配線層330および貫通孔332から露出された第1の層間絶縁膜112上に形成されている。層間絶縁膜156、112を貫通してビア361kが設けられており、貫通孔332は、このビア361kを通すために設けられている。XY平面視での貫通孔332の径は、ビア361kの径よりも大きく設定されているので、ビア361kは、配線層330から絶縁される。

【0161】

ビア361kの一端は、配線110dに接続されている。ビア361kの他端は、第3の配線層360の配線360kに接続されている。配線360k上および発光面251S上にわたって、透明電極359kが形成されている。透明電極359kは、配線360kと発光面251Sとの間に設けられ、配線360kとn形半導体層251とを電氣的に接続する。

【0162】

発光素子250のn形半導体層251は、透明電極359k、配線360k、ビア361kおよび配線110dを介して、トランジスタ103のドレイン電極に接続される。

【0163】

発光素子250のp形半導体層253は、第2の配線層330上に設けられている。p形半導体層253は、配線層330とオーミック接続がとられている。配線層330は、電源線に接続されている。したがって、発光素子250のp形半導体層253は、第2の配線層330を介して、電源線に接続されている。

【0164】

図18は、本実施形態の画像表示装置の一部を例示する模式的な平面図である。

本実施形態では、nチャネルトランジスタで発光素子を駆動する。駆動回路は、図3の回路構成が適用される。

【0165】

図17において説明したように、発光素子250と駆動用のトランジスタ103が、Z軸方向に積層されており、ビア361kによって、発光素子250のカソード電極であるn形半導体層251とトランジスタ103のドレイン電極とを電氣的に接続している。第2の配線層330は、発光素子250とトランジスタ103との間に設けられている。

【0166】

図18の上部には、第Ia層の平面図が模式的に表示され、図18の下部には、第IIa層の平面図が模式的に表示されている。図18では、第Ia層を“Ia”と表記し、第II層を“IIa”と表記している。第Ia層は、発光素子250が形成されている層である。第IIa層は、トランジスタ103が形成されている層である。図18においては、第2の配線層330は示されておらず、配線層330に設けられた貫通孔332が、第Ia層および第IIa層のそれぞれに参考のために破線で示されている。

【0167】

第Ia層は、図17において、p形半導体層253から透明電極359kまでを含んでいる。図18では、第2の層間絶縁膜156は示されていない。第IIa層は、図16において、素子形成領域104から第1の配線層110までの層を含んでいる。図18では、基板102、絶縁層105、絶縁膜108および第1の層間絶縁膜112は示されてい

10

20

30

40

50

ない。この図では、駆動用のトランジスタ１０３の素子形成領域１０４としてチャネル領域１０４ｃが示されている。他の素子形成領域１０４には、選択トランジスタＴ１やキャパシタＣｍが形成されている。

【０１６８】

図１８の上の図に示すように、透明電極３５９ｋが発光素子２５０の発光面２５１Ｓ上の全面にわたって設けられるとともに、配線３６０ｋ上に設けられている。透明電極３５９ｋは、発光面２５１Ｓと配線３６０ｋとの間に設けられているので、発光面２５１Ｓ、すなわちｎ形半導体層２５１と配線３６０ｋとは、電氣的に接続されている。配線３６０ｋは、コンタクトホール３６１ｋ１を介して、ビア３６１ｋに接続されている。

【０１６９】

ビア３６１ｋは、図上、二点鎖線で模式的に示されている。

【０１７０】

図１８の下図に示すように、ビア３６１ｋは、貫通孔３３２を通過して、コンタクトホール３６１ｋ２に達し、配線１１０ｄに電氣的に接続されている。配線１１０ｄは、チャネル領域１０４ｃ側のコンタクトホール１１１ｃを介して、トランジスタ１０３のドレイン電極に接続されている。

【０１７１】

第Ⅰａ層および第ⅠⅠａ層の両方に示したように、第２の配線層３３０に形成された貫通孔３３２は、ビア３６１ｋの断面よりも大きく開口されている。この図には示されていないが、配線層３３０とビア３６１ｋの間には、第２の層間絶縁膜１５６が設けられており、配線層３３０およびビア３６１ｋは、互いに絶縁される。

【０１７２】

このようにして、発光素子２５０のｎ形半導体層２５１とトランジスタ１０３のドレイン電極は、ビア３６１ｋによって、電氣的に接続される。

【０１７３】

なお、第２の配線層３３０は、貫通孔３３２を除いて第１の層間絶縁膜１１２の全面にわたって設けられている。また、貫通孔３３２は、トランジスタ１０３等の回路素子の上方を避けて配置される。これらによって、配線層３３０は、発光素子２５０の下方への散乱光を上方へ反射し、回路素子への散乱を遮光することができる。

【０１７４】

本実施形態の画像表示装置の製造方法について説明する。

図１９Ａおよび図１９Ｂは、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

本実施形態では、半導体層１１５０と回路基板１１００とを貼り合わせる工程は、上述した第２の実施形態の場合と同じである。以下では、図１６Ａまでの処理を行った後の工程から説明する。

【０１７５】

図１９Ａに示すように、第２の配線層３３０を形成する。この第２の配線層３３０を形成するにはエッチングが用いられる。第２の配線層３３０を形成する際には、回路基板１１００側の回路素子を覆うように形成するとともに、配線１１０ｄに対応する箇所に貫通孔３３２を形成する。その後、さらにエッチングして、発光素子２５０を形成する。

【０１７６】

図１９Ｂに示すように、発光素子２５０、第２の配線層３３０および第１の層間絶縁膜１１２上に、第２の層間絶縁膜１５６を形成する。その後、第２の層間絶縁膜１５６にビアホールを形成して、導電部材を充填してビア３６１ｋを形成する。

【０１７７】

第２の層間絶縁膜１５６に開口３５８を形成して、発光面２５１Ｓを露出させる。層間絶縁膜１５６上に第３の配線層３６０を形成する。配線層３６０のカソード電極側の配線３６０ｋと発光面２５１Ｓとの間にわたって透明電極３５９ｋを形成し、配線３６０ｋとｎ形半導体層２５１との間を電氣的に接続する。

10

20

30

40

50

【0178】

上述した第1の実施形態において説明した半導体層1150の製造工程を用いることによって、発光素子150およびpチャネルのトランジスタ203を含むサブピクセルとすることもできる。すなわち、第1の実施形態における図5A～図6Cに示す製造工程とすることによって、n形半導体層151を下層とし、p形半導体層153を発光面153Sとし、p形半導体層153をビアによって、トランジスタ203のドレイン電極に接続することができる。この場合には、図13の回路構成となり、第2の配線層は、接地線に接続される。

【0179】

本実施形態の画像表示装置の効果について説明する。

本実施形態の画像表示装置では、上述した他の実施形態の効果のほか、第2の配線層330を貫通孔332のみの簡単なパターンとすることができるので、パターン設計が容易になり、画像表示装置の開発期間等を短縮することができる。

【0180】

なお、上述では、第2の配線層330は、すべて同一の電位に接続されるものとしたが、異なる電位に接続される配線を含むようにしてもよい。

【0181】

(第4の実施形態)

上述した他の実施形態では、第2の配線層130、330は、少なくとも1つのサブピクセルについては、単一の電位に接続される。本実施形態では、1つのサブピクセルについて、第2の配線層は、異なる電位に接続され得る複数の配線を含むことができる。

【0182】

本実施形態では、下層のp形半導体層253および発光面251Sを有するn形半導体層251を有する発光素子250の場合の例について説明するが、下層のn形半導体層151および発光面153Sを有するp形半導体層153を含む発光素子150の場合についても、上述した他の実施形態の工程等を用いることによって容易に実現される。

本実施形態では、pチャネルのトランジスタ203で発光素子250を駆動する。駆動回路は、図14の回路構成が適用される。nチャネルのトランジスタ103で発光素子150を駆動する場合には、図3の回路が適用される。

【0183】

図20は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図20に示すように、本実施形態の画像表示装置のサブピクセル420は、発光素子250とpチャネルのトランジスタ203とを含む。発光素子250は、第2の配線層430の配線430a上に設けられている。配線430aは、遮光プレートを兼ねている。第2の層間絶縁膜156を貫通してビア461aが設けられている。ビア461aの一端は、配線430aに接続されている。ビア461aの他端は、層間絶縁膜156上に形成された第3の配線層460の配線460aに接続されている。なお、配線460a上には、透明電極459aが形成されている。

【0184】

ビア461dは、層間絶縁膜156、112を貫通して設けられている。ビア461dの一端は、配線460aに接続されている。ビア461dの他端は、配線110dに接続されている。

【0185】

つまり、発光素子250のアノード電極であるp形半導体層253は、配線430a、ビア461a、配線460a、ビア461dおよび配線110dを介して、pチャネルのトランジスタ203のドレイン電極に接続されている。

【0186】

発光素子250のn形半導体層251は粗面化された発光面251Sを有する。透明電極459kは、発光面251S上の全面にわたって設けられており、配線460k上にも設けられている。透明電極459kは、発光面251Sと配線460kとの間に設けられ

10

20

30

40

50

ており、これらを電氣的に接続されている。

【0187】

第2の層間絶縁膜156を貫通して、ビア461kが設けられている。ビア461kの一端は、第3の配線層460の配線460kに接続されている。ビア461kの他端は、第2の配線層430の配線430kに接続されている。配線430kは、接地線4（図13）に接続されている。

【0188】

つまり、発光素子250のカソード電極であるn形半導体層251は、透明電極459k、配線460k、ビア461kおよび配線430kを介して、接地線に接続されている。

【0189】

本実施形態の画像表示装置の製造方法について説明する。

図21Aおよび図21Bは、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

本実施形態では、半導体層1150と回路基板1100とを貼り合わせる工程は、上述した第2の実施形態の場合と同じである。以下では、図16Aまでの処理を行った後の工程から説明する。

【0190】

図21Aに示すように、発光素子250および第2の配線層430を形成する。この第2の配線層430は、発光素子250を形成した後、エッチングによって形成される。第2の配線層430は、互いに絶縁された配線430a、430kを含んでいる。

【0191】

図21Bに示すように、層間絶縁膜156を貫通してビア461a、461kを形成し、層間絶縁膜156、112を貫通してビア461dを形成する。層間絶縁膜156上に第3の配線層460を形成する。

【0192】

第2の層間絶縁膜156は、発光面251Sに対応する位置に開口458が形成される。発光面251Sを粗面化した後、配線460a、460k上に、透明電極459a、459kを形成する。透明電極459kは、発光面251S全面にわたって設けられるとともに、発光面251Sと配線460kとの間に設けられ、n形半導体層251と配線460kとを電氣的に接続する。

【0193】

本実施形態の画像表示装置の効果について説明する。

本実施形態の画像表示装置では、上述の他の実施形態の場合の効果に加えて、第2の配線層は、異なる電位に接続し得る配線460a、460kを含むので、発光面251Sと同一面上に接地線や電源線等を引き回す必要がなく、内層において自由度の高い配線パターンとすることができる。

【0194】

（第5の実施形態）

本実施形態では、発光層を含む単一の半導体層に、複数の発光素子に相当する複数の発光面を形成することによって、より発光効率の高い画像表示装置を実現する。以下の説明では、上述の他の実施形態の場合と同一の構成要素には、同一の符号を付して詳細な説明を適宜省略する。

図22は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図22に示すように、画像表示装置は、サブピクセル群520を備える。サブピクセル群520は、トランジスタ203-1、203-2と、第1の配線層510と、第1の層間絶縁膜112と、半導体層550と、第2の層間絶縁膜556と、第2の配線層530と、ビア561d1、561d2と、を含む。

【0195】

本実施形態では、pチャネルのトランジスタ203-1、203-2は、半導体層550に正孔を注入して、発光層を発光させる。駆動回路は、たとえば、図14に示す回路構

10

20

30

40

50

成が適用される。上述の他の実施形態を用いて、半導体層のn形半導体層とp形半導体層を上下入れ替えてもよい。nチャネルのトランジスタによって、半導体層を駆動する。その場合には、駆動回路は、図3に示す回路構成が適用される。

【0196】

半導体層550は、2つの発光面553S1, 553S2を含んでおり、サブピクセル群520は実質的に2つのサブピクセルを含む。本実施形態では、上述の他の実施形態の場合と同様に、実質的に2つのサブピクセルを含むサブピクセル群520が格子状に配列されることによって、表示領域が形成される。

【0197】

トランジスタ203-1, 203-2は、素子形成領域204-1, 204-2にそれぞれ形成されている。この例では、素子形成領域204-1, 204-2は、n形の半導体層であり、n形の半導体層に離隔してp形の半導体層が形成されている。n形の半導体層はチャネル領域を含んでおり、p形の半導体層は、ソース領域およびドレイン領域をそれぞれ含んでいる。

【0198】

素子形成領域204-1, 204-2上には、絶縁層105が形成され、絶縁層105を介して、ゲート107-1, 107-2がそれぞれ形成されている。ゲート107-1, 107-2は、トランジスタ203-1, 203-2のゲートである。トランジスタ203-1, 203-2は、pチャネルMOSFETである。

【0199】

2つのトランジスタ203-1, 203-2上には、絶縁膜108が覆っている。絶縁膜108上に配線層（第1配線層）510が形成されている。

【0200】

トランジスタ203-1のp形の半導体層と配線層510との間には、ビア111s1, 111d1がそれぞれ設けられている。トランジスタ203-2のp形の半導体層と配線層510との間には、ビア111s2, 111d2が設けられている。

【0201】

第1の配線層510は、配線510s, 510d1, 510d2を含む。配線510sは、ビア111s1, 111s2を介して、トランジスタ203-1, 203-2のソース電極に対応するp形の半導体層に電氣的に接続されている。配線510sは、図示しないが、電源線に接続されている。

【0202】

配線510d1は、ビア111d1を介して、トランジスタ203-1のドレイン電極に対応するp形の半導体層に接続されている。配線510d2は、ビア111d2を介して、トランジスタ203-2のドレイン電極に接続されている。

【0203】

第1の層間絶縁膜（第1絶縁膜）112は、トランジスタ203-1, 203-2および配線層510を覆っている。第1の層間絶縁膜112上には、第2の配線層530が形成されている。

【0204】

第2の配線層（第2配線層）530は、半導体層550と第1の層間絶縁膜112との間に設けられている。第2の配線層530は、遮光プレート（部分）530aを含んでおり、半導体層550は、遮光プレート530a上に設けられている。この例では、遮光プレート530aは、図示しないが接地線に接続されている。単一の半導体層550は、X軸方向に沿って配置された2つの駆動用のトランジスタ203-1, 203-2の間に設けられている。

【0205】

半導体層550は、n形半導体層551と、発光層552と、p形半導体層553と、を含む。半導体層550は、層間絶縁膜112の側から発光面553S1, 553S2に向かって、n形半導体層551、発光層552およびp形半導体層553の順に積層され

10

20

30

40

50

ている。つまり、遮光プレート530aは、n形半導体層551と電氣的に接続されている。

【0206】

遮光プレート530aは、その外周が、XY平面視で遮光プレート530aに投影される半導体層550の外周を含むように配置されている。遮光プレート530aは、半導体層550からの散乱光を反射するとともにトランジスタ203-1, 203-2等を含む回路素子への光の到達を遮って、回路素子の誤動作を防止する。

【0207】

第2の層間絶縁膜(第2絶縁膜)556は、第1の層間絶縁膜112、第2の配線層530上を覆っている。層間絶縁膜556は、半導体層550の一部を覆っている。好ましくは、層間絶縁膜556は、半導体層550の発光面(露出面)553S1, 553S2を除き、p形半導体層553の面を覆っている。層間絶縁膜556は、半導体層550の側面および遮光プレート530aを覆っている。層間絶縁膜556は、好ましくは白色樹脂である。

【0208】

半導体層550のうち層間絶縁膜556で覆われていない部分は、透明電極559a1, 559a2が覆っている。透明電極559a1, 559a2は、層間絶縁膜556の開口558-1, 558-2から露出されたp形半導体層553の発光面553S1, 553S2上にわたってそれぞれ設けられている。透明電極559a1, 559a2は、p形半導体層553に電氣的に接続されている。

【0209】

ビア561d1, 561d2は、層間絶縁膜556, 112を貫通して設けられている。ビア561d1, 561d2の一端は、配線510d1, 510d2にそれぞれ接続されている。

【0210】

第3の配線層(第3配線層)560は、層間絶縁膜556上に設けられている。配線層560は、配線560a1, 560a2を含む。ビア561d1は、配線510d1と配線560a1との間に設けられている。ビア561d2は、配線510d2と配線560a2との間に設けられている。

【0211】

配線560a1, 560a2上には、透明電極559a1, 559a2がそれぞれ設けられている。透明電極559a1, 559a2は、配線560a1, 560a2と、発光面553S1, 553S2との間にそれぞれ設けられており、配線560a1, 560a2と透明電極559a1, 559a2とをそれぞれ電氣的に接続している。

【0212】

開口558-1, 558-2は、発光面553S1, 553S2に対応する位置に形成される。発光面553S1, 553S2は、p形半導体層553上の離隔した位置に形成される。発光面553S1は、p形半導体層553上のトランジスタ203-1により近い位置に設けられる。発光面553S2は、p形半導体層553上のトランジスタ203-2により近い位置に設けられる。

【0213】

開口558-1, 558-2は、XY平面視で、たとえば正方形または長形状である。方形に限らず、円形、楕円形あるいは六角形等の多角形であってもよい。発光面553S1, 553S2もXY平面視で、正方形や長方形、その他の多角形や円形等であってもよい。発光面553S1, 553S2の形状は、開口558-1, 558-2の形状と相似であってもよいし、異なる形状としてもよい。

【0214】

上述したように、開口558-1, 558-2から露出されている発光面553S1, 553S2には、透明電極559a1, 559a2がそれぞれ接続されている。そのため、透明電極559a1, 559a2から供給された正孔は、それぞれ露出された発光面5

10

20

30

40

50

5 3 S 1, 5 5 3 S 2 から p 形半導体層 5 5 3 に注入される。一方、n 形半導体層 5 5 1 には、接地線に接続された遮光プレート 5 3 0 a を介して、電子が注入される。

【0 2 1 5】

トランジスタ 2 0 3 - 1, 2 0 3 - 2 は、隣接するサブピクセルの駆動トランジスタであり、順次駆動される。したがって、2 つのトランジスタ 2 0 3 - 1, 2 0 3 - 2 のいずれか一方から注入された正孔が発光層 5 5 2 に注入され、遮光プレート 5 3 0 a から注入された電子が発光層 5 5 2 に注入されて、発光する。

【0 2 1 6】

開口 5 5 8 - 1 および発光面 5 5 3 S 1 は、p 形半導体層 5 5 3 のトランジスタ 2 0 3 - 1 により近い位置に設けられているので、トランジスタ 2 0 3 - 1 がオンしたときには、透明電極 5 5 9 a 1、配線 5 6 0 a 1、ビア 5 6 1 d 1 および配線 5 1 0 d 1 を介して、正孔が注入されて開口 5 5 8 - 1 から露出された発光面 5 5 3 S 1 が発光する。

【0 2 1 7】

一方、開口 5 5 8 - 2 および発光面 5 5 3 S 2 は、p 形半導体層 5 5 3 のトランジスタ 2 0 3 - 2 よりに設けられているので、トランジスタ 2 0 3 - 2 がオンしたときに、透明電極 5 5 9 a 2、配線 5 6 0 a 2、ビア 5 6 1 d 2 および配線 5 1 0 d 2 を介して、開口 5 5 8 - 2 から露出された発光面 5 5 3 S 2 が発光する。

【0 2 1 8】

本実施形態の画像表示装置の製造方法について説明する。

図 2 3 A ~ 図 2 4 B は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図 2 3 A に示すように、半導体層 1 1 5 0 がエピタキシャル成長された結晶成長用基板 1 0 0 1 を含む半導体成長基板 1 1 9 4 は、回路基板 5 1 0 0 と、ウェハボンディングによって互いに接合される。半導体層 1 1 5 0 の回路基板 5 1 0 0 と接合される面には、メタル層 1 1 3 0 が形成されている。

【0 2 1 9】

結晶成長用基板 1 0 0 1 上の半導体層 1 1 5 0 およびメタル層 1 1 3 0 等については、上述の他の実施形態の場合においてすでに説明した構造と同様であり、詳細な説明を省略する。また、回路基板 5 1 0 0 についても、回路の構成が上述の他の実施形態の場合と相違するが、他のほとんどの部分ですでに説明した構造と同様である。以下では、符号のみを代えて、詳細な説明を適宜省略する。

【0 2 2 0】

図 2 3 B に示すように、この例では、半導体層 1 1 5 0 は、結晶成長用基板 1 0 0 1 のある面とは反対側に形成されたメタル層 1 1 3 0 の面が回路基板 5 1 0 0 の層間絶縁膜 1 1 2 の平坦面に接合される。結晶成長用基板 1 0 0 1 は、レーザーリフトオフ等によって除去される。

【0 2 2 1】

図 2 4 A に示すように、メタル層 1 1 3 0 はエッチングされて、第 2 の配線層 5 3 0 が形成される。第 2 の配線層 5 3 0 は、遮光プレート 5 3 0 a を含んでおり、図 2 4 A には、遮光プレート 5 3 0 a の形状に成形された配線層 5 3 0 が示されている。

【0 2 2 2】

半導体層 1 1 5 0 およびバッファ層 1 1 4 0 は、さらにエッチングされる。半導体層 1 1 5 0 は、遮光プレート 5 3 0 a の外周に含まれるようにエッチングされ、半導体層 5 5 0 が形成される。その後、バッファ層 1 1 4 0 は除去される。メタル層 1 1 3 0 および半導体層 1 1 5 0 のエッチングを開始する前に、バッファ層 1 1 4 0 を除去してもよい。

【0 2 2 3】

その後、第 1 の層間絶縁膜 1 1 2、第 2 の配線層 5 3 0 および半導体層 5 5 0 を覆う層間絶縁膜が形成され、ビアが形成される。さらに第 3 の配線層 5 6 0 が形成され、エッチングによって配線 5 6 0 a 1, 5 6 0 a 2 等が形成される。

【0 2 2 4】

10

20

30

40

50

図24Bに示すように、発光面553S1, 553S2に対応する位置の層間絶縁膜を除去することによって、開口558-1, 558-2がそれぞれ形成される。

【0225】

開口558-1, 558-2によって露出されたp形半導体層553の発光面553S1, 553S2は、それぞれ粗面化される。その後、発光面553S1, 553S2と配線560a1, 560a2とを電氣的に接続するように、透明電極559a1, 559a2がそれぞれ形成される。

【0226】

このようにして、2つの発光面553S1, 553S2を共用する半導体層550を有するサブピクセル群520が形成される。

【0227】

本実施例では、1つの半導体層550に2つの発光面553S1, 553S2を設けたが、発光面の数は2つに制限されることはなく、3つあるいはそれ以上の発光面を1つの半導体層550に設けることも可能である。一例として、1列あるいは2列分のサブピクセルを、単一の半導体層550で実現してもよい。これによって後述するように、発光面1つあたりの発光に寄与しない再結合電流を削減するとともに、より微細な発光素子を実現する効果を増大させることができる。

【0228】

(変形例)

図25は、本実施形態の変形例に係る画像表示装置の一部を例示する模式的な断面図である。

本変形例では、発光層552上に2つのp形半導体層5553a1, 5553a2を設けた点で上述の第5の実施形態の場合と異なっている。他の点では、第5の実施形態の場合と同じであり、同一の構成要素に同一の符号を付して詳細な説明を適宜省略する。

【0229】

図25に示すように、本変形例の画像表示装置は、サブピクセル群520aを備える。サブピクセル群520aは、半導体層550aを含む。半導体層550aは、n形半導体層551と、発光層552と、p形半導体層5553a1, 5553a2と、を含む。n形半導体層551、発光層552およびp形半導体層5553a1, 5553a2は、層間絶縁膜556から発光面5553S1, 5553S2に向かってこの順に積層されている。

【0230】

p形半導体層5553a1, 5553a2は、発光層552上をX軸方向に沿って離隔して配置されている。p形半導体層5553a1, 5553a2の間には、層間絶縁膜556が設けられ、p形半導体層5553a1, 5553a2は、層間絶縁膜556によって分離されている。

【0231】

p形半導体層5553a1, 5553a2は、XY平面視で、ほぼ同一の形状を有しており、その形状は、ほぼ正方形または長方形であり、他の多角形状や円形等であってもよい。

【0232】

p形半導体層5553a1, 5553a2は、発光面5553S1, 5553S2をそれぞれ有する。発光面5553S1, 5553S2は、開口558-1, 558-2によってそれぞれ露出されたp形半導体層5553a1, 5553a2の面である。

【0233】

発光面5553S1, 5553S2のXY平面視での形状は、第5の実施形態の場合の発光面の形状と同様に、ほぼ同一の形状を有し、ほぼ正方形等の形状を有する。発光面5553S1, 5553S2の形状は、本実施形態のような方形に限らず、円形、楕円形あるいは六角形等の多角形であってもよい。発光面5553S1, 5553S2の形状は、開口558-1, 558-2の形状と相似であってもよいし、異なる形状としてもよい。

10

20

30

40

50

【0234】

発光面5553S1, 5553S2上には、透明電極559a1, 559a2がそれぞれ設けられている。透明電極559a1, 559a2は、配線560a1, 560a2上にもそれぞれ設けられている。透明電極559a1, 559a2は、配線560a1, 560a2と発光面5553S1, 5553S2との間に設けられ、配線560a1, 560a2と発光面5553S1, 5553S2とを電氣的に接続している。

【0235】

図26Aおよび図26Bは、本変形例の画像表示装置の製造方法を例示する模式的な断面図である。

本変形例では、半導体層1150にメタル層1130を形成し、回路基板5100と接合するまでは、第5の実施形態の場合に図23Aおよび図23Bにおいて説明した工程と同様の工程が適用される。以下では、それ以降の工程について説明する。

【0236】

図26Aに示すように、本変形例では、バッファ層1140を除去後、メタル層1130をエッチングして、遮光プレート530aを含む第2の配線層530を形成する。さらに、p形半導体層1153、発光層1152およびn形半導体層1151をエッチングして、発光層552およびn形半導体層551を形成した後、さらにエッチングして、2つのp形半導体層5553a1, 5553a2を形成する。バッファ層1140は、半導体層550aの形成後に除去されてもよい。

【0237】

p形半導体層5553a1, 5553a2は、さらに深いエッチングによって形成されてもよい。たとえば、p形半導体層5553a1, 5553a2を形成するためのエッチングは、発光層552内やn形半導体層551内に到達する深さまで行ってもよい。このように、p形半導体層を深くエッチングする場合には、p形半導体層1153のエッチング位置は、後述するp形の半導体層の発光面5553S1, 5553S2の外周から1μm以上離すことが望ましい。エッチング位置を発光面5553S1, 5553S2の外周から離すことによって、再結合電流を抑制することができる。

【0238】

図26Bに示すように、第1の層間絶縁膜112、第2の配線層530および半導体層550aを覆う層間絶縁膜が形成され、その後ビアが形成される。さらに第3の配線層560が形成され、エッチングによって配線560a1, 560a2等が形成される。

【0239】

層間絶縁膜の発光面5553S1, 5553S2に対応する位置に開口558-1, 558-2がそれぞれ形成される。開口558-1, 558-2によって露出されたp形の半導体層の発光面5553S1, 5553S2は、それぞれ粗面化される。その後、透明電極559a1, 559a2が形成される。

【0240】

このようにして、2つの発光面5553S1, 5553S2を有するサブピクセル群520aが形成される。

【0241】

本変形例の場合も、第5の実施形態の場合と同様に、発光面の数は2つに限定されることはなく、3つあるいはそれ以上の発光面を1つの半導体層550aに設けてもよい。

【0242】

本実施形態の画像表示装置の効果について説明する。

図27は、画素LED素子の特性を例示するグラフである。

図27の縦軸は、発光効率[%]を表している。横軸は、画素LED素子に流す電流の電流密度を相対値によって表している。

図27に示すように、電流密度の相対値が1.0より小さい領域では、画素LED素子の発光効率は、ほぼ一定か、単調に増加する。電流密度の相対値が1.0よりも大きい領域では、発光効率は単調に減少する。つまり、画素LED素子には、発光効率が最大にな

10

20

30

40

50

るような適切な電流密度が存在する。

【0243】

発光素子から十分な輝度を得られる程度に電流密度を抑制することによって、高効率な画像表示装置を実現することが期待される。しかしながら、低電流密度では、電流密度の低下とともに、発光効率が低下する傾向にあることが、図27によって示されている。

【0244】

第1の実施形態や第2の実施形態において説明したように、発光素子は、発光層を含む半導体層1150の全層をエッチング等で個別に分離することによって形成される。このとき、発光層とn形の半導体層との接合面が端部に露出する。同様に、発光層とp形半導体層との接合面が端部に露出する。

【0245】

このような端部が存在する場合には、端部において電子および正孔が再結合する。一方で、このような再結合は、発光に寄与しない。端部での再結合は、発光素子に流す電流とはほとんど関係なく発生する。再結合は、端部の発光に寄与する接合面の長さに応じて発生するものと考えられる。

【0246】

同一寸法の立方体形状の発光素子を2個発光させる場合には、端部は、発光素子ごとに四方に形成されるため、合計8つの端部において再結合が発生し得る。

【0247】

これに対して、本実施形態では、2つの発光面を有する半導体層550，550aでは、端部は4つである。開口558-1，558-2の間の領域は、電子や正孔の注入が少なく、発光にほとんど寄与しないので、発光に寄与する端部は、6個になると考えることができる。このように、本実施形態では、半導体層の端部の数が実質的に低減されることによって、発光に寄与しない再結合を低減し、再結合電流の減少が、駆動電流を引き下げることを可能にする。

【0248】

高精細化等のためにサブピクセル間の距離を短縮するような場合や、電流密度が比較的高い場合等には、第5の実施形態のサブピクセル群520では、発光面553S1，553S2の距離が短くなる。この場合に、p形半導体層553が共有されていると、隣接する発光面の側に注入された電子の一部が分流して、駆動されていない側の発光面が微発光するおそれがある。変形例では、p形半導体層を発光面ごとに分離しているので、駆動されていない側の発光面に微発光を生じることを低減させることができる。なお、このときもp形半導体層1153のエッチング位置を、透明電極559a1，559a2が設けられている発光面5553S1，5553S2の外周から1μm以上離すことが望ましい。これによって、再結合電流経路に入る等価的な直列抵抗を大きくすることができるため、再結合電流を抑制することができる。

【0249】

本実施形態では、発光層を含む半導体層は、第1の層間絶縁膜112の側から、n形半導体層、発光層およびp形半導体層の順に積層するものであり、p形半導体層の露出面を粗面化して発光効率を向上させる観点からは好ましい。上述した他の実施形態の場合と同様に、p形半導体層とn形半導体層の積層順を代えて、p形半導体層、発光層およびn形半導体層の順に積層するようにしてもよい。

【0250】

(第6の実施形態)

上述した画像表示装置は、適切なピクセル数を有する画像表示モジュールとして、たとえばコンピュータ用ディスプレイ、テレビ、スマートフォンのような携帯用端末、あるいは、カーナビゲーション等とすることができる。

【0251】

図28は、本実施形態に係る画像表示装置を例示するブロック図である。

図28には、コンピュータ用ディスプレイの構成の主要な部分が示されている。

10

20

30

40

50

図 28 に示すように、画像表示装置 601 は、画像表示モジュール 602 を備える。画像表示モジュール 602 は、たとえば上述した第 1 の実施形態の場合の構成を備えた画像表示装置である。画像表示モジュール 602 は、サブピクセル 20 が配列された表示領域 2、行選択回路 5 および信号電圧出力回路 7 を含む。

【0252】

画像表示装置 601 は、コントローラ 670 をさらに備えている。コントローラ 670 は、図示しないインタフェース回路によって分離、生成される制御信号を入力して、行選択回路 5 および信号電圧出力回路 7 に対して、各サブピクセルの駆動および駆動順序を制御する。

【0253】

(変形例)

図 29 は、本変形例の画像表示装置を例示するブロック図である。

図 29 には、高精細薄型テレビの構成が示されている。

図 29 に示すように、画像表示装置 701 は、画像表示モジュール 702 を備える。画像表示モジュール 702 は、たとえば上述した第 1 の実施形態の場合の構成を備えた画像表示装置 1 である。画像表示装置 701 は、コントローラ 770 およびフレームメモリ 780 を備える。コントローラ 770 は、バス 740 によって供給される制御信号にもとづいて、表示領域 2 の各サブピクセルの駆動順序を制御する。フレームメモリ 780 は、1 フレーム分の表示データを格納し、円滑な動画再生等の処理のために用いられる。

【0254】

画像表示装置 701 は、I/O 回路 710 を有する。I/O 回路 710 は、外部の端末や装置等と接続するためのインタフェース回路等を提供する。I/O 回路 710 には、たとえば外付けのハードディスク装置等を接続する USB インタフェースや、オーディオインタフェース等が含まれる。

【0255】

画像表示装置 701 は、受信部 720 および信号処理回路 730 を有する。受信部 720 には、アンテナ 722 が接続され、アンテナ 722 によって受信された電波から必要な信号を分離、生成する。信号処理回路 730 は、DSP (Digital Signal Processor) や CPU (Central Processing Unit) 等を含んでおり、受信部 720 によって分離、生成された信号は、信号処理回路 730 によって、画像データや音声データ等に分離、生成される。

【0256】

受信部 720 および信号処理回路 730 を、携帯電話の送受信や Wi-Fi 用、GPS 受信器等の高周波通信モジュールとすることによって、他の画像表示装置とすることもできる。たとえば、適切な画面サイズおよび解像度の画像表示モジュールを備えた画像表示装置は、スマートフォンやカーナビゲーションシステム等の携帯情報端末とすることができる。

【0257】

本実施形態の場合の画像表示モジュールは、第 1 の実施形態の場合の画像表示装置の構成に限らず、その変形例や他の実施形態の場合としてもよい。

【0258】

図 30 は、第 1 ～ 第 5 の実施形態およびこれらの変形例の画像表示装置を模式的に例示する斜視図である。

図 30 に示すように、第 1 ～ 第 5 の実施形態の画像表示装置は、上述したように、回路基板 100 上に、多数のサブピクセルを有する発光回路 172 が設けられている。発光回路部 172 上には、カラーフィルタ 180 が設けられている。なお、第 6 の実施形態においては、回路基板 100、発光回路部 172 およびカラーフィルタ 180 を含む構造物は、画像表示モジュール 602、702 とされ、画像表示装置 601、701 に組み込まれている。

【0259】

10

20

30

40

50

以上説明した実施形態によれば、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法および画像表示装置を実現することができる。

【0260】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他のさまざまな形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明およびその等価物の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

【符号の説明】

【0261】

1, 201, 601, 701 画像表示装置、2 表示領域、3 電源線、4 接地線、5, 205 行選択回路、6, 206 走査線、7, 207 信号電圧出力回路、8, 208 信号線、10 ピクセル、20, 20a, 20b サブピクセル、22, 222 発光素子、24, 224 選択トランジスタ、26, 226 駆動トランジスタ、28, 228 キャパシタ、100 回路基板、101 回路、103, 203, 203-1, 203-2 トランジスタ、104, 204, 204-1, 204-2 素子形成領域、105 絶縁層、107, 107-1, 107-2 ゲート、108 絶縁膜、110 第1の配線層、112 第1の絶縁膜、130, 330, 530 第2の配線層、130a, 530a 遮光プレート、140 バッファ層、150, 250 発光素子、156, 256, 556 第2の絶縁膜、159a, 159k, 259a, 259k, 359k, 459a, 459k, 559a1, 559a2 透明電極、160, 260, 360, 560 第3の配線層、161d, 161k, 261a, 361k, 461a, 461k, 461d, 561d1, 561d2 ピア、180 カラーフィルタ、520, 520a サブピクセル群、670, 770 コントローラ、1001 結晶成長用基板、1100, 5100 回路基板、1140 バッファ層、1150 半導体層、1190 支持基板、1192 構造体、1194, 1294 半導体成長基板

10

20

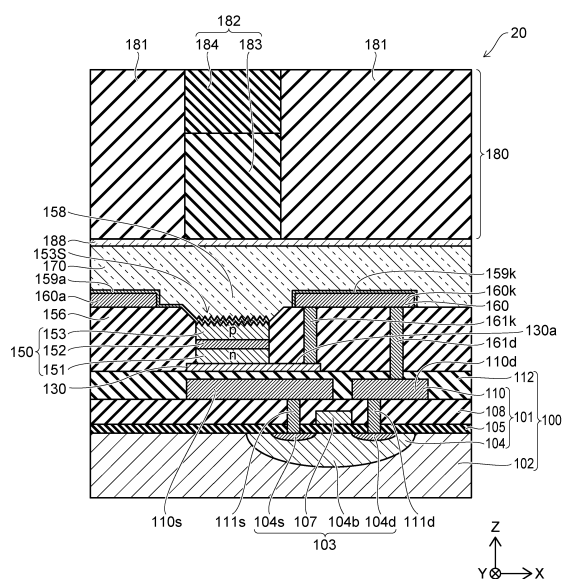
30

40

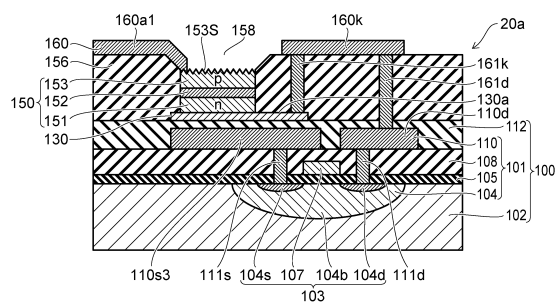
50

【図面】

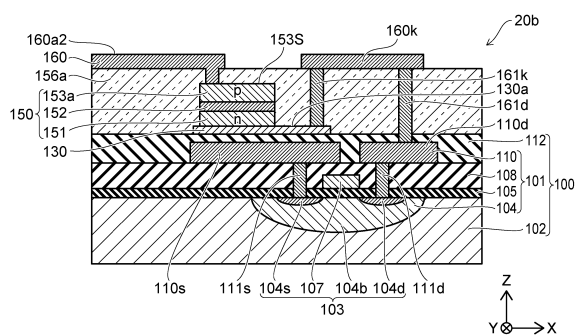
【図 1】



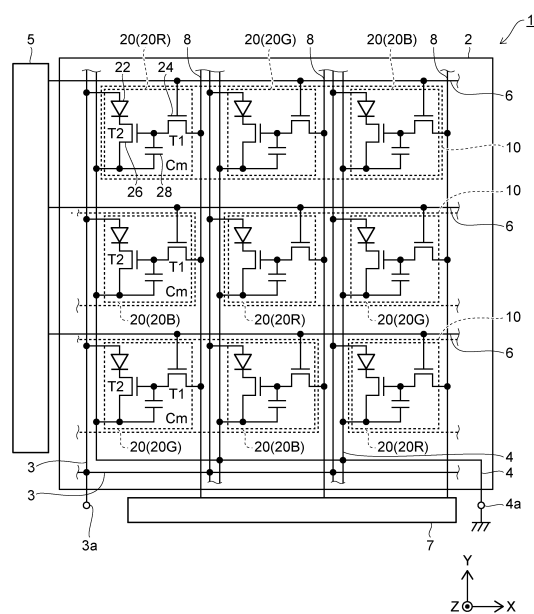
【図 2 A】



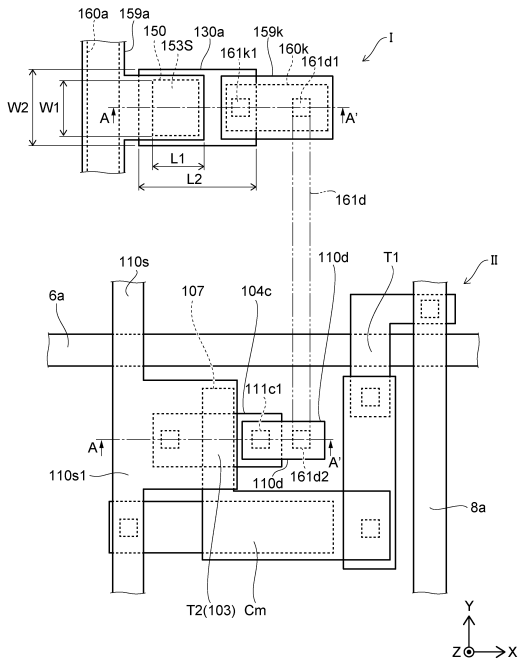
【図 2 B】



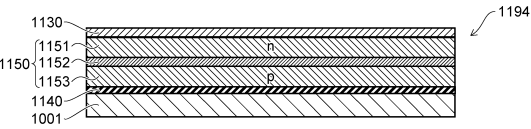
【図 3】



【図 4】



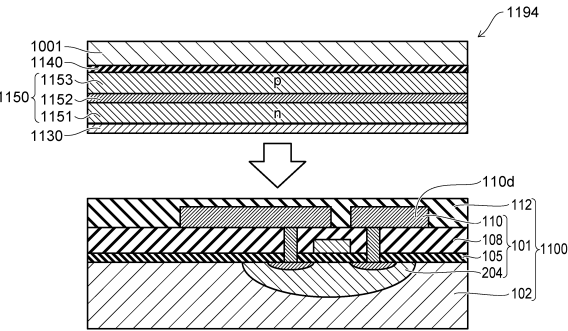
【図 5 A】



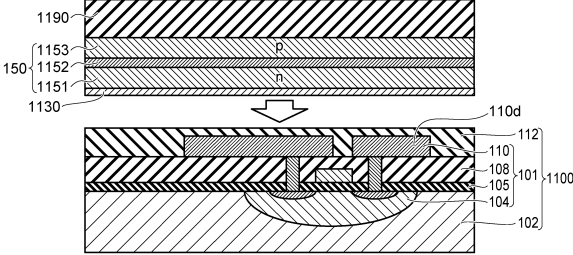
10

20

【図 5 B】



【図 6 A】

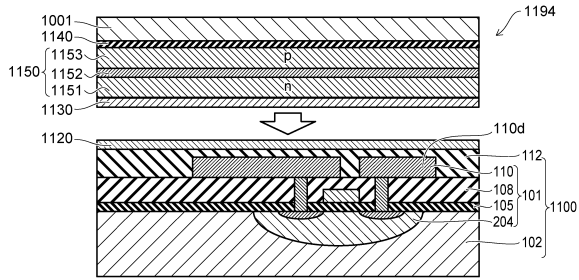


30

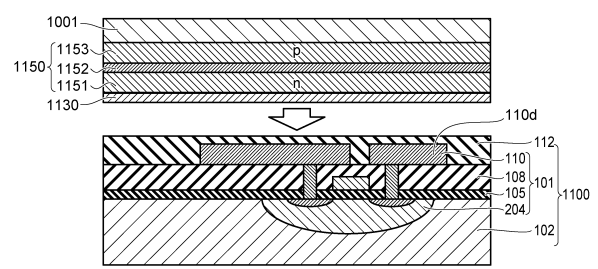
40

50

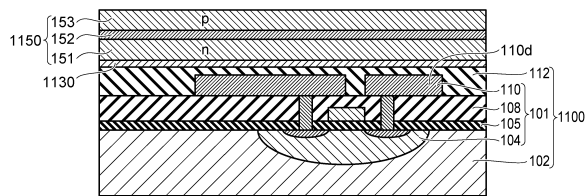
【図 6 B】



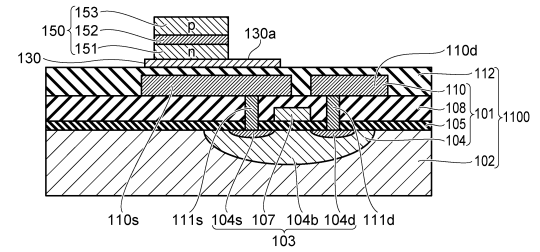
【図 6 C】



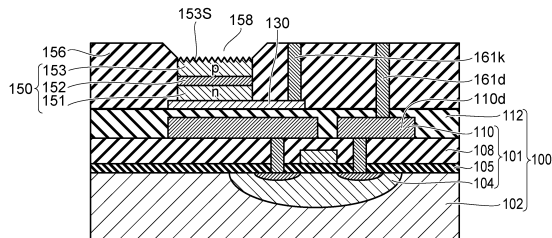
【図 7 A】



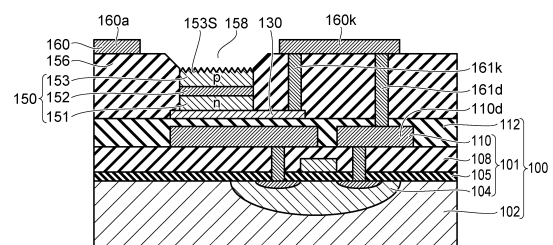
【図 7 B】



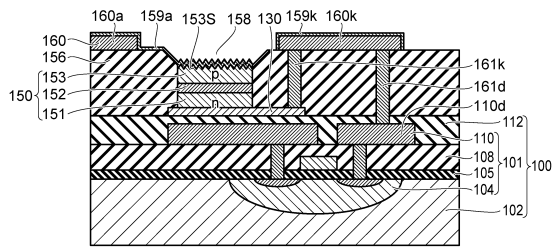
【図 8 A】



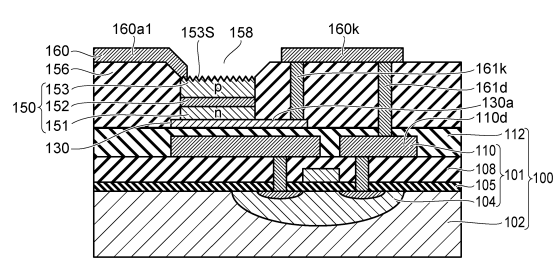
【図 8 B】



【図 8 C】

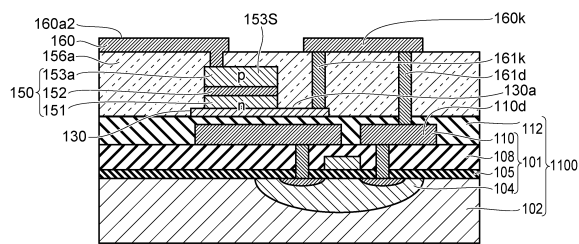


【図 9 A】

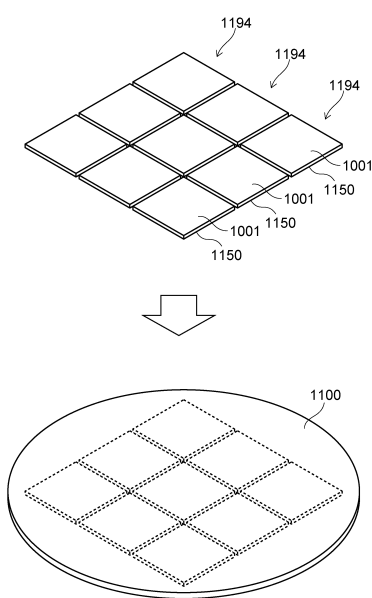


10

【図 9 B】



【図 1 0】



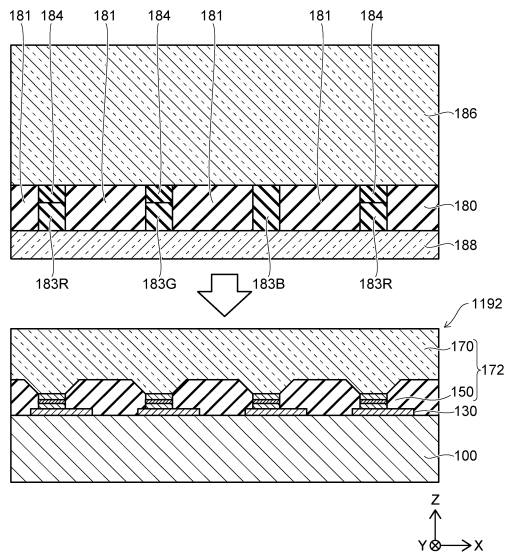
20

30

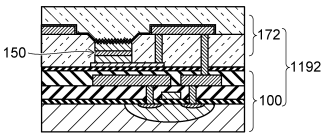
40

50

【図 1 1】



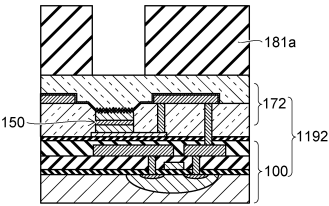
【図 1 2 A】



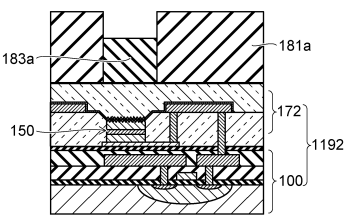
10

20

【図 1 2 B】



【図 1 2 C】

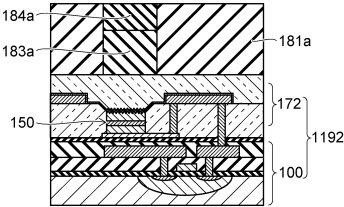


30

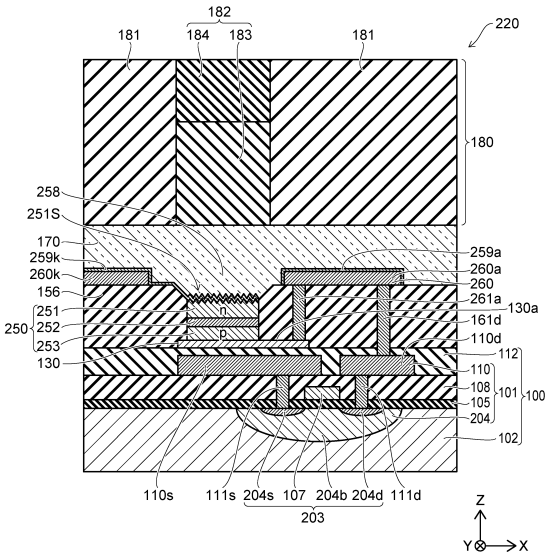
40

50

【図 1 2 D】



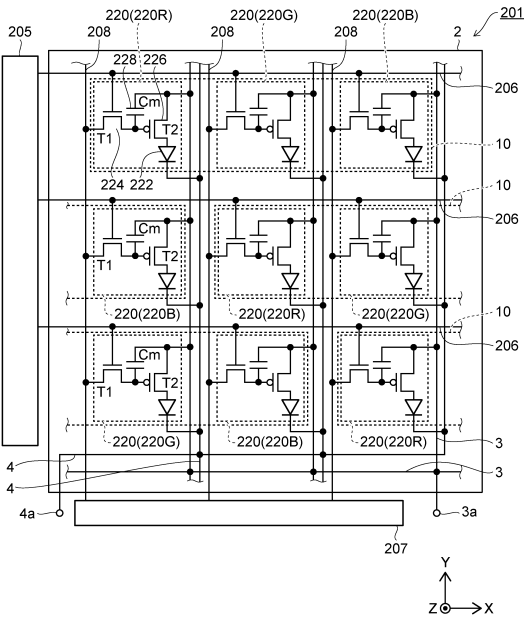
【図 1 3】



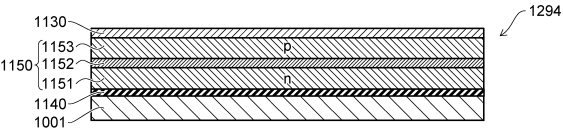
10

20

【図 1 4】



【図 1 5 A】

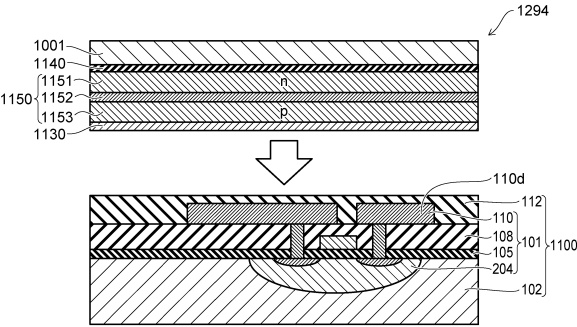


30

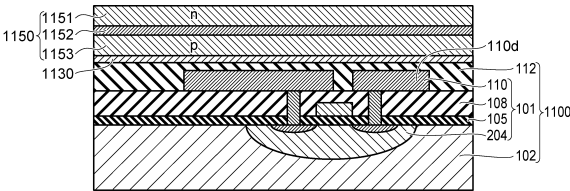
40

50

【図 1 5 B】

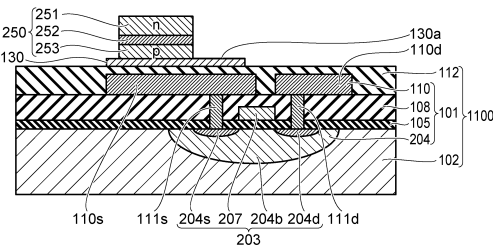


【図 1 6 A】

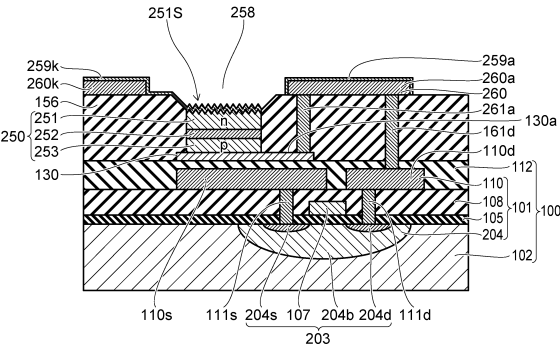


10

【図 1 6 B】



【図 1 6 C】



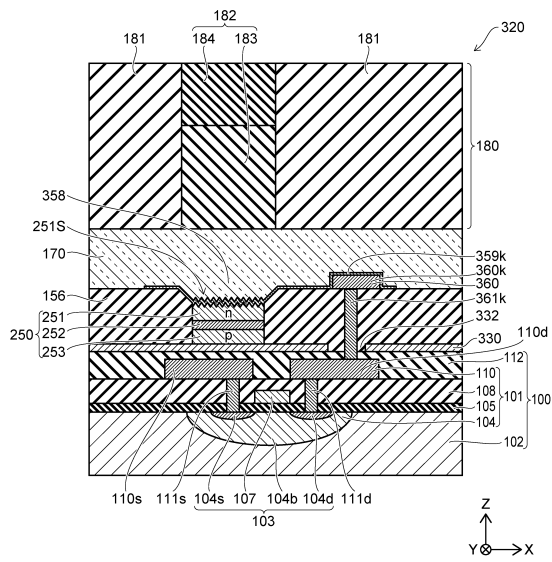
20

30

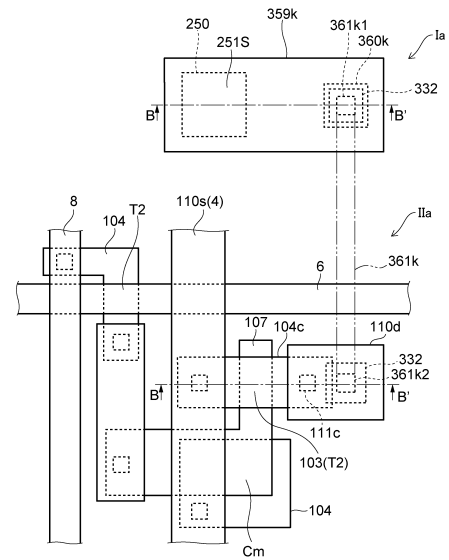
40

50

【図 17】



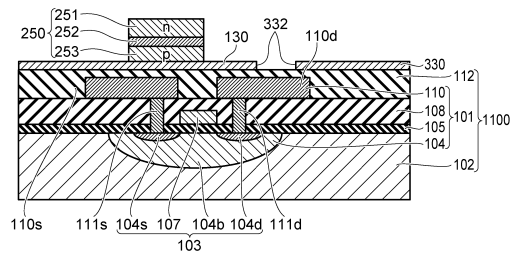
【図 18】



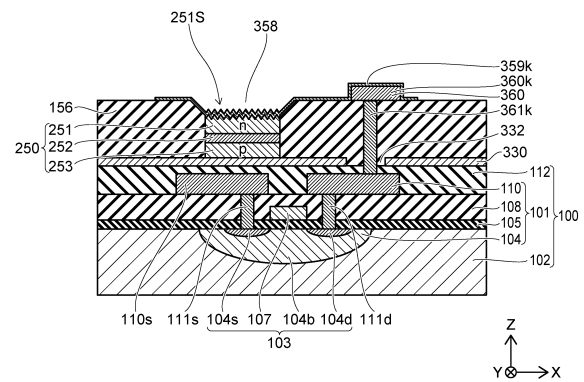
10

20

【図 19 A】



【図 19 B】

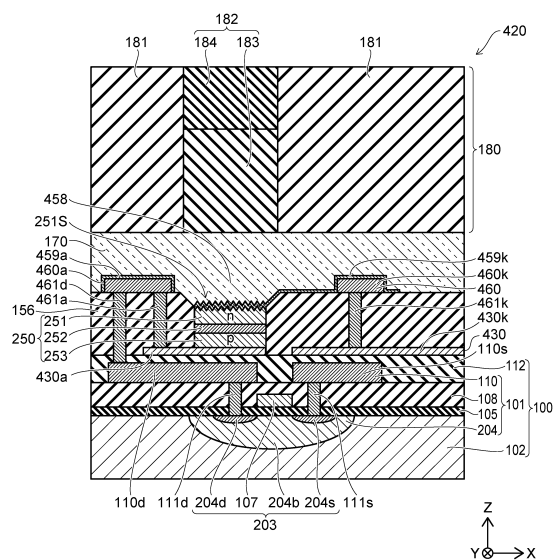


30

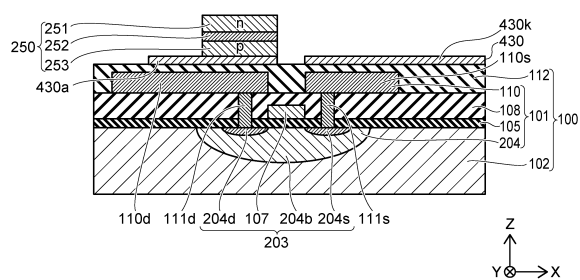
40

50

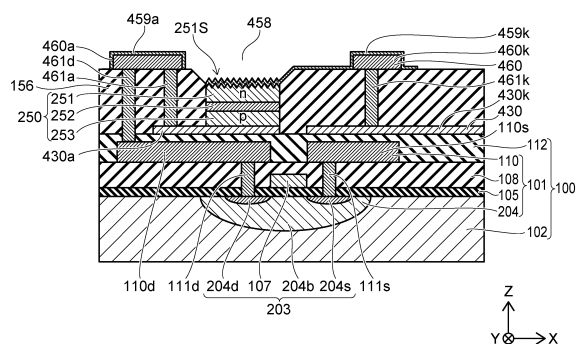
【図 20】



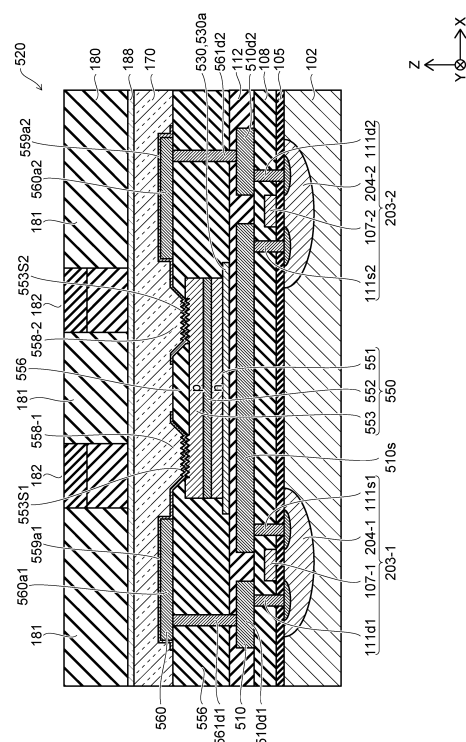
【図 2 1 A】



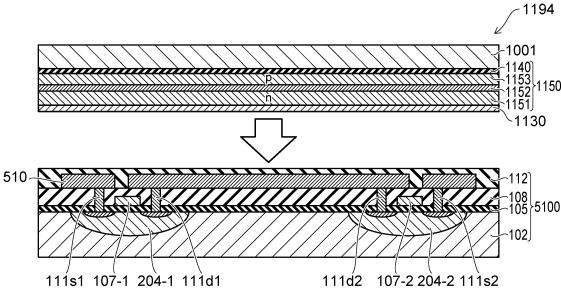
【図 2 1 B】



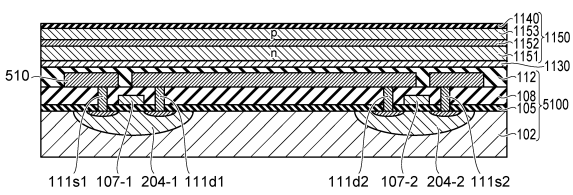
【図 22】



【図 2 3 A】

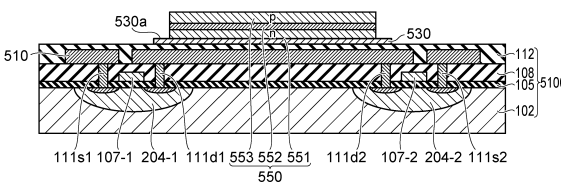


【図 2 3 B】

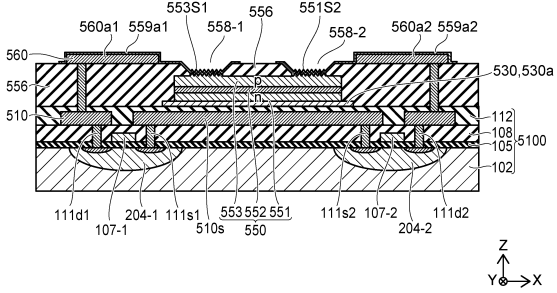


10

【図 2 4 A】



【図 2 4 B】



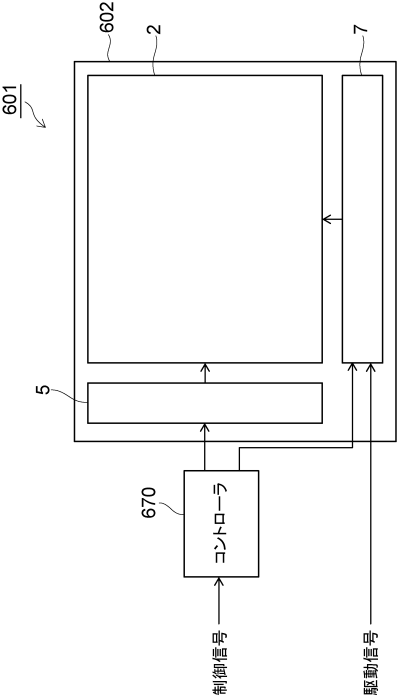
20

30

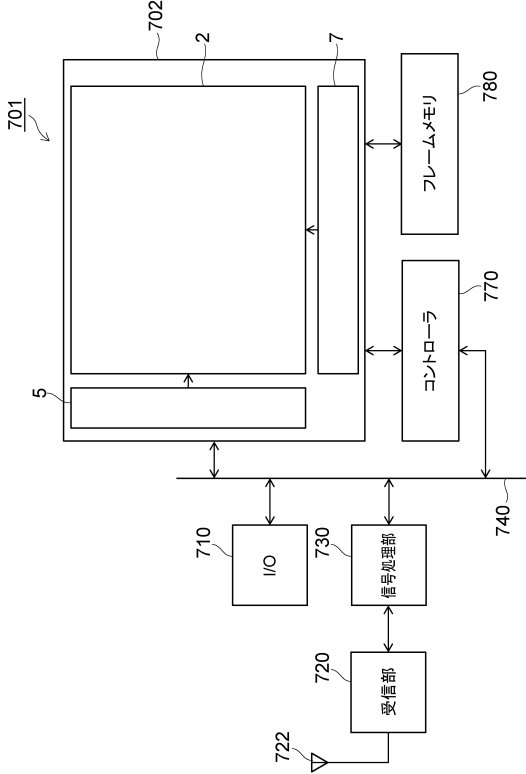
40

50

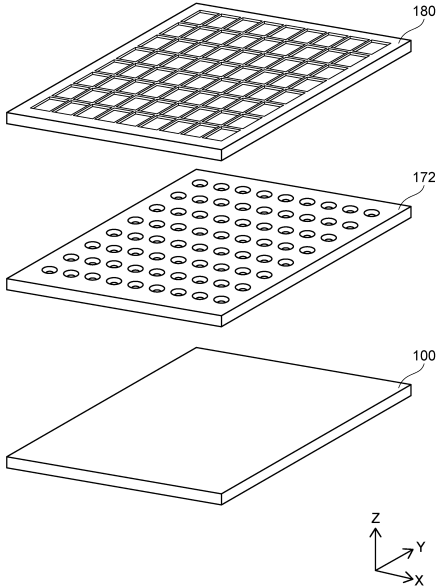
【図 2 8】



【図 2 9】



【図 3 0】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

G 0 9 F 9/30 3 4 9 B

H 0 1 L 33/00 L

(56)参考文献

特開2008-135419 (JP, A)

国際公開第2018/132070 (WO, A1)

特開2010-219310 (JP, A)

特開2018-205456 (JP, A)

特開2018-101785 (JP, A)

特開2007-242645 (JP, A)

特表2016-522585 (JP, A)

特開2009-094144 (JP, A)

特開2013-037139 (JP, A)

米国特許出願公開第2018/0294311 (US, A1)

米国特許出願公開第2013/0292731 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

G 0 2 F 1 / 1 3 - 1 / 1 3 3 4

1 / 1 3 3 9 - 1 / 1 3 5

1 / 1 3 7 - 1 / 1 4 1

G 0 9 F 9 / 0 0 - 9 / 4 6

1 3 / 0 0 - 1 3 / 4 6

H 0 1 L 3 3 / 0 0 - 3 3 / 6 4

H 0 5 B 3 3 / 0 0 - 3 3 / 2 8

4 4 / 0 0

4 5 / 6 0