# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2014 年 10 月 9 日 (09.10.2014)

WIPO | PCT

(10) 国际公布号
WO 2014/161463 A1

(51) 国际专利分类号:
*H01L 21/28* (2006.01) *H01L 21/31* (2006.01)

(21) 国际申请号: PCT/CN2014/074496

(22) 国际申请日: 2014 年 3 月 31 日 (31.03.2014)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310113334.5 2013 年 4 月 2 日 (02.04.2013) CN



(71) 申请人: **无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.)** [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: **李健 (Li, Jian)**; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: **无锡互维知识产权代理有限公司 (WUXI SINO INTELLECTUAL PROPERTY AGENCY, LTD.)**; 中国江苏省无锡市滨湖区锦溪路 100 号科教产业园 5 号楼 303 室, Jiangsu 214125 (CN)。



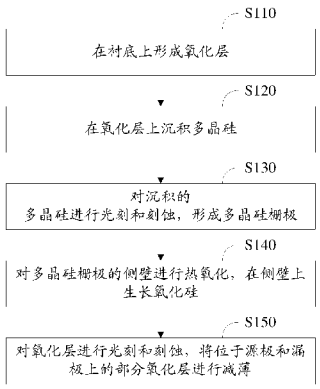
(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

**本国际公布**:
— 包括国际检索报告(条约第 21 条(3))。


**(54) Title**: METHOD FOR FORMING GATE OXIDE LAYER OF SEMICONDUCTOR DEVICE

**(54) 发明名称** : 半导体器件栅氧化层的形成方法




S110 FORM AN OXIDE LAYER ON A SUBSTRATE
S120 DEPOSIT POLYCRYSTALLINE SILICON ON THE OXIDE LAYER
S130 PERFORM LITHOGRAPHY AND ETCHING ON THE DEPOSITED POLYCRYSTALLINE SILICON TO FORM POLYCRYSTALLINE SILICON GATE ELECTRODES
S140 PERFORM THERMAL OXIDATION ON THE SIDEWALLS OF THE POLYCRYSTALLINE SILICON GATE ELECTRODES AND GROW SILICON OXIDE ON THE SIDEWALLS
S150 PERFORM LITHOGRAPHY AND ETCHING ON THE OXIDE LAYER AND THIN THE SOURCE ELECTRODE AND DRAIN ELECTRODE REGIONS OF THE OXIDE LAYER

图 2 / FIG. 2


**(57) Abstract**: Disclosed is a method for forming a gate oxide layer of a semiconductor device, comprising: forming an oxide layer on a substrate; depositing polycrystalline silicon on the oxide layer; performing lithography and etching on the polycrystalline silicon to form polycrystalline silicon gate electrodes; performing thermal oxidation on the sidewalls of the polycrystalline silicon gate electrodes and growing silicon oxide on the sidewalls; performing lithography and etching on the oxide layer and thinning the source electrode and drain electrode regions of the oxide layer. The present invention ensures the uniformity of gate oxide layer thickness in high voltage devices, greatly improving the transverse uniformity of the gate oxide layer and thereby providing greater operative stability for high voltage devices.

**(57) 摘要**: 本发明公开了一种半导体器件栅氧化层的形成方法，包括：在衬底上形成氧化层；在所述氧化层上沉积多晶硅；对所述多晶硅进行光刻和刻蚀，形成多晶硅栅极；对所述多晶硅栅极的侧壁进行热氧化，在所述侧壁上生长氧化硅；对所述氧化层进行光刻和刻蚀，将位于源极和漏极上的部分所述氧化层进行减薄。本发明能够保证高压器件栅氧化层厚度的均匀性，大大改善了栅氧化层的横向均匀度，使高压器件工作更加稳定。



WO 2014/161463 A1

# 半导体器件栅氧化层的形成方法

## 技术领域

本发明涉及半导体器件的制造方法，特别是涉及一种半导体器件栅氧化层的形成方法。

## 背景技术

0.18 微米以下的高压器件的制造过程，其栅极氧化硅较厚（> 400 埃），以实现较高的工作电压。而传统的高压器件栅极的形成步骤一般包括：栅极氧化硅的沉积，多晶硅的沉积，多晶硅的刻蚀，多晶硅侧壁的氧化等几个部分，如图 1A~图 1C 所示。图 1A 的器件结构包括硅衬底 110、氧化硅层 120 及多晶硅 130，对图 1A 所示的结构进行源、漏极氧化层的刻蚀后得到图 1B 所示结构，氧化硅层 120 刻蚀后得到源、漏极氧化层 124 和栅极氧化层 122；再对图 1B 所示结构进行热氧化生长，使得作为栅极的多晶硅 130 的侧壁长出侧壁氧化层 132，得到图 1C 所示结构。

从图 1C 可以看到栅极氧化层 122 的均匀性不好，靠近多晶硅 130 中部的栅极氧化层 122 厚度比较正常，靠近多晶硅 130 左右两端的栅极氧化层 122 则比期望厚度要厚。因此，栅极氧化层 122 整体厚度的均匀性较差，器件工作不稳定。

## 发明内容

基于此，为了解决栅极氧化层整体厚度的均匀性较差的问题，有必要提供一种半导体器件栅氧化层的形成方法。

一种半导体器件栅氧化层的形成方法，包括下列步骤：在衬底上形成氧化层；在所述氧化层上沉积多晶硅；对所述多晶硅进行光刻和刻蚀，形成多晶硅栅极；对所述多晶硅栅极的侧壁进行热氧化，在所述侧壁上生长氧化硅；对所述氧化层进行光刻和刻蚀，将位于源极和漏极上的部分所述氧化层进行减薄。

在其中一个实施例中，所述在侧壁上生长氧化硅的步骤中，需要进行氧化硅的过生长；所述对氧化层进行光刻和刻蚀的步骤中，过生长的氧化硅被刻蚀减薄从而恢复期望厚度。

在其中一个实施例中，所述在侧壁上生长氧化硅的步骤中生长的氧化硅厚度为所述期望厚度的120%~200%，其中所述氧化硅为二氧化硅。

在其中一个实施例中，所述期望厚度为50埃，所述在侧壁上生长氧化硅的步骤中生长的氧化硅厚度为80埃。

在其中一个实施例中，所述对多晶硅进行光刻和刻蚀的步骤之后，所述对多晶硅栅极的侧壁进行热氧化的步骤之前，所述氧化层的厚度大于400埃。

在其中一个实施例中，所述在衬底上形成氧化层的步骤，是采用沉积工艺形成所述氧化层，所述氧化层的成分为二氧化硅。

上述半导体器件栅氧化层的形成方法，改变了传统的工艺顺序，在多晶硅刻蚀之后，先进行多晶硅栅极侧壁的氧化，再做高压器件区氧化层的刻蚀。由于侧壁氧化时，氧化层位于多晶硅栅极下方的部分和位于源、漏极上方的部分厚度基本持平，因此氧化层位于多晶硅栅极下方的部分没有暴露给外界，这时进行多晶硅栅极侧壁的氧化，氧气只会和多晶硅栅极的侧壁反应形成侧壁氧化层，而不会像传统技术一样沿栅极氧化层两端渗入而与多晶硅接触，造成纵向氧化反应导致栅极氧化层变厚。因此保证了栅氧化层厚度的均匀性，大大改善了栅氧化层的横向均匀度，使高压器件工作更加稳定。

## 附图说明

图1A~图1C为一种传统的半导体高压器件在制造过程中高压器件区的剖面示意图；

图2为一实施例中半导体器件栅氧化层的形成方法的流程图；

图3A~图3D为一实施例中采用半导体器件栅氧化层的形成方法的器件在制造过程中高压器件区的剖面示意图。

## 具体实施方式

为使本发明的目的、特征和优点能够更为明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

参见图1A~图1C，发明人经研究分析发现：在传统高压器件的制造过程，高压器件区的氧化硅层120刻蚀之后，源、漏极氧化硅已经很薄，栅极氧化层122的左右两端暴露在外。在接下来的氧化生长侧壁氧化层132步骤，多晶硅

130侧壁被氧化生成氧化硅的同时，由于栅极氧化层122不够致密而且暴露在外，氧化步骤中的氧气会渗入栅极氧化层122的左右两端，并在纵向上与多晶硅130反应，造成氧化硅的纵向生长，导致多晶硅130左右两侧的栅极氧化层122变厚。

为了改善高压器件中栅氧化层的均匀性，本发明提供一种半导体器件栅氧化层的形成方法，如图2所示，包括下列步骤:

S110，在衬底上形成氧化层。

本发明主要针对的是高压器件，其具有栅氧化层较厚（大于400埃）的特征，既可以是独立的高压器件，也可以是一个器件上包括高压器件区和低压器件区。请参见图3A，在本实施例中，是在衬底210上通过沉积工艺形成高压器件区的氧化层220，氧化层220的成分为氧化硅（如：二氧化硅），衬底210的成分为硅。在其它实施例中，也可以采用本领域技术人员习知的其它工艺形成氧化层，例如热氧化生长等。

S120，在氧化层上沉积多晶硅。

形成氧化层220后，在其上沉积作为栅极的多晶硅，可以采用化学气相沉积（CVD）等本领域技术人员习知的沉积方法。

S130，对沉积的多晶硅进行光刻和刻蚀，形成多晶硅栅极。

请参见图3B，多晶硅刻蚀后形成多晶硅栅极230。

S140，对多晶硅栅极的侧壁进行热氧化，在侧壁上生长氧化硅。

请参见图3C，多晶硅栅极230的侧壁被氧化成氧化硅，生成侧壁氧化层232。

S150，对氧化层进行光刻和刻蚀，将位于源极和漏极上的部分氧化层进行减薄。

请参见图3D，对高压器件区的氧化层220进行光刻和刻蚀，氧化层220位于多晶硅栅极230两侧的源极和漏极上的部分被刻蚀后减薄，形成源、漏极氧化层224；氧化层220位于多晶硅栅极230下方的部分厚度保持不变，作为栅氧化层222。

上述半导体器件栅氧化层的形成方法，改变了传统的工艺顺序，在多晶硅刻蚀之后，先进行多晶硅栅极230侧壁的氧化，再做高压器件区氧化层220的

刻蚀。由于侧壁氧化时，氧化层 220 位于多晶硅栅极 230 下方的部分还很厚（大于 400 埃），和位于源、漏极上方部分的厚度基本持平，因此氧化层 220 位于多晶硅栅极 230 下方的部分没有暴露给外界，这时进行多晶硅栅极 230 侧壁的氧化，氧气只会和多晶硅栅极 230 的侧壁反应形成侧壁氧化层 232，而不会像传统技术一样沿栅极氧化层两端渗入而与多晶硅接触，造成纵向氧化反应导致栅极氧化层变厚。因此保证了栅氧化层 222 厚度的均匀性，大大改善了栅氧化层 222 的横向均匀度，使高压器件工作更加稳定。

在优选的实施例中，步骤 S140 中要进行过氧化，即通过增加氧化时间等方式，获得比侧壁氧化层 232 的期望厚度过量的厚度。这是因为在实际生产中发现侧壁氧化层 232 会在步骤 S150 中受到刻蚀的影响被减薄，因此需要在 S140 步骤中补偿侧壁氧化层 232 在步骤 S150 的损耗，使得 S140 中过量生长的侧壁氧化层 232 在 S150 中正好被腐蚀掉。S140 中侧壁氧化层 232 过生长的量与 S150 中刻蚀的工艺、参数等有关，在其中一个实施例中，步骤 S140 中生长的侧壁氧化层 232（横向的）厚度为最终侧壁氧化层 232 期望厚度的 120%~200%（即过量生长 20%~100%的厚度）。在优选的实施例中，步骤 S140 中生长的侧壁氧化层 232 厚度为 80 埃，步骤 S150 中刻蚀完成后剩余 50 埃（即期望厚度为 50 埃）。

以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对本发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明专利的保护范围应以所附权利要求为准。

# 权利要求

1、一种半导体器件栅氧化层的形成方法，其特征在于，其包括:

在衬底上形成氧化层;

在所述氧化层上沉积多晶硅;

对所述多晶硅进行光刻和刻蚀，形成多晶硅栅极;

对所述多晶硅栅极的侧壁进行热氧化，在所述侧壁上生长氧化硅;

对所述氧化层进行光刻和刻蚀，将位于源极和漏极上的部分所述氧化层进行减薄。

2、根据权利要求 1 所述的半导体器件栅氧化层的形成方法，其特征在于，所述在侧壁上生长氧化硅的步骤中，需要进行氧化硅的过生长；所述对氧化层进行光刻和刻蚀的步骤中，过生长的氧化硅被刻蚀减薄从而恢复期望厚度。

3、根据权利要求 2 所述的半导体器件栅氧化层的形成方法，其特征在于，所述在侧壁上生长氧化硅的步骤中生长的氧化硅厚度为所述期望厚度的 120%~200%，其中所述氧化硅为二氧化硅。

4、根据权利要求 3 所述的半导体器件栅氧化层的形成方法，其特征在于，所述期望厚度为 50 埃，所述在侧壁上生长氧化硅的步骤中生长的氧化硅厚度为 80 埃。

5、根据权利要求 1 所述的半导体器件栅氧化层的形成方法，其特征在于，所述对多晶硅进行光刻和刻蚀的步骤之后，所述对多晶硅栅极的侧壁进行热氧化的步骤之前，所述氧化层的厚度大于 400 埃。

6、根据权利要求 1 所述的半导体器件栅氧化层的形成方法，其特征在于，所述在衬底上形成氧化层的步骤，是采用沉积工艺形成所述氧化层，所述氧化层的成分为二氧化硅。

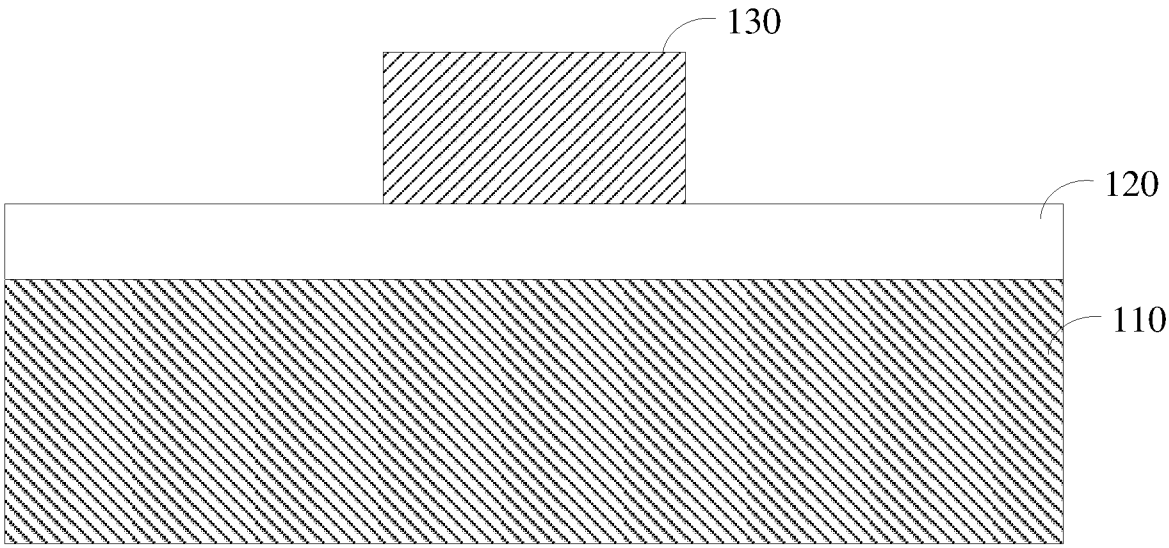



图 1A

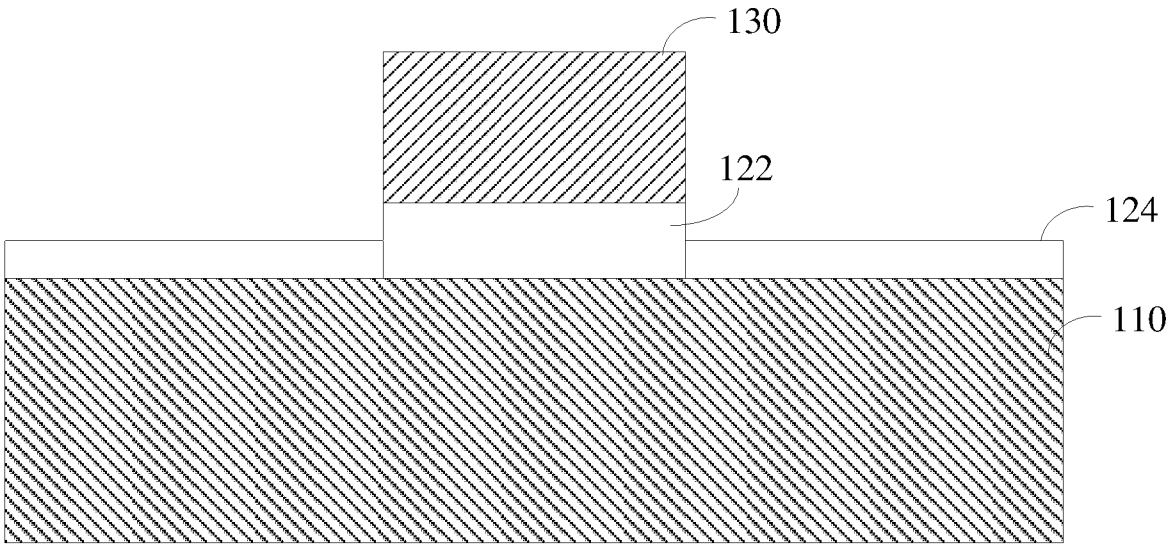



图 1B

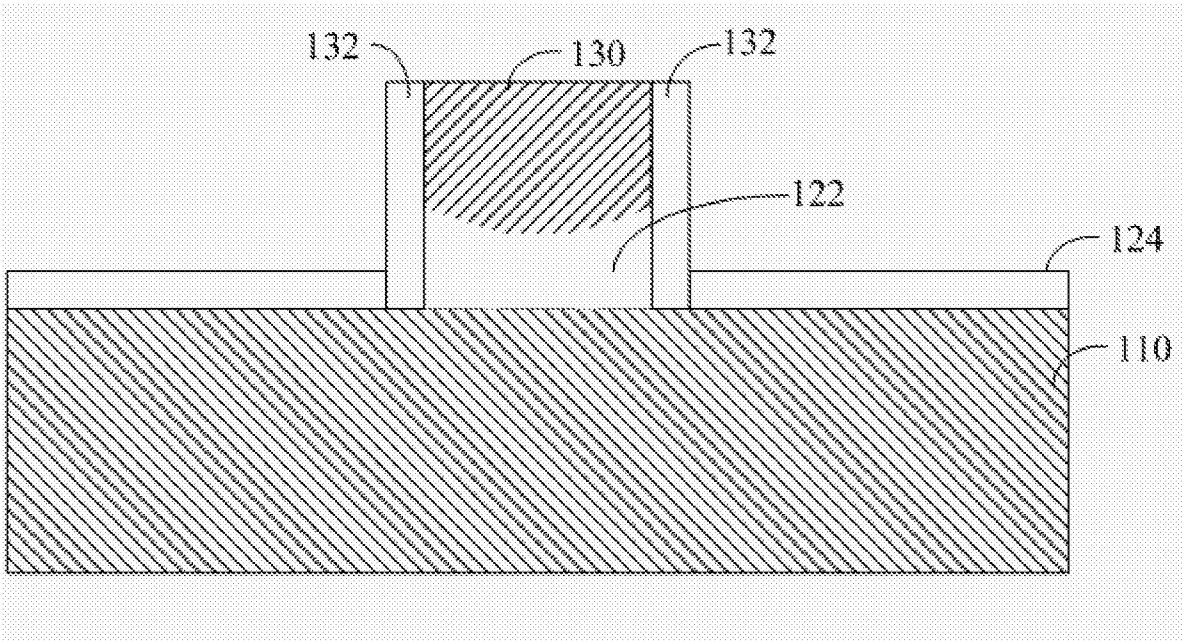

132
130
132
122
124
110

图 1C

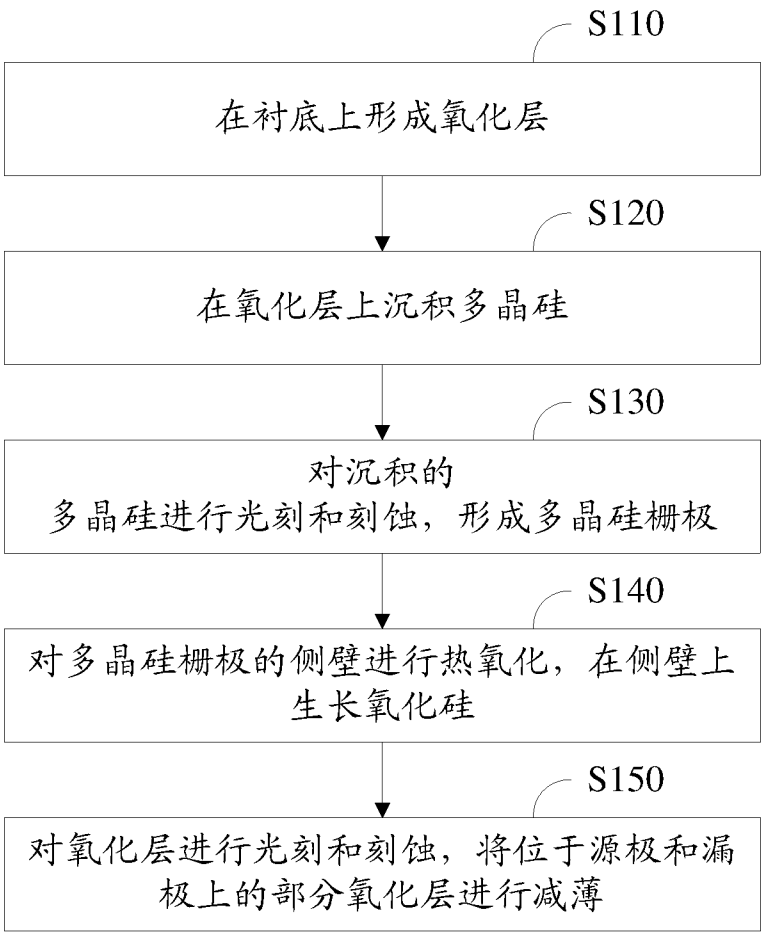

S110
在衬底上形成氧化层
S120
在氧化层上沉积多晶硅
S130
对沉积的
多晶硅进行光刻和刻蚀，形成多晶硅栅极
S140
对多晶硅栅极的侧壁进行热氧化，在侧壁上
生长氧化硅
S150
对氧化层进行光刻和刻蚀，将位于源极和漏
极上的部分氧化层进行减薄

图 2




图 3A

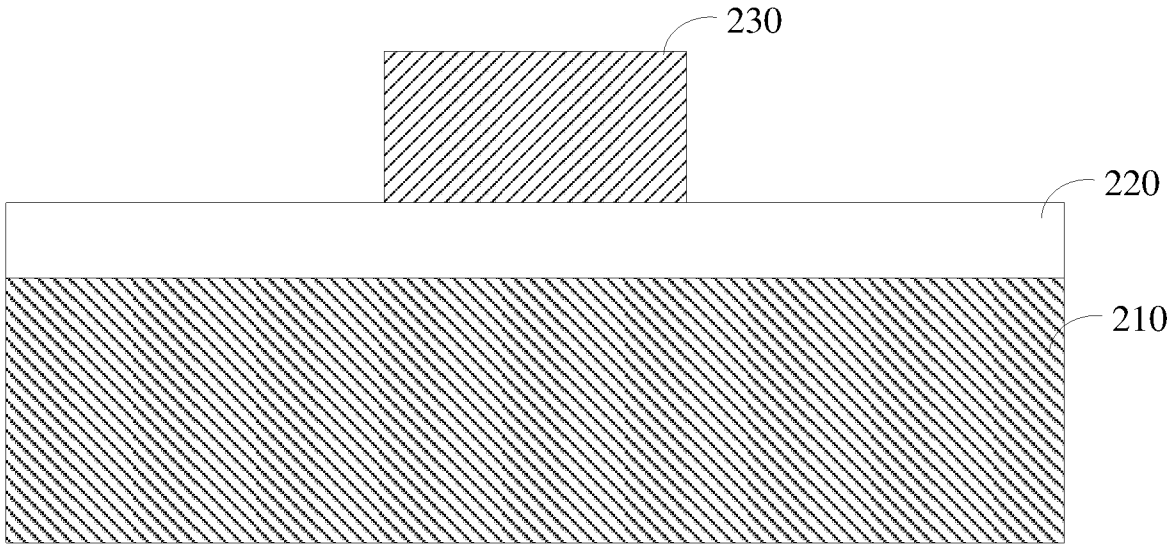



图 3B

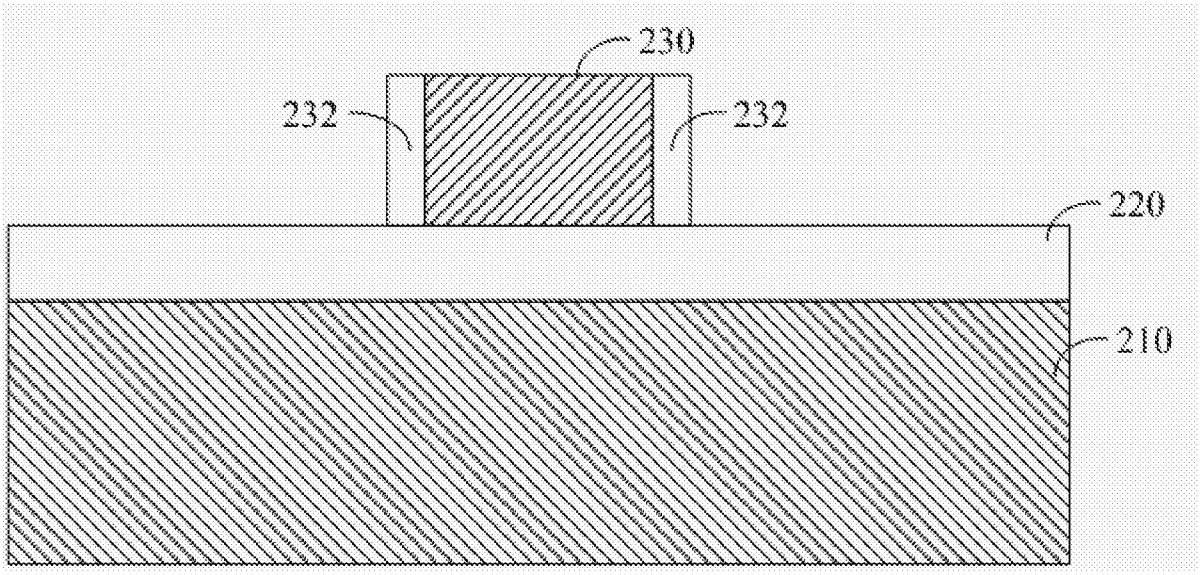



图 3C

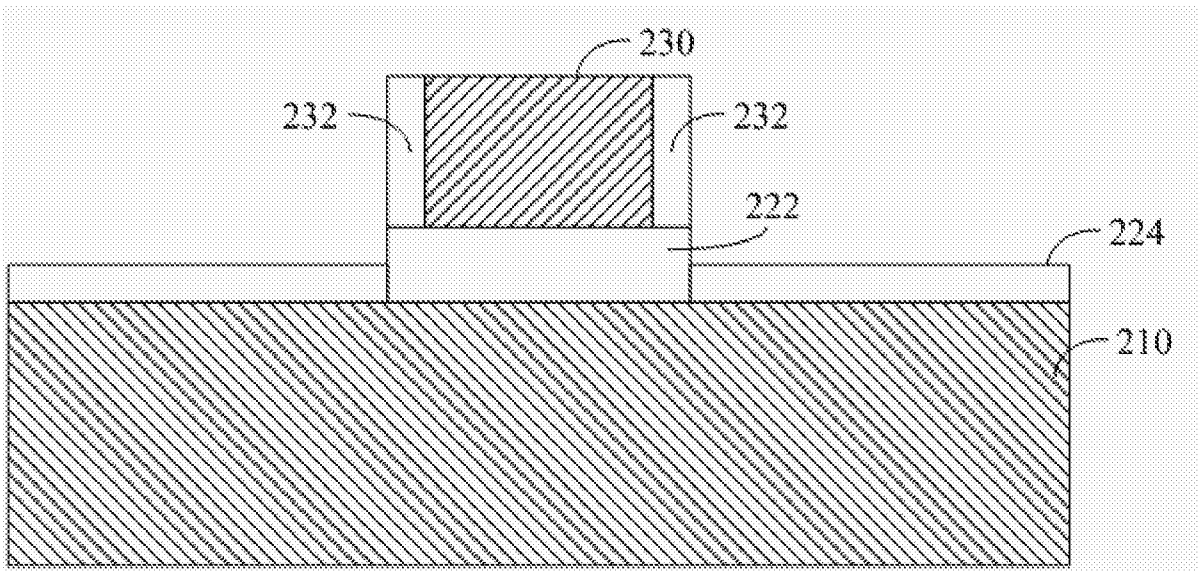



图 3D

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/CN2014/074496**

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/28 (2006.01) i; H01L 21/31(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

MOABS, CNMED, CPRSABS, CNABS, TWMED, HKABS, TWABS, WPI, EPODOC, CNKI: nonuniformity, sidewall spacer, order, thermal oxidation, gate w (dielectric or oxide or insulat+), sidewall?, spacer?, thickness, thermal, uniform+

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | CN 1538531 A (KOREA ELECTRONICS TELECOMM), 20 October 2004 (20.10.2004), description, page 4, line 10 to page 5, line 15, and figures 2-8 | 1-6 |
| X | TW 486752 B (VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION), 11 May 2002 (11.05.2002), description, page 8, line 13 to page 10, line 8, and figures 2A-2F | 1-6 |
| A | US 2008102650 A1 (ADAMS, E.D. et al.), 01 May 2008 (01.05.2008), the whole document | 1-6 |
| A | CN 102157360 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION), 17 August 2011 (17.08.2011), the whole document | 1-6 |
| A | CN 101145543 A (SHANGHAI HUA HONG NEC ELECTRONICS CO., LTD.), 19 March 2008 (19.03.2008), the whole document | 1-6 |

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 16 June 2014 (16.06.2014) | **30 June 2014 (30.06.2014)** |
| Name and mailing address of the ISA/CN:<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No.: (86-10) 62019451 | Authorized officer<br>**LIU, Xiaoyan**<br>Telephone No.: (86-10) **82246602** |

Form PCT/ISA/210 (second sheet) (July 2009)

# INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
**PCT/CN2014/074496**

| Patent Documents referred in the Report | Publication Date | Patent Family | Publication Date |
|---|---|---|---|
| CN 1538531 A | 20.10.2004 | EP 1469525 A2 | 20.10.2004 |
| | | US 2004206980 A1 | 21.10.2004 |
| | | JP 2004319963 A | 11.11.2004 |
| | | US 7005356 B2 | 28.02.2006 |
| | | AT 511214 T | 15.06.2011 |
| | | JP 4104541 B2 | 18.06.2008 |
| | | KR 100508548 B1 | 17.08.2005 |
| | | CN 1315196 C | 09.05.2007 |
| | | EP 1469525 B1 | 25.05.2011 |
| | | TWI 224862 B | 01.12.2004 |
| | | KR 20040090063 A | 22.10.2004 |
| | | EP 1469525 A3 | 05.12.2007 |
| TW 486752 B | 11.05.2002 | US 2002119632 A1 | 29.08.2002 |
| | | US 6524939 B2 | 25.02.2003 |
| US 2008102650 A1 | 01.05.2008 | US 7737050 B2 | 15.06.2010 |
| | | WO 2008055150 A3 | 19.06.2008 |
| | | WO 2008055150 A2 | 08.05.2008 |
| CN 102157360 A | 17.08.2011 | CN 102157360 B | 12.12.2012 |
| CN 101145543 A | 19.03.2008 | CN 100501971 C | 17.06.2009 |

# 国际检索报告

国际申请号 PCT/CN2014/074496

A. 主题的分类

H01L 21/28(2006.01)i；H01L 21/31(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

MOABS;CNMED;CPRSABS;CNABS;TWMED;HKABS;TWABS;WPI;EPODOC;CNKI:栅氧，栅绝缘，栅极绝缘，栅极氧，侧墙，均匀，不均，侧壁，间隙子，间隙壁，侧面，厚度，顺序，热氧化，gate w (dielectric or oxide or insulat+), sidewall?,spacer?,thickness,thermal,uniform+

C. 相关文件

| 类 型* | 引用文件，必要时，指明相关段落 | 相关的权利要求 |
|---|---|---|
| X | CN 1538531A（韩国电子通信研究院）2004年 10月 20日（2004－10－20）<br>说明书第4页第10行到第5页第15行，附图2-8 | 1-6 |
| X | TW 486752B（世界先进积体电路股份有限公司）2002年 5月 11日（2002－05－11）<br>说明书第8页第13行到第10页第8行，附图2A-2F | 1-6 |
| A | US 2008102650A1（ADAMS, EDWARD DENNIS等）2008年 5月 01日（2008－05－01）<br>全文 | 1-6 |
| A | CN 102157360A（中芯国际集成电路制造上海有限公司）2011年 8月 17日（2011－08－17）<br>全文 | 1-6 |
| A | CN 101145543A（上海华虹NEC电子有限公司）2008年 3月 19日（2008－03－19）<br>全文 | 1-6 |

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

| 国际检索实际完成的日期 | 国际检索报告邮寄日期 |
|---|---|
| 2014年 6月 16日 | 2014年 6月 30日 |

| ISA/CN的名称和邮寄地址 | 受权官员 |
|---|---|
| 中华人民共和国国家知识产权局(ISA/CN)<br>北京市海淀区蓟门桥西土城路6号<br>100088 中国<br>传真号 (86-10)62019451 | 刘晓燕<br>电话号码 (86-10)82246602 |

表 PCT/ISA/210（第2页）（2009年7月）

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2014/074496

| 检索报告引用的专利文件 | | 公布日（年/月/日） | 同族专利 | | 公布日（年/月/日） |
|---|---|---|---|---|---|
| CN | 1538531A | 2004年 10月 20日 | EP | 1469525A2 | 2004年 10月 20日 |
| | | | US | 2004206980A1 | 2004年 10月 21日 |
| | | | JP | 2004319963A | 2004年 11月 11日 |
| | | | US | 7005356B2 | 2006年 2月 28日 |
| | | | AT | 511214T | 2011年 6月 15日 |
| | | | JP | 4104541B2 | 2008年 6月 18日 |
| | | | KR | 100508548B1 | 2005年 8月 17日 |
| | | | CN | 1315196C | 2007年 5月 09日 |
| | | | EP | 1469525B1 | 2011年 5月 25日 |
| | | | TW | I224862B | 2004年 12月 01日 |
| | | | KR | 20040090063A | 2004年 10月 22日 |
| | | | EP | 1469525A3 | 2007年 12月 05日 |
| TW | 486752B | 2002年 5月 11日 | US | 2002119632A1 | 2002年 8月 29日 |
| | | | US | 6524939B2 | 2003年 2月 25日 |
| US | 2008102650A1 | 2008年 5月 01日 | US | 7737050B2 | 2010年 6月 15日 |
| | | | WO | 2008055150A3 | 2008年 6月 19日 |
| | | | WO | 2008055150A2 | 2008年 5月 08日 |
| CN | 102157360A | 2011年 8月 17日 | CN | 102157360B | 2012年 12月 12日 |
| CN | 101145543A | 2008年 3月 19日 | CN | 100501971C | 2009年 6月 17日 |