

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年12月2日(02.12.2021)



(10) 国際公開番号

WO 2021/241072 A1

(51) 国際特許分類:
H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2021/015887

(22) 国際出願日: 2021年4月19日(19.04.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-094350 2020年5月29日(29.05.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).

(72) 発明者: 大久保 謙一 (OOKUBO Kenichi); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

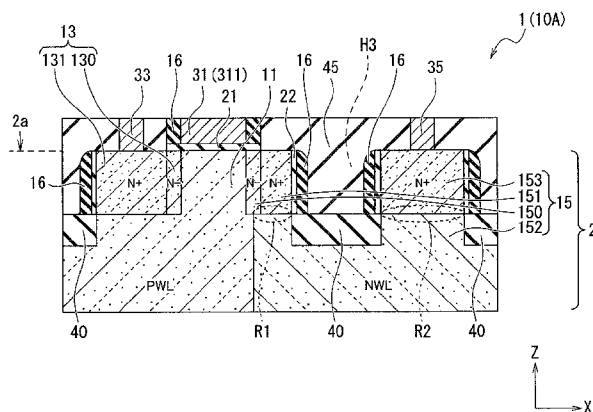
(74) 代理人: 田中 秀 ▲ て つ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Provided is a semiconductor device with which it is possible to increase high voltage resistance of a field-effect transistor while minimizing an increase in the number of steps involved. This semiconductor device comprises: a semiconductor substrate; and a field-effect transistor which is disposed on a first main surface side of the semiconductor substrate. The field-effect transistor includes: a semiconductor region in which a channel is formed; a source region of a first conductivity type, located on one side of the semiconductor region in a gate length direction; a drain region of a first conductivity type, located on the other side in the gate length direction; and a drain electrode which is connected to the drain region. The drain region has a structure in which a first high-concentration layer having a high impurity concentration of the first conductivity type, a low-concentration layer having a low impurity concentration of the first conductivity type, and a second high-concentration layer having a high impurity concentration of the first conductivity type, are connected in this order from the semiconductor region toward the drain electrode side.

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：工程数の増加を抑えつつ、電界効果トランジスタの高耐圧化が可能な半導体装置を提供する。半導体装置は、半導体基板と、半導体基板の第1主面側に設けられた電界効果トランジスタと、を備える。電界効果トランジスタは、チャンネルが形成される半導体領域と、半導体領域のゲート長方向における一方の側に位置する第1導電型のソース領域と、ゲート長方向における他方の側に位置する第1導電型のドレイン領域と、ドレイン領域に接続するドレイン電極と、を有する。ドレイン領域は、半導体領域からドレイン電極側へ、第1導電型の不純物濃度が高い第1高濃度層と、第1導電型の不純物濃度が低い低濃度層と、第1導電型の不純物濃度が高い第2高濃度層とがこの順で接続された構造を有する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 従来から、フィン型の高耐圧電界効果トランジスタが知られている（例えば、特許文献1、2参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-73971号公報

特許文献2：特開2013-143437号公報

発明の概要

発明が解決しようとする課題

[0004] 高耐圧電界効果トランジスタは、電界緩和構造や耐圧構造を作成する必要があることから、製造の工程数が多く、素子面積も大きくなりがちである。

[0005] 本開示はこのような事情に鑑みてなされたもので、工程数の増加を抑えつつ、電界効果トランジスタの高耐圧化が可能な半導体装置を提供することを目的の一つとする。

課題を解決するための手段

[0006] 本開示の一態様に係る半導体装置は、半導体基板と、前記半導体基板の第1主面側に設けられた電界効果トランジスタと、を備える。前記電界効果トランジスタは、チャンネルが形成される半導体領域と、前記半導体領域のゲート長方向における一方の側に位置する第1導電型のソース領域と、前記ゲート長方向における他方の側に位置する第1導電型のドレイン領域と、前記ドレイン領域に接続するドレイン電極と、を有する。前記ドレイン領域は、前記半導体領域から前記ドレイン電極側へ、第1導電型の不純物濃度が高い第1高濃度層と、第1導電型の不純物濃度が低い低濃度層と、第1導電型の不

純物濃度が高い第2高濃度層とがこの順で接続された構造を有する。

[0007] これによれば、ドレイン領域の低濃度層を例えばウェル拡散層の一部で構成することができる。また、低濃度層を設けることによって、ドレイン領域の抵抗を高めることができ、ソース・ドレイン間の耐圧を高めることができる。これにより、工程数の増加を抑えつつ、電界効果トランジスタの高耐圧化が可能な半導体装置を提供することができる。

図面の簡単な説明

[0008] [図1A]図1 Aは、本開示の実施形態に係る半導体装置の構成例1を示す平面図である。

[図1B]図1 Bは、本開示の実施形態に係る半導体装置の構成例1を示す断面図である。

[図1C]図1 Cは、本開示の実施形態に係る半導体装置の構成例1を示す断面図である。

[図2]図2は、本開示の実施形態に係る半導体装置の構成例2を示す断面図である。

[図3A]図3 Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図3B]図3 Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図3C]図3 Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図4A]図4 Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図4B]図4 Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図4C]図4 Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図5A]図5 Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に

示す平面図である。

[図5B]図5 Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図5C]図5 Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図6A]図6 Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図6B]図6 Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図6C]図6 Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図7A]図7 Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図7B]図7 Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図7C]図7 Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図8A]図8 Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図8B]図8 Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図8C]図8 Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図9A]図9 Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図9B]図9 Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図9C]図9 Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に

示す断面図である。

[図10A]図10Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図10B]図10Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図10C]図10Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図11A]図11Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図11B]図11Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図11C]図11Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図12A]図12Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図12B]図12Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図12C]図12Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図13A]図13Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図13B]図13Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図13C]図13Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図14A]図14Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図14B]図14Bは、本開示の実施形態に係る半導体装置の製造方法を工程順

に示す断面図である。

[図14C]図14Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図15A]図15Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図15B]図15Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図15C]図15Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図16A]図16Aは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す平面図である。

[図16B]図16Bは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図16C]図16Cは、本開示の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

[図17]図17は、本開示の実施形態に係る半導体装置の変形例1を示す断面図である。

[図18]図18は、本開示の実施形態に係る半導体装置の変形例2を示す断面図である。

[図19]図19は、本開示の実施形態に係る半導体装置の変形例3を示す断面図である。

[図20]図20は、本開示の実施形態に係る半導体装置の変形例4を示す断面図である。

[図21]図21は、本開示の実施形態に係る半導体装置の変形例5を示す断面図である。

発明を実施するための形態

[0009] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符

号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0010] 以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。

[0011] また、以下の説明では、X軸方向、Y軸方向及びZ軸方向の文言を用いて、方向を説明する場合がある。例えば、X軸方向及びY軸方向は、半導体基板2の表面2aに平行な方向である。X軸方向はMOSトランジスタ10から10Fのゲート長方向でもある。X軸方向及びY軸方向を水平方向ともいう。Z軸方向は、半導体基板2の表面2aと垂直に交わる方向である。X軸方向、Y軸方向及びZ軸方向は、互いに直交する。

[0012] また、以下の説明では、第1導電型がN型であり、第2導電型がP型である場合について例示的に説明する。図面において、導電型を示すPやNに付す+は、+が付記されていない半導体領域に比して、相対的に不純物濃度が高い半導体領域であることを意味する。PやNに付す-は、-が付記されていない半導体領域に比して、相対的に不純物濃度が低い半導体領域であることを意味する。ただし同じNとNとが付された半導体領域であっても、それぞれの半導体領域の不純物濃度が厳密に同じであることを意味するものではない。

[0013] (構成例1)

図1Aは、本開示の実施形態に係る半導体装置1の構成例1を示す平面図である。図1B及び図1Cは、本開示の実施形態に係る半導体装置1の構成例1を示す断面図である。図1Bは、図1Aに示す平面図をX1-X1'線で切断した断面を示している。図1Cは、図1Aに示す平面図をY1-Y1'線で切断した断面を示している。

線で切断した断面を示している。なお、図1Aでは、平面紙による構造の理解を容易にするために、層間絶縁膜45の図示を省略している。

[0014] 図1Aから図1Cに示すように、実施形態に係る半導体装置1は、半導体基板2と、半導体基板2に設けられた第1導電型（例えば、N型）のMOS（Metal Oxide Semiconductor）トランジスタ10（本開示の「電界効果トランジスタ」の一例）と、を備える。半導体基板2は、例えば単結晶のシリコンで構成されている。半導体基板2は、表面2a（本開示の「第1主面」の一例）と、表面2aの反対側に位置する裏面と、を有する。MOSトランジスタ10は、半導体基板2の表面2a側に設けられている。

[0015] また、半導体装置1は、半導体基板2に設けられたP型のウェル拡散層PWLと、半導体基板2に設けられたN型のウェル拡散層NWLと、半導体基板2に設けられたSTI層（Shallow Trench Isolation）40と、を有する。なお、STI層40は、本開示の「絶縁分離層」の一例である。

[0016] MOSトランジスタ10は、チャネルが形成される第2導電型（例えば、P型）の半導体領域11と、半導体領域11のゲート長方向（例えば、X軸方向）における一方の側に位置するN型のソース領域13と、半導体領域11のゲート長方向における他方の側（例えば、半導体領域11を挟んでソース領域13の反対側）に位置するN型のドレイン領域15と、半導体領域11を覆うゲート電極31と、半導体領域11とゲート電極31との間に配置されたゲート絶縁膜21と、ソース領域13に接続するソース電極33と、ドレイン領域15に接続するドレイン電極35と、を有する。

[0017] 半導体領域11は、半導体基板2の一部であり、P型の単結晶シリコンで構成されている。例えば、半導体領域11は、半導体基板2の表面2a側からP型のウェル拡散層PWLの一部をエッチングすることにより形成される。半導体領域11の形状は、フィン（Fin）形状である。

[0018] 図1Bに示すように、MOSトランジスタ10のゲート長方向であるX軸

方向と直交するY軸方向において、半導体領域11の一方の側にはトレンチH1が設けられ、半導体領域11の他方の側にはトレンチH2が設けられている。トレンチH1、H2の底部には、STI層40が設けられている。STI層40は、例えばSiO₂等の絶縁膜で構成されている。

[0019] ゲート絶縁膜21は、フィン形状を有する半導体領域11の上面11aと、第1側面11bと、第2側面11cとを覆うように設けられている。上面11aは、半導体基板2の表面2aの一部であり、水平方向（すなわち、X軸方向及びY軸方向）に平行である。第1側面11bは、Y軸方向において上面11aの一方の側に位置する。第2側面11cは、Y軸方向において上面11aの他方の側に位置する。ゲート絶縁膜21は、例えばシリコン酸化膜（SiO₂膜）で構成されている。

[0020] ゲート電極31は、ゲート絶縁膜21を介して半導体領域11を覆っている。例えば、ゲート電極31は、半導体領域11の上面11aとゲート絶縁膜21を介して向かい合う第1部位311と、半導体領域11の第1側面11bとゲート絶縁膜21を介して向かい合う第2部位312と、半導体領域11の第2側面11cとゲート絶縁膜21を介して向かい合う第3部位313と、を有する。第1部位311の下面に、第2部位312と第3部位313とがそれぞれ接続している。第2部位312はトレンチH1に配置され、第3部位313はトレンチH2に配置されている。半導体領域11は、ゲート電極31の第2部位312と第3部位313とによって、Y軸方向から挟まれている。

[0021] これにより、ゲート電極31は、半導体領域11の上面11aと、第1側面11bと、第2側面11cとにゲート電圧を同時に印加することができる。つまり、ゲート電極31は、半導体領域11に対して、上側と左右両側の計3方向からゲート電圧を同時に印加することができる。これにより、ゲート電極31は、半導体領域11を完全空乏化することが可能となっている。ゲート電極31は、例えば、タングステン（W）等の金属で構成されている。または、ゲート電極31は、不純物がドーパされたポリシリコン（Polysilicon）で構成されている。

y-Si) 膜で構成されていてもよい。

[0022] MOSトランジスタ10は、トレンチH1、H2にゲート電極31の第2部位312と第3部位313とが配置されている形状から、掘り込みゲート構造のMOSトランジスタと呼んでもよい。または、MOSトランジスタ10は、半導体領域11がフィン形状を有することから、フィンフェット (FinFET: Fin Field Effect Transistor) と呼んでもよい。あるいは、MOSトランジスタ10は、上記2つの形状から、掘り込みFinFETと呼んでもよい。

[0023] ソース領域13は、N型の高濃度層で構成されている。ソース電極33は、ソース領域13上に設けられている。ソース電極33は、例えばタングステン (W) 等の金属で構成されている。

[0024] ドレイン領域15は、N型の第1高濃度層151と、N型の低濃度層152と、N型の第2高濃度層153と、を有する。N型の低濃度層152は、例えばN型のウェル拡散層NWLで構成されている。ドレイン領域15は、半導体領域11からドレイン電極35側へ、第1高濃度層151と、低濃度層152と、第2高濃度層153とがこの順で接続された構造を有する。

[0025] 例えば、ドレイン領域15は、半導体基板2の厚さ方向であるZ軸方向において第1高濃度層151と低濃度層152とが接続する第1接続領域R1と、Z軸方向において低濃度層152と第2高濃度層153とが接続する第2接続領域R2と、を有する。第1高濃度層151と、低濃度層152と、第2高濃度層153は、半導体領域11からドレイン電極35側へ、この順で直列に接続されている。ドレイン電極35は、第2高濃度層153上に設けられている。ドレイン電極35は、例えばタングステン (W) 等の金属で構成されている。

[0026] 第1高濃度層151と第2高濃度層153との間にトレンチH3が設けられている。トレンチH3は、Z軸方向において、半導体基板2の表面2aから低濃度層152の上部まで設けられている。上述したように、半導体領域11の両側に位置するトレンチH1、H2と、トレンチH3の各底部には、

STI層40が設けられている。N型のMOSトランジスタ10において、キャリアである電子は、第1高濃度層151から、STI層40下の低濃度層152を通して、第2高濃度層153へと流れる。STI層40の厚さ分だけ、低濃度層152におけるドレイン電流の電流経路がZ軸方向へ延長化されている。

[0027] (構成例2)

図2は、本開示の実施形態に係る半導体装置1の構成例2を示す断面図である。図2に示すように、実施形態に係る半導体装置1は、MOSトランジスタ10A（本開示の「電界効果トランジスタ」の一例）を備えてもよい。MOSトランジスタ10Aにおいて、図1Aから図1Cに示したMOSトランジスタ10との構造上の主な相違点として、ソース領域及びドレイン領域がLDD構造を有する点と、ゲート電極等にサイドウォールが設けられている点とが挙げられる。

[0028] 図2に示すように、MOSトランジスタ10Aのソース領域13は、N型の低濃度層130と、N型の高濃度層131とを有する。低濃度層130と高濃度層131は、半導体領域11からソース電極33側へ、この順で直列に接続されている。ソース電極33は、高濃度層131上に設けられている。

[0029] MOSトランジスタ10Aのドレイン領域15は、N型の第1低濃度層150と、N型の第1高濃度層151と、N型の第2低濃度層152と、N型の第2高濃度層153と、を有する。第1低濃度層150と、第1高濃度層151と、低濃度層152と、第2高濃度層153は、半導体領域11からドレイン電極35側へ、この順で接続されている。この例では、第2低濃度層152が本開示の「低濃度層」の一例となる。第2低濃度層152は、N型のウェル拡散層NWLで構成されている。

[0030] なお、図2では、第1低濃度層150が、第2低濃度層152とZ軸方向で部分的に接続している場合を示しているが、これらはあくまで一例である。第1低濃度層150は、第1高濃度層を介してのみ、第2低濃度層152

と接続していてもよい。つまり、第1低濃度層150は、第2低濃度層152と直接には接続していなくてもよい。

[0031] サイドウォール16は、ソース領域13の側面と、ドレイン領域15の第1高濃度層151及び第2高濃度層153の各側面と、ゲート電極31の第1部位311の側面とに設けられている。なお、図2では、サイドウォール16と上記の各側面との間に絶縁膜22が介在している場合を例示しているが、絶縁膜22はなくてもよい。絶縁膜22は、例えばSiO₂膜であり、ゲート絶縁膜21と同時に形成された膜である。

[0032] STI層40は、MOSトランジスタ10Aの第2低濃度層152上だけでなく、MOSトランジスタ10Aの周囲にも設けられている。MOSトランジスタ10Aの周囲に設けられたSTI層40によって、MOSトランジスタ10Aは、半導体基板2の表面2a側に設けられた他の素子から電氣的に分離されている。他の素子として、MOSトランジスタ10A以外のトランジスタ、抵抗素子、容量素子などが挙げられる。他の素子は、MOSトランジスタ10Aと同様に、CMOSプロセスを用いて形成されてもよい。

[0033] (製造方法)

次に、本開示の実施形態に係る半導体装置1の製造方法を説明する。図3Aから図16Cは、本開示の実施形態に係る半導体装置1の製造方法を工程順に示す図である。図3Aから図16Cにおいて、図nA (nは3以上16以下の整数) は平面図であり、図nBは図nAをX_n-X_{n'}線で切断した断面図であり、図nCは図nAをY_n-Y_{n'}線で切断した断面図である。ここでは、図2に示した構成例2の製造方法を説明する。

[0034] 半導体装置1は、成膜装置 (CVD (Chemical Vapor Deposition) 装置、熱酸化炉、スパッタ装置、レジスト塗布装置を含む)、露光装置、イオン注入装置、アニール装置、エッチング装置、CMP (Chemical Mechanical Polishing) 装置など、各種の装置を用いて製造される。以下、これらの装置を、製造装置と総称する。

[0035] 図3Aから図3Cにおいて、製造装置は、半導体基板2の表面2a側にN型のウェル拡散層NWLとP型のウェル拡散層PWLとを形成する。次に、製造装置は、半導体基板2の表面2a側を部分的にエッチングする。これにより、製造装置は、トレンチH1からH3を形成する。

[0036] 次に、図4Aから図4Cに示すように、製造装置は、CVD法を用いて、半導体基板の上にSiO₂膜40'を形成して、トレンチH1からH3を埋め込む。次に、製造装置は、SiO₂膜40'にCMP処理を施して、平坦化する。次に、製造装置は、SiO₂膜40'をエッチングする。これにより、図5Aから図5Cに示すように、半導体領域11の上面11aと、第1側面11bの一部と、第2側面11cの一部とがSiO₂膜40'から露出する。また、トレンチH1からH3内に、SiO₂膜40'からSTI層40が形成される。

[0037] 次に、製造装置は、半導体基板2を熱酸化する。これにより、図6Aから図6Cに示すように、STI層40から露出している半導体領域11の上面11a、第1側面11bの一部及び第2側面11cの一部にそれぞれゲート絶縁膜21'が形成される。

[0038] 次に、製造装置は、CVD法を用いて、半導体基板2の上方にポリシリコン(Poly-Si)膜を形成して、トレンチH1からH3を埋め込む。次に、製造装置は、CVD法を用いて、ポリシリコン膜上にシリコン窒化膜(SiN膜)を形成する。次に、製造装置は、SiN膜上にレジストパターン(図示せず)を形成する。レジストパターンは、ゲート電極が形成される領域を覆い、それ以外の領域を開口する形状を有する。次に、製造装置は、レジストパターンをマスクに用いて、SiN膜及びポリシリコン膜をエッチングして除去する。このエッチングでは、ゲート絶縁膜21'及びSTI層40などのSiO₂膜をエッチングストップ層として用いる。これにより、図7Aから図7Cに示すように、半導体領域11にゲート絶縁膜21'を介して、ゲート電極の形状を有するポリシリコン膜61とSiN膜63とが形成される。その後、製造装置は、レジストパターンを除去する。

[0039] 次に、製造装置は、ゲート電極の形状を有するS i N膜63をマスクに用いて、半導体基板2の表面2a側にN型不純物をイオン注入する。これにより、図8Aから図8Cに示すように、製造装置は、半導体基板2の表面2a側に、ソース領域の低濃度層130と、ドレイン領域の第1低濃度層150と第3低濃度層154とを形成する。

[0040] MOSトランジスタ10Aのチャネル領域は、ソース領域の低濃度層130とドレイン領域の第1低濃度層150との間の領域である。チャネル領域の範囲を規定するN型の低濃度層130、150は、ゲート電極の形状を有するS i N膜をマスクに用いたイオン注入によって形成される。このため、例えば、チャネル領域の範囲がN型のウェル拡散層で規定されるような場合と比べて、ゲート電極に対するチャネル領域の相対的な合わせずれを小さくすることができ、チャネル長を安定させることができる。これにより、MOSトランジスタの特性ばらつきを小さくすることができる。

[0041] 次に、図9Aから図9Cに示すように、製造装置は、半導体基板2の上方にS i N膜16'を形成する。次に、製造装置は、S i N膜16'をエッチバックする。これにより、図10Aから図10Cに示すように、製造装置は、S i N膜16'からサイドウォール16を形成する。

[0042] 次に、図11Aから図11Cに示すように、製造装置は、S i N膜63及びサイドウォール16をマスクに用いて、ゲート絶縁膜21'をエッチングして除去する。これにより、低濃度層130、第1低濃度層150及び第3低濃度層154の各表面はゲート絶縁膜21'下から露出する。ゲート絶縁膜21'から、チャネル領域を覆うゲート絶縁膜21と絶縁膜22とが形成される。絶縁膜22は、低濃度層130とサイドウォール16との間、第1低濃度層150とサイドウォール16との間、及び、第3低濃度層154とサイドウォール16との間に残されたゲート絶縁膜21'である。

[0043] 次に、図12Aから図12Cに示すように、製造装置は、低濃度層130及び第1低濃度層150のうちのサイドウォール16下から露出している部分と、第3低濃度層154とをエッチングして除去し、凹部71を形成する

。製造装置は、凹部 7 1 の底面に、P 型のウェル拡散層 P W L 又は N 型のウェル拡散層 N W L が露出するまでエッチングを行う。

[0044] 次に、製造装置は、半導体基板 2 上に、N 型不純物を高濃度に含むシリコンを選択エピタキシャル成長させる。これにより、図 1 3 A から図 1 3 C に示すように、凹部 7 1 内にソース領域の高濃度層 1 3 1 と、ドレイン領域の第 1 高濃度層 1 5 1 及び第 2 高濃度層 1 5 3 とがそれぞれ形成される。

[0045] 次に、図 1 4 A から図 1 4 C に示すように、製造装置は、C V D 法を用いて、半導体基板 2 上に層間絶縁膜 4 5 を形成する。次に、製造装置は、層間絶縁膜 4 5 の表面に C M P 処理を施して、層間絶縁膜 4 5 の表面を平坦化するとともに S i N 膜 6 3 を除去する。これにより、図 1 5 A から図 1 5 C に示すように、製造装置は、層間絶縁膜 4 5 下からポリシリコン膜 6 1 の表面を露出させる。この C M P 工程では、研削前の S i N 膜 6 3 の表面は平坦であり段差がないため、S i N 膜 6 3 を均一に削ることができる。これにより、S i N 膜 6 3 の残存を防ぐとともに、C M P 処理後の層間絶縁膜 4 5 の表面やポリシリコン膜 6 1 の表面に段差や傾きが生じないようにすることができる。

[0046] 次に、製造装置は、ポリシリコン膜 6 1 をエッチングして除去する。これにより、図 1 6 A から図 1 6 C に示すように、製造装置は、ゲート絶縁膜 2 1 を底面とする凹部 7 3 を形成する。

[0047] 次に、製造装置は、蒸着法等により、半導体基板 2 の上方に金属膜を堆積して凹部 7 3 を埋め込む。次に、製造装置は、堆積させた金属膜に C M P 処理を施して、凹部 7 3 以外の領域から金属膜を除去する。これにより、製造装置は、凹部 7 3 内に、金属で構成されたゲート電極 3 1 (図 2 参照) を形成する。その後、製造装置は、ソース電極 3 3 とドレイン電極 3 5 とを形成する。以上の工程を経て、M O S トランジスタ 1 0 A を備える半導体装置 1 が完成する。

[0048] (実施形態の効果)

以上説明したように、本開示の実施形態に係る半導体装置 1 は、半導体基

板 2 と、半導体基板 2 の表面 2 a 側に設けられた MOS トランジスタ 1 0 と、を備える。MOS トランジスタ 1 0 は、チャネルが形成される半導体領域 1 1 と、半導体領域 1 1 の X 軸方向における一方の側に位置する N 型のソース領域 1 3 と、X 軸方向における他方の側に位置する N 型のドレイン領域 1 5 と、ドレイン領域 1 5 に接続するドレイン電極 3 5 と、を有する。ドレイン領域 1 5 は、半導体領域 1 1 からドレイン電極 3 5 側へ、N 型の不純物濃度が高い第 1 高濃度層 1 5 1 と、N 型の不純物濃度が低い低濃度層 1 5 2 と、N 型の不純物濃度が高い第 2 高濃度層 1 5 3 とがこの順で接続された構造を有する。

[0049] これによれば、ドレイン領域 1 5 に低濃度層 1 5 2 を設けることによって、ドレイン領域 1 5 の抵抗を高めることができ、ソース・ドレイン間の耐圧を高めることができる。また、N 型の低濃度層 1 5 2 を、N 型のウェル拡散層 NWL の一部で構成することができる。N 型の低濃度層 1 5 2 の形成工程は、N 型のウェル拡散層 NWL の形成工程で兼用することができる。これにより、工程数の増加を抑えつつ、MOS トランジスタ 1 0 の高耐圧化が可能な半導体装置 1 を提供することができる。

[0050] また、半導体装置 1 は、低濃度層 1 5 2 に設けられた STI 層 4 0、をさらに備える。これによれば、STI 層 4 0 の厚さを厚くするほど、低濃度層 1 5 2 におけるドレイン電流の電流経路を Z 軸方向へ延長することで、ドレイン領域 1 5 の抵抗を高めることができる。STI 層 4 0 の厚さを厚くしても MOS トランジスタ 1 0 の面積は増大しない。このため、素子面積の増大を抑えつつ、MOS トランジスタ 1 0 を高耐圧化することができる。

[0051] また、ドレイン領域 1 5 は、Z 軸方向において第 1 高濃度層 1 5 1 と低濃度層 1 5 2 とが接続する第 1 接続領域 R 1 と、Z 軸方向において低濃度層 1 5 2 と第 2 高濃度層 1 5 3 とが接続する第 2 接続領域 R 2 と、をさらに有する。これによれば、第 1 高濃度層 1 5 1 及び第 2 高濃度層 1 5 3 の下方に低濃度層 1 5 2 を配置することができるので、素子面積の増大を抑制することができる。

[0052] また、MOSトランジスタ10は、半導体領域11を覆うゲート電極31と、半導体領域11とゲート電極31との間に配置されたゲート絶縁膜21と、を有する。半導体領域11は、上面11aと、ゲート電極31のゲート幅方向において上面11aの一方の側に位置する第1側面11bと、ゲート幅方向において上面11aの他方の側に位置する第2側面11cと、を有する。ゲート電極31は、上面31aとゲート絶縁膜21を介して向かい合う第1部位311と、第1側面11bとゲート絶縁膜21を介して向かい合う第2部位312と、第2側面11cとゲート絶縁膜21を介して向かい合う第3部位313と、を有する。これによれば、工程数の増加を抑えつつ、また、素子面積の増大を抑えつつ、高耐圧化が可能な掘り込みゲート構造のMOSトランジスタ10を実現することができる。

[0053] (変形例1)

本開示の実施形態では、MOSトランジスタのドレイン領域に設けられたSTI層の厚さと、他の領域に設けられたSTI層の厚さとが互いに異なってもよい。図17は、本開示の実施形態に係る半導体装置1の変形例1を示す断面図である。図17に示すように、実施形態の変形例1において、半導体装置1は、MOSトランジスタ10Bと、MOSトランジスタ10Bの周囲に設けられたSTI層40Aと、ドレイン領域15に設けられたSTI層40B（本開示の「絶縁層」の一例）と、を備える。STI層40Aは、MOSトランジスタ10Bと、MOSトランジスタ10Bの周囲に位置する他の素子（図示せず）との間を電氣的に分離している。STI層40Bは、ドレイン領域15の第1高濃度層151と第2高濃度層153との間に位置する低濃度層152上に設けられている。

[0054] STI層40A、40Bの各表面は、互いに同じ高さに位置する。また、STI層40Bの厚さd_Bは、STI層の厚さd_Aよりも厚い。

[0055] このような構成であっても、上記の実施形態1と同様の効果を奏する。また、STI層40Bの厚さが厚いことにより、低濃度層152における電流経路をZ軸方向へさらに長くすることができる。これにより、MOSラン

ジスタ１０Ｂは、さらなる高耐圧化が可能である。

[0056] (変形例２)

本開示の実施形態では、ドレイン領域にＳＴＩ層が設けられていなくてもよい。図１８は、本開示の実施形態に係る半導体装置１の変形例２を示す断面図である。図１８に示すように、実施形態の変形例２において、半導体装置１は、ＭＯＳトランジスタ１０Ｃを備える。ＭＯＳトランジスタ１０Ｃでは、第１高濃度層１５１と第２高濃度層１５３との間に位置する低濃度層１５２上に、ＳＴＩ層４０（図２参照）は設けられていない。

[0057] このような構成であっても、第１高濃度層１５１と第２高濃度層１５３との間に低濃度層１５２が配置されている。また、低濃度層１５２はＮ型のウェル拡散層ＮＷＬの一部である。これにより、ＭＯＳトランジスタ１０Ｃは、工程数の増加を抑えつつ、高耐圧化が可能である。

[0058] (変形例３)

本開示の実施形態では、ドレイン領域にトレンチが設けられていなくてもよい。図１９は、本開示の実施形態に係る半導体装置１の変形例３を示す断面図である。図１９に示すように、実施形態の変形例３において、半導体装置１は、ＭＯＳトランジスタ１０Ｄを備える。ＭＯＳトランジスタ１０Ｄでは、第１高濃度層１５１と第２高濃度層１５３との間に位置する低濃度層１５２上に、ＳＴＩ層４０は設けられておらず、トレンチＨ３も設けられていない。

[0059] このような構成であっても、第１高濃度層１５１と第２高濃度層１５３との間に低濃度層１５２が配置されている。また、低濃度層１５２はＮ型のウェル拡散層ＮＷＬの一部である。これにより、ＭＯＳトランジスタ１０Ｄは、工程数の増加を抑えつつ、高耐圧化が可能である。

[0060] (変形例４)

上記の実施形態では、第１導電型がＮ型であり、第２導電型がＰ型である場合について説明した。しかし、導電型を逆の関係に選択して、第１導電型をＰ型とし、第２導電型をＮ型としてもよい。図２０は、本開示の実施形態

に係る半導体装置 1 の変形例 4 を示す断面図である。図 20 に示すように、実施形態の変形例 4 において、半導体装置 1 は、N 型ではなく、P 型の MOS トランジスタ 10E を備える。MOS トランジスタ 10E では、P 型の第 1 高濃度層 151 と P 型の第 2 高濃度層 153 との間に位置する P 型の低濃度層 152 上に、STI 層 40 とトレンチ H3 とが設けられている。

[0061] このような構成であっても、第 1 高濃度層 151 と第 2 高濃度層 153 との間に低濃度層 152 が配置されている。また、低濃度層 152 は P 型のウェル拡散層 PWL の一部である。これにより、MOS トランジスタ 10E は、工程数の増加を抑えつつ、高耐圧化が可能である。

[0062] (変形例 5)

上記の実施形態では、MOS トランジスタが掘り込みゲート構造を有することを説明した。しかしながら、本開示において、MOS トランジスタは、掘り込みゲート構造に限定されない。本開示において、MOS トランジスタは、プレーナ型であってもよい。

[0063] 図 21 は、本開示の実施形態に係る半導体装置 1 の変形例 5 を示す断面図である。図 21 に示すように、実施形態の変形例 5 において、半導体基板 2 に設けられたプレーナ型の MOS トランジスタ 10F を備える。MOS トランジスタ 10F において、ゲート電極 31 は、半導体基板 2 の表面 2a にゲート絶縁膜 21 を介して平坦に形成されている。

[0064] このような構成であっても、第 1 高濃度層 151 と第 2 高濃度層 153 との間に低濃度層 152 が配置されている。また、低濃度層 152 は N 型のウェル拡散層 NWL の一部である。これにより、MOS トランジスタ 10F は、工程数の増加を抑えつつ、高耐圧化が可能である。

[0065] <その他の実施形態>

上記のように、本開示は実施形態及び変形例によって記載したが、この開示の一部をなす論述及び図面は本開示を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。本技術はここでは記載していない様々な実施形態等を

含むことは勿論である。上述した実施形態及び変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0066] なお、本開示は以下のような構成も取ることができる。

(1)

半導体基板と、

前記半導体基板の第1主面側に設けられた電界効果トランジスタと、を備え、

前記電界効果トランジスタは、

チャネルが形成される半導体領域と、

前記半導体領域のゲート長方向における一方の側に位置する第1導電型のソース領域と、

前記ゲート長方向における他方の側に位置する第1導電型のドレイン領域と、

前記ドレイン領域に接続するドレイン電極と、を有し、

前記ドレイン領域は、

前記半導体領域から前記ドレイン電極側へ、第1導電型の不純物濃度が高い第1高濃度層と、第1導電型の不純物濃度が低い低濃度層と、第1導電型の不純物濃度が高い第2高濃度層とがこの順で接続された構造を有する、半導体装置。

(2)

前記半導体基板に設けられた第1導電型のウェル拡散層、をさらに備え、

前記低濃度層は前記ウェル拡散層の一部である、前記(1)に記載の半導体装置。

(3)

前記低濃度層に設けられた絶縁分離層、をさらに備える前記(1)又は(2)に記載の半導体装置。

(4)

前記ドレイン領域は、

前記半導体基板の厚さ方向において前記第1高濃度層と前記低濃度層とが接続する第1接続領域と、

前記厚さ方向において前記低濃度層と前記第2高濃度層とが接続する第2接続領域と、をさらに有する前記(1)から(3)のいずれか1項に記載の半導体装置。

(5)

前記電界効果トランジスタは、

前記半導体領域を覆うゲート電極と、

前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、を有し、

前記半導体領域は、

上面と、

前記ゲート電極のゲート幅方向において前記上面の一方の側に位置する第1側面と、

前記ゲート幅方向において前記上面の他方の側に位置する第2側面と、を有し、

前記ゲート電極は、

前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、

前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、

前記第2側面と前記ゲート絶縁膜を介して向かい合う第3部位と、を有する前記(1)から(4)のいずれか1項に記載の半導体装置。

符号の説明

[0067] 1 半導体装置

2 半導体基板

2 a 表面

10、10A、10B、10C、10D、10E、10F MOSトランジ

スタ

1 1 半導体領域

1 1 a 上面

1 1 b 第1側面

1 1 c 第2側面

1 3 ソース領域

1 5 ドレイン領域

1 6 サイドウォール

1 6' SiN膜

2 1 ゲート絶縁膜

2 2 絶縁膜

3 1 ゲート電極

3 1 a 上面

3 3 ソース電極

3 5 ドレイン電極

4 0、4 0 A、4 0 B STI層

4 5 層間絶縁膜

6 1 ポリシリコン膜

6 3 SiN膜

7 1、7 3 凹部

1 3 0 低濃度層

1 3 1 高濃度層

1 5 0 第1低濃度層

1 5 1 第1高濃度層

1 5 2 低濃度層（第2低濃度層）

1 5 2 第2低濃度層

1 5 3 第2高濃度層

1 5 4 第3低濃度層

3 1 1 第1 部位

3 1 2 第2 部位

3 1 3 第3 部位

H 1、H 2、H 3 トレンチ

NWL ウェル拡散層

PWL ウェル拡散層

R 1 第1 接続領域

R 2 第2 接続領域

請求の範囲

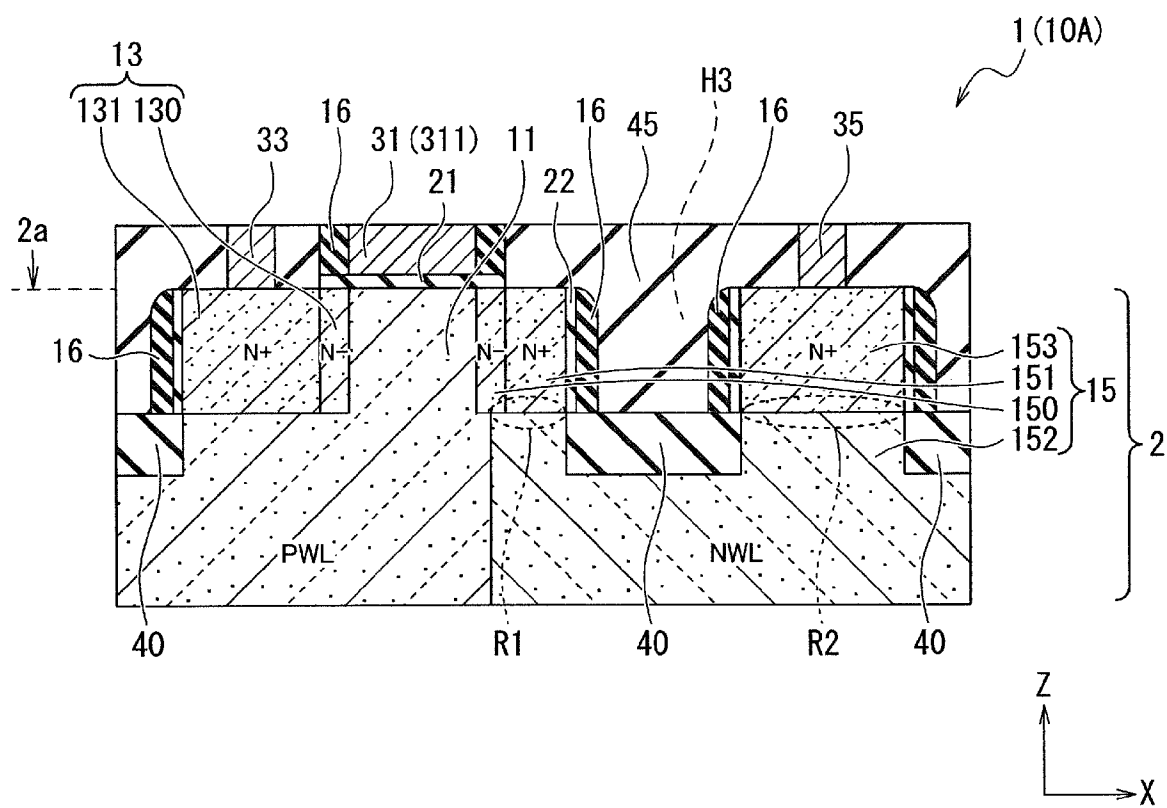
- [請求項1] 半導体基板と、
 前記半導体基板の第1主面側に設けられた電界効果トランジスタと、
 を備え、
 前記電界効果トランジスタは、
 チャネルが形成される半導体領域と、
 前記半導体領域のゲート長方向における一方の側に位置する第1導電型のソース領域と、
 前記ゲート長方向における他方の側に位置する第1導電型のドレイン領域と、
 前記ドレイン領域に接続するドレイン電極と、を有し、
 前記ドレイン領域は、
 前記半導体領域から前記ドレイン電極側へ、第1導電型の不純物濃度が高い第1高濃度層と、第1導電型の不純物濃度が低い低濃度層と、
 第1導電型の不純物濃度が高い第2高濃度層とがこの順で接続された構造を有する、半導体装置。
- [請求項2] 前記半導体基板に設けられた第1導電型のウェル拡散層、をさらに備え、
 前記低濃度層は前記ウェル拡散層の一部である、請求項1に記載の半導体装置。
- [請求項3] 前記低濃度層に設けられた絶縁分離層、をさらに備える請求項1に記載の半導体装置。
- [請求項4] 前記ドレイン領域は、
 前記半導体基板の厚さ方向において前記第1高濃度層と前記低濃度層とが接続する第1接続領域と、
 前記厚さ方向において前記低濃度層と前記第2高濃度層とが接続する第2接続領域と、をさらに有する請求項1に記載の半導体装置。
- [請求項5] 前記電界効果トランジスタは、

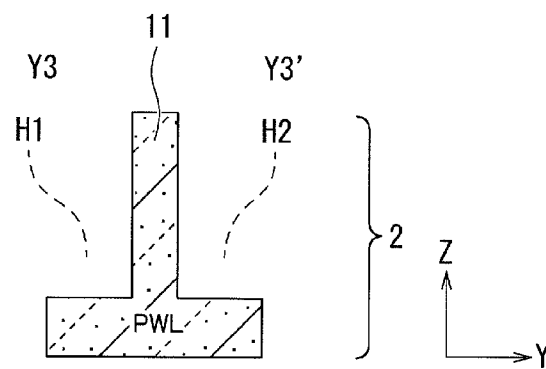
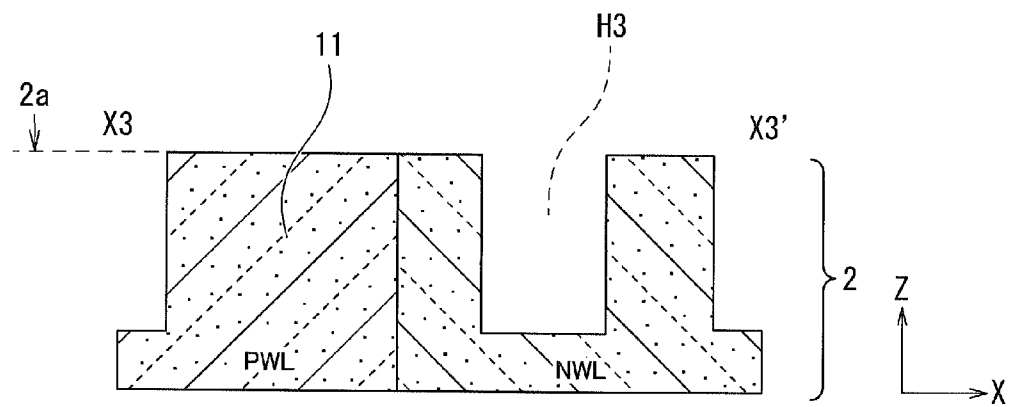
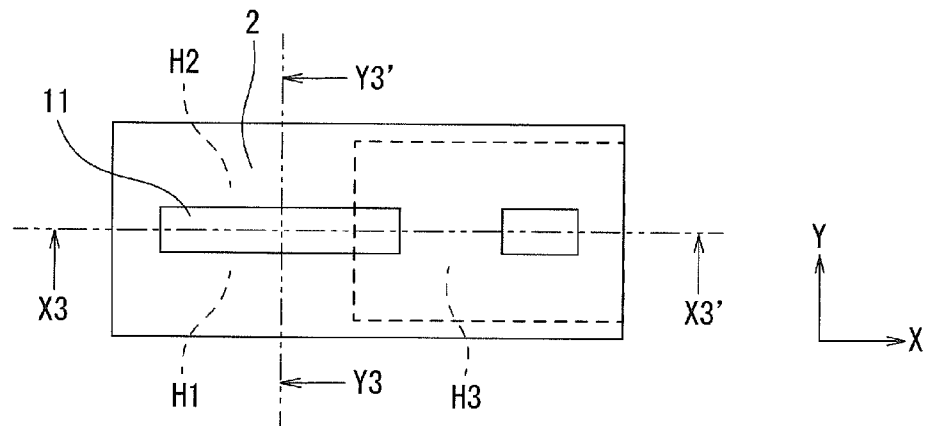
前記半導体領域を覆うゲート電極と、
前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、を有し、
前記半導体領域は、
上面と、
前記ゲート電極のゲート幅方向において前記上面の一方の側に位置する第1側面と、
前記ゲート幅方向において前記上面の他方の側に位置する第2側面と、を有し、
前記ゲート電極は、
前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、
前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、
前記第2側面と前記ゲート絶縁膜を介して向かい合う第3部位と、
を有する請求項1に記載の半導体装置。

[illegible]

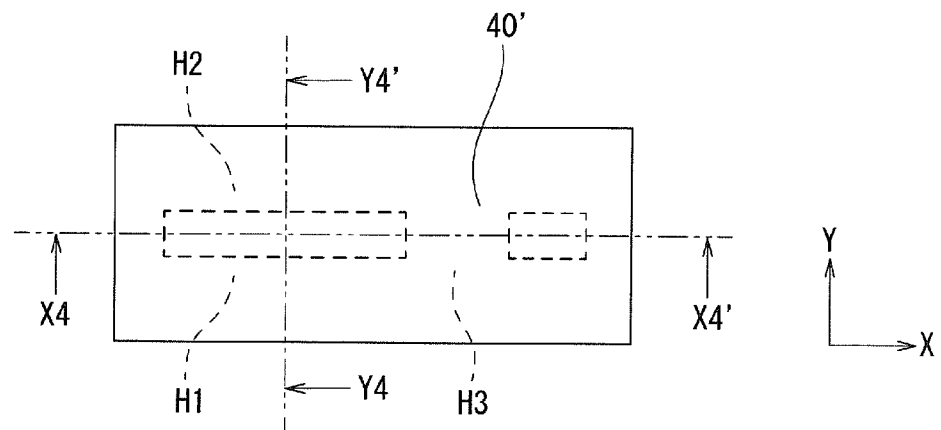
FIG. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 11. A patterned layer 11a is formed on the substrate 11. A central region 21 is defined by a dashed line H1. A layer 40 is located below the central region 21. A patterned layer 31 is formed on the substrate 11, with sub-regions 312, 311, and 313. A layer 45 is formed on top of the patterned layer 31. A dashed line H2 is shown on the right side. A coordinate system with Z and Y axes is shown at the bottom right.

[図2]

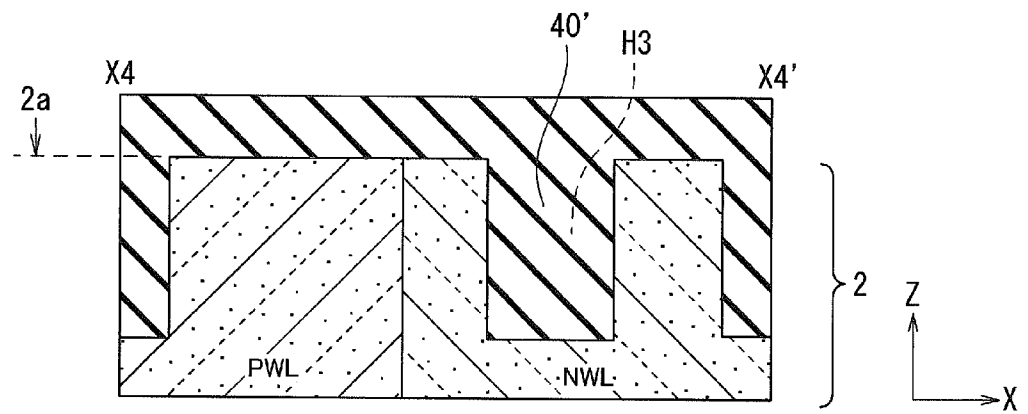




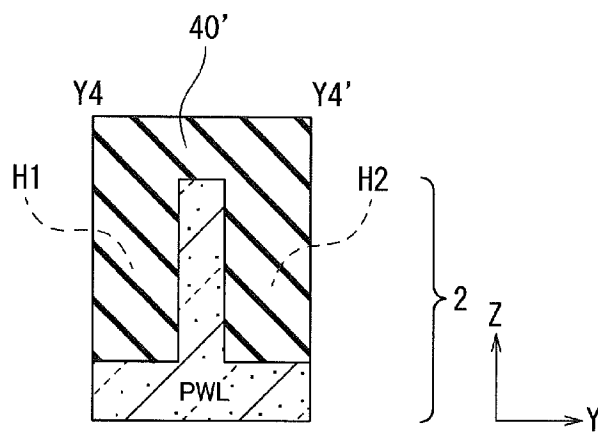
[図4A]



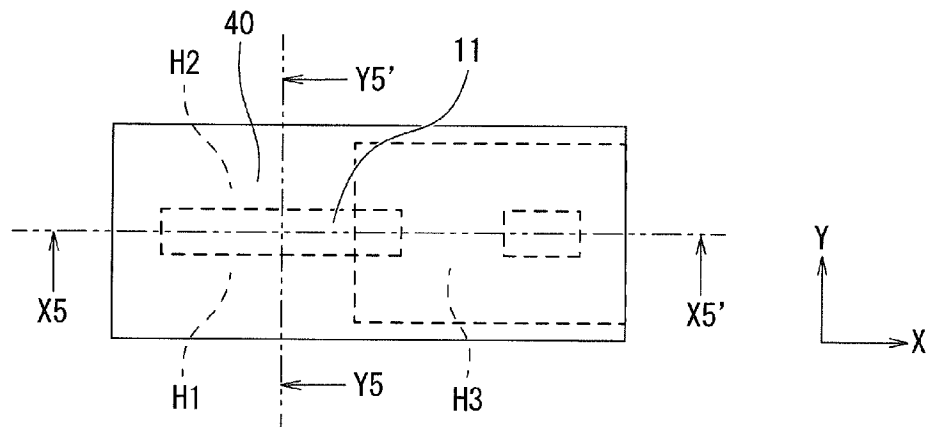
[図4B]



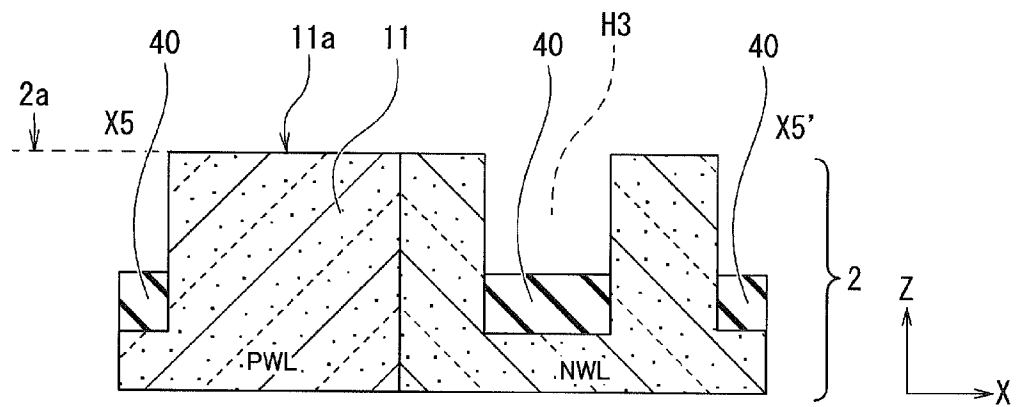
[図4C]



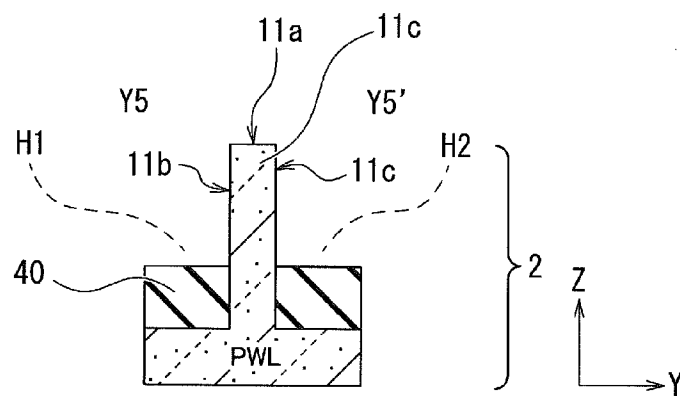
[図5A]



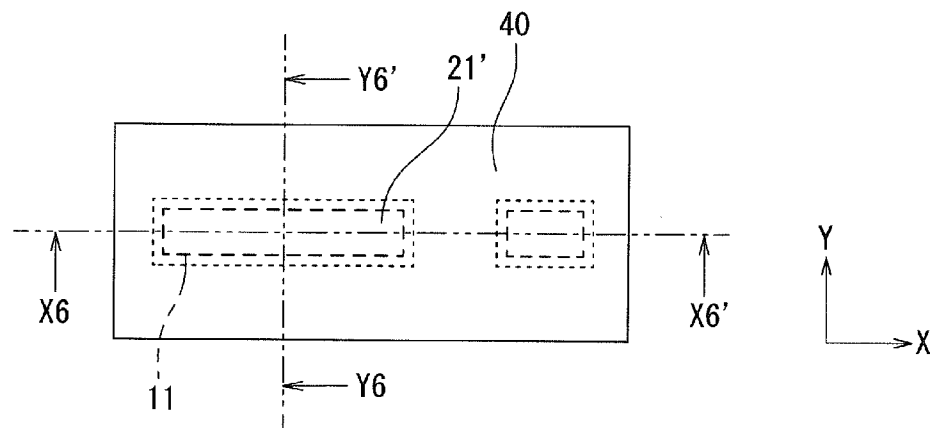
[図5B]



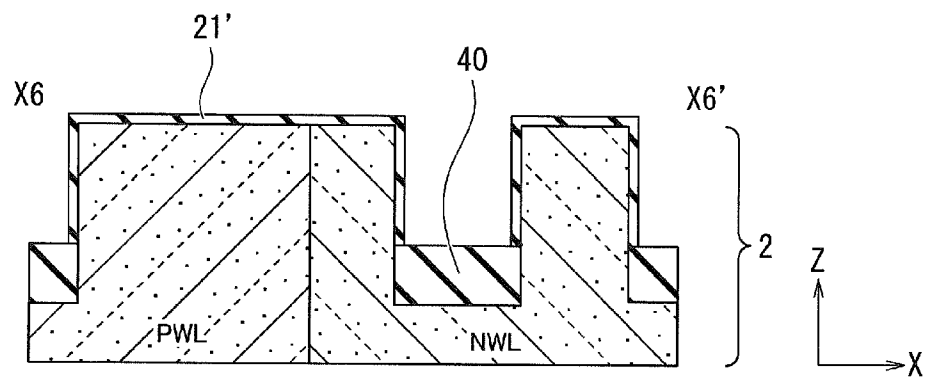
[図5C]



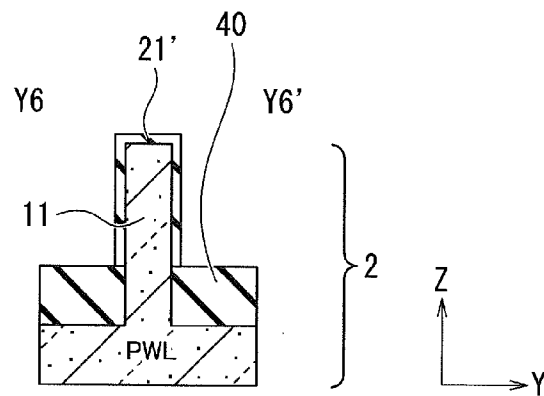
[図6A]



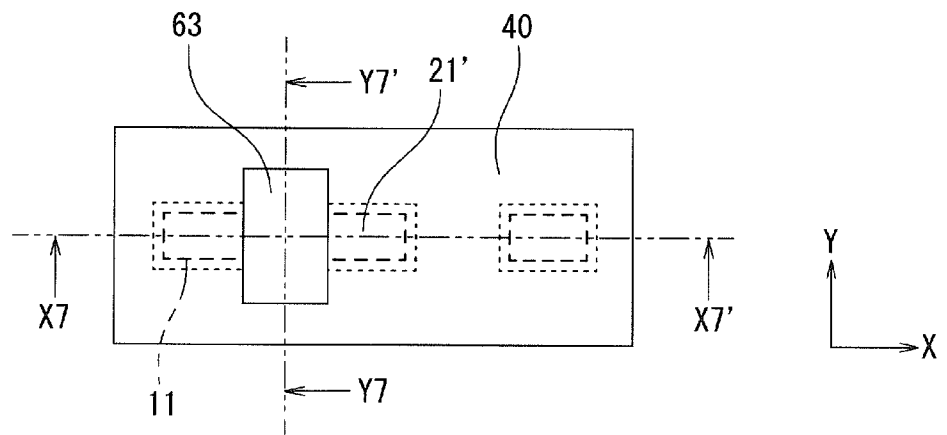
[図6B]



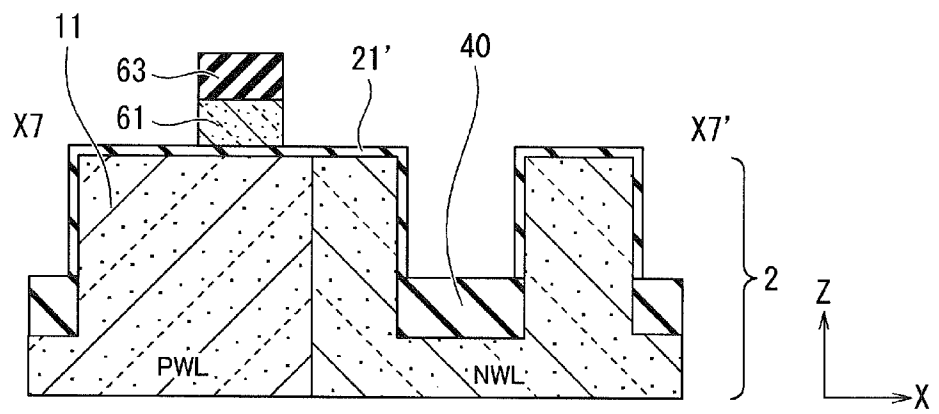
[図6C]



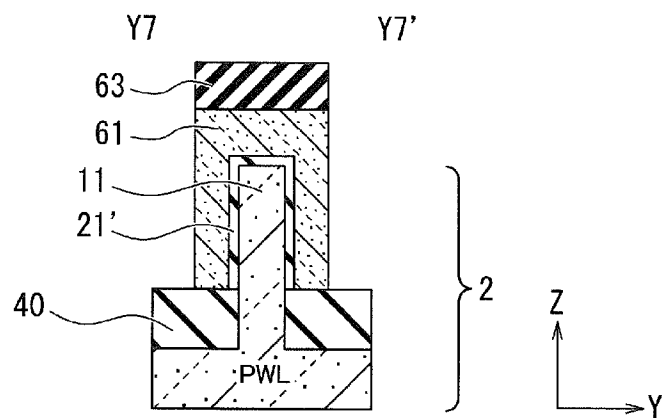
[図7A]



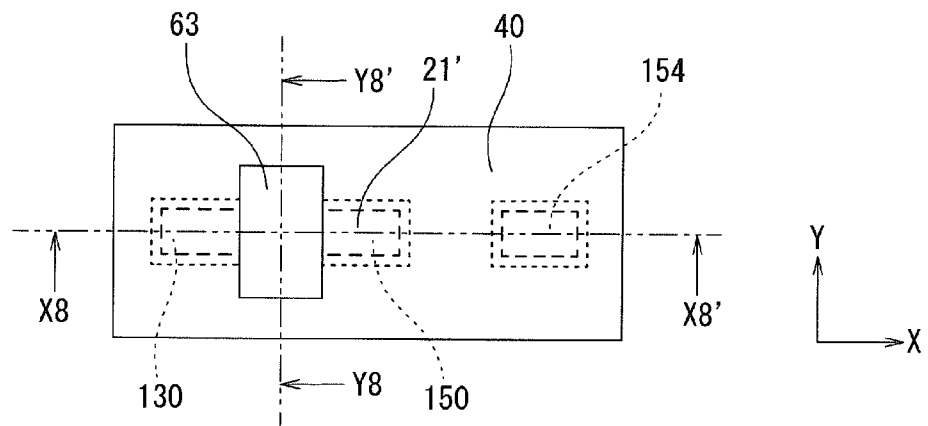
[図7B]



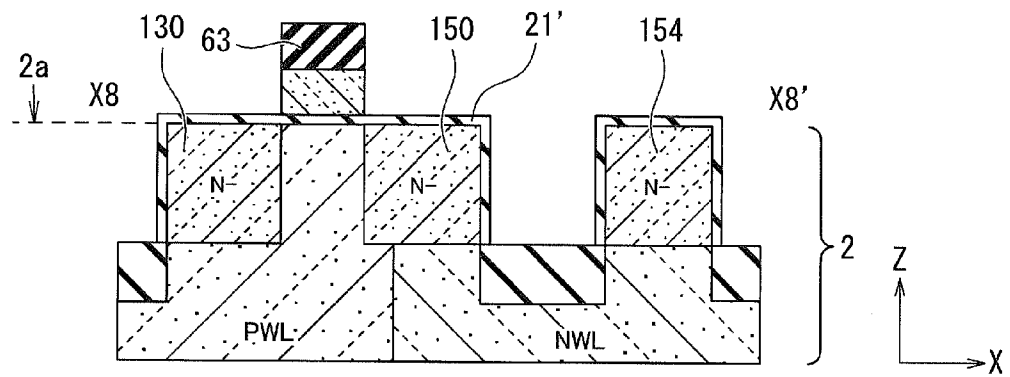
[図7C]



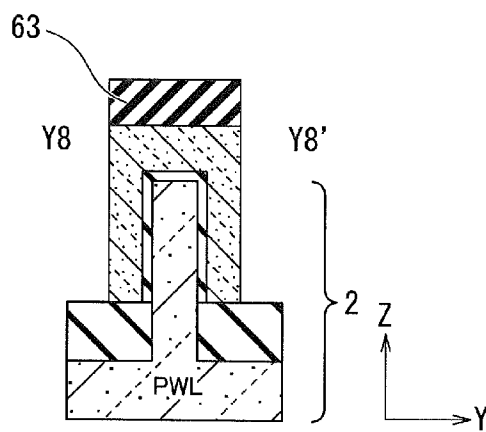
[図8A]



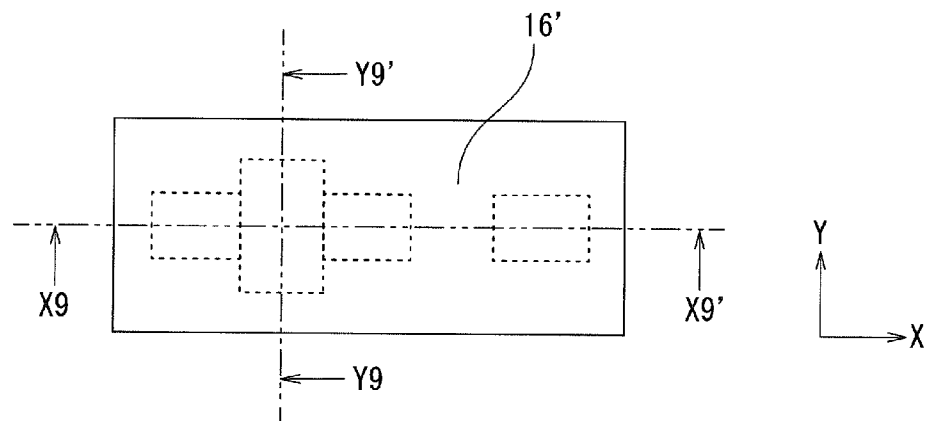
[図8B]



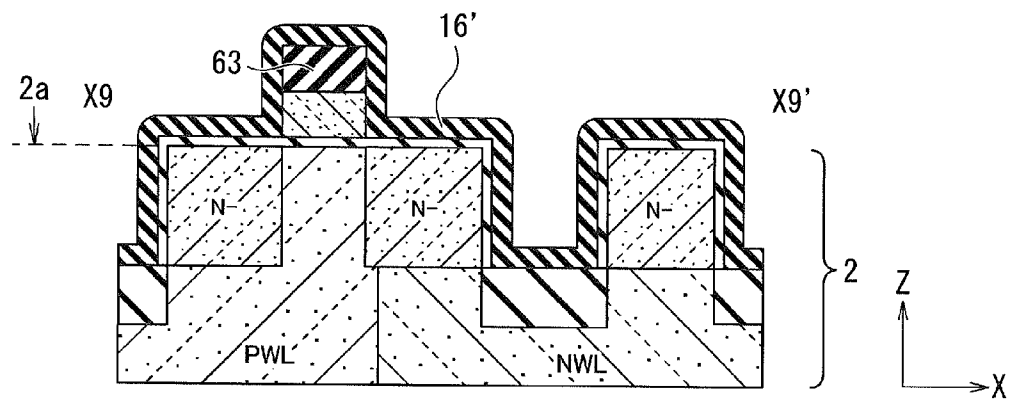
[図8C]



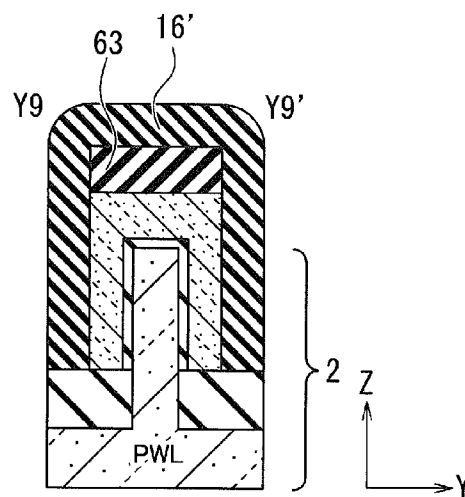
[図9A]



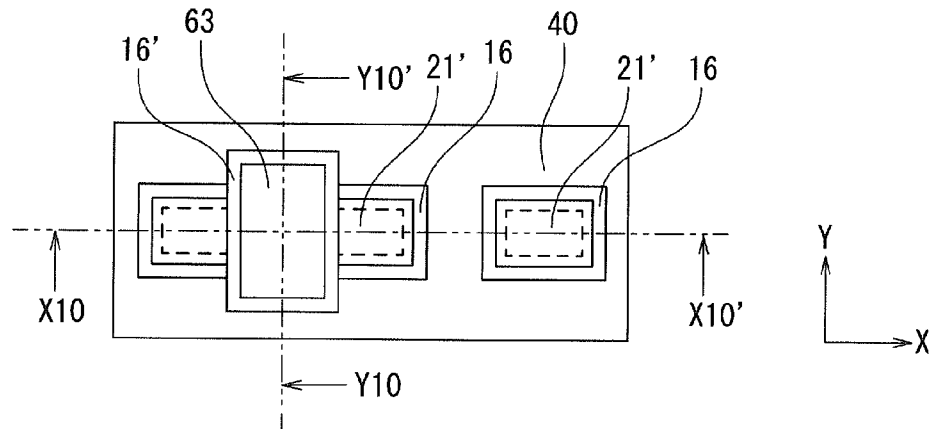
[図9B]



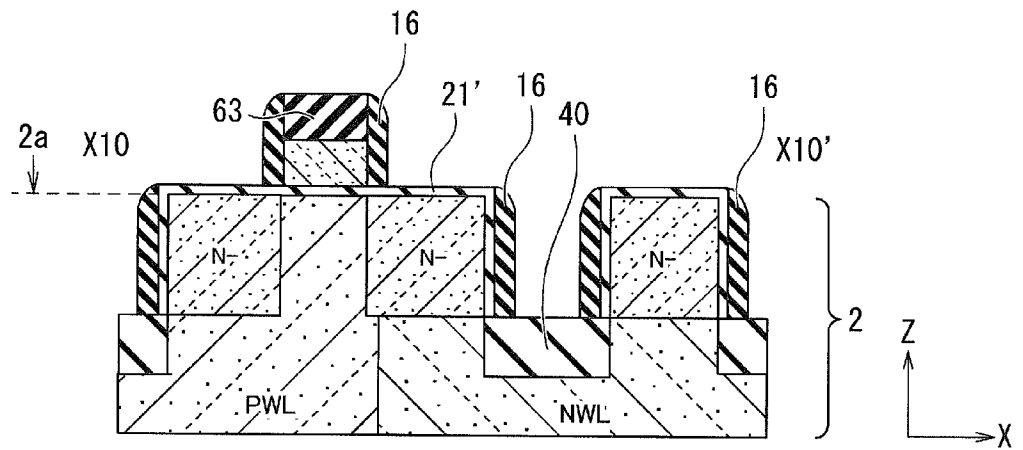
[図9C]



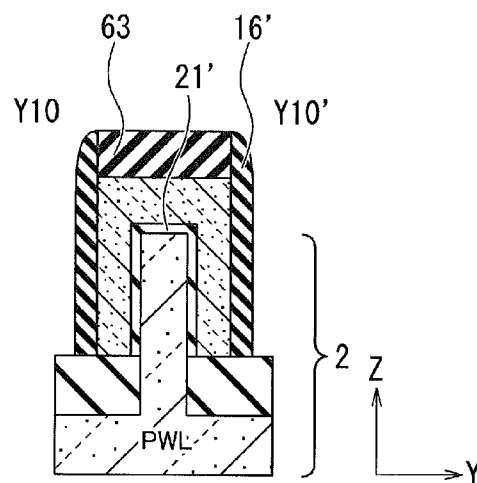
[図10A]



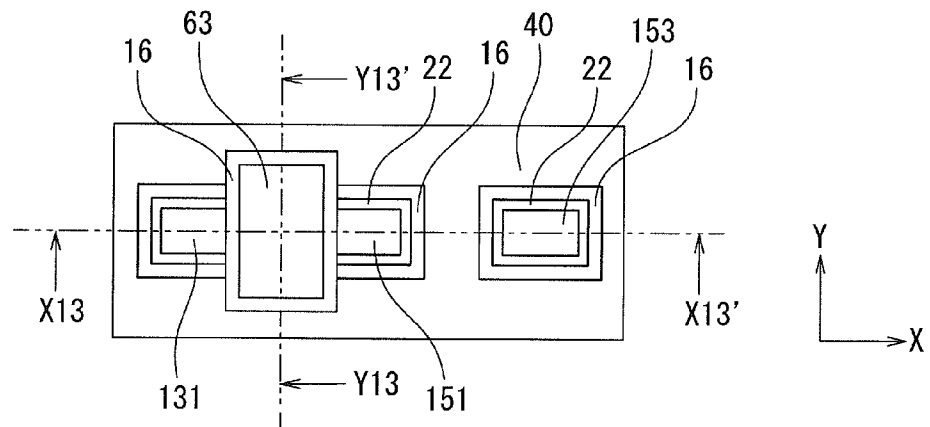
[図10B]



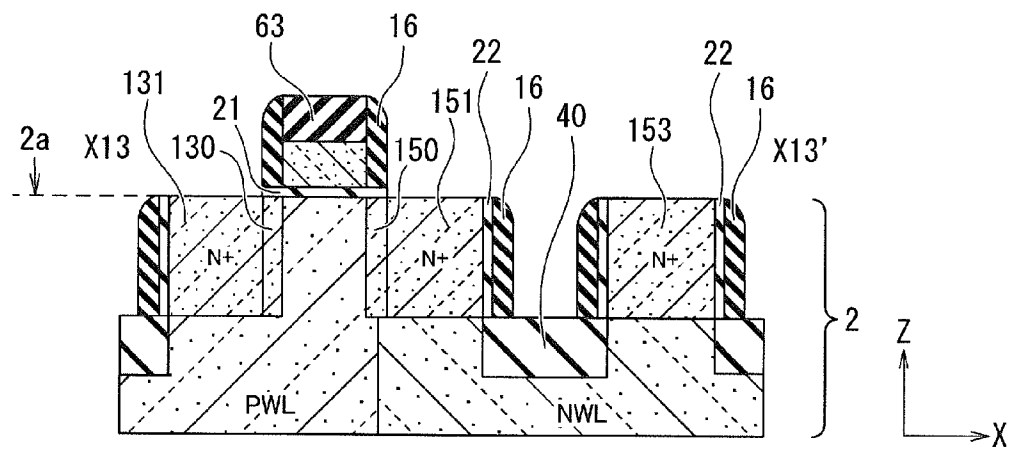
[図10C]



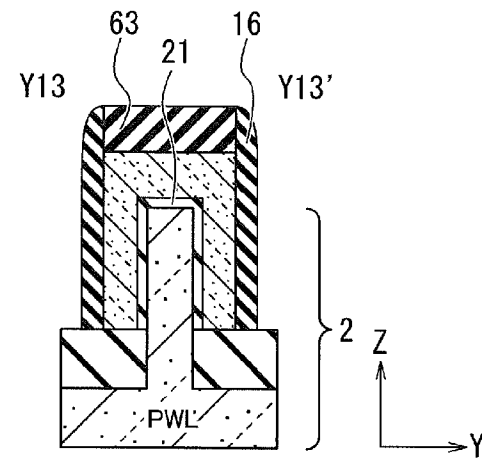
[図13A]



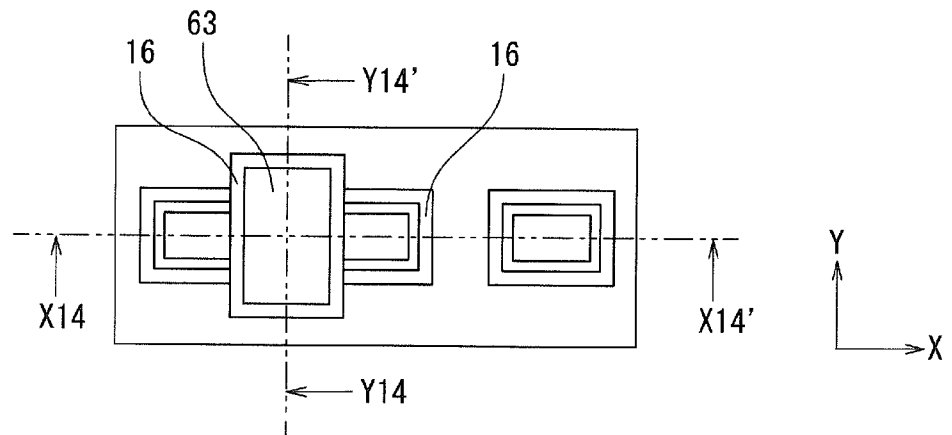
[図13B]



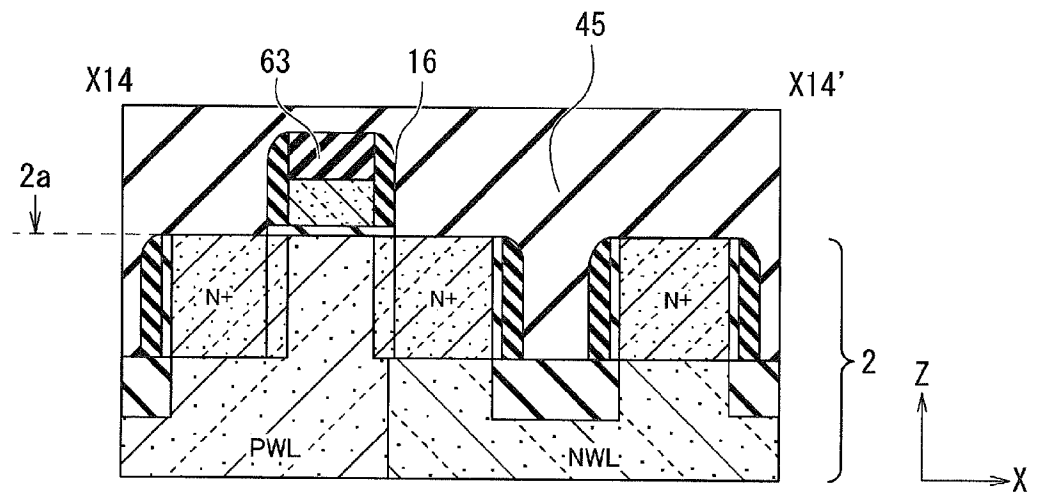
[図13C]



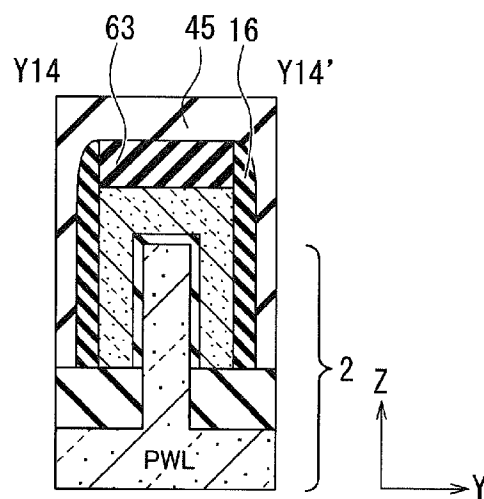
[図14A]



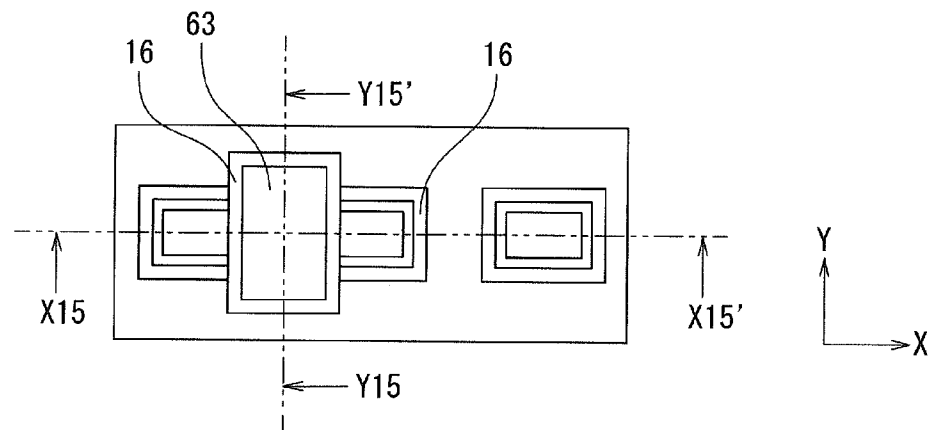
[図14B]



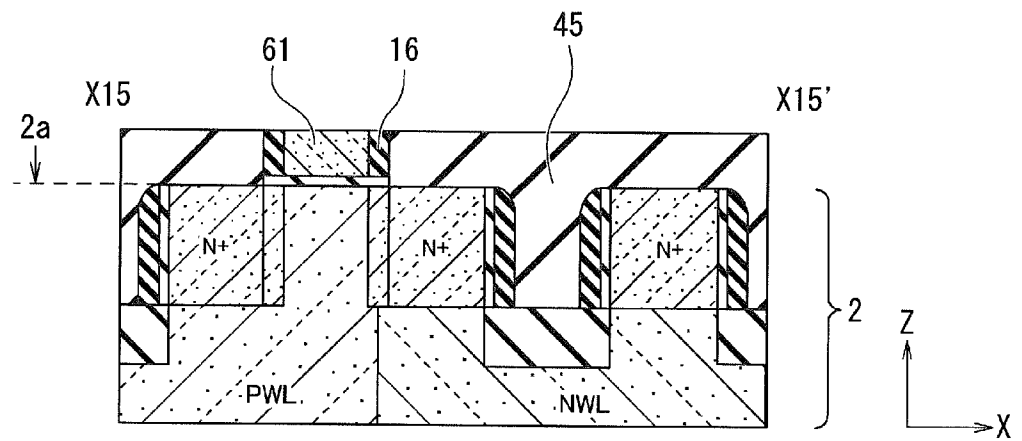
[図14C]



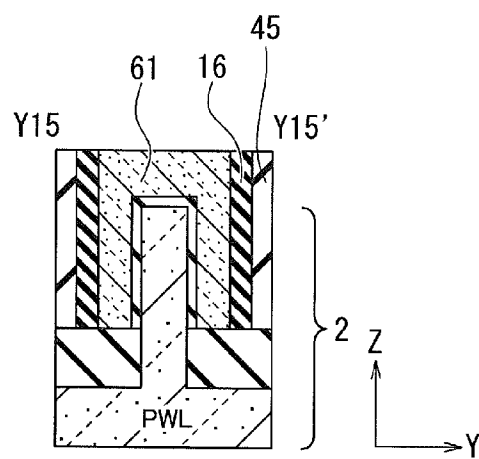
[図15A]



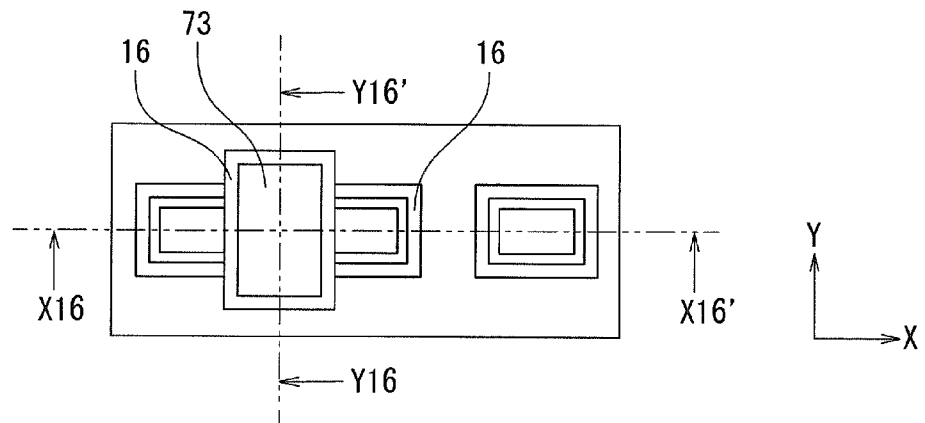
[図15B]



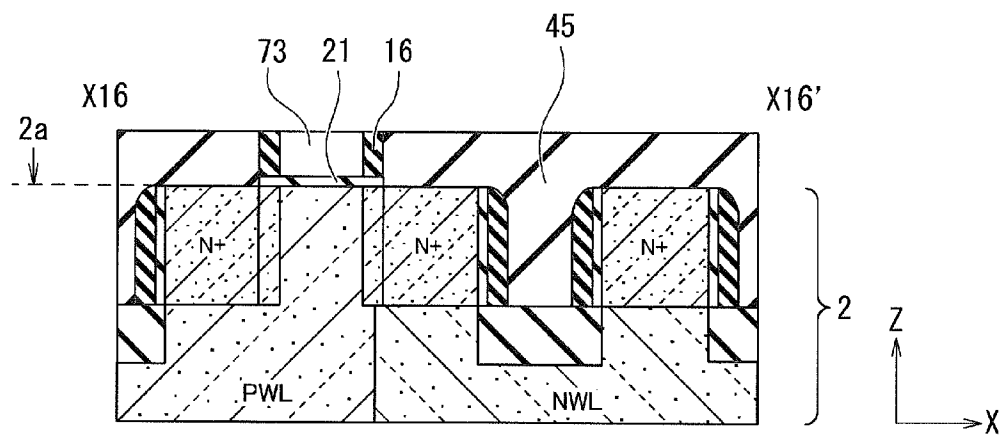
[図15C]



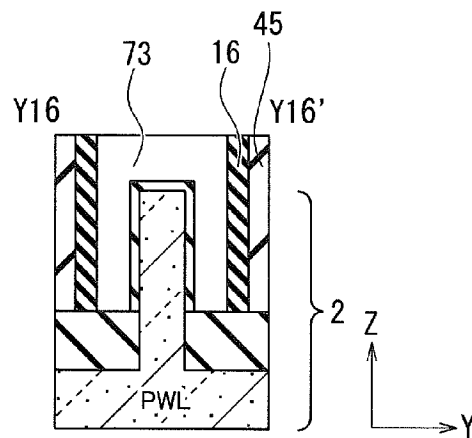
[図16A]



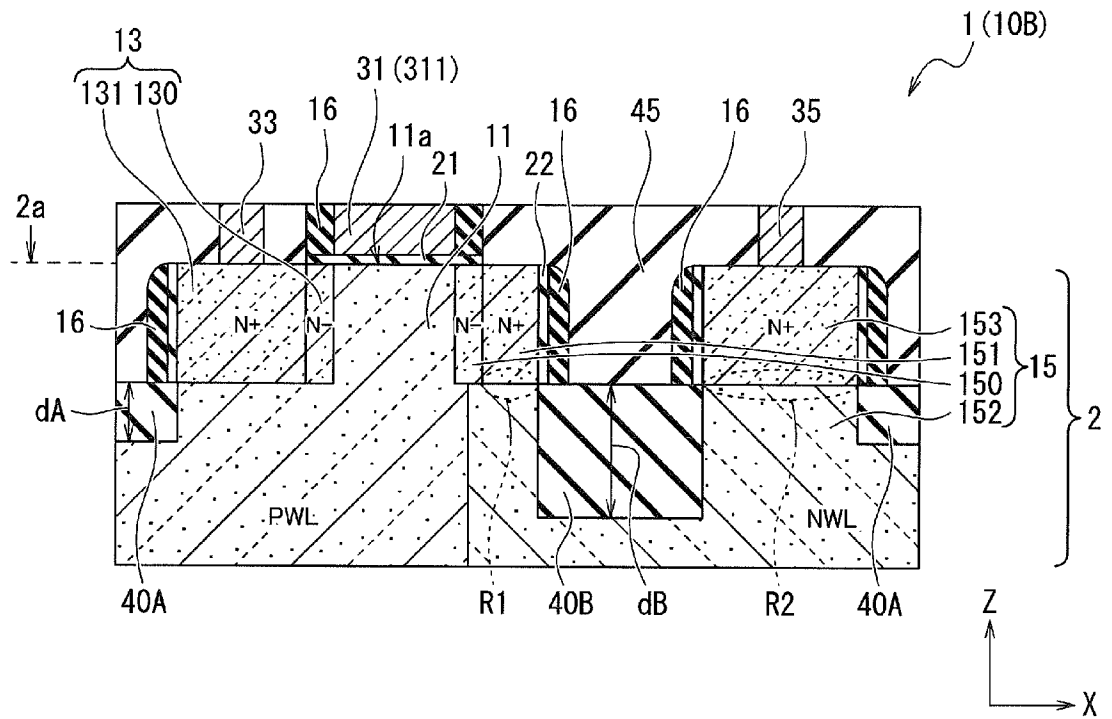
[図16B]



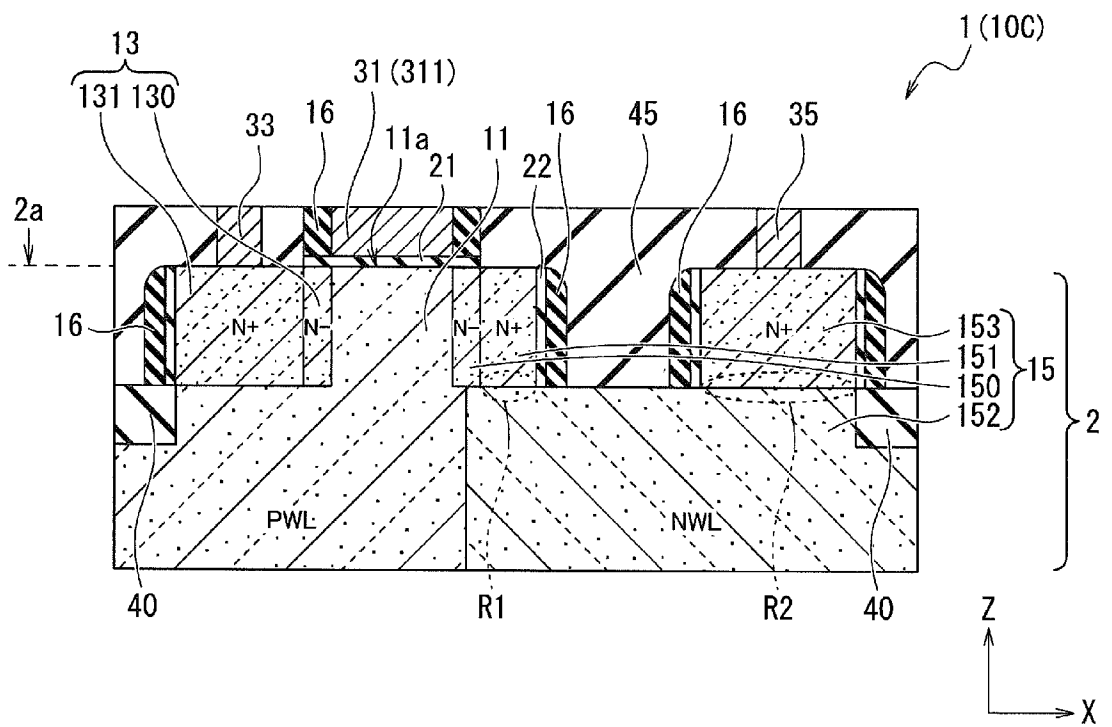
[図16C]



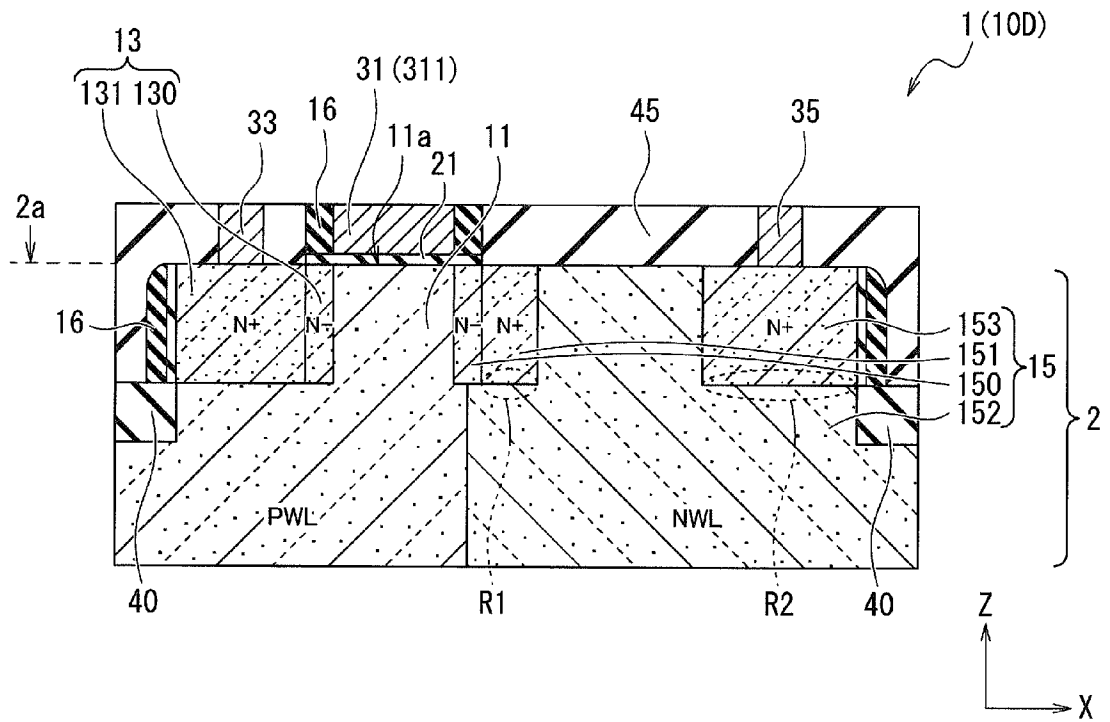
[図17]



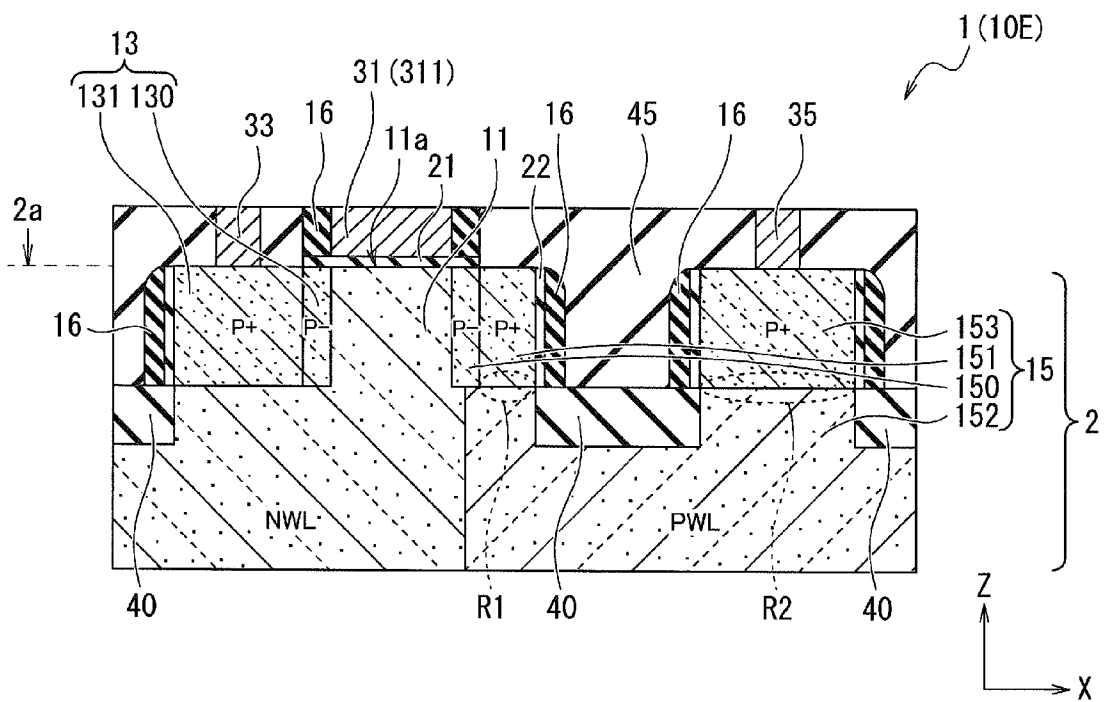
[図18]



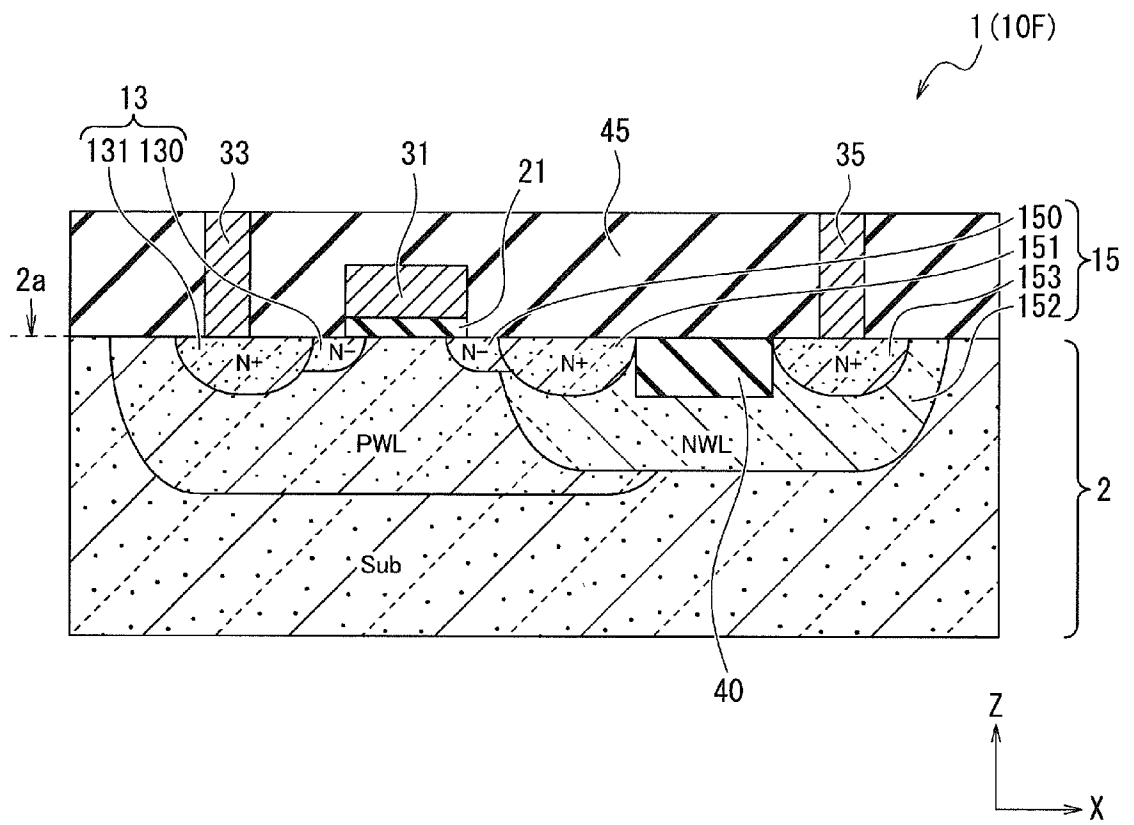
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/015887

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i

FI: H01L29/78 301S

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-156318 A (TOSHIBA CORP.) 16 August 2012 (2012-08-16) paragraphs [0009]-[0032], [0043]-[0048], fig. 1-7, 10	1-4
A	paragraphs [0009]-[0032], [0043]-[0048], fig. 1-7, 10	5
X	US 2016/0141413 A1 (NOH, Jin-Hyun) 19 May 2016 (2016-05-19) paragraphs [0152], [0160], [0195]-[0245], fig. 2, 9, 10	1-5
A	US 2018/0308841 A1 (AVAGO TECHNOLOGIES GENERAL IP (SINGAPORE) PTE. LTD.) 25 October 2018 (2018-10-25) entire text, all drawings	1-5
A	US 2017/0345660 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 30 November 2017 (2017-11-30) entire text, all drawings	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

07 July 2021 (07.07.2021)

Date of mailing of the international search report

20 July 2021 (20.07.2021)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/015887

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-9595 A (RENESAS ELECTRONICS CORP.) 13 January 2011 (2011-01-13) entire text, all drawings	1-5
A	JP 2005-109483 A (AGERE SYSTEMS INC.) 21 April 2005 (2005-04-21) entire text, all drawings	1-5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/015887

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2012-156318 A	16 Aug. 2012	US 2012/0187485 A1 paragraphs [0028]- [0051], [0062]- [0067], fig. 1-7, 12	
US 2016/0141413 A1	19 May 2016	KR 10-2016-0059863 A CN 105609557 A	
US 2018/0308841 A1	25 Oct. 2018	(Family: none)	
US 2017/0345660 A1	30 Nov. 2017	EP 3249697 A1 CN 107437563 A	
JP 2011-9595 A	13 Jan. 2011	US 2010/0327349 A1	
JP 2005-109483 A	21 Apr. 2005	US 2005/0067655 A1 KR 10-2005-0031914 A TW 200512935 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i FI: H01L29/78 301S		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L29/78		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-156318 A (株式会社東芝) 16.08.2012 (2012 - 08 - 16) 段落[0009]-[0032], [0043]-[0048], 図1-7, 10	1-4
A	段落[0009]-[0032], [0043]-[0048], 図1-7, 10	5
X	US 2016/0141413 A1 (NOH JIN-HYUN) 19.05.2016 (2016 - 05 - 19) 段落[0152], [0160], [0195]-[0245], 図2, 9, 10	1-5
A	US 2018/0308841 A1 (AVAGO TECHNOLOGIES GENERAL IP (SINGAPORE) PTE. LTD) 25.10.2018 (2018 - 10 - 25) 全文, 全図	1-5
A	US 2017/0345660 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 30.11.2017 (2017 - 11 - 30) 全文, 全図	1-5
A	JP 2011-9595 A (ルネサスエレクトロニクス株式会社) 13.01.2011 (2011 - 01 - 13) 全文, 全図	1-5
A	JP 2005-109483 A (アギア システムズ インコーポレーテッド) 21.04.2005 (2005 - 04 - 21) 全文, 全図	1-5
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 07.07.2021		国際調査報告の発送日 20.07.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/015887

引用文献			公表日	パテントファミリー文献	公表日
JP	2012-156318	A	16.08.2012	US 2012/0187485 A1 段落[0028]-[0051], [0062]- [0067], 図1-7, 12	
US	2016/0141413	A1	19.05.2016	KR 10-2016-0059863 A CN 105609557 A	
US	2018/0308841	A1	25.10.2018	(ファミリーなし)	
US	2017/0345660	A1	30.11.2017	EP 3249697 A1 CN 107437563 A	
JP	2011-9595	A	13.01.2011	US 2010/0327349 A1	
JP	2005-109483	A	21.04.2005	US 2005/0067655 A1 KR 10-2005-0031914 A TW 200512935 A	