



Patent tymczasowy dodatkowy
do patentu nr ———

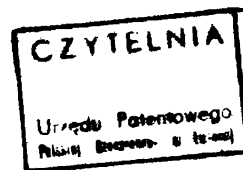
Int. Cl.⁴ H03K 5/153

Zgłoszono: 85 03 06 (P. 252293)

Pierwszeństwo ———

Zgłoszenie ogłoszono: 85 12 17

Opis patentowy opublikowano: 88 02 29



Twórca wynalazku: Kazimierz Warszawski

Uprawniony z patentu tymczasowego: Politechnika Wrocławska,
Wrocław (Polska)

Układ generujący pojedynczy impuls po włączeniu napięcia zasilającego

Przedmiotem wynalazku jest układ generujący pojedynczy impuls po włączeniu napięcia zasilającego przeznaczony do zerowania i ustawiania stanów poszczególnych wejść układów w technice cyfrowej — po włączeniu napięcia zasilającego oraz do wytwarzania impulsu o pożądanym czasie trwania.

Z wielu publikacji, a zwłaszcza poradnika pod redakcją W. N. Jakowlewa pt. „Technika impulsowa” Wyd. RNT 73 pkt.6.4 znane są układy generujące pojedynczy impuls po włączeniu napięcia zasilającego, konstruowane jako generatory pojedynczych impulsów, bądź w oparciu o układy TTL, bądź w oparciu o układ przerzutnika Schmitta, z odpowiednim układem wyzwalającym.

Z opisu polskiego patentu nr 99 506 znany jest układ zerowania, umożliwiający wielokrotne powtórzenie impulsów zerujących dla zapewnienia pewności wyzerowania układów i bloków funkcjonalnych po pojawieniu się w układzie napięcia zasilającego.

Z opisu polskiego patentu nr 117 096 znany jest układ zerujący, w którym dla wygenerowania impulsu zerującego o odpowiednim czasie trwania w stosunku do momentu pojawienia się napięcia zasilającego oraz znacznej stromości zbocza tegoż impulsu zastosowano układ wzmacniający objęty pętlą dodatniego sprzężenia zwrotnego.

Wynalazek dotyczy układu generującego pojedynczy impuls po włączeniu napięcia zasilającego. Istota wynalazku polega na tym, że układ jest utworzony z dwóch komplementarnych tranzystorów, przy czym baza pierwszego tranzystora jest połączona z punktem wspólnym dzielnika napięcia, utworzonego z dwóch rezystorów i włączonego równolegle do obwodu zasilania. Pomiędzy emiterem pierwszego tranzystora a dzielnikiem jest włączony trzeci rezystor. Do emitera jest dołączony także kondensator, którego drugi koniec jest połączony z masą układu. Kolektor pierwszego tranzystora przez czwarty rezystor jest połączony z masą układu oraz z bazą drugiego tranzystora, którego emiter jest połączony z masą układu. Kolektor drugiego tranzystora przez szósty rezystor jest połączony z obwodem zasilania. Ponadto pomiędzy bazą i emiterem pierwszego tranzystora jest włączona zabezpieczająca dioda. Kolektor pierwszego tranzystora przez piąty rezystor jest połączony z bazą drugiego tranzystora.

Zasadnicza korzyść techniczna układu według wynalazku wynika z zastosowania trzeciego rezystora i kondensatora, które mogą tworzyć filtr w obwodzie zasilania. Pozwala to na wygenero-

wanie impulsu o czasie trwania τ , zależnym od czasu trwania stanu przejściowego w obwodzie zasilania. Ponadto układ generujący według wynalazku umożliwia wygenerowanie impulsu o odpowiedniej polaryzacji i pożądanym czasie trwania — po włączeniu napięcia zasilającego. Osiągnięcie tego celu jest możliwe dzięki zastosowaniu pierwszego tranzystora, spolaryzowanego w obwodzie bazy przez dzielnik napięcia tak, że w stanie ustalonym jest nasycony, a w stanie przejściowym — po włączeniu napięcia zasilającego — jest zatkany spadkiem napięcia powstałym na trzecim rezystorze, przez który ładuje się kondensator.

Przedmiot wynalazku jest objaśniony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat ideowy układu, zasilany napięciem dodatnim, a fig. 2 — zasilany napięciem ujemnym.

Układ generujący pojedynczy impuls po włączeniu napięcia zasilającego według wynalazku tworzą dwa komplementarne tranzystory T1 i T2. Baza pierwszego tranzystora T1 jest połączona z dzielnikiem napięcia, który tworzą dwa rezystory R1 i R2. Dzielnik jest równolegle włączony do obwodu zasilania. Pomiedzy emiterym pierwszego tranzystora T1 a dzielnikiem napięcia od strony zasilania — jest włączony trzeci rezystor R3. Do emitera tegoż tranzystora T1 dołączony jest także kondensator C, którego drugi koniec jest połączony z masą układu. Pomiedzy bazą a emiterym pierwszego tranzystora T1 jest włączona-zabezpieczająca złącze tranzystora T1 — dioda D. Kolektor pierwszego tranzystora T1 przez czwarty rezystor R4 jest połączony z masą układu, natomiast przez piąty rezystor R5 jest połączony z bazą drugiego tranzystora T2. Emiter drugiego tranzystora T2 jest połączony z masą układu, a kolektor, stanowiący wyjście układu, jest połączony przez szósty rezystor R6 z obwodem zasilania.

Działanie układu według wynalazku przebiega następująco. Pierwszy tranzystor T1 jest spolaryzowany w obwodzie bazy przez dzielnik napięcia utworzony przez rezystory R1 i R2 w ten sposób, że w stanie ustalonym jest nasycony, a w stanie przejściowym — po włączeniu napięcia zasilającego jest zatkany spadkiem napięcia, skierowany przeciwnie do napięcia polaryzującego bazę, powstałym na trzecim rezystorze R3, przez który ładuje się kondensator C. Po zakończeniu procesu ładowania kondensatora C spadek napięcia na trzecim rezystorze R3 maleje, a w następstwie pierwszy tranzystor T1 wchodzi w stan nasycenia. Czas trwania impulsu, wynikający ze stałej czasu układu τ jest określony wartościami trzeciego tranzystora R3 i kondensatora C oraz rezystorami R1 i R2, tworzącymi dzielnik napięcia. Tranzystor T2, pełniący rolę inwertera, odwracającego polaryzację impulsu wyjściowego, jest sterowany z emiterym pierwszego tranzystora T1 przez piąty rezystor R5.

W przypadku układu zasilanego napięciem dodatnim (fig. 1) — układ generuje impuls o polaryzacji dodatniej, natomiast w przypadku układu zasilanego napięciem ujemnym (fig. 2) — układ generuje impuls o polaryzacji ujemnej.

Zastrzeżenia patentowe

1. Układ generujący pojedynczy impuls po włączeniu napięcia zasilającego, **znamienny tym**, że jest utworzony z dwóch komplementarnych tranzystorów (T1) i (T2), przy czym baza pierwszego tranzystora (T1) jest połączona z punktem wspólnym dzielnika napięcia, utworzonego z dwóch rezystorów (R1) i (R2) i włączonego równolegle do obwodu zasilania, natomiast pomiędzy emiterym pierwszego tranzystora (T1) a tym dzielnikiem jest włączony trzeci rezystor (R3) oraz do emiterym tegoż tranzystora (T1) jest dołączony kondensator (C), którego drugi koniec jest połączony z masą układu, natomiast kolektor pierwszego tranzystora (T1) przez czwarty rezystor (R4) jest połączony z masą układu oraz z bazą drugiego tranzystora (T2), którego emiter jest połączony z masą układu, a kolektor drugiego tranzystora (T2) przez szósty rezystor (R6) z obwodem zasilania.

2. Układ według zastrz. 1, **znamienny tym**, że pomiędzy bazą i emiterym pierwszego tranzystora (T1) jest włączona zabezpieczająca dioda (D).

3. Układ według zastrz. 1, **znamienny tym**, że kolektor pierwszego tranzystora (T1) przez piąty rezystor (R5) jest połączony z bazą drugiego tranzystora (T2).

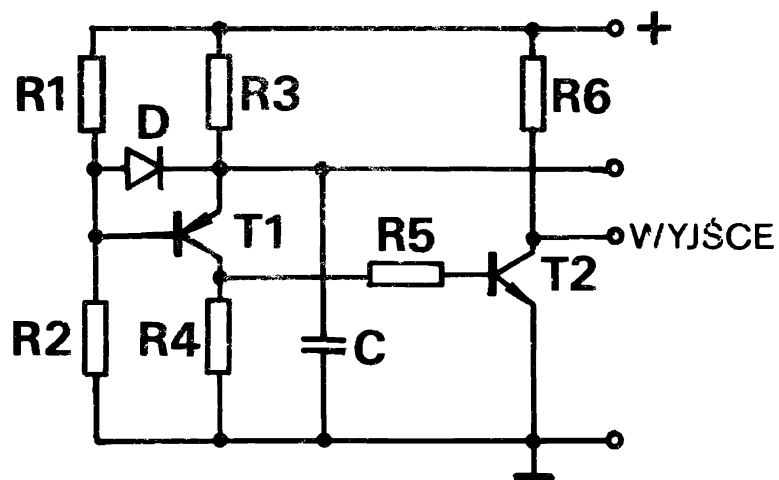


FIG.1

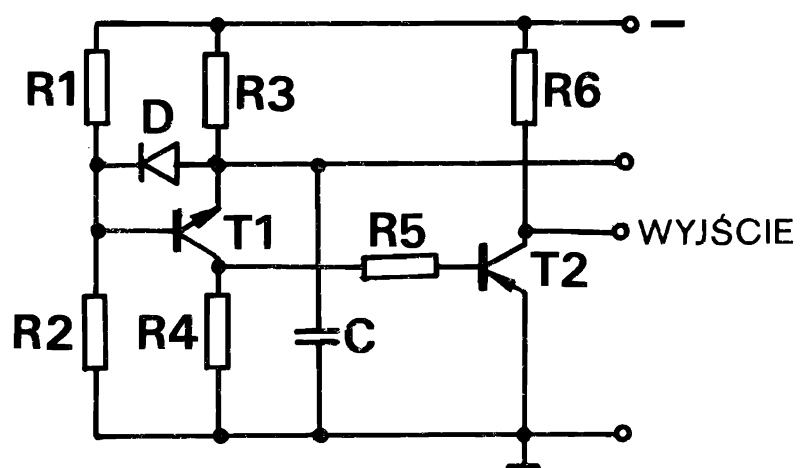


FIG.2