

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4824083号
(P4824083)

(45) 発行日 平成23年11月24日(2011.11.24)

(24) 登録日 平成23年9月16日(2011.9.16)

(51) Int.Cl.

F I

G 1 1 C 29/04 (2006.01)

G 1 1 C 29/00 6 O 3 Z

G 1 1 C 29/00 6 O 3 F

G 1 1 C 29/00 6 O 3 H

請求項の数 10 (全 22 頁)

(21) 出願番号 特願2008-507313 (P2008-507313)
 (86) (22) 出願日 平成18年3月28日(2006.3.28)
 (86) 国際出願番号 PCT/JP2006/306267
 (87) 国際公開番号 W02007/110927
 (87) 国際公開日 平成19年10月4日(2007.10.4)
 審査請求日 平成20年7月7日(2008.7.7)

(73) 特許権者 308014341
 富士通セミコンダクター株式会社
 神奈川県横浜市港北区新横浜二丁目10番
 23
 (74) 代理人 100072718
 弁理士 古谷 史旺
 (74) 代理人 100116001
 弁理士 森 俊秀
 (72) 発明者 小林 広之
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 審査官 堀江 義隆

最終頁に続く

(54) 【発明の名称】 半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

メモリセルおよびメモリセルに接続されたワード線、ビット線を有するセルアレイと、
 複数の不良アドレスがそれぞれプログラムされる複数の冗長ヒューズ回路と、
 前記冗長ヒューズ回路にそれぞれ対応して専用に設けられ、不良を救済するためのレギュ
 ュラー冗長線と、

前記冗長ヒューズ回路に共通に設けられ、不良を救済するためのリザーブ冗長線と、

前記冗長ヒューズ回路にそれぞれ対応して設けられ、前記冗長ヒューズ回路にプログラ
 ムされた不良アドレスをアクセスアドレスと比較し、比較結果が一致するときに冗長信号
 をそれぞれ出力する複数のアドレス比較回路と、

前記冗長信号にตอบสนองして、対応するレギュラー冗長線または前記リザーブ冗長線のいず
 れかを有効にするスイッチ回路と、

前記スイッチ回路の切り替えを制御するための冗長選択信号を出力する選択ヒューズ回
 路とを備えていることを特徴とする半導体メモリ。

【請求項2】

請求項1記載の半導体メモリにおいて、

複数の不良アドレスを書き換え可能に保持するレジスタと、

前記各冗長ヒューズ回路にプログラムされた不良アドレスまたは前記レジスタに保持さ
 れた対応する不良アドレスのいずれかを前記各アドレス比較回路に出力する不良アドレス
 選択部を備えていることを特徴とする半導体メモリ。

10

20

【請求項 3】

請求項 1 記載の半導体メモリにおいて、

前記選択ヒューズ回路をプログラムするための電気信号を、半導体メモリの外部から供給されるプログラム情報に応じて出力するプログラム制御回路を備えていることを特徴とする半導体メモリ。

【請求項 4】

請求項 1 記載の半導体メモリにおいて、

前記レギュラー冗長線および前記リザーブ冗長線は、不良のワード線を救済するための冗長ワード線であることを特徴とする半導体メモリ。

【請求項 5】

請求項 1 記載の半導体メモリにおいて、

不良のビット線を救済するための複数の冗長ビット線と、

前記冗長ビット線にそれぞれ接続される冗長コラムスイッチとを備え、

前記レギュラー冗長線および前記リザーブ冗長線は、前記冗長コラムスイッチのオン/オフを制御するコラム線制御信号を伝達する冗長コラム線であることを特徴とする半導体メモリ。

【請求項 6】

メモリセルと、メモリセルをアクセスするための制御線とを有するセルアレイと、

前記制御線をそれぞれ駆動する複数のドライバと、

不良アドレスがプログラムされる冗長ヒューズ回路と、

前記ドライバの 1 つにそれぞれ対応して設けられ、不良を救済するための複数のレギュラー冗長線と、

前記レギュラー冗長線に対応するドライバに共通に設けられ、不良を救済するためのリザーブ冗長線と、

前記レギュラー冗長線に対応する前記ドライバを前記レギュラー冗長線または前記リザーブ冗長線のいずれかに選択的に接続するための選択スイッチ回路と、

前記各ドライバの出力を、前記冗長ヒューズ回路にプログラムされた不良アドレスに対応する制御線を除く制御線と前記選択スイッチ回路とに接続する冗長スイッチ回路と、

前記選択スイッチ回路の切り替えを制御するための冗長選択信号を出力する選択ヒューズ回路とを備えていることを特徴とする半導体メモリ。

【請求項 7】

請求項 6 記載の半導体メモリにおいて、

不良アドレスを書き換え可能に保持するレジスタと、

前記冗長ヒューズ回路にプログラムされた不良アドレスまたは前記レジスタに保持された不良アドレスのいずれかを前記冗長スイッチ回路に出力する不良アドレス選択部を備えていることを特徴とする半導体メモリ。

【請求項 8】

請求項 6 記載の半導体メモリにおいて、

前記選択ヒューズ回路をプログラムするための電気信号を、半導体メモリの外部から供給されるプログラム情報に応じて出力するプログラム制御回路を備えていることを特徴とする半導体メモリ。

【請求項 9】

請求項 6 記載の半導体メモリにおいて、

前記セルアレイは、メモリセルに接続されたワード線を備え、

前記レギュラー冗長線および前記リザーブ冗長線は、不良のワード線を救済するための冗長ワード線であることを特徴とする半導体メモリ。

【請求項 10】

請求項 6 記載の半導体メモリにおいて、

前記セルアレイは、前記メモリセルに接続されたビット線と、不良のビット線を救済するための冗長ビット線と、ビット線に接続されるコラムスイッチと、冗長ビット線に接続

10

20

30

40

50

される冗長コラムスイッチとを備え、

前記レギュラー冗長線および前記リザーブ冗長線は、前記冗長コラムスイッチのオン/オフを制御するコラム線制御信号を伝達する冗長コラム線であることを特徴とする半導体メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不良を救済するための冗長回路を有する半導体メモリに関する。

【背景技術】

【0002】

一般に、半導体メモリは、基板中の格子欠陥および製造工程で発生する異物に起因して発生する不良を救済し、歩留を向上するために、冗長回路を有している。具体的には、DRAM等の半導体メモリは、正規のワード線およびビット線に加えて冗長ワード線および冗長ビット線を有している。そして、テスト工程において、メモリセルの不良が検出された場合、不良のワード線またはビット線を冗長ワード線または冗長ビット線に置き換えるために、半導体メモリ上に形成されたヒューズ回路がプログラムされる。冗長回路を使用して不良のメモリセルを救済することで、半導体メモリの歩留は向上する。

【0003】

ヒューズ回路は、冗長ワード線および冗長ビット線に対応してそれぞれ必要である。さらに、各ヒューズ回路は、不良アドレスをプログラムするために、アドレスのビット毎にヒューズを設ける必要がある。このため、ヒューズ回路は、半導体メモリのチップサイズを増加させる要因になっている。一方、冗長ワード線または冗長ビット線に不良がある場合、対応するヒューズ回路は使用できないため、救済効率は低下する。例えば、特許文献1 - 2等には、ヒューズ回路の数を少なくすることでチップ面積を削減するとともに、各ヒューズ回路を、複数の冗長ワード線または複数の冗長ビット線に対して使用可能にすることで、救済効率を向上する手法が記載されている。

【特許文献1】特開平6 - 44795号公報

【特許文献2】特開2000 - 11680号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述の手法を採用することにより、不良を救済するために使用する冗長ワード線または冗長ビット線の選択の自由度は高くなり、救済効率は向上する。しかし、ヒューズ回路を所望の冗長ワード線または所望の冗長ビット線に対応させるために、複雑な論理回路が必要である。この結果、回路規模が増加する。さらに、回路の遅延が大きくなると、冗長ワード線または冗長ビット線を使用する時のアクセス時間が長くなり、半導体メモリの性能は低下する。

【0005】

本発明の目的は、簡易な回路により、半導体メモリの性能および救済効率を低下させることなく不良を救済することである。

【課題を解決するための手段】

【0006】

本発明の一形態では、セルアレイは、メモリセルおよびメモリセルに接続されたワード線、ビット線を有する。レギュラー冗長線は、不良アドレスがプログラムされる冗長ヒューズ回路にそれぞれ対応して専用に設けられている。リザーブ冗長線は、冗長ヒューズ回路に共通に設けられている。アドレス比較回路は、冗長ヒューズ回路にプログラムされた不良アドレスをアクセスアドレスと比較し、比較結果が一致するときに冗長信号を出力する。スイッチ回路は、選択ヒューズ回路から出力される冗長選択信号に応じて切り替え制御され、対応するレギュラー冗長線またはリザーブ冗長線のいずれかを、冗長信号に 응답して有効にする。冗長線をレギュラー冗長線とリザーブ冗長線とに分類することで、簡易

10

20

30

40

50

なスイッチ回路により、各冗長ヒューズ回路を複数の冗長線のいずれかに対応させることができる。したがって、冗長線を使用するとき（不良の救済時）と、冗長線を使用しないとき（良品）とで、信号の伝搬遅延時間の差を小さくでき、アクセス時間の差を小さくできる。すなわち、簡易な回路により、半導体メモリの性能および救済効率を低下させることなく不良を救済できる。

【 0 0 0 7 】

本発明の別の形態では、メモリコアは、メモリセルと、メモリセルをアクセスするためにドライバにより駆動される制御線と、不良のメモリセルまたは不良の制御線を救済するための複数の冗長制御線とを有する。選択スイッチ回路は、ドライバを冗長制御線のいずれかに選択的に接続する。冗長スイッチ回路は、各ドライバの出力を、冗長ヒューズ回路にプログラムされた不良アドレスに対応する制御線を除く制御線または選択スイッチ回路に接続する。すなわち、この形態では、シフト冗長方式が採用される。選択ヒューズ回路は、選択スイッチ回路の切り替えを制御するための冗長選択信号を出力する。このため、シフト冗長方式を採用する半導体メモリにおいて、簡易な冗長スイッチ回路により、冗長ヒューズ回路を複数の冗長制御線のいずれかに対応させることができる。したがって、冗長線を使用するとき（不良の救済時）と、冗長線を使用しないとき（良品）とで、信号の伝搬遅延時間の差を小さくでき、アクセス時間の差を小さくできる。すなわち、簡易な回路により、半導体メモリの性能および救済効率を低下させることなく不良を救済できる。

【発明の効果】

【 0 0 0 8 】

簡易な回路により、半導体メモリの性能および救済効率を低下させることなく不良を救済できる。

【発明を実施するための最良の形態】

【 0 0 0 9 】

以下、本発明の実施形態を図面を用いて説明する。図中、太線で示した信号線は、複数本で構成されている。また、太線が接続されているブロックの一部は、複数の回路で構成されている。信号が伝達される信号線には、信号名と同じ符号を使用する。図中の二重丸は、外部端子を示している。

【 0 0 1 0 】

図 1 は、本発明の第 1 の実施形態の半導体メモリを示している。半導体メモリ MEM は、例えば、ダイナミックメモリセルを有する DRAM である。メモリ MEM は、コマンド入力部 10、アドレス入力部 12、データ入出力部 14、冗長ヒューズ部 16、18、アドレス比較部 20、22、アレイ制御部 24、選択ヒューズ部 26、28 およびメモリコア 30 を有している。

【 0 0 1 1 】

コマンド入力部 10 は、コマンド端子 CMD に供給されるコマンド CMD（外部アクセスコマンド）を受け、受けたコマンド CMD をアレイ制御部 24 に出力する。この実施形態では、読み出しコマンド、書き込みコマンドおよびリフレッシュコマンドが、コマンド CMD としてコマンド入力部 10 に供給される。

【 0 0 1 2 】

アドレス入力部 12 は、アドレス端子 AD に供給される外部アドレス AD を受け、受けた外部アドレス AD をロウアドレス RAD（上位アドレス）およびコラムアドレス CAD（下位アドレス）としてメモリコア 30 に出力する。外部アドレス AD は、アクセスするメモリセル MC を示す。ロウアドレス RAD は、ワード線 WL を選択するために使用される。コラムアドレス CAD は、ビット線 BL、/BL を選択するために使用される。ロウアドレス RAD およびコラムアドレス CAD は、アドレス端子 AD に同時に供給される。

【 0 0 1 3 】

データ入出力部 14 は、読み出し動作時にデータバス DB を介してメモリコア 30 から出力される読み出しデータをデータ端子 DT（DT0 - 7）に出力し、書き込み動作時にデータ端子 DT で受ける書き込みデータを、データバス DB を介してメモリコア 30 に出

10

20

30

40

50

力する。データ端子D Tは、読み出しデータおよび書き込みデータに共通の端子である。

【0014】

冗長ヒューズ部16は、不良のワード線W Lを示す冗長ロウアドレスR R A D 1 - 2をそれぞれプログラムするための2つの冗長ヒューズ回路17を有している。冗長ヒューズ部18は、不良のビット線対B L、/ B Lを示す冗長コラムアドレスR C A D 1 - 2をそれぞれプログラムするための2つの冗長ヒューズ回路19を有している。このため、この実施形態のメモリM E Mは、最大4つの不良を救済できる。

【0015】

アドレス比較部20は、アドレス端子A Dで受けるロウアドレスR A Dと冗長ロウアドレスR R A D 1 - 2とをそれぞれ比較するためのアドレス比較回路21を有している。アドレス比較回路21は、比較結果が一致するときに、ロウ冗長信号R R E D 1 - 2をそれぞれ活性化する。アドレス比較部22は、アドレス端子A Dで受けるコラムアドレスC A Dと冗長コラムアドレスR C A D 1 - 2とをそれぞれ比較するためのアドレス比較回路23を有している。アドレス比較回路23は、比較結果が一致するときに、コラム冗長信号C R E D 1 - 2をそれぞれ活性化する。

10

【0016】

アレイ制御部24は、メモリコア30のアクセス動作を実行するために、コマンドC M Dに応答してセルアレイA R Yをアクセスするための制御信号C N Tを出力する。制御信号C N Tとして、ワード線W Lの選択するためのワード線制御信号W L Z、センスアンプS Aを活性化するためのセンスアンプ制御信号S A Z、コラムスイッチを選択するためのコラム線制御信号C L Z、ビット線B L、/ B Lをプリチャージするためのプリチャージ制御信号P R E Z等がある。

20

【0017】

選択ヒューズ部26は、後述する図2に示すレギュラー冗長ワード線R W L 1 - 2をリザーブ冗長ワード線R S V W Lに置き換えるか否かをそれぞれプログラムするための選択ヒューズ回路27を有している。選択ヒューズ回路27は、プログラム状態に応じてロウ冗長選択信号R S E L 1 - 2をそれぞれ出力する。

【0018】

選択ヒューズ部28は、後述する図3に示すレギュラー冗長コラム線R C L 1 - 2をリザーブ冗長コラム線R S V C Lに置き換えるか否かをそれぞれプログラムするための選択ヒューズ回路29を有している。選択ヒューズ回路29は、プログラム状態に応じてコラム冗長選択信号C S E L 1 - 2をそれぞれ出力する。

30

【0019】

メモリコア30は、ロウデコーダR D E C、コラムデコーダC D E C、センスアンプS A、コラムスイッチC S W、リードアンプR A、ライトアンプW AおよびセルアレイA R Yを有している。セルアレイA R Yは、ダイナミックメモリセルM Cと、ダイナミックメモリセルM Cに接続されたワード線W Lおよびビット線対B L、/ B Lを有している。メモリセルM Cは、ワード線W Lとビット線対B L、/ B Lとの交差部分に形成される。

【0020】

また、セルアレイA R Yは、冗長メモリセルR M Cと、冗長メモリセルR M Cに接続された3本の冗長ワード線R W L (図2に示すR W L 1 - 2、R S V W L) および3組の冗長ビット線対R B L、/ R B L (図3に示すR C L 1 - 2、R S V C Lに対応するビット線) を有している。図では、冗長ビット線対R B L、/ R B Lを1本の信号線により表している。冗長メモリセルR M Cは、冗長ワード線R W Lとビット線対B L、/ B L、R B L、/ R B Lとの交差部分、および冗長ビット線対R B L、/ R B Lとワード線W L、R W Lとの交差部分に形成される。

40

【0021】

ロウデコーダR D E Cは、ロウ冗長信号R R E D 1 - 2の非活性化中に、アクセスコマンドC M Dに응答してロウアドレスR A Dをデコードし、ワード線W Lのいずれかを選択する。ロウデコーダR D E Cは、ロウ冗長信号R R E D 1 - 2のいずれかの活性化中に、

50

ロウアドレスRADのデコードを禁止し、冗長ワード線RWLの少なくともいずれかを、ロウ冗長選択信号RSEL1-2の論理レベルに応じて選択する。

【0022】

コラムデコーダCDECは、コラム冗長信号CRED1-2の非活性化中に、アクセスコマンドCMDにตอบสนองしてコラムアドレスCADをデコードし、データ端子DTのビット数に対応する8組のビット線対BL、/BLを選択する。コラムデコーダCDECは、コラム冗長信号CRED1-2のいずれかの活性化中に、コラムアドレスCADのデコードを禁止し、冗長ビット線対RBL、/RBLの少なくとも1組を、コラム冗長選択信号RSEL1-2の論理レベルに応じて選択する。

【0023】

センスアンプSAは、ビット線対BL、/BLに読み出されたデータ信号の信号量の差を増幅する。コラムスイッチCSWは、コラムアドレスCADに応じて、ビット線BL、/BLをデータバス線DBに接続する。

【0024】

リードアンプRAは、読み出し動作時に、コラムスイッチCSWを介して出力される相補の読み出しデータを増幅する。ライトアンプWAは、書き込み動作時に、データバスDBを介して供給される相補の書き込みデータを増幅し、ビット線対BL、/BLに供給する。

【0025】

図2は、図1に示したロウデコーダRDECの詳細を示している。ロウデコーダRDECは、ロウアドレスRADをデコードするロウアドレスデコーダRADEC、ワード線WLに高レベル電圧をそれぞれ供給するためのワードドライバWDRV、レギュラー冗長ワード線RWL1-2およびリザーブ冗長ワード線RSVWLに高レベル電圧を供給するための冗長ワードドライバRWDRVを有している。

【0026】

ワードドライバWDRV、RWDRVは、ワード線制御信号WLZに同期して動作し、アクセスされるワード線WL、レギュラー冗長ワード線RWL1-2、リザーブ冗長ワード線RSVWLのいずれかを、所定の期間高レベルに変化させる。冗長ワード線RWL1-2、RSVWLのいずれかが使用される場合、不良のワード線WLに対するアクセスコマンドCMDにตอบสนองしてロウ冗長信号RRED1-2の少なくともいずれかが活性化される。ワードドライバWDRVは、ロウ冗長信号RRED1-2の活性化中に非活性化され、ワード線WLのドライブ動作を停止する。

【0027】

冗長ワードドライバRWDRVは、ロウ冗長信号RRED1の活性化にตอบสนองして、レギュラー冗長ワード線RWL1またはリザーブ冗長ワード線RSVWLのいずれかに高レベル電圧を供給する。また、冗長ワードドライバRWDRVは、ロウ冗長信号RRED2の活性化にตอบสนองして、レギュラー冗長ワード線RWL2またはリザーブ冗長ワード線RSVWLのいずれかに高レベル電圧を供給する。レギュラー冗長ワード線RWL1-2のいずれかに不良が存在する場合、図1に示した選択ヒューズ回路27のいずれかがプログラムされ、低論理レベルのロウ冗長選択信号RSEL1またはRSEL2が出力される。

【0028】

ロウ冗長選択信号RSEL1が低論理レベルのときに、不良のレギュラー冗長ワード線RWL1の活性化は禁止され、リザーブ冗長ワード線RSVWLの活性化が許可される。ロウ冗長選択信号RSEL2が低論理レベルのときに、不良のレギュラー冗長ワード線RWL2の活性化は禁止され、リザーブ冗長ワード線RSVWLの活性化が許可される。このように、冗長ワードドライバRWDRVは、ロウ冗長選択信号RSEL1-2にตอบสนองして、対応するレギュラー冗長ワード線RWL1-2またはリザーブ冗長ワード線RSVWLのいずれかを有効にするスイッチ回路の機能を有している。そして、不良のワード線WLの代わりに冗長ワード線RWL1-2、RSVWLを用いてアクセス動作が実行され、セルアレイARYの不良が救済される。

10

20

30

40

50

【 0 0 2 9 】

図3は、図1に示したコラムデコーダCDECの詳細を示している。コラムデコーダCDECは、コラムアドレスCADをデコードするコラムアドレスデコーダCADEC、コラム線CLに高電圧レベルをそれぞれ供給するためのコラムドライバCDRV、レギュラー冗長コラム線RCL1-2およびリザーブ冗長コラム線RSVCLに高レベル電圧を供給するための冗長コラムドライバRCDRVを有している。コラム線CLは、ビット線対BL、/BLに接続されたコラムスイッチCSWに接続され、レギュラー冗長コラム線RCL1-2およびリザーブ冗長コラム線RSVCLは、冗長ビット線対RBL、/RBLに接続された冗長コラムスイッチCSWに接続されている。

【 0 0 3 0 】

コラムドライバCDRVは、コラム線制御信号CLZに同期して動作し、コラムスイッチCSWのオン/オフを制御するコラム線CLのいずれかを所定の期間高レベルに変化させる。コラムドライバRCDRVは、コラム線制御信号CLZに同期して動作し、冗長コラムスイッチCSWのオン/オフを制御するレギュラー冗長コラム線RCL1-2およびリザーブ冗長コラム線RSVCLのいずれかを、所定の期間高レベルに変化させる。

【 0 0 3 1 】

冗長コラム線RCL1-2、RSVCLのいずれかが使用される場合、不良のビット線対BL、/BLまたはコラム線CLに対するアクセスコマンドCMDに応答してコラム冗長信号CRED1-2の少なくともいずれかが活性化される。コラムドライバCDRVは、コラム冗長信号CRED1-2の活性化中に非活性化され、コラム線CLのドライブ動作を停止する。

【 0 0 3 2 】

冗長コラムドライバRCDRVは、コラム冗長信号CRED1の活性化に응答して、レギュラー冗長コラム線RCL1またはリザーブ冗長コラム線RSVCLのいずれかに高レベル電圧を供給する。また、冗長コラムドライバRCDRVは、コラム冗長信号CRED2の活性化に응答して、レギュラー冗長コラム線RCL2またはリザーブ冗長コラム線RSVCLのいずれかに高レベル電圧を供給する。冗長コラム線RCL1-2のいずれかに不良が存在する場合、図1に示した選択ヒューズ回路29のいずれかがプログラムされ、低論理レベルのコラム冗長選択信号CSEL1またはCSEL2が出力される。

【 0 0 3 3 】

コラム冗長選択信CSEL1が低論理レベルのとき、不良のレギュラー冗長コラム線RCL1の活性化は禁止され、リザーブ冗長コラム線RSVCLの活性化が許可される。コラム冗長選択信CSEL2が低論理レベルのとき、不良のレギュラー冗長コラム線RCL2の活性化は禁止され、リザーブ冗長コラム線RSVCLの活性化が許可される。このように、冗長コラムドライバRCDRVは、コラム冗長信号CRED1-2に응答して、対応するレギュラー冗長コラム線RCL2またはリザーブ冗長コラム線RSVCLのいずれかを有効にするスイッチ回路の機能を有している。そして、不良のコラム線CLの代わりに冗長コラム線RCL1-2、RSVCLを用いてアクセス動作が実行され、セルアレイARYの不良が救済される。

【 0 0 3 4 】

図4は、図2に示した冗長ワードドライバRWDRVおよび図3に示した冗長コラムドライバRCDRVの詳細を示している。冗長ワードドライバRWDRVおよび冗長コラムドライバRCDRVの要部は、同じ論理構成のため、ここでは、冗長ワードドライバRWDRVについて説明する。

【 0 0 3 5 】

冗長ワードドライバRWDRVは、レギュラー冗長ワード線RWL1-2をそれぞれドライブするバッファBUF1-2と、リザーブ冗長ワード線RSVWLをドライブするバッファBUFRを有している。バッファBUF1は、ロウ冗長選択信号RSEL1が高論理レベルのとき使用され、バッファBUF2は、ロウ冗長選択信号RSEL2が高論理レベルのときに使用される。バッファBUFRは、ロウ冗長選択信号RSEL1-2のい

10

20

30

40

50

れかが低論理レベルのときに使用される。ロウ冗長選択信号 R S E L 1 - 2 (またはコラム冗長選択信号 C S E L 1 - 2) が同時に低論理レベルに設定されることは、選択ヒューズ回路 27、29 のプログラム仕様で禁止されている。

【0036】

以上、第1の実施形態では、2つの冗長ヒューズ回路17にそれぞれ対応するレギュラー冗長ワード線 R W L 1 - 2 と、2つの冗長ヒューズ回路17に共通のリザーブ冗長ワード線 R S V W L とを設けることで、簡易な冗長ワードドライバ R W D R V (スイッチ回路)により、各冗長ヒューズ回路17を冗長ワード線 R W L 1 - 2、R S V W L のいずれかに対応させることができる。これにより、不良の救済時と、不良を救済しないとき(良品)とで、信号の伝搬遅延時間の差を小さくできるため、アクセス時間の差を小さくできる。すなわち、簡易な回路により、半導体メモリ M E M の性能および救済効率を低下させることなく不良を救済できる。

10

【0037】

図5は、本発明の第2の実施形態の半導体メモリを示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態の半導体メモリ M E M は、第1の実施形態にモードレジスタ 32 A および不良アドレス選択部 34 A、36 A を加えて構成されている。その他の構成は、第1の実施形態と同じである。すなわち、半導体メモリ M E M は、D R A M として形成されている。

【0038】

モードレジスタ 32 A は、冗長ヒューズ部 16、18 の出力をそれぞれ無効にするための記憶部と、仮の冗長ロウアドレス R R A D 1 - 2 および仮の冗長コラムアドレス R C A D 1 - 2 の値(不良アドレス)を保持するための記憶部とを有している。記憶部は、書き換え可能であり、モードレジスタ設定コマンドとともに供給される外部アドレス A D またはデータ D T に応じて設定される。モードレジスタ 32 A は、記憶部に設定された値に応じて、ロウヒューズ無効信号、コラムヒューズ無効信号、仮の冗長ロウアドレス R R A D 1 - 2 および仮の冗長コラムアドレス R C A D 1 - 2 を出力する。

20

【0039】

不良アドレス選択部 34 A は、モードレジスタ 32 A から出力されるロウヒューズ無効信号に応じて冗長ヒューズ部 16 の出力を無効にし、モードレジスタ 32 A に設定された仮の冗長ロウアドレス R R A D 1 - 2 をアドレス比較部 20 に出力する。不良アドレス選択部 36 A は、モードレジスタ 32 A から出力されるコラムヒューズ無効信号に応じて冗長ヒューズ部 18 の出力を無効にし、モードレジスタ 32 A に設定された仮の冗長コラムアドレス R C A D 1 - 2 をアドレス比較部 22 に出力する。すなわち、不良アドレス選択部 34 A、36 A は、各冗長ヒューズ部 16、18 にプログラムされた不良アドレスまたはモードレジスタ 32 A に保持された仮の不良アドレスのいずれかを、対応するアドレス比較部 20、22 に出力する。

30

【0040】

この実施形態では、冗長ヒューズ部 16、18 のプログラム前に、仮の冗長ロウアドレス R R A D 1 - 2 および仮の冗長コラムアドレス R C A D 1 - 2 をアドレス比較部 20、22 に出力し、レギュラー冗長ワード線 R W L 1 - 2 あるいはレギュラー冗長コラム線 R C L 1 - 2 を使用してワード線 W L あるいはコラム線 C L を一時的に救済できる。このため、レギュラー冗長ワード線 R W L 1 - 2、レギュラー冗長コラム線 R C L 1 - 2 に不良があるか否かを、冗長ヒューズ部 16、18 がプログラムされる前に検出できる。

40

【0041】

メモリ M E M をテストする L S I テスタ等は、上記検出結果に基づいて、リザーブ冗長ワード線 R S V W L およびリザーブ冗長コラム線 R S V C L を使用するか否かを判断できる。したがって、冗長ワード線 R W L 1 - 2 および冗長コラム線 R C L 1 - 2 の不良を、冗長ヒューズ部 16、18 を用いることなく確認した後に、選択ヒューズ部 26、28 をプログラムできる。この結果、冗長ヒューズ部 16、18 および選択ヒューズ部 26、2

50

8 のプログラムを 1 つのテスト工程で実施できる。

【 0 0 4 2 】

以上、第 2 の実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、冗長ヒューズ部 1 6、1 8 および選択ヒューズ部 2 6、2 8 のプログラムを 1 つのテスト工程で実施できる。この結果、簡易な回路により、メモリ M E M の性能を低下させることなく、救済効率を向上でき、テストコストを削減できる。

【 0 0 4 3 】

図 6 は、本発明の第 3 の実施形態の半導体メモリを示している。第 1 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態の半導体メモリ M E M は、第 1 の実施形態の選択ヒューズ部 2 6、2 8 の代わりに選択ヒューズ部 2 6 B、2 8 B を有している。また、半導体メモリ M E M は、モードレジスタ 3 2 B を有している。その他の構成は、第 1 の実施形態と同じである。すなわち、半導体メモリ M E M は、D R A M として形成されている。

【 0 0 4 4 】

モードレジスタ 3 2 B は、選択ヒューズ回路 2 7 B、2 9 B にプログラムされる値に対応する選択信号 R S E L 1 - 2、C S E L 1 - 2 の出力を無効するための出力無効信号の値をそれぞれ保持する記憶部と、仮の選択信号 R S E L 1 - 2、C S E L 1 - 2 の値をそれぞれ保持するための記憶部と、各選択ヒューズ回路 2 7 B、2 9 B をプログラムするためのプログラム情報が書き込まれるプログラム設定部とを有している。記憶部およびプログラム設定部は、メモリ M E M の動作モードがテストモードのときに、モードレジスタ設定コマンドとともに供給される外部アドレス A D またはデータ D T に応じて設定される。

【 0 0 4 5 】

モードレジスタ 3 2 B は、記憶部に設定された値に応じて、出力無効信号および仮の選択信号 R S E L 1 - 2、C S E L 1 - 2 を、プログラム信号 R P R G 1、C P R G 1 として選択ヒューズ部 2 6 B、2 8 B にそれぞれ出力する。また、モードレジスタ 3 2 B は、プログラム設定部にプログラム情報が書き込まれたときに、対応するプログラム信号 R P R G 2、C P R G 2 (電気信号)を出力する。メモリ M E M は、プログラム信号線 R P R G 2、C P R G 2 に大電流または高電圧を供給するための図示しない電流生成回路または電圧生成回路を有している。

【 0 0 4 6 】

プログラム信号線 R P R G 2、C P R G 2 の大電流または高電圧により、選択ヒューズ部 2 6 B、2 8 B の選択ヒューズ回路 2 7 B、2 9 B は、プログラムされる。すなわち、モードレジスタ 3 2 B は、選択ヒューズ回路 2 7 B、2 9 B をプログラムするための電気信号 R P R G 2、C P R G 2 を、メモリ M E M の外部から供給されるプログラム情報に応じて出力するプログラム制御回路として機能する。

【 0 0 4 7 】

選択ヒューズ部 2 6 B は、第 1 の実施形態と同様に、レギュラー冗長ワード線 R W L 1 - 2 (図 2) をリザーブ冗長ワード線 R S V W L に置き換えるか否かをそれぞれプログラムするための選択ヒューズ回路 2 7 B を有している。各選択ヒューズ回路 2 7 B は、電気信号 R P R G 2 に応じてプログラムされるために、電流によりブローされるヒューズ (金属のエレクトロマイグレーション現象を利用)、あるいは、電圧により導通または絶縁されるヒューズ (酸化膜等の耐圧を利用) を有している。選択ヒューズ回路 2 7 B は、プログラム状態に応じてロウ冗長選択信号 R S E L 1 - 2 をそれぞれ出力する。但し、選択ヒューズ部 2 6 B は、モードレジスタ 3 2 B から出力される出力無効信号に応じて、ヒューズ回路 2 7 B からのロウ冗長選択信号 R S E L 1 - 2 の出力を禁止し、モードレジスタ 3 2 B から出力される仮のロウ冗長選択信号 R S E L 1 - 2 をメモリコア 3 0 に出力する。

【 0 0 4 8 】

選択ヒューズ部 2 8 B は、第 1 の実施形態と同様に、レギュラー冗長コラム線 R C L 1 - 2 (図 3) をリザーブ冗長コラム線 R S V C L に置き換えるか否かをそれぞれプログラ

10

20

30

40

50

ムするための選択ヒューズ回路29Bを有している。各選択ヒューズ回路29Bは、電気信号CPRG2に応じてプログラムされるために、電流によりブローされるヒューズ（金属のエレクトロマイグレーション現象を利用）、あるいは、電圧により導通または絶縁されるヒューズ（酸化膜等の耐圧を利用）を有している。選択ヒューズ回路29Bは、プログラム状態に応じてコラム冗長選択信号CSEL1-2をそれぞれ出力する。但し、選択ヒューズ部28Bは、モードレジスタ32Cから出力される出力無効信号に応じて、選択ヒューズ回路29Bからのコラム冗長選択信号CSEL1-2の出力を禁止し、モードレジスタ32Bから出力される仮のコラム冗長選択信号CSEL1-2をメモリコア30に出力する。

【0049】

10

この実施形態では、選択ヒューズ部26B、28Bのプログラム前に、図2に示したりザーブ冗長ワード線RSVWLおよび図3に示したりザーブ冗長コラム線RSVCLに不良があるか否かを検出できる。これにより、例えば、レギュラー冗長ワード線RWL1とリザーブ冗長ワード線RSVWLに不良があり、かつ救済すべきワード線WLが2つある場合に、半導体メモリをテストするLSIテスト等は、選択ヒューズ部26B、28Bのプログラムすることなく、このメモリMEMの不良を救済できないと判断できる。したがって、選択ヒューズ部26B、28Bを無駄にプログラムすることを防止できる。

【0050】

さらに、テスト工程が完了した後も、モードレジスタ32Bのプログラム設定部にプログラム情報を書き込むことにより、選択ヒューズ回路27B、29Bをプログラムできる。これにより、メモリMEMが出荷された後も、レギュラー冗長ワード線RWL1-2の代わりにリザーブ冗長ワード線RSVWLを使用でき、レギュラー冗長コラム線RCL1-2の代わりにリザーブ冗長コラム線RSVCLを使用できる。これにより、テスト工程を完了した後に、レギュラー冗長ワード線RWL1-2およびレギュラー冗長コラム線RCL1-2に発生した不良の救済をすることが可能である。

20

【0051】

以上、第3の実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。すなわち、選択ヒューズ部26B、28Bを無駄にプログラムすることを防止でき、テストコストを削減できる。さらに、テスト工程を完了した後に、冗長線RWL1-2、RCL1-2に発生した不良を救済できる。この結果、簡易な回路により、メモリMEMの性能を低下させることなく、救済効率を向上でき、テストコストを削減できる。

30

【0052】

図7は、本発明の第4の実施形態の半導体メモリを示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態の半導体メモリMEMは、第1の実施形態の冗長ヒューズ部16、18、選択ヒューズ回路26、28およびメモリコア30の代わりに冗長ヒューズ部16C、18C、選択ヒューズ回路26C、28Cおよびメモリコア30Cを有している。また、半導体メモリMEMは、第1の実施形態のアドレス比較部20、22を有していない。その他の構成は、第1の実施形態と同じである。すなわち、半導体メモリMEMは、DRAMとして形成されている。

40

【0053】

この実施形態のメモリMEMは、いわゆるシフト冗長方式を採用している。シフト冗長方式のメモリMEMは、後述する図8に示すように、冗長スイッチ回路RRSWを有している。冗長スイッチ回路RRSWは、メモリMEMのパワーオンシーケンス時に動作し、ワードドライバWDRVをワード線WL、RWLに接続する。同様に、シフト冗長方式のメモリMEMは、後述する図9に示すように、冗長スイッチ回路CRSWを有している。冗長スイッチ回路CRSWは、メモリMEMのパワーオンシーケンス時に動作し、コラムドライバCDRVをコラム線CL、RCLに接続する。このため、アクセス毎に外部アドレスADと不良アドレスとを比較するアドレス比較部は必要ない。

50

【 0 0 5 4 】

冗長ヒューズ部 1 6 C は、不良のワード線 W L を示す冗長ロウアドレス R R A D をプログラムするためのヒューズ回路 1 7 C を有しており、プログラムされた冗長ロウアドレス R R A D を出力する。冗長ヒューズ部 1 8 C は、不良のビット線対 B L、/ B L を示す冗長コラムアドレス R C A D をプログラムするためのヒューズ回路 1 9 C を有しており、プログラムされた冗長コラムアドレス R C A D を出力する。冗長ヒューズ部 1 6 C、1 8 C を用いることにより、セルアレイ A R Y に発生した不良を 2 つまで救済できる。

【 0 0 5 5 】

選択ヒューズ部 2 6 C は、図 8 に示すレギュラー冗長ワード線 R W L 1 - 2 のいずれを使用して不良を救済するかをプログラムするための選択ヒューズ回路 2 7 C を有している。選択ヒューズ回路 2 7 C は、プログラム状態に応じた論理レベルのロウ冗長選択信号 R S E L を出力する。選択ヒューズ部 2 8 C は、図 9 に示すレギュラー冗長コラム線 R C L 1 - 2 のいずれを使用して不良を救済するかをプログラムするための選択ヒューズ回路 2 9 C を有している。選択ヒューズ回路 2 9 C は、プログラム状態に応じた論理レベルのコラム冗長選択信号 C S E L を出力する。

【 0 0 5 6 】

メモリコア 3 0 C は、ロウデコーダ R D E C、コラムデコーダ C D E C およびセルアレイ A R Y が、第 1 の実施形態と相違する。セルアレイ A R Y は、2 本の冗長ワード線 R W L (図 8 に示す R W L 1 - 2) および 2 組の冗長ビット線対 R B L、/ R B L (図 9 に示す R C L 1 - 2 に対応するビット線) を有している。その他の構成は、第 1 の実施形態と同じである。

【 0 0 5 7 】

図 8 は、図 7 に示したロウデコーダ R D E C の詳細を示している。ロウデコーダ R D E C は、ロウアドレスデコーダ R A D E C、ワードドライバ W D R V、冗長スイッチ回路 R R S W、および選択スイッチ回路 R S S W を有している。シフト冗長方式のメモリ M E M では、冗長ワード線専用の冗長ワードドライバ R W D R V は形成されない。冗長スイッチ回路 R R S W および選択スイッチ回路 R S S W は、例えば、C M O S 伝達ゲートにより構成されるため、回路規模は小さく、伝搬遅延時間も短い。

【 0 0 5 8 】

スイッチ回路 R R S W は、冗長ロウアドレス R R A D が示す不良のワード線 W L (図に X 印で示す) を避けて、ワードドライバ W D R V をワード線 W L と、選択スイッチ回路 R S S W (冗長ワード線 R W L 1 - 2 のいずれか) に接続する。不良がない場合、ワードドライバ W D R V は、通常のワード線 W L に接続され、冗長ワード線 R W L 1 - 2 (冗長制御線) には接続されない。

【 0 0 5 9 】

選択スイッチ回路 R S S W は、ロウ冗長選択信号 R S E L が低論理レベルのときに、ワードドライバ W D R V を冗長ワード線 R W L 1 に接続し、ロウ冗長選択信号 R S E L が高論理レベルのときに、ワードドライバ W D R V を冗長ワード線 R W L 2 に接続する。これにより、冗長ワード線 R W L 2 に不良があるとき、冗長ワード線 R W L 1 を用いて救済を実施でき、冗長ワード線 R W L 1 に不良があるとき、冗長ワード線 R W L 2 を用いて救済を実施できる。

【 0 0 6 0 】

図 9 は、図 7 に示したコラムデコーダ C D E C の詳細を示している。コラムデコーダ C D E C は、コラムアドレスデコーダ C A D E C、コラムドライバ C D R V、冗長スイッチ回路 C R S W、および選択スイッチ回路 C S S W を有している。コラム線 C L は、ビット線対 B L、/ B L に接続されたコラムスイッチ C S W に接続され、レギュラー冗長コラム線 R C L 1 - 2 は、冗長ビット線対 R B L、/ R B L に接続された冗長コラムスイッチ C S W に接続されている。

【 0 0 6 1 】

シフト冗長方式のメモリ M E M では、冗長コラム線専用の冗長コラム ドライバ R C D R

10

20

30

40

50

Vは形成されない。冗長スイッチ回路CRSWおよび選択スイッチ回路CSSWは、例えば、CMOS伝達ゲートにより構成されるため、回路規模は小さく、伝搬遅延時間も短い。

【0062】

スイッチ回路CRSWは、冗長コラムアドレスRCADが示す不良のビット線対BL、/BL（図にX印で示す）に対応するコラム線CLを避けて、コラムドライバCDRVをコラム線CLと、選択スイッチ回路CSSW（冗長コラム線RCL1-2のいずれか）に接続する。不良がない場合、コラムドライバCDRVは、通常のコラム線CLに接続され、冗長コラム線RCL1-2（冗長制御線）には接続されない。

【0063】

コラムドライバCDRVは、第1の実施形態（図3）と同様に、コラム線制御信号CLZに同期して動作し、コラムスイッチCSWのオン/オフを制御するコラム線CLのいずれかを所定の期間高レベルに変化させる。コラムドライバRCDRVは、コラム線制御信号CLZに同期して動作し、冗長コラムスイッチCSWのオン/オフを制御する冗長コラム線RCL1-2のいずれかを、所定の期間高レベルに変化させる。

【0064】

選択スイッチ回路CSSWは、コラム冗長選択信号CSELが低論理レベルのときに、コラムドライバCDRVを冗長コラム線RCL1に接続し、ロウ冗長選択信号RSELが高論理レベルのときに、コラムドライバCDRVを冗長コラム線RCL2に接続する。これにより、冗長コラム線RCL2に不良があるとき、冗長コラム線RCL1を用いて救済を実施でき、冗長コラム線RCL1に不良があるとき、冗長コラム線RCL2を用いて救済を実施できる。

【0065】

以上、第4の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、シフト冗長方式が採用される半導体メモリMEMにおいても、簡易な冗長スイッチ回路RRSW、CRSWにより、半導体メモリMEMの性能および救済効率を低下させることなく不良を救済できる。

【0066】

図10は、本発明の第5の実施形態の半導体メモリを示している。第1および第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態の半導体メモリMEMは、第4の実施形態の冗長ヒューズ部16C、18C、選択ヒューズ部26C、28Cおよびメモリコア30Cの代わりに冗長ヒューズ部16、18、選択ヒューズ部26、28およびメモリコア30Dを有している。その他の構成は、第4の実施形態と同じである。すなわち、半導体メモリMEMは、DRAMとして形成されている。

【0067】

冗長ヒューズ部16、18は、第1の実施形態と同様に、2つの冗長ロウアドレスRRAD1-2および2つの冗長コラムアドレスRCAD1-2をそれぞれ記憶する。選択ヒューズ部26、28は、第1の実施形態と同様に、ロウ冗長選択信号RSEL1-2およびコラム冗長選択信号CSEL1-2をそれぞれ出力する。メモリコア30Dは、ロウデコードRDECの冗長スイッチ回路RRSWと選択スイッチ回路RSSW、およびコラムデコードCDECの冗長スイッチ回路CRSWと選択スイッチ回路CSSWが、第4の実施形態と相違している。その他の構成は、第2の実施形態と同じである。

【0068】

図11は、図10に示したロウデコードRDECの詳細を示している。この実施形態では、2つまでのワード線不良を救済できる。ワード線不良が2つある場合、スイッチ回路RRSWは、冗長ロウアドレスRRAD1-2が示す不良のワード線WL（図にX印で示す）を避けて、ワードドライバWDRVをワード線WLと選択スイッチ回路RSSWに接続する。ワード線不良が1つしかない場合、ワードドライバWDRVの1つのみが、選択スイッチ回路RSSWに接続される。ワード線不良がない場合、ワードドライバWDRV

10

20

30

40

50

は、通常のワード線W Lに接続され、選択スイッチ回路R S S Wには接続されない。

【 0 0 6 9 】

選択スイッチ回路R S S Wは、ロウ冗長選択信号R S E L 1が低論理レベルのときに、ワードドライバW D R Vをレギュラー冗長ワード線R W L 1に接続し、ロウ冗長選択信号R S E L 1が高論理レベルのときに、ワードドライバW D R Vをリザーブ冗長ワード線R S V W Lに接続する。選択スイッチ回路R S S Wは、ロウ冗長選択信号R S E L 2が低論理レベルのときに、ワードドライバW D R Vをレギュラー冗長ワード線R W L 2に接続し、ロウ冗長選択信号R S E L 2が高論理レベルのときに、ワードドライバW D R Vをリザーブ冗長ワード線R S V W Lに接続する。各レギュラー冗長ワード線R W L 1 - 2は、対応するワードドライバW D R Vのみにより駆動され、リザーブ冗長ワード線R S V W Lは、レギュラー冗長ワード線R W L 1 - 2に対応する2つのワードドライバW D R Vに共通に使用され、2つのワードドライバW D R Vのいずれかにより駆動される。これにより、レギュラー冗長ワード線R W L 1 - 2のいずれかに不良があるとき、リザーブ冗長ワード線R S V W Lを用いて救済を実施できる。

10

【 0 0 7 0 】

図12は、図10に示したコラムデコーダC D E Cの詳細を示している。この実施形態では、2つまでのビット線不良を救済できる。ビット線不良が2つある場合、スイッチ回路C R S Wは、冗長コラムアドレスR C A D 1 - 2が示す不良のコラム線C Lに対応するビット線対B L、/ B L（図ではコラム線C LにX印で示す）を避けて、コラムドライバC D R Vをコラム線C Lと選択スイッチ回路C S S Wに接続する。ビット線不良が1つしかない場合、コラムドライバC D R Vの1つのみが、選択スイッチ回路C S S Wに接続される。ビット線不良がない場合、コラムドライバC D R Vは、通常のコラム線C Lに接続され、選択スイッチ回路C S S Wには接続されない。

20

【 0 0 7 1 】

選択スイッチ回路C S S Wは、コラム冗長選択信号C S E L 1が低論理レベルのときに、コラムドライバC D R Vをレギュラー冗長コラム線R C L 1に接続し、ロウ冗長選択信号R S E L 1が高論理レベルのときに、コラムドライバC D R Vをリザーブ冗長コラム線R S V C Lに接続する。選択スイッチ回路C S S Wは、コラム冗長選択信号C S E L 2が低論理レベルのときに、コラムドライバC D R Vをレギュラー冗長コラム線R C L 2に接続し、ロウ冗長選択信号R S E L 2が高論理レベルのときに、コラムドライバC D R Vをリザーブ冗長コラム線R S V C Lに接続する。各レギュラー冗長コラム線R C L 1 - 2は、対応するコラムドライバC D R Vのみにより駆動され、リザーブ冗長コラム線R S V C Lは、レギュラー冗長コラム線R C L 1 - 2に対応する2つのコラムドライバC D R Vに共通に使用され、2つのコラムドライバC D R Vのいずれかにより駆動される。これにより、レギュラー冗長コラム線R C L 1 - 2のいずれかに不良があるとき、リザーブ冗長コラム線R S V C Lを用いて救済を実施できる。

30

【 0 0 7 2 】

なお、図12に示した例では、レギュラー冗長コラム線R C L 2に対応する冗長ビット線対R B L、/ R B Lに不良があるため、選択スイッチ回路C S S Wは、コラムドライバC D R Vを、レギュラー冗長コラム線R C L 2に接続せずに、リザーブ冗長コラム線R S V C Lに接続する。

40

【 0 0 7 3 】

以上、第5の実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。さらに、この実施形態では、簡易な選択スイッチ回路R S S W、C S S Wにより、レギュラー冗長線R W L 1 - 2、R C L 1 - 2の不良を救済できる。すなわち、簡易な回路により、メモリM E Mの性能を低下させることなく、救済効率を向上できる。

【 0 0 7 4 】

モードレジスタ3 2 Eは、冗長ヒューズ部1 6 C、1 8 Cの出力をそれぞれ無効にするための記憶部と、仮の冗長ロウアドレスR R A Dおよび仮の冗長コラムアドレスR C A D

50

の値（不良アドレス）を保持するための記憶部とを有している。記憶部は、書き換え可能であり、モードレジスタ設定コマンドとともに供給される外部アドレスＡＤまたはデータＤＴに応じて設定される。モードレジスタ３２Ｅは、記憶部に設定された値に応じて、ロウヒューズ無効信号、コラムヒューズ無効信号、仮の冗長ロウアドレスＲＲＡＤおよび仮の冗長コラムアドレスＲＣＡＤを出力する。

【００７５】

モードレジスタ３２Ｅは、冗長ヒューズ部１６Ａ、１８Ａの出力をそれぞれ無効にするための記憶部と、仮の冗長ロウアドレスＲＲＡＤおよび仮の冗長コラムアドレスＲＣＡＤの値（不良アドレス）を保持するための記憶部とを有している。記憶部は、書き換え可能であり、モードレジスタ設定コマンドとともに供給される外部アドレスＡＤまたはデータＤＴに応じて設定される。モードレジスタ３２Ｅは、記憶部に設定された値に応じて、ロウヒューズ無効信号、コラムヒューズ無効信号、仮の冗長ロウアドレスＲＲＡＤおよび仮の冗長コラムアドレスＲＣＡＤを出力する。

10

【００７６】

不良アドレス選択部３４Ｅは、モードレジスタ３２Ｅから出力されるロウヒューズ無効信号に応じて冗長ヒューズ部１６Ｃの出力を無効にし、モードレジスタ３２Ｅに設定された仮の冗長ロウアドレスＲＲＡＤをメモリコア３０Ｃに出力する。不良アドレス選択部３６Ｅは、モードレジスタ３２Ｅから出力されるコラムヒューズ無効信号に応じて冗長ヒューズ部１８Ｃの出力を無効にし、モードレジスタ３２Ｅに設定された仮の冗長コラムアドレスＲＣＡＤをメモリコア３０Ｃに出力する。すなわち、不良アドレス選択部３４Ｅ、３６Ｅは、各冗長ヒューズ部１６Ｃ、１８Ｃにプログラムされた不良アドレスまたはモードレジスタ３２Ｅに保持された仮の不良アドレスのいずれかを、ロウデコーダＲＤＥＣの冗長スイッチ回路ＲＲＳＷ（図８）およびコラムデコーダＣＤＥＣの冗長スイッチ回路ＣＲＳＷ（図９）に出力する。

20

【００７７】

この実施形態では、第２の実施形態と同様に、冗長ヒューズ部１６Ｃ、１８Ｃのプログラム前に、仮の冗長ロウアドレスＲＲＡＤおよび仮の冗長コラムアドレスＲＣＡＤを用いて、ワード線ＷＬあるいはコラム線ＣＬを一時的に救済できる。このため、冗長ワード線ＲＷＬ１－２（図８）および冗長コラム線ＲＣＬ１－２（図９）に不良があるか否かを、冗長ヒューズ部１６Ｃ、１８Ｃがプログラムされる前に検出できる。以上、第６の実施形態においても、上述した第１、第２および第４の実施形態と同様の効果を得ることができる。

30

【００７８】

図１４は、本発明の第７の実施形態の半導体メモリを示している。第１、第３および第４の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態の半導体メモリＭＥＭは、第４の実施形態の選択ヒューズ部２６Ｃ、２８Ｃの代わりに選択ヒューズ部２６Ｆ、２８Ｆを有している。また、半導体メモリＭＥＭは、モードレジスタ３２Ｆを有している。その他の構成は、第４の実施形態と同じである。すなわち、半導体メモリＭＥＭは、ＤＲＡＭとして形成されている。

40

【００７９】

モードレジスタ３２Ｆは、選択ヒューズ部２６Ｆ、２８Ｆにプログラムされる値に対応する選択信号ＲＳＥＬ、ＣＳＥＬの出力を無効するための出力無効信号の値をそれぞれ保持する記憶部と、仮の選択信号ＲＳＥＬ、ＣＳＥＬの値をそれぞれ保持するための記憶部と、各選択ヒューズ回路２７Ｆ、２９Ｆをプログラムするためのプログラム情報が書き込まれるプログラム設定部とを有している。記憶部およびプログラム設定部は、メモリＭＥＭの動作モードがテストモードのときに、モードレジスタ設定コマンドとともに供給される外部アドレスＡＤまたはデータＤＴに応じて設定される。

【００８０】

モードレジスタ３２Ｆは、記憶部に設定された値に応じて、出力無効信号および仮の選

50

択信号 RSEL、CSEL1 を、プログラム信号 RPRG1、CPRG1 として選択ヒューズ部 26F、28F にそれぞれ出力する。また、モードレジスタ 32F は、第 3 の実施形態と同様に、プログラム設定部にプログラム情報が書き込まれたときに、選択ヒューズ回路 27F、29F をプログラムするためのプログラム信号 RPRG2、CPRG2（電気信号）を出力する。すなわち、モードレジスタ 32F は、電気信号 RPRG2、CPRG2 を、メモリ MEM の外部から供給されるプログラム情報に応じて出力するプログラム制御回路として機能する。なお、メモリ MEM は、プログラム信号線 RPRG2、CPRG2 に大電流または高電圧を供給するための図示しない電流生成回路または電圧生成回路を有している。

【0081】

10

選択ヒューズ回路 27F、29F は、電気信号 RPRG1 - 2 に応じてプログラムされるために、電流によりブローされるヒューズ、あるいは、電圧により導通または絶縁されるヒューズを有している。選択ヒューズ回路 27F は、レギュラー冗長ワード線 RWL1 - 2（図 8）のいずれかを使用するために、プログラム状態に応じたロウ冗長選択信号 RSEL を出力する。選択ヒューズ回路 29F は、レギュラー冗長コラム線 RCL1 - 2（図 9）のいずれかを使用するために、プログラム状態に応じたコラム冗長選択信号 CSEL を出力する。

【0082】

但し、選択ヒューズ部 26F は、モードレジスタ 32F から出力される出力無効信号に応じて、選択ヒューズ回路 27F からのロウ冗長選択信号 RSEL の出力を禁止し、モードレジスタ 32F から出力される仮のロウ冗長選択信号 RSEL をメモリコア 30C に出力する。また、選択ヒューズ部 28F は、モードレジスタ 32F から出力される出力無効信号に応じて、選択ヒューズ回路 29F からのコラム冗長選択信号 CSEL の出力を禁止し、モードレジスタ 32F から出力される仮のコラム冗長選択信号 CSEL をメモリコア 30C に出力する。

20

【0083】

以上、第 7 の実施形態においても、上述した第 1、第 3 および第 4 の実施形態と同様の効果を得ることができる。すなわち、簡易な回路により、メモリ MEM の性能を低下させることなく、救済効率を向上でき、テストコストを削減できる。

【0084】

30

なお、上述した実施形態では、本発明を DRAM に適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、擬似 SRAM、SRAM あるいはフラッシュメモリ等に適用してもよい。擬似 SRAM は、DRAM のメモリセルを有し、SRAM と同じ入出力インタフェースを有し、メモリセルのリフレッシュ動作を内部で自動的に実行するメモリである。本発明を適用する半導体メモリは、クロック非同期式でもよく、クロック同期式でもよい。

【0085】

上述した第 1 - 第 3、第 5 の実施形態では、2 本のレギュラー冗長ワード線 RWL1 - 2 に対して 1 本のリザーブワード線 RSVWL を形成し、2 本のレギュラー冗長コラム線 RCL1 - 2 に対して 1 本のリザーブ冗長コラム線 RSVCL を形成する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、3 本のレギュラー冗長ワード線 RWL に対して 1 本のリザーブワード線 RSVWL を形成し、3 本のレギュラー冗長コラム線 RCL に対して 1 本のリザーブ冗長コラム線 RSVCL を形成してもよい。

40

【0086】

上述した実施形態では、本発明をワード線 WL の冗長回路およびコラム線 CL の冗長回路の両方に適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明をワード線 WL の冗長回路およびコラム線 CL の冗長回路の一方に適用してもよい。

【0087】

上述した第 3 および第 7 の実施形態では、選択ヒューズ部 26B、28B、26F、2

50

8 F を、モードレジスタ 3 2 B、3 2 F を用いて、テスト工程後にプログラムする例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、冗長ヒューズ部 1 6、1 8、1 6 C、1 8 C を、モードレジスタ 3 2 B、3 2 F を用いて、テスト工程後にプログラムする回路構成としてもよい。この場合、テスト工程後に発生した通常のワード線 W L の不良およびビット線 B L、/ B L の不良を救済できる。

【 0 0 8 8 】

上述した第 3 および第 7 の実施形態では、テスト工程後にプログラム可能にする機能と、選択ヒューズ回路 2 7 B、2 9 B、2 7 F、2 9 F にプログラムされた内容を無効にする機能とを、メモリ M E M に設ける例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、メモリ M E M に、上記機能にいずれか一方を設けてもよい。

10

【 0 0 8 9 】

また、第 2 の実施形態に第 3 の実施形態の特徴を加えてもよい。また、第 6 の実施形態に第 7 の実施形態の特徴を加えてもよい。すなわち、冗長ヒューズ部および選択ヒューズ部をプログラムする前に、仮の冗長アドレスおよび仮の選択信号を用いて不良を一時的に救済してもよい。この場合、ヒューズ回路を使用しても救済できない不良を予め判定することができる。この結果、ヒューズ回路を無駄にプログラムすることが無くなり、テストコストを削減できる。

【 0 0 9 0 】

本発明は、単独のパッケージにモールドされる半導体メモリに適用されてもよく、C P U あるいはメモリコントローラ等とともにシリコン基板上に搭載される半導体メモリに適用されてもよい (S O C ; システムオンチップ) 。あるいは、C P U あるいはメモリコントローラ等とともに 1 つのパッケージにモールドされる半導体メモリに適用されてもよい (S I P ; システムインパッケージ) 。

20

【 0 0 9 1 】

以上の実施形態に関して、さらに以下の付記を開示する。

(付記 1)

メモリセルおよびメモリセルに接続されたワード線、ビット線を有するセルアレイと、複数の不良アドレスがそれぞれプログラムされる複数の冗長ヒューズ回路と、

前記冗長ヒューズ回路にそれぞれ対応して専用に設けられ、不良を救済するためのレギュラー冗長線と、

30

前記冗長ヒューズ回路に共通に設けられ、不良を救済するためのリザーブ冗長線と、

前記冗長ヒューズ回路にそれぞれ対応して設けられ、前記冗長ヒューズ回路にプログラムされた不良アドレスをアクセスアドレスと比較し、比較結果が一致するときに冗長信号をそれぞれ出力する複数のアドレス比較回路と、

前記冗長信号に応答して、対応するレギュラー冗長線または前記リザーブ冗長線のいずれかを有効にするスイッチ回路と、

前記スイッチ回路の切り替えを制御するための冗長選択信号を出力する選択ヒューズ回路とを備えていることを特徴とする半導体メモリ。

(付記 2)

付記 1 記載の半導体メモリにおいて、

40

複数の不良アドレスを書き換え可能に保持するレジスタと、

前記各冗長ヒューズ回路にプログラムされた不良アドレスまたは前記レジスタに保持された対応する不良アドレスのいずれかを前記各アドレス比較回路に出力する不良アドレス選択部を備えていることを特徴とする半導体メモリ。

(付記 3)

付記 1 記載の半導体メモリにおいて、

前記選択ヒューズ回路をプログラムするための電気信号を、半導体メモリの外部から供給されるプログラム情報に応じて出力するプログラム制御回路を備えていることを特徴とする半導体メモリ。

(付記 4)

50

付記 1 記載の半導体メモリにおいて、

前記レギュラー冗長線および前記リザーブ冗長線は、不良のワード線を救済するための冗長ワード線であることを特徴とする半導体メモリ。

(付記 5)

付記 1 記載の半導体メモリにおいて、

不良のビット線を救済するための複数の冗長ビット線と、

前記冗長ビット線にそれぞれ接続される冗長コラムスイッチとを備え、

前記レギュラー冗長線および前記リザーブ冗長線は、前記冗長コラムスイッチのオン/オフを制御するコラム線制御信号を伝達する冗長コラム線であることを特徴とする半導体メモリ。

10

(付記 6)

メモリセルと、メモリセルをアクセスするための制御線と、不良のメモリセルまたは不良の制御線を救済するための複数の冗長制御線とを有するメモリコアと、

前記制御線をそれぞれ駆動する複数のドライバと、

不良アドレスがプログラムされる冗長ヒューズ回路と、

前記ドライバを前記冗長制御線のいずれかに選択的に接続するための選択スイッチ回路と、

前記各ドライバの出力を、前記冗長ヒューズ回路にプログラムされた不良アドレスに対応する制御線を除く制御線と選択スイッチ回路とに接続する冗長スイッチ回路と、

前記選択スイッチ回路の切り替えを制御するための冗長選択信号を出力する選択ヒューズ回路とを備えていることを特徴とする半導体メモリ。

20

(付記 7)

付記 6 記載の半導体メモリにおいて、

前記冗長制御線は、前記ドライバのいずれか 1 つにそれぞれ対応する複数のレギュラー冗長線と、前記レギュラー冗長線に対応するドライバに共通のリザーブ冗長線とで構成されることを特徴とする半導体メモリ。

(付記 8)

付記 6 記載の半導体メモリにおいて、

不良アドレスを書き換え可能に保持するレジスタと、

前記冗長ヒューズ回路にプログラムされた不良アドレスまたは前記レジスタに保持された不良アドレスのいずれかを前記冗長スイッチ回路に出力する不良アドレス選択部を備えていることを特徴とする半導体メモリ。

30

(付記 9)

付記 6 記載の半導体メモリにおいて、

前記選択ヒューズ回路をプログラムするための電気信号を、半導体メモリの外部から供給されるプログラム情報に応じて出力するプログラム制御回路を備えていることを特徴とする半導体メモリ。

(付記 10)

付記 6 記載の半導体メモリにおいて、

前記メモリコアは、メモリセルに接続されたワード線を備え、

前記冗長制御線は、不良のワード線を救済するための冗長ワード線であることを特徴とする半導体メモリ。

40

(付記 11)

付記 6 記載の半導体メモリにおいて、

前記メモリコアは、メモリセルに接続されたビット線と、不良のビット線を救済するための冗長ビット線と、ビット線に接続されるコラムスイッチと、冗長ビット線に接続される冗長コラムスイッチとを備え、

前記冗長制御線は、冗長コラムスイッチのオン/オフを制御するコラム線制御信号を伝達する冗長コラム線であることを特徴とする半導体メモリ。

【0092】

50

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【産業上の利用可能性】

【0093】

本発明は、不良を救済するための冗長回路を有する半導体メモリに適用できる。

【図面の簡単な説明】

【0094】

【図1】本発明の第1の実施形態の半導体メモリを示すブロック図である。

【図2】図1に示したロウデコーダの詳細を示すブロック図である。

10

【図3】図1に示したコラムデコーダの詳細を示すブロック図である。

【図4】図2に示した冗長ワードデコーダおよび図3に示した冗長コラムデコーダの詳細を示す回路図である。

【図5】本発明の第2の実施形態の半導体メモリを示すブロック図である。

【図6】本発明の第3の実施形態の半導体メモリを示すブロック図である。

【図7】本発明の第4の実施形態の半導体メモリを示すブロック図である。

【図8】図7に示したロウデコーダの詳細を示すブロック図である。

【図9】図7に示したコラムデコーダの詳細を示すブロック図である。

【図10】本発明の第5の実施形態の半導体メモリを示すブロック図である。

【図11】図10に示したロウデコーダの詳細を示すブロック図である。

20

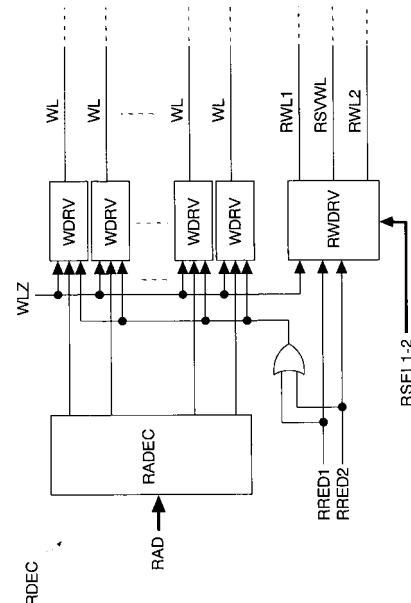
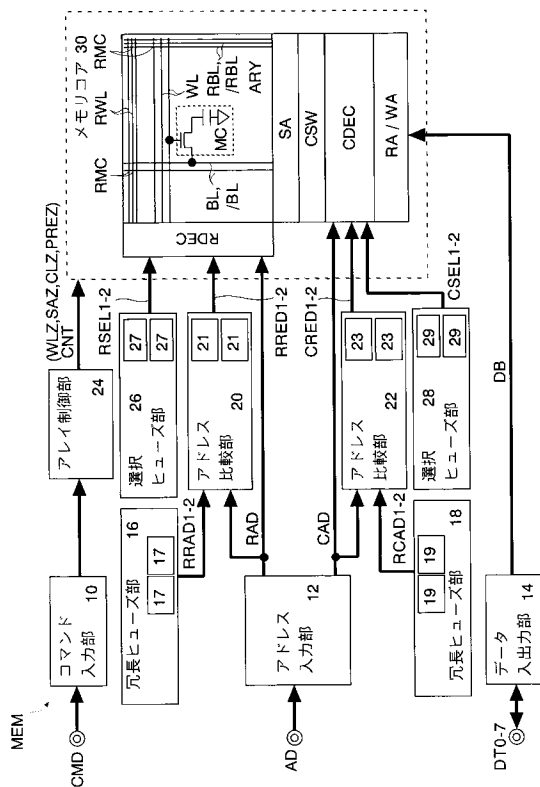
【図12】図10に示したコラムデコーダの詳細を示すブロック図である。

【図13】本発明の第6の実施形態の半導体メモリを示すブロック図である。

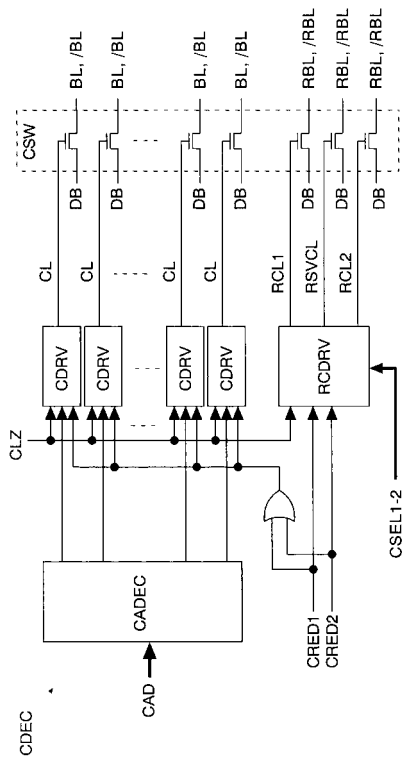
【図14】本発明の第7の実施形態の半導体メモリを示すブロック図である。

【図1】

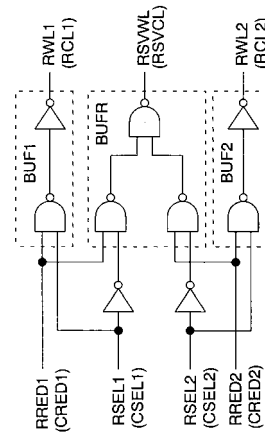
【図2】



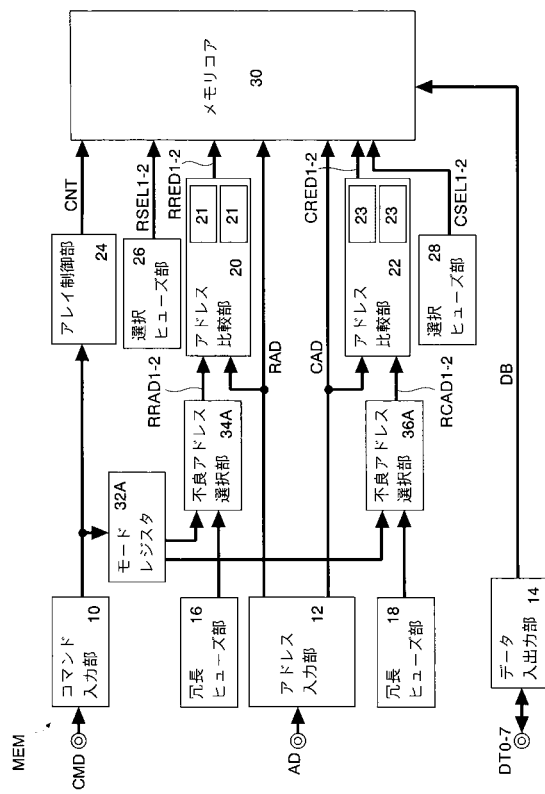
【 図 3 】



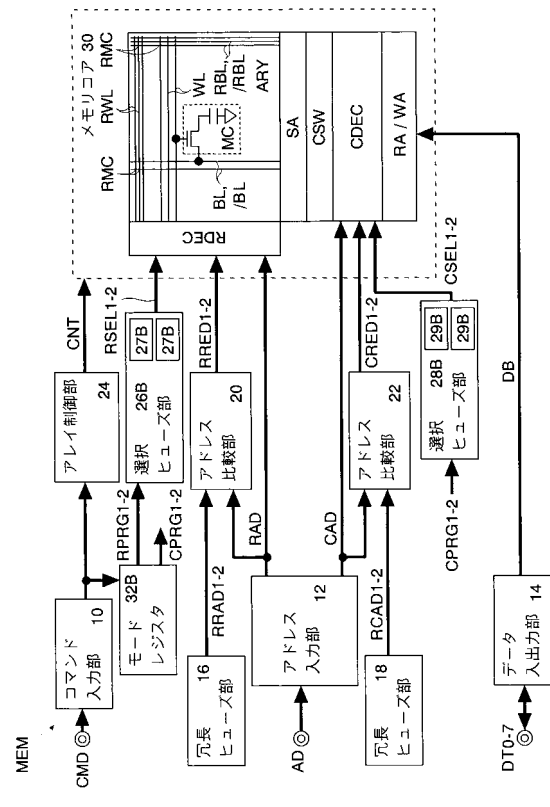
【 図 4 】



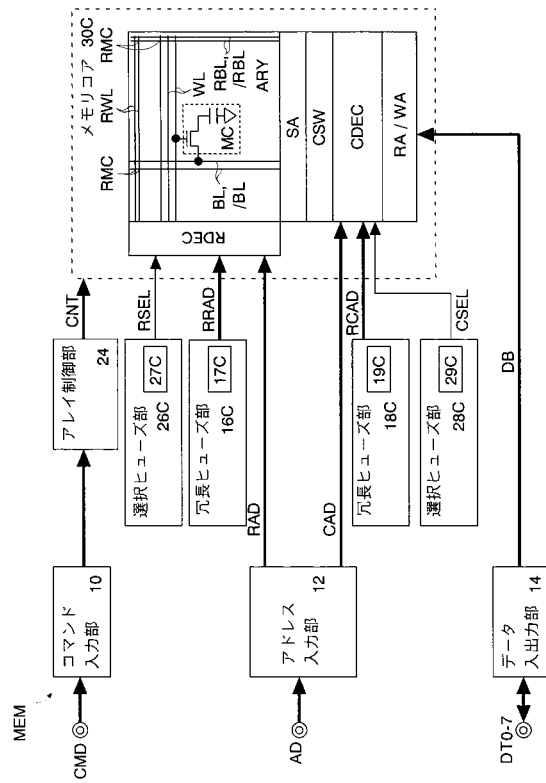
【 図 5 】



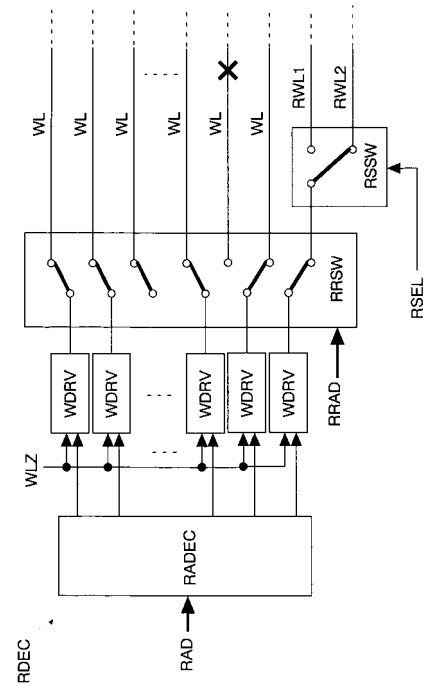
【 図 6 】



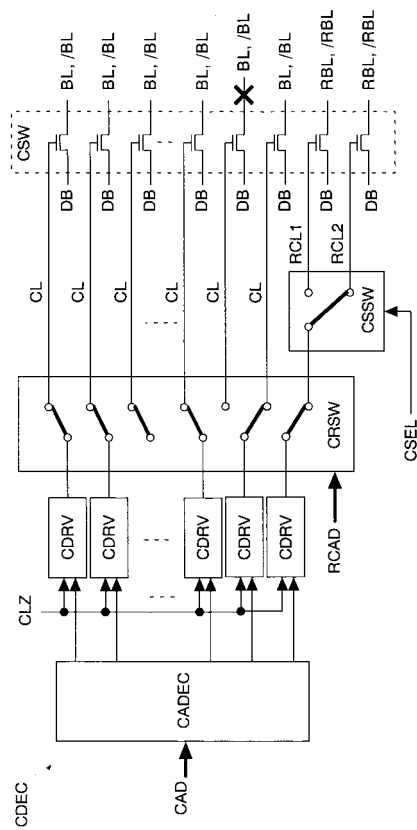
【図 7】



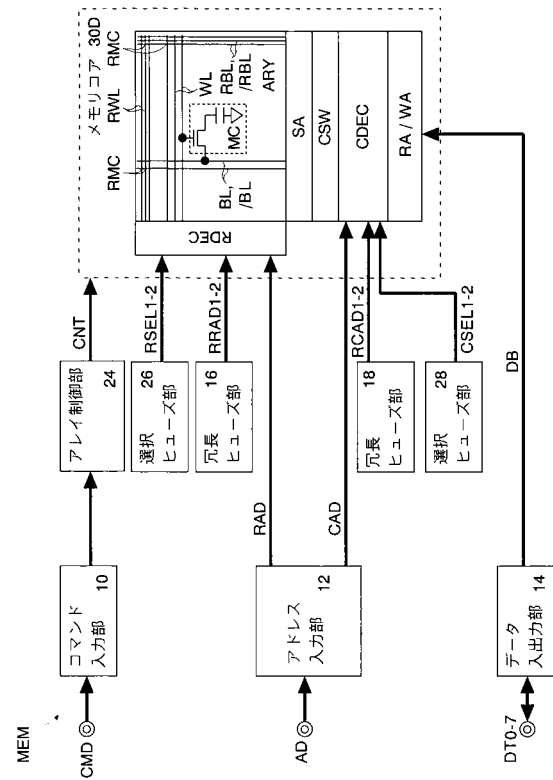
【図 8】



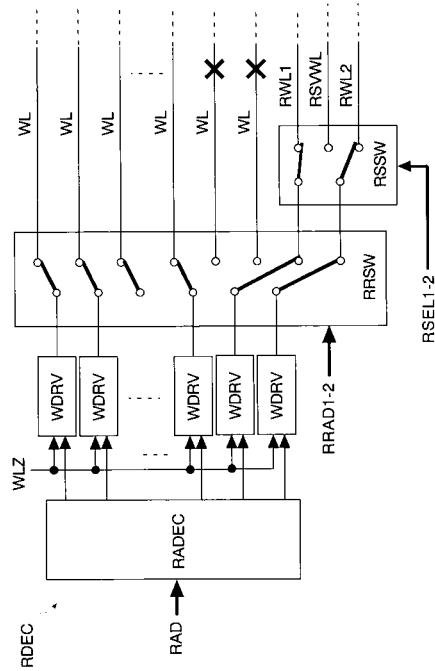
【図 9】



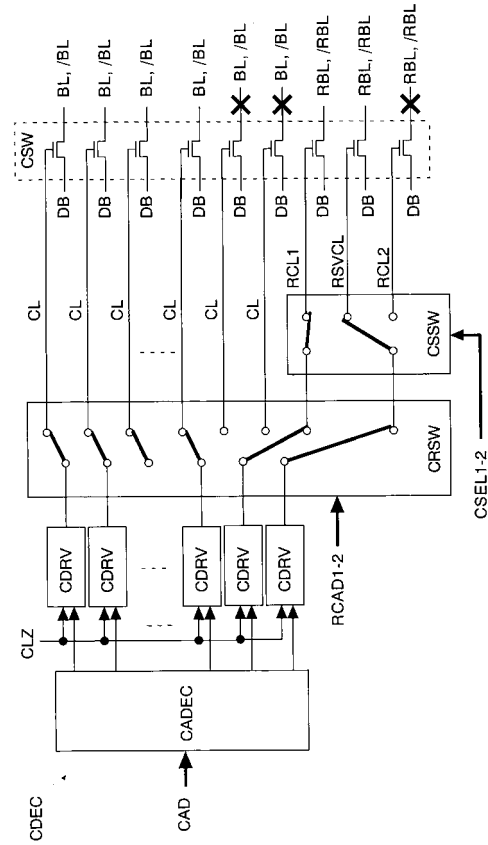
【図 10】



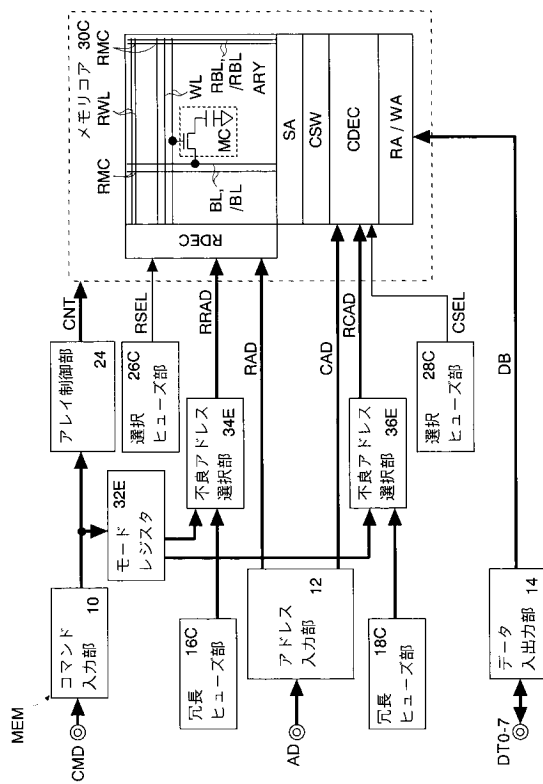
【図 1 1】



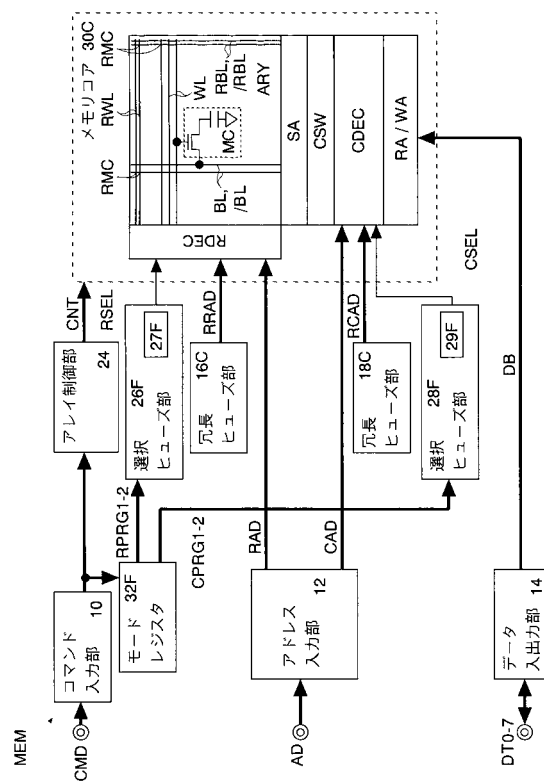
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(56)参考文献 特開 2 0 0 1 - 0 3 5 1 8 7 (J P , A)
特開 2 0 0 4 - 2 2 0 7 2 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G11C 29/04