Octrooiraad

(12)A **Terinzagelegging** (11) **8701032**

Nederland (19) **NL**

(54) **Werkwijze voor het vervaardigen van een halfgeleiderinrichting met interconnecties die zowel boven een halfgeleidergebied als boven een daaraan grenzend isolatiegebied liggen.**

(51) Int.Cl⁴.: H01L 21/31, H01L 23/52.

(71) Aanvrager: N.V. Philips' Gloeilampenfabrieken te Eindhoven.

(74) Gem.: Ir. P.J.P.G. Simons c.s.
Internationaal Octrooibureau B.V.
Prof. Holstlaan 6
5656 AA Eindhoven.

(21) Aanvrage Nr. 8701032.

(22) Ingediend 1 mei 1987.

(32) - -

(33) - -

(31) - -

(62) - -

(43) Ter inzage gelegd 1 december 1988.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

N.V. Philips' Gloeilampenfabrieken te Eindhoven.

Werkwijze voor het vervaardigen van een halfgeleiderinrichting met interconnecties die zowel boven een halfgeleidergebied als boven een daaraan grenzend isolatiegebied liggen.

De uitvinding heeft betrekking op een werkwijze voor het vervaardigen van een halfgeiderinrichting waarbij op een oppervlak van een halfgeleiderlichaam, waaraan een aantal isolatiegebieden en een aantal halfgeleidergebieden grenzen, achtereenvolgens een eerste patroon van geleiders, een isolerende laag en een tweede patroon van geleiders wordt aangebracht, waarbij tussen beide patronen plaatselijk onderlinge kontakten tot stand worden gebracht via openingen in dc isolerende laag, die zowel boven een halfgeleidergebied als boven een daaraan grenzend isolatiegebied liggen. De isolatiegebieden kunnen in het halfgeleiderlichaam aangebrachte veldisolatiegebieden zijn, maar ook op het oppervlak aanwezige isolatiegebieden die dienen voor isolatie van bijvoorbeeld poortelektrodes.

Via de openingen in de isolerende laag worden interconnecties gevormd tussen de beide patronen van geleiders. Het eerste patroon, dat op het oppervlak van het halfgeleiderlichaam is aangebracht maakt plaatselijk kontakt met halfgeleiderbieden. Via interconnecties zijn deze halfgeleidergebieden met het tweede patroon van geleiders verbonden. Omdat de interconnecties zijn gerealiseerd op plaatsen die zich zowel boven een halfgeleidergebied als boven een daaraan grenzend isolatiegebied bevinden is veel ruimte op het oppervlak van het halfgeleiderlichaam bespaard. In de praktijk hebben openingen in de isolerende laag via welke de interconnecties tot stand worden gebracht afmetingen die door het fabrikageproces met lithografische- en etsprocesstappen worden bepaald. Zo heeft een dergelijke opening bijvoorbeeld een doorsnede van 1 bij 1 µm. Worden de interconnecties gerealiseerd op plaatsen die alleen maar boven halfgeleidergebieden liggen, dan moeten deze halfgeleidergebieden afmetingen hebben die groter zijn dan die van de openingen in de isolerende laag. Worden de interconnecties gerealiseerd op plaatsen die zowel boven een halfgeleidergebied als boven een daaraan grenzend isolatiegebied liggen, dan zijn de openingen dus slechts gedeeltelijk boven de halfgeleidergebieden aanwezig zodat deze halfgeleidergebieden

veel kleiner kunnen zijn. In het eerste geval moeten de halfgeleidergebieden bijvoorbeeld een oppervlak van circa 2 bij 2 µm vertonen, in het tweede geval een veel kleiner oppervlak.

Uit het artikel "A new device interconnect scheme for sub-micron VLSI" van D.C. Chen e.a., Technical Digest of the International Electron Devices Meeting, 1984, pp. 118-121 is een werkwijze van de in de aanhef genoemde soort bekend, waarbij de onderlinge kontakten aanwezig zijn op plaatsen die zowel boven een halfgeleidergebied als boven een veldisolatiegebied liggen. Deze kontakten tussen het eerste en het tweede patroon van geleiders worden tot stand gebracht door in de isolerende laag vensters te etsen die eindigen op het eerste patroon van geleiders en het tweede patroon van geleiders over de aldus gevormde vensters heen te leggen.

Bij de bekende werkwijze, waarbij zowel de isolerende laag als de veldisolatiegebieden uit siliciumoxide bestaan, dient het eerste patroon van geleiders als etsstop bij het etsen van het venster. Hierdoor wordt op de plaatsen waar het venster wordt gevormd, het veldoxide tijdens het etsen beschermd. Zou dit niet het geval zijn, dan wordt na het etsen van het venster in de isolerende laag siliciumoxide het veldoxide eveneens geëtst. Wordt het etsproces niet tijdig gestopt, dan kan het veldoxide plaatselijk geheel worden weggeëtst. Na het aanbrengen van het tweede patroon van geleiders zou dan een p-n-overgang die tegen het veldoxide eindigde kortgesloten zijn. Vooral in die gevallen waarin de p-n-overgang relatief dicht bij het oppervlak van het halfgeleiderlichaam verloopt is het moeilijk om het etsproces tijdig te stoppen. Dit is zeker zo bij halfgeleiderinrichtingen waarbij halfgeleidergebieden, veldisolatiegebieden, geleiders en kontaktvensters met micron en sub-micron afmetingen gerealiseerd moeten worden.

Bij de beschreven bekende werkwijze dient het eerste patroon geleiders als etsstop bij het etsen van de vensters in de isolerende laag. Ter plaatse van elk venster dient daartoe een deel van het eerste patroon aanwezig te zijn met een oppervlak dat groter is dan het oppervlak van de doorsnede van het venster. Om het hiervoor beschreven ongewenste etsen van het veldisolatiegebied te voorkomen moet dat oppervlak ten minste zo groot zijn, dat bij realisatie van het venster onder alle omstandigheden tijdens het etsen van het venster de etsstop aanwezig is. Het venster wordt bepaald door een

fotolithografisch masker dat wordt afgebeeld op een laag fotolak die op het oppervlak van het halfgeleiderlichaam is aangebracht. Na ontwikkeling is in de fotolak een opening gevormd van bijvoorbeeld 1 bij 1 µm. Daarna wordt het venster geëtst met de resterende fotolak als maskering. Omdat het fotolithografische masker met een zekere uitrichttolerantie (van circa ± 0,3 µm) wordt afgebeeld, komt het venster meestal niet precies op zijn plaats terecht. Zeker is alleen, dat het terecht komt op een plaats die zo groot is als het masker uitgebreid met een rand ter grootte van de uitrichttolerantie. In het voorbeeld, met een venster van 1 bij 1 µm, dus een plaats van 1,6 bij 1,6 µm. Wordt het deel van het eerste patroon van geleiders dat bij de vorming van het venster als etsstop dient op soortgelijke, fotolithografische wijze aangebracht, waarbij soortgelijke toleranties een rol spelen, dan moet dit deel een oppervlak vertonen ter grootte van de plaats waar het venster terecht kan komen vermeerderd met een strook met een breedte die gelijk is aan de uitrichttolerantie. In het voorbeeld dus een vierkant van 2,2 bij 2,2 µm. Op het oppervlak is daarvoor een plaats nodig die nog een zelfde bedrag groter is. In het voorbeeld dus 2,8 bij 2,8 µm. Voor een venster van 1 bij 1 µm moet dus een etsstop van 2,2, bij 2,2 µm aanwezig zijn waarvoor op het oppervlak van het halfgeleiderlichaam een plaats van 2,8 bij 2,8 µm moet worden gereserveerd.

Met de uitvinding wordt onder meer beoogd een werkwijze te verschaffen waarmee het mogelijk is om, eveneens zonder dat isolatiegebieden ongewenst geëtst of beschadigd worden, een elektrische verbinding te realiseren tussen het eerste en het tweede patroon van elektrische geleiders waarbij het eerste patroon ter plaatse van de opening in de isolerende laag slechts een minimaal oppervlak hoeft te bezitten terwijl op het oppervlak van het halfgeleiderlichaam slechts een minimale ruimte nodig is.

De werkwijze van de in de aanhef genoemde soort heeft daartoe, volgens de uitvinding, als kenmerk, dat de onderlinge kontakten tot stand worden gebracht door in het eerste patroon van geleiders geleidende pilaren te vormen, na het aanbrengen van de isolerende laag een top van de pilaren bloot te leggen en het tweede patroon over de blootgelegde top van de pilaren heen te leggen.

De pilaar heeft afmetingen die overeenkomen met een

masker dat bij de vorming van de pilaar met behulp van fotolithografische- en etstechnieken wordt gebruikt. Wordt hetzelfde masker - als hiervoor beschreven werd - gebruikt, dan bezit de pilaar een doorsnede van 1 bij 1 µm. Deze pilaar kan omdat hij van een ander materiaal is als dat van het halfgeleiderlichaam en van het isolatiegebied geëtst worden praktisch zonder dat het halfgeleidermateriaal en het isolatiemateriaal worden aangetast. Het isolatiegebied kan een in het halfgeleiderlichaam aangebracht veldisolatiegebied zijn, maar ook een op het oppervlak aanwezig isolatiegebied dat dient om bijvoorbeeld een poortelektrode te isoleren. Een etsstop bij het maken van de pilaar is niet nodig. Op het oppervlak van het halfgeleiderlichaam hoeft hiervoor slechts een ruimte, die een strook met een breedte ter grootte van de uitrichttolerantie groter is, gereserveerd te worden. In het voorbeeld dus een ruimte van 1,6 bij 1,6 µm. Als hiervan een deel van 0,5 bij 1 µm op het halfgeleidergebied ligt is een goede kontaktering daarvan verzekerd.

Een voorkeursuitvoering van de werkwijze volgens de uitvinding, heeft als kenmerk, dat het eerste patroon geleiders wordt gevormd in een dubbellaag met een grondlaag en een toplaag van onderling selektief etsbare materialen, waarbij de pilaren worden gevormd in de toplaag en daarna de grondlag wordt geëtst waarbij de pilaren als etsmasker gebruikt worden.

In de grondlaag kunnen verschillende patronen geëtst worden. Zo kunnen de pilaren als het ware afgebeeld worden in de grondlaag. Ook kunnen in de grondlaag geleiderbanen gevormd worden waarbij dan de pilaren op een zelfregistrerende wijze aansluiten. In dit laatste geval kan een geleiderbaan met een breedte die even groot of zelfs smaller is dan de pilaar rechtstreeks aansluiten aan de pilaar. Verder kunnen in de grondlaag nog geleiderbanen gevormd worden die niet aansluiten op een pilaar maar die bijvoorbeeld over een veldoxidegebied lopen en twee daaraan grenzende halfgeleidergebieden met elkaar verbinden.

In de praktijk kunnen de pilaren en de overige geleiderbanen erg goed in de dubbellaag worden gevormd als de grondlaag hoofdzakelijk uit wolfraam en de toplaag hoofdzakelijk uit aluminium bestaat. Aan het wolfraam is bijvoorbeeld circa 10 vol % titaan en aan het aluminium bijvoorbeeld circa 0,5 vol % silicium toegevoegd. Ook

andere toevoegingen in kleine hoeveelheden zijn nog mogelijk.

De uitvinding wordt in het navolgende, bij wijze van voorbeeld, nader toegelicht aan de hand van een tekening. In de tekening tonen:

Fig. 1 t/m Fig. 5 schematisch en in dwarsdoorsnede enkele achtereenvolgende stadia van vervaardiging van een halfgeleiderinrichting met behulp van de werkwijze volgens de uitvinding.

Fig. 6 en 7 schematisch een interconnectie tussen een eerste en een tweede patroon van geleiders gerealiseerd met een bekende werkwijze,

Fig. 8 en 9 schematisch een interconnectie tussen een eerste en een tweede patroon van geleiders gerealiseerd met de werkwijze volgens de uitvinding,

Fig. 10 t/m 13 meer in detail enkele stadia zoals getoond in de figuren 1 t/m 5 en

Fig. 14 en 15 enkele varianten van de in de figuur 5 getoonde interconnecties.

De figuren 1 tot en met 5 tonen schematisch en in dwarsdoorsnede enkele achtereenvolgende stadia van vervaardiging van een halfgeleiderinrichting met behulp van de werkwijze volgens de uitvinding. Uitgegaan wordt van een halfgeleiderlichaam 1 van silicium van het n-geleidingstype met een oppervlak 2 waaraan een aantal halfgeleidergebieden 3 grenzen die van elkaar geïsoleerd zijn door veldisolatiegebieden 4. In de tekening zijn twee van zulke gebieden getekend, het zal echter duidelijk zijn, dat een halfgeleiderinrichting in de praktijk zeer veel van dergelijke gebieden kan bevatten. De veldisolatiegebieden 4 bestaan uit siliciumoxide dat door locale oxidatie van silicium verkregen kan zijn. Ook kunnen in het halfgeleiderlichaam 1 geëtste groeven gevuld zijn met siliciumoxide. De halfgeleidergebieden 3 bevatten een aanvoerzone 5 en een afvoerzone 6 van een veldeffekttransistor. Beide zones 5,6 zijn van het p-geleidingstype en vormen in het halfgeleidergebied 3 met het daar aanwezige n-type materiaal een p-n-overgang 7 die op een afstand van circa 0,3 µm van het oppervlak 2 verloopt. Op het oppervlak 2 is een poortelektrode 8 aangebracht van geleidend polykristallijn silicium die op een circa 20 nm dikke laag poortoxide 9 ligt en die zijdelings is

geïsoleerd door randen 10 van siliciumoxide. Op het oppervlak 2 is verder bijvoorbeeld nog een geleider 11 van geleidend polykristallijn silicium aanwezig die eveneens zijdelings is geïsoleerd door randen 10 van siliciumoxide.

Op het oppervlak 2 worden, zoals verder nog in detail zal worden beschreven, een eerste patroon van geleider 20, een isolerende laag 21 en een tweede patroon van geleiders 22 aangebracht (zie figuur 5). De isolerende laag 21 bestaat uit siliciumoxide dat bijvoorbeeld is verkregen door het halfgeleiderlichaam 1 op 400°C te verhitten in een atmosfeer van silaan en zuurstof.

Tussen de beide patronen geleiders 20 en 22 worden plaatselijk onderlinge kontakten tot stand gebracht via openingen 23 in de isolerende laag. Deze openingen 23 liggen zowel boven een halfgeleidergebied 3 als boven een daaraan grenzend veldisolatiegebied 4, waardoor de ruimte op het oppervlak 2 zeer efficient is gebruikt. In de praktijk hebben de openingen 23 in de isolerende laag 21 afmetingen die door het fabrikageproces, met fotolithografische- en etsprocessen, worden bepaald. Een dergelijke opening heeft bijvoorbeeld een doorsnedevan 1 bij 1 µm. Wordt een dergelijke opening gerealiseerd door in de isolerende laag 21 een venster van die afmetingen te etsen, dan mag deze opening niet aanwezig zijn boven het veldisolatiegebied 4. Bij het etsen van een dergelijk venster in de laag 21 die uit siliciumoxide bestaat, zou dan het eronder liggend siliciumoxide van het veldisolatiegebied 4 eveneens geëtst worden. Wordt het etsen dan niet tijdig gestopt, dan kan het veldisolatiegebied 4 plaatselijk voor een deel weggeëtst worden. De ondiepe p-n overgang 7 zou dan na het aanbrengen van het tweede patroon van geleiders gemakkelijk kortgesloten kunnen worden. Zou de opening 23 op deze wijze gemaakt worden dan zou het halgeleidergebied 3 zo groot moeten zijn dat het silicium altijd als etsstop tijdens het etsen van het siliciumoxide kan dienen. Dit betekent, dat het, als de opening een doorsnede van 1 bij 1 µm bezit en als deze binnen een tolerantie van ± 0,3 µm op een gewenste plaats kan worden gerealiseerd, een oppervlak van ten minsste 1,6 bij 1,6 µm of beter nog een oppervlak van circa 2 bij 2 µm moet vertonen. Mag die opening 23 zich wel ten dele boven het veldisolatiegebied 4 bevinden, dan kan zoals nog blijken zal het halfgeleidergebied 3 veel kleiner zijn.

Uit het artikel "A new device interconnect scheme for sub-micron VLSI" van D.C. Chen e.a., Technical Digest of the International Electron Devices Meeting 1984, pp. 118-121, is een werkwijze bekend waarbij de opening 23 wel ten dele boven het veldoxide 4 aanwezig is en die is gerealiseerd door het etsen van een venster in de isolerende laag 21 zonder dat daarbij het hiervoor genoemde gevaar bestaat dat het veldisolatiegebied 4 op ongewenste wijze geëtst wordt.
(Zie Figuur 6). Bij deze bekende werkwijze dient een deel 30 van het eerste patroon van geleiders als een etsstop bij het etsen van de opening 23 in de isolerende laag 21. Hierdoor wordt het onderliggende veldisolatiegebied 4 beschermd. Het deel 30 dient daartoe echter een oppervlak te vertonen dat veel groter is dan de doorsnede van de opening 23. Het moet zo groot zijn, dat bij realisatie van de opening 23 onder alle omstandigheden tijdens het etsen de etsstop aanwezig is.

De afmetingen van de opening worden bepaald door de afmetingen van een fotolithografisch masker dat wordt afgebeeld op een laag fotolak. Na ontwikkeling is daarin dan bijvoorbeeld een opening van 1 bij 1 µm gevormd. Daarna wordt in de isolerende laag 21 een venster geëtst met de resterende fotolak als masker. Het venster bezit dan eveneens een met maatstreep 31 aangeduide doorsnede van 1 bij 1 µm. Omdat het fotolithografische masker met een zekere uitzichttolerantie van circa ± 0,3 µm wordt afgebeeld, komt de opening 23 meestal met groeien op zijn plaats terecht, maar kan deze over een afstand van 0,3 µm naar alle kanten verschoven zijn, wat schematisch met maatstrepen 32 en 33 is aangeduid. Zeker is alleen dat de opening terecht komt op een, met maatstreep 34 aangeduide plaats die een rand met een breedte van 0,3 µm groter is dan de genoemde 1 bij 1 µm. Deze plaats 34 meet dus 1,6 bij 1,6 µm.

Het deel 30 van het eerste patroon van geleiders dat hier als etsstap dient wordt op soortgelijke wijze met fotolithografische- en etsprocesstappen gemaakt, waarbij eveneens een uitzichttolerantie van circa ± 0,3 µm een rol speelt. Het deel 30 moet daarom een met maatpijl 35 aangeduide doorsnede vertonen die een rand met een breedte van 0,3 groter is dan de plaats 34. Een oppervlak van 2,2 bij 2,2 µm dus. Daarvoor moet op het oppervlak 2 een met maatpijl 36 aangeduide plaats worden gereserveerd die nog weer zo'n rand groter is, d.w.z. een plaats van 2,8 bij 2,8 µm.

Bij de werkwijze volgens de uitvinding worden de onderlinge kontakten tussen het eerst patroon van geleiders 20 en het tweede patroon van geleiders 22 tot stand gebracht door in het eerste patroon van geleiders 20 geleidende pilaren te vormen, na het aanbrengen van een isolerende laag een top van de pilaren bloot te leggen en het tweede patroon 22 over de blootgelegde top van de pilaren heen te leggen. Dit gebeurt door het oppervlak 2 van het halfgeleiderlichaam 1 (zie figuren 2 en 3) te bedekken met een elektrisch geleidende laag, in dit voorbeeld een dubbellaag met een grondlaag 41 en een toplaag 40 waarvan de bijzondere voordelen later nog besproken zullen worden. Op deze laag, 40,41 wordt op gebruikelijke wijze een fotolakmasker 42 aangebracht. Het fotolakmasker 42 omvat een aantal delen 43 met een doorsnede van 1 bij 1 µm. Daarna wordt de elektrisch geleidende laag 40,41 geëtst met het fotolakmasker 42 als masker waarbij pilaren worden gevormd.

Figuur 8 toont een dergelijke pilaar 44 die zowel in toplaag 40 als in de grondlaag 41 is geëtst. De afzonderlijke lagen zijn in de tekening vanwege de duidelijkheid niet meer aangeduid. De pilaar 44 heeft een doorsnede die overeenkomt met die van een deel 43 van het fotolakmasker, d.w.z. een schematisch met maatpijl 45 aangeduide doorsnede van 1 bij 1 µm. De geleidende laag 40,41 kan van zo'n materiaal vervaardigd worden dat de pilaar 44 zo kan worden geëtst, dat het veldisolatiegebied 4 en het halfgeleidergebied 2 praktisch niet worden aangetast. Een etsstap is dan niet nodig. Omdat het etsmasker 43 met een zekere uitrichttolerantie van circa $\pm$ 0,3 µm wordt aangebracht, kan de pilaar 44 over een afstand van 0,3 µm naar alle kanten verschoven, zover schematisch met maatstrepen 46 en 47 is aangeduid, op het oppervlak 2 terecht komen. Op het oppervlak 2 moet daarom een plaats worden gereserveerd met een oppervlak, zoals aangeduid met maatstreep 48 dat gelijk is aan de doorsnede van de pilaar 44 vermeerderd met een rand met een breedte van 0,3 µm. Een ruimte dus van 1,6 bij 1,6 µm. Opgemerkt wordt, dat de ruimte die op het oppervlak moest worden gereserveerd om met de bekende werkwijze (zie figuur 6) een soortgelijke interconnectie tot stand te brengen 2,8 bij 2,8 µm groot was.

Nadat de pilaren 44 gevormd zijn wordt het oppervlak 2 bedekt met een isolerende laag 50, door het halfgeleiderlichaam 1 op

400°C te verhitten in een atmosfeer van silaan en zuurstof waarbij een laag siliciumoxide gevormd wordt. Deze laag siliciumoxide 50 bedekt tevens de pilaren 44 (zie figuur 10). Daarna wordt de laag 50 zodanig geëtst dat de uiteindelijke isolerende laag 21 wordt gevormd en dat van de pilaren 44 een top 51 wordt blootgelegd. (zie de figuren 11,12 en 13). Dit kan zo gebeuren, dat de laag 21 een oppervlak 52 vertoont dat hoger ligt dan de top 51 van de pilaar 44 (figuur 11), dat lager ligt dan de top 51 (figuur 12) of dat juist even hoog ligt als de top 51 van de pilaar 44 (figuur 13). Op het oppervlak 52 wordt tweede patroon geleider 22 aangebracht, waarbij dit over de top 51 heen ligt en door elektrisch kontakt mee maakt.

Het eerste patroon geleider 20 wordt gevormd in een dubbellaag met een grondlaag 41 en een toplaag 40 van onderling selektief etsbare materialen. Met het etsmasker 42 met de fotolakdelen 43 worden nu eerst pilaren 55 gevormd in de toplaag 40. Na het op gebruikelijke wijze aanbrengen van een tweede fotolakmasker 56 wordt de grondlaag 41 geëtst. In de grondlaag 41 kunnen aldus verschillende patronen geëtst worden. Zo kunnen de pilaren 55 als het ware afgebeeld worden in de grondlaag waarbij delen 57 gevormd worden. In deze gevallen vervult de grondlaag geen enkele rol en had evengoed weggelaten kunnen worden. Figuur 4 toont hiervan als voorbeeld de pilaar 44 zoals die besproken is aan de hand van de figuren 8 tot en met 13. Bij de overige pilaren 55 in figuur 4 is in de grondlaag 41 een geleiderbaan 58 gevormd waarbij de pilaren op zelfregistrerende wijze aansluiten. De pilaar 55 wordt bij het etsen van de geleiderbanen 58 als etsmasker gebruikt dat aansluit op het etsmasker 56. In figuur 4 zijn twee van dergelijke situaties weergegeven waarvan in een geval de geleider 58 kontakt maakt met de op het oppervlak 2 liggende geleider 11 van polykristallijn silicium. Verder toont figuur 4 nog een geleider 59 die slechts in de onderlaag is gevormd en die de onderliggende aanvoerzone 5 verbindt met een niet getekend eldes in de halfgeleider liggend punt.

Figuur 9 geeft een bovenaanzicht van een situatie waarbij de pilaar 55 in de toplaag 40 is gevormd en aansluit op de geleiderbaan 58 die is gevormd in de grondlaag 41. Voor de pilaar 55 moet op het oppervlak 2 een ruimte worden gereserveerd die is aangeduid met een stippellijn 60 en die zoals hiervoor beschreven 1,6 bij 1,6 µm meet. Voor het geleiderspoor 58, met bijvoorbeeld een breedte van1 µm, moet om

dezelfde reden als bij de pilaar, een ruimte worden gereserveerd die is aangeduid met een stippellijn 61 en welke een strook met een breedte van 1,6 µm is. Ter vergelijking toont figuur 7 een vergelijkbare situatie waarbij de aansluiting tussen beide geleiderpatronen op de bekende wijze wordt gerealiseerd. Voor het deel 30 van het tweede patroon waarboven het venster 23 was gesitueerd, moest een ruimte die is aangeduid met een stippellijn 62 worden gereserveerd van 2,8 bij 2,8 µm. Voor een daarop aansluitende geleider 63 een met een stippellijn bij aangeduide strook met een breedte van 1,6 µm. Uit de figuren 7 en 9 blijkt, dat bij de realisatie van het eerste geleiderpatroon 20 waarbij de pilaren 55 verbonden zijn met geleiders 57 die zijn gevormd in de grondlaag 41 zoals dat bij de werkwijze volgens de uitvinding het geval is een grote ruimtebesparing wordt verkregen.

Het eerste patroon geleiders 20 wordt, volgens de uitvinding, gevormd in een dubbellaag met een grondlaag 41 die hoofdzakelijk bestaat uit wolfraam, en een toplaag 40 die hoofdzakelijk bestaat uit aluminium. Aan het wolfraam is bijvoorbeeld circa 10 vol % titaan en van het aluminium is bijvoorbeeld circa 0,5 vol % silicium toegevoegd. Ook andere toevoegingen zoals stikstof in wolfraam en koper in aluminium zijn nog mogelijk. Het aluminium is selektief etsbaar ten opzichte van het wolfraam in een chloorhoudend plasma (bijvoorbeeld in een plasma van CCl_4 en Cl_2) waarna het wolfraam selektief etsbaar is ten opzichte van silicium en siliciumverbindingen in een gebufferde peroxide oplossing.

Bij voorkeur wordt bij het blootleggen van de top 51 van de pilaren 44,55, de isolerende laag 50 (zie figuren 10, 12 en 13) zo geëtst, dat deze laag 21 na etsen een praktisch vlak oppervlak 52 vertoont dat praktisch samenvalt met of lager ligt dan de top 51 van de pilaren 44,55. Dit kan bijvoorbeeld door boven op de laag 50 nog een laag lak 70 aan te brengen welke een vlak oppervlak 71 vertoont en door daarna het halfgeleiderlichaam te onderwerpen aan een etsbehandeling waarbij de laklaag 70 en de isolerende laag 50 praktisch even snel geëtst worden. Het tweede patroon geleiders 22 kan dan worden aangebracht op een praktisch vlak oppervlak 52 hetgeen veel eenvoudiger is dan op een niet vlak oppervlak.

Het aanbrengen van een laag lak 70 met een vlak oppervlak 71 wordt sterk vergemakkelijkt door op het oppervlak 2 van het

halfgeleiderlichaam 1 een aantal dummy pilaren 75 wordt gevormd in het eerste patroon geleiders 20, dat gezien over het oppervlak 2 een praktisch regelmatige bezetting met pilaren wordt gerealiseerd. Aldus worden sterke verschillen in oppervlakte-topografie vermeden waarmee bereikt wordt dat de isolerende laag 50 eveneens minder sterke verschillen in oppervlakte-topografie zal vertonen. Na aanbrengen van de laag lak 70 zal deze een veel vlakker oppervlak vertonen dan wanneer deze was aangebracht op een oppervlak dat de grotere oppervlakte-topografie vertoonde.

Na aanbrengen van het tweede patroon geleider 22 wordt het geheel wederom bedekt met een tweede isolerende laag met eventueel een derde patroon van geleiders dat kontakt maakt met het tweede patroon via openingen in de tweede isolerende laag. Dit is vanwege de duidelijkheid in de tekening niet aangegeven.

Het zal duidelijk zijn dat de uitvinding niet beperkt is tot het gegeven voorbeeld, maar dat er binnen het kader van de uitvinding not vele variaties mogelijk zijn. Zo kunnen de aanvoerzones 5, de afvoerzones 6, de poortelektroden 8 en de extra geleiders 11, voordat de geleidende dubbellaag 40,41 wordt aangebracht, aan hun oppervlak op gebruikelijke wijze voorzien worden van een silicidelaagje door bijvoorbeeld het oppervlak 2 te bedekken met een laagje titaan, een warmtebehandeling uit te voeren en het niet gereageerde titaan weg te etsen.

In het voorgaande is beschreven dat de interconnecties via pilaren 44 tot stand werden gebracht op plaatsen die zich zowel boven veldoxidegebieden 4 als boven halfgeleidergebieden 3 bevinden. Eveneens met het voordeel van ruimtebesparing kunnen deze interconnecties tot stand worden gebracht op plaatsen die zich zowel boven halfgeleidergebieden 3 als boven andere isolatiegebieden, zoals bijvoorbeeld het isolatiegebied 10 dat dient als isolatie van de poortelektrode 8 (zie figuur 14). Bijzonder veel ruimtebesparing wordt verkregen als deinterconnectie tot stand wordt gebracht op een plaats die zich zowel boven het halfgeleidergebied 3, als boven het veldisolatiegebied 4 als boven het isolatiegebied 10 bevindt (zie figuur 15).

Conclusies:

1. Werkwijze voor het vervaardigen van een halfgeleiderinrichting waarbij op een oppervlak van een halfgeleiderlichaam, waaraan een aantal isolatiegebieden en een aantal halfgeleidergebieden grenzen, achtereenvolgens een eerste patroon van geleiders, een isolerende laag en een tweede patroon van geleiders wordt aangebracht, waarbij tussen beide patronen plaatselijk onderlinge kontakten tot stand worden gebracht via openingen in de isolerende laag, die zowel boven een halfgeleidergebied als boven een daaraan grenzend isolatiegebied liggen, met het kenmerk, dat de onderlinge kontakten tot stand worden gebracht door in het eerste patroon van geleiders geleidende pilaren te vormen, na het aanbrengen van de isolerende laag een top van de pilaren bloot te leggen en het tweedepatroon over de blootgelegde top van de pilaren heen te leggen.

2. Werkwijze volgens conclusie 1, met het kenmerk, dat het eerste patroon geleiders wordt gevormd in een dubbellaag met een grondlaag en een toplaag van onderling selektief etsbare materialen, waarbij de pilaren worden gevormd in de toplaag en daarna de grondlaag wordt geëtst waarbij de pilaren als etsmasker gebruikt worden.

3. Werkwijze volgens conclusie 2, met het kenmerk, dat het eerste patroon geleiders wordt gevormd in een dubbellaag met een grondlaag die hoofdzakelijk uit wolfraam bestaat en met een toplaag die hoofdzakelijk uit aluminium bestaat.

4. Werkwijze volgens conclusie 1,2 of 3 met het kenmerk, dat bij het blootleggen van de top van de pilaren de isolerende laag Zo wordt geëtst, dan deze na het etsen een praktisch vlak oppervlak vertoont dat praktisch even hoog of lager ligt als de top van de pilaren.

5. Werkwijze volgens conclusie 4, met het kenmerk, dat in het eerste patroon van geleiders een aantal dummy pilaren wordt gevormd op zulke plaatsen in het oppervlak, dat gezien over het oppervlak een praktisch regelmatige bezetting met pilaren wordt gerealiseerd.

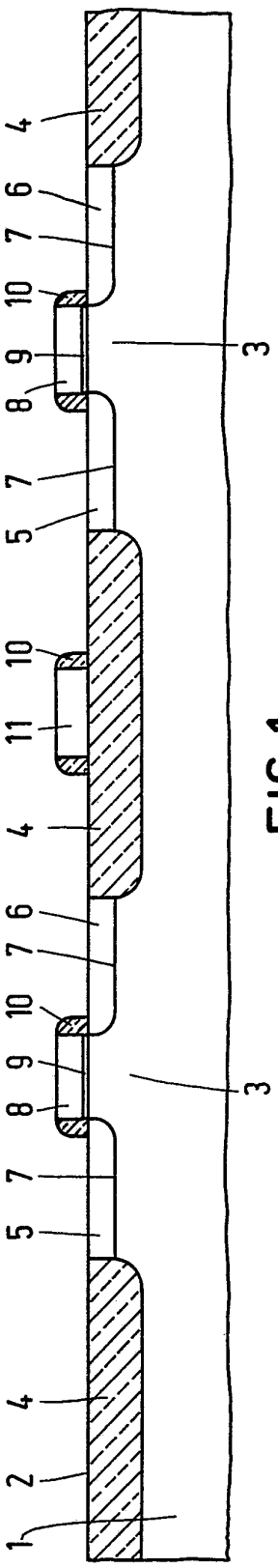

4
6
7
10
9
8
7
5
10
11
4
6
7
10
9
8
7
5
4
2
1
3
3

FIG.1

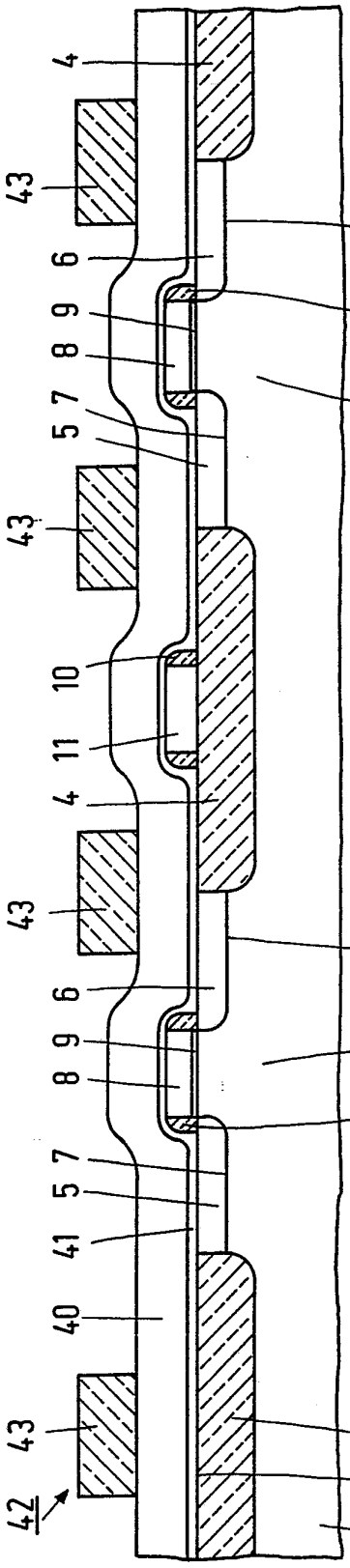

4
43
6
9
8
7
5
43
10
11
4
43
6
9
8
7
5
41
40
43
42
7
10
3
10
7
3
4
2
1

FIG.2

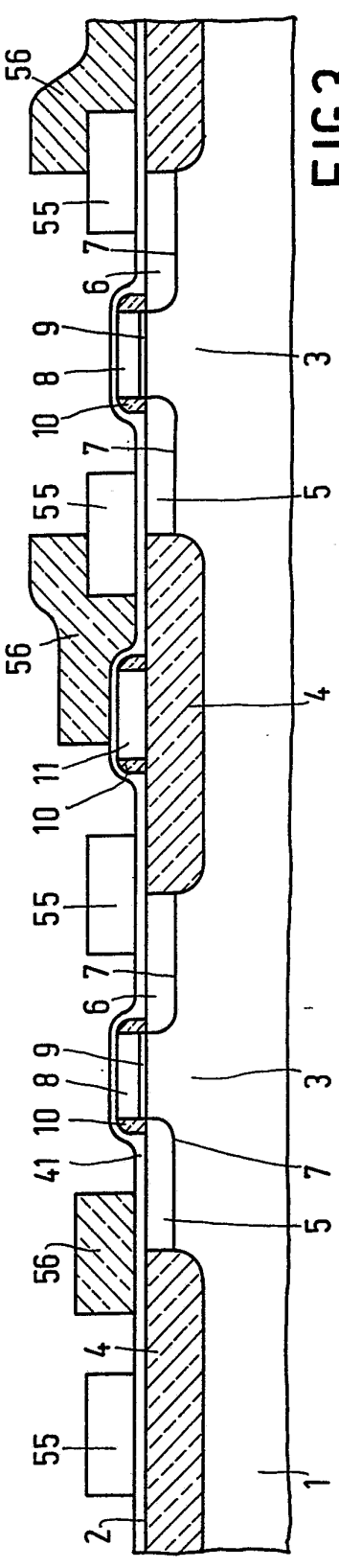


FIG.3

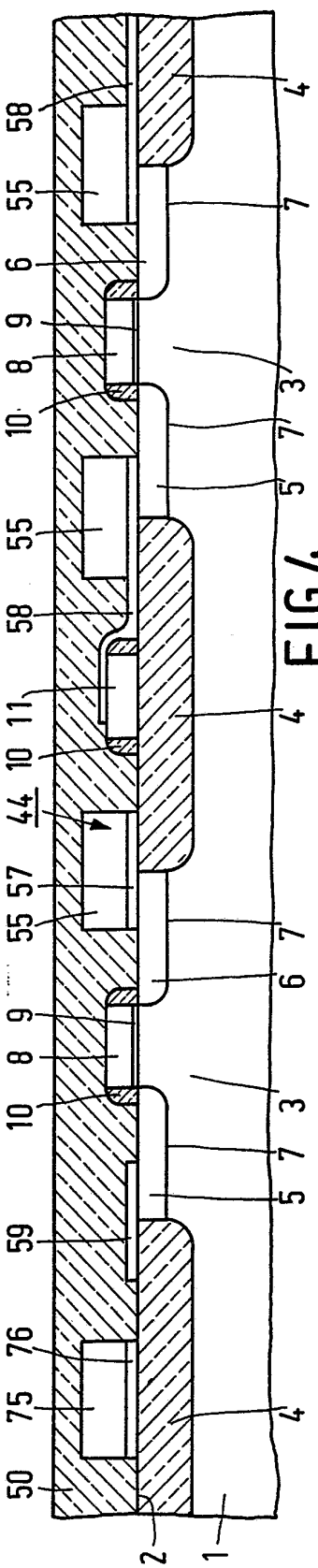


FIG.4

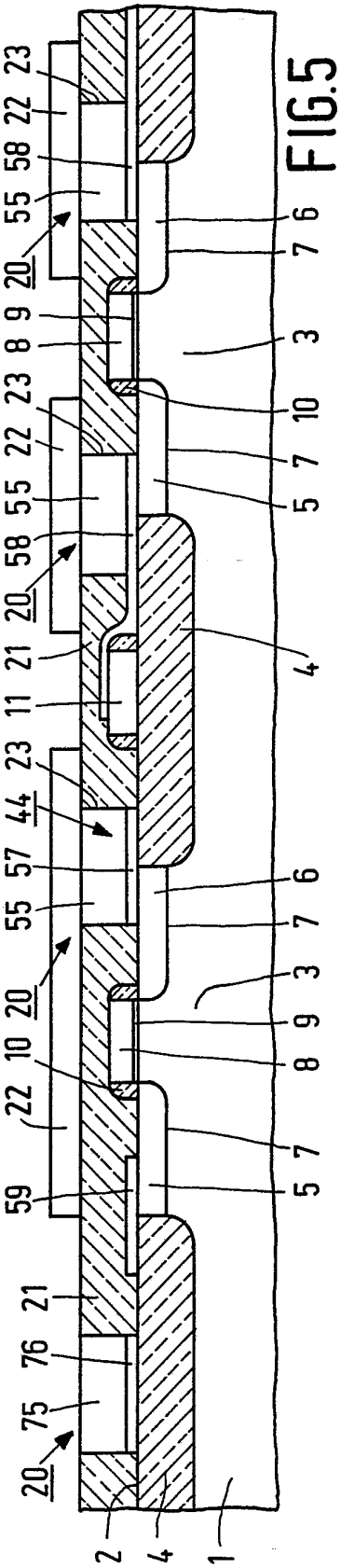


FIG.5

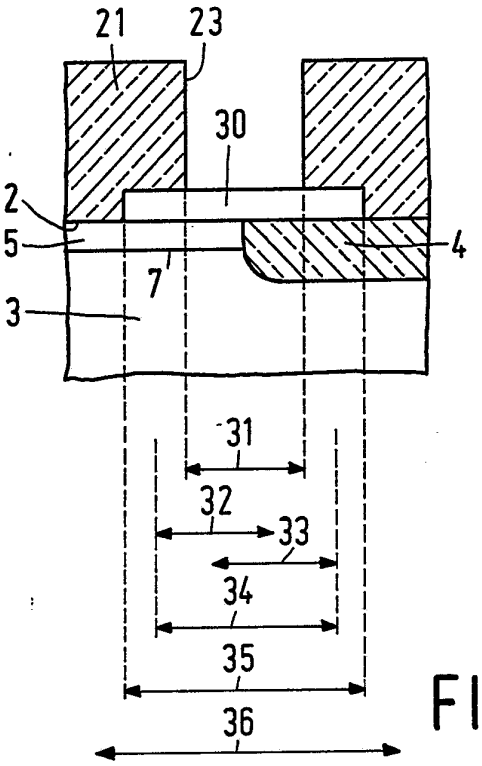


FIG.6

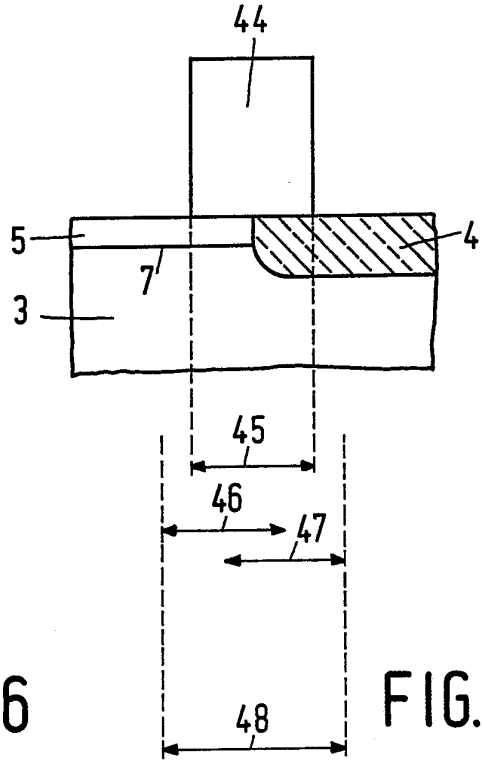


FIG.8

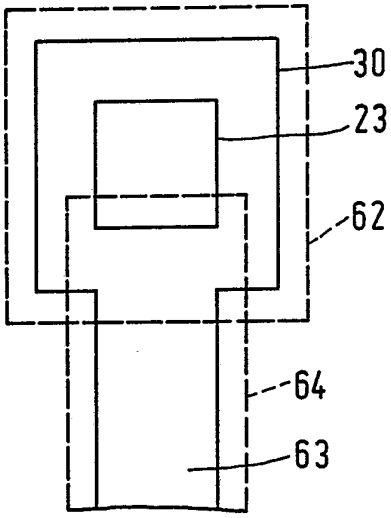


FIG.7

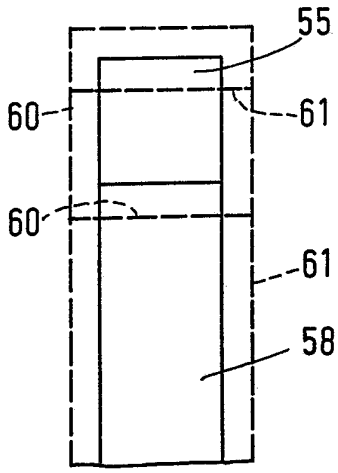


FIG.9

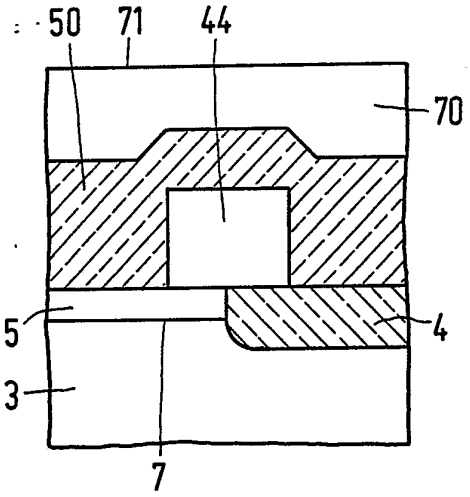


FIG.10

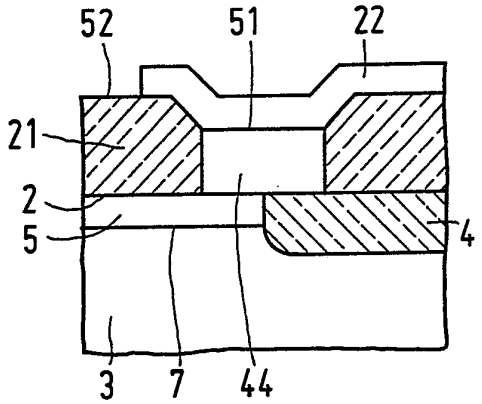


FIG.11

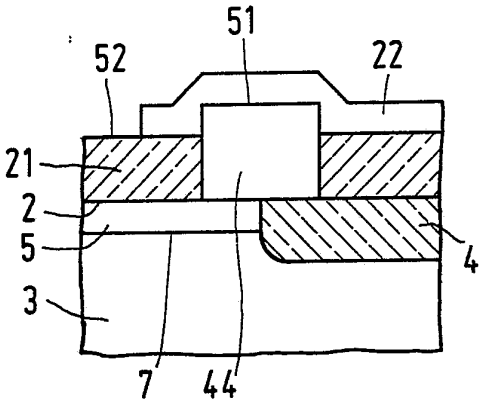


FIG.12

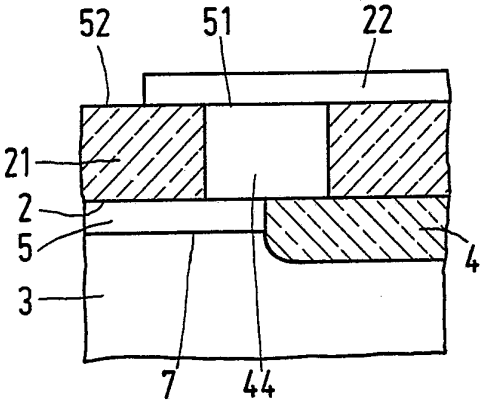


FIG.13

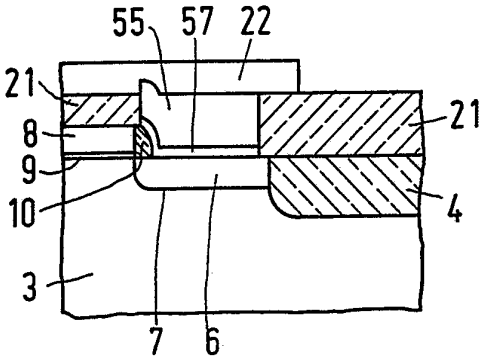


FIG.14

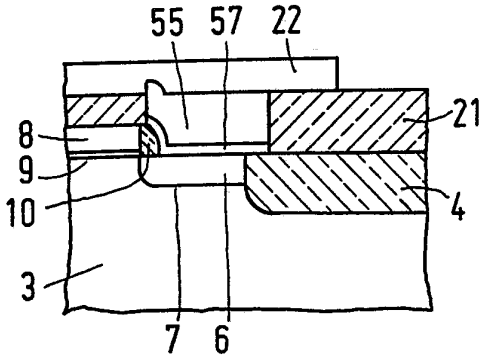


FIG.15