

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 8 月 11 日 (11.08.2022)



(10) 国际公布号
WO 2022/165807 A1

- (51) 国际专利分类号:
G09G 3/3225 (2016.01) **H01L 27/32** (2006.01)
- (21) 国际申请号: PCT/CN2021/075844
- (22) 国际申请日: 2021 年 2 月 7 日 (07.02.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。成都京东方光电科技
有限公司(**CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川
省成都市高新区(西区)合作路 1188
号, Sichuan 611731 (CN)。
- (72) 发明人: 刘珂(**LIU, Ke**); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
石领(**SHI, Ling**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。陈义鹏

(**CHEN, Yipeng**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。刘焯(**LIU,
Lang**); 中国北京市北京经济技术开发区地泽
路 9 号, Beijing 100176 (CN)。张振华(**ZHANG,
Zhenhua**); 中国北京市北京经济技术开发区地
泽路 9 号, Beijing 100176 (CN)。田学伟(**TIAN,
Xuewei**); 中国北京市北京经济技术开发区
地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责
任公司(**CHINA SCIENCE PATENT & TRADEMARK
AGENT LTD.**); 中国北京市海淀区西三环北路
87 号 4-312 室, Beijing 100089 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) **Title:** DISPLAY SUBSTRATE, DISPLAY PANEL AND DISPLAY APPARATUS

(54) 发明名称: 显示基板、显示面板和显示装置

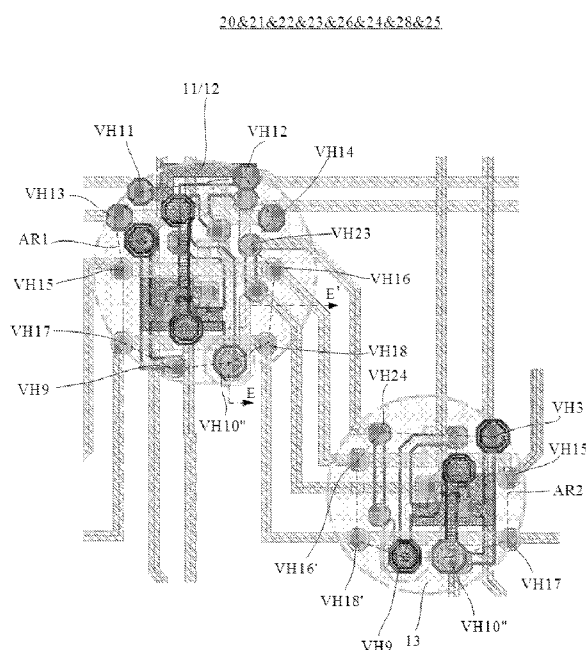


图 23B

(57) **Abstract:** Provided are a display substrate, a display panel and a display apparatus. The display substrate comprises a first display region and a second display region, wherein the light transmittance of the first display region is greater than the light transmittance of the second display region; a plurality of sub-pixels located in the first display region comprise a plurality of sub-pixel groups, each sub-pixel group comprising a first sub-pixel and a second sub-pixel; a first pixel driving circuit comprises a first sub-pixel driving circuit and a second sub-pixel driving circuit; the first sub-pixel driving circuit is used for driving a first light-emitting device of the first sub-pixel to emit light; the second sub-pixel driving circuit is used for driving a first light-emitting device of the second sub-pixel to emit light; the first sub-pixel driving circuit at least comprises a first reset transistor; the second sub-pixel driving circuit at least comprises a second reset transistor; and the first reset transistor of the first sub-pixel driving circuit and the second reset transistor of the second sub-pixel driving circuit are at least partially shared.

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 提供一种显示基板、显示面板和显示装置。显示基板包括第一显示区域和第二显示区域, 第一显示区域的透光率大于第二显示区域的透光率。位于所述第一显示区域中的多个子像素包括多个子像素组, 每一个子像素组包括第一子像素和第二子像素, 所述第一像素驱动电路包括第一子像素驱动电路和第二子像素驱动电路, 所述第一子像素驱动电路用于驱动第一子像素的第一发光器件发光, 所述第二子像素驱动电路用于驱动第二子像素的第一发光器件发光, 所述第一子像素驱动电路至少包括第一复位晶体管, 所述第二子像素驱动电路至少包括第二复位晶体管, 所述第一子像素驱动电路的第一复位晶体管与所述第二子像素驱动电路的第二复位晶体管至少部分共用。

显示基板、显示面板和显示装置

技术领域

本公开涉及显示技术领域，并且具体地涉及一种显示基板、显示面板和显示装置。

背景技术

随着用户对显示装置的多样化使用需求的增加，以及显示装置的高屏占比的设计要求的出现，目前出现了“屏下摄像头”的方案。在“屏下摄像头”的方案中，将摄像头等成像模块嵌入在显示区域中，以缩小显示装置的边框区域的尺寸，从而提高屏占比。目前，在“屏下摄像头”的方案中，在提高显示装置的屏占比的基础上，如何兼顾保证显示基板中对应设置成像模块的位置处的透光率以及显示效果，成为研发人员关注的重要课题。

在本部分中公开的以上信息仅用于对本公开的技术构思的背景的理解，因此，以上信息可包含不构成现有技术的信息。

发明内容

在一个方面，提供一种显示基板，所述显示基板包括第一显示区域和第二显示区域，所述第一显示区域的透光率大于所述第二显示区域的透光率，所述显示基板包括：衬底基板；设置于所述衬底基板且位于所述第一显示区域中的多个子像素，所述子像素包括第一像素驱动电路和第一发光器件，所述第一像素驱动电路与所述第一发光器件电连接，用于驱动所述第一发光器件发光；和设置于所述衬底基板且位于所述第二显示区域中的多个子像素，位于所述第二显示区域中的子像素包括第二像素驱动电路和第二发光器件，所述第二像素驱动电路与所述第二发光器件电连接，用于驱动所述第二发光器件发光，其中，位于所述第一显示区域中的多个子像素包括多个子像素组，每一个子像素组包括第一子像素和第二子像素，所述第一像素驱动电路包括第一子像素驱动电路和第二子像素驱动电路，所述第一子像素驱动电路用于驱动第一子像素的第一发光器件发光，所述第二子像素驱动电路用于驱动第二子像素的第一发光器件发光，所述第一子像素驱动电路至少包括第一复位晶体管，所述第二子像素驱动电路至

少包括第二复位晶体管，所述第一子像素驱动电路的第一复位晶体管与所述第二子像素驱动电路的第二复位晶体管至少部分共用。

根据一些示例性的实施例，所述第一子像素驱动电路的第一复位晶体管与所述第二子像素驱动电路的第二复位晶体管中每一个在所述衬底基板上的正投影均落入所述第一子像素驱动电路的占用区域在所述衬底基板上的正投影内。

根据一些示例性的实施例，所述第一复位晶体管包括共用晶体管和第一子晶体管，所述第二复位晶体管包括所述共用晶体管和第二子晶体管，所述共用晶体管、所述第一子晶体管和所述第二子晶体管中的每一个均包括栅极、源极和漏极，所述共用晶体管、所述第一子晶体管和所述第二子晶体管中的每一个的栅极均接入复位控制信号，所述共用晶体管的源极或漏极中的一个接入初始化电压信号，所述共用晶体管的源极或漏极中的另一个分别与所述第一子晶体管和所述第二子晶体管电连接。

根据一些示例性的实施例，所述显示基板还包括设置于所述衬底基板上的半导体层和位于所述半导体层远离所述衬底基板的一侧的第一导电层，所述显示基板还包括设置于所述衬底基板上的复位信号线，所述复位信号线用于传输复位控制信号，所述复位信号线位于所述第一导电层；以及所述复位信号线包括位于所述第一显示区域中的第一部分、第二部分和第三部分，所述半导体层包括位于所述第一显示区域中的共用沟道部分、第一沟道部分和第二沟道部分，所述第一部分、所述第二部分和所述第三部分在所述衬底基板上的正投影分别与所述共用沟道部分、所述第一沟道部分和所述第二沟道部分在所述衬底基板上的正投影重合，所述共用晶体管的栅极包括所述第一部分，所述第一子晶体管的栅极包括所述第二部分，所述第二子晶体管的栅极包括所述第三部分。

根据一些示例性的实施例，所述共用晶体管包括位于所述半导体层中的共用源极部分和共用漏极部分，所述第一子晶体管包括位于所述半导体层中的第一子源极部分和第一子漏极部分，所述第二子晶体管包括位于所述半导体层中的第二子源极部分和第二子漏极部分；以及所述共用源极部分和所述共用漏极部分分别位于所述共用沟道部分的两侧，所述第一子源极部分和所述第一子漏极部分分别位于所述第一沟道部分的两侧，所述第二子源极部分和所述第二子漏极部分分别位于所述第二沟道部分的两侧。

根据一些示例性的实施例，所述显示基板还包括设置于所述衬底基板上的初始化电压线和设置于所述衬底基板上的第一连接部；所述共用源极部分和所述共用漏极部

分中的一个通过第一过孔与所述初始化电压线电连接，所述共用源极部分和所述共用漏极部分中的另一个与所述第一子源极部分和所述第一子漏极部分中的一个连续延伸；以及所述第一子源极部分和所述第一子漏极部分中的另一个通过第二过孔与所述第一连接部的一端电连接。

根据一些示例性的实施例，所述第一子像素驱动电路还包括第一驱动晶体管，所述第一驱动晶体管包括栅极，所述第一连接部的另一端通过第三过孔与所述第一驱动晶体管的栅极电连接。

根据一些示例性的实施例，所述显示基板还包括设置于所述衬底基板上的第一透明导电连接部；所述共用源极部分和所述共用漏极部分中的另一个还与所述第二子源极部分和所述第二子漏极部分中的一个连续延伸；以及所述第二子源极部分和所述第二子漏极部分中的另一个通过第三过孔与所述第一透明导电连接部的一端电连接。

根据一些示例性的实施例，所述第二子像素驱动电路还包括第二驱动晶体管，所述第二驱动晶体管包括栅极，所述第一透明导电连接部的另一端通过第四过孔与所述第二驱动晶体管的栅极电连接。

根据一些示例性的实施例，所述初始化电压线位于第二导电层中，所述第一连接部位于第三导电层中，所述第二导电层位于所述第一导电层远离所述衬底基板的一侧，所述第三导电层位于所述第二导电层远离所述衬底基板的一侧。

根据一些示例性的实施例，所述第一透明导电连接部位于第一透明导电层中，所述第一透明导电层位于所述第三导电层远离所述衬底基板的一侧。

根据一些示例性的实施例，所述第一子像素驱动电路还包括第一初始化晶体管，所述第一初始化晶体管包括位于所述半导体层中的有源层；所述第二子像素驱动电路还包括第二初始化晶体管，所述第二初始化晶体管包括位于所述半导体层中的有源层；以及所述第一透明导电连接部在所述衬底基板上的正投影与所述第一初始化晶体管的有源层在所述衬底基板上的正投影部分重叠，以及所述第一透明导电连接部在所述衬底基板上的正投影与所述第二初始化晶体管的有源层在所述衬底基板上的正投影部分重叠。

根据一些示例性的实施例，所述显示基板还包括设置于所述衬底基板上的第一扫描信号线和第二扫描信号线，所述第一扫描信号线用于供应扫描信号给所述第一子像素驱动电路，所述第二扫描信号线用于供应扫描信号给所述第二子像素驱动电路；以及所述第一扫描信号线在所述衬底基板上的正投影与所述第一初始化晶体管的有源层

在所述衬底基板上的正投影部分重叠，所述第二扫描信号线在所述衬底基板上的正投影与所述第二初始化晶体管的有源层在所述衬底基板上的正投影部分重叠。

根据一些示例性的实施例，所述第一透明导电连接部至少包括第一部分、第二部分和第三部分，所述第一透明导电连接部的第三部分沿第一方向延伸，所述第一透明导电连接部的第二部分沿第二方向延伸，所述第一透明导电连接部的第一部分沿相对于第一方向和第二方向均倾斜的倾斜方向延伸。

根据一些示例性的实施例，所述第一透明导电连接部的第一部分在所述衬底基板上的正投影与所述第一初始化晶体管的有源层在所述衬底基板上的正投影部分重叠；和/或，所述第一透明导电连接部的第三部分在所述衬底基板上的正投影与所述第二初始化晶体管的有源层在所述衬底基板上的正投影部分重叠；和/或，所述第一透明导电连接部的第二部分位于第一子像素和第二子像素之间的透光区域中。

根据一些示例性的实施例，所述第一初始化晶体管的有源层与所述第一子像素驱动电路位于所述半导体层中的其他部分间隔设置；和/或，所述第二初始化晶体管的有源层与所述第二子像素驱动电路位于所述半导体层中的其他部分间隔设置。

根据一些示例性的实施例，所述显示基板还包括设置于所述衬底基板上的第二连接部，所述第二连接部的第一端通过第五过孔与所述初始化电压线电连接，所述第二连接部的第二端通过第六过孔与所述第一初始化晶体管的有源层的第一端电连接。

根据一些示例性的实施例，所述显示基板还包括设置于所述衬底基板上的第二透明导电连接部，所述第二透明导电连接部的第一端通过第七过孔与所述第二连接部的第二端电连接，所述第二透明导电连接部的第二端通过第八过孔与所述第二初始化晶体管的有源层的第一端电连接。

根据一些示例性的实施例，所述第二连接部位于所述第三导电层中；和/或，所述第二透明导电连接部位于所述第一透明导电层中。

根据一些示例性的实施例，所述第六过孔在所述衬底基板上的正投影与所述第七过孔在所述衬底基板上的正投影至少部分重叠。

根据一些示例性的实施例，所述显示基板还包括设置于所述衬底基板上的第三透明导电连接部，所述第三透明导电连接部的一端通过第九过孔与所述第一扫描信号线电连接，所述第三透明导电连接部的另一端通过第十过孔与所述第二扫描信号线电连接。

根据一些示例性的实施例，所述显示基板还包括设置于所述衬底基板上的第一发

光控制线和第二发光控制线，所述第一发光控制线用于供应发光控制信号给所述第一子像素驱动电路，所述第二发光控制线用于供应发光控制信号给所述第二子像素驱动电路；以及所述显示基板还包括设置于所述衬底基板上的第四透明导电连接部，所述第四透明导电连接部的一端通过第十一过孔与所述第一发光控制线电连接，所述第四透明导电连接部的另一端通过第十二过孔与所述第二发光控制线电连接。

根据一些示例性的实施例，在至少一个子像素组中，所述第一子像素和所述第二子像素共用所述复位信号线和所述初始化电压线。

根据一些示例性的实施例，所述多个子像素组至少包括位于同一行且相邻的第一子像素组和第二子像素组；以及所述显示基板还包括设置于所述衬底基板上的第一导电引线，所述第一导电引线的一端通过第十三过孔与第一子像素组中的复位信号线电连接，所述第一导电引线的另一端通过第十四过孔与第二子像素组中的复位信号线电连接。

根据一些示例性的实施例，所述显示基板还包括设置于所述衬底基板上的第二导电引线，所述第二导电引线的一端通过第十五过孔与第一子像素组中的初始化电压线电连接，所述第二导电引线的另一端通过第十六过孔与第二子像素组中的初始化电压线电连接。

根据一些示例性的实施例，所述第三透明导电连接部和/或所述第四透明导电连接部位于所述第一透明导电层中；和，所述第一导电引线和/或所述第二导电引线位于第二透明导电层中，其中，所述第二透明导电层位于所述第一透明导电层远离所述衬底基板的一侧。

根据一些示例性的实施例，所述显示基板还包括：用于传输数据信号的数据信号线；和用于传输驱动电压的驱动电压线；以及所述数据信号线和所述驱动电压线均位于所述第一透明导电层中。

根据一些示例性的实施例，所述驱动电压线在所述第一子像素驱动电路和所述第二子像素驱动电路处断开，以使得所述驱动电压线包括第一驱动电压子线和第二驱动电压子线，所述第一驱动电压子线和第二驱动电压子线在所述驱动电压线的延伸方向上间隔开；以及所述显示基板还包括第三连接部，所述第三连接部的一端通过第十七过孔与所述第一驱动电压子线电连接，另一端通过第十八过孔与所述第二驱动电压子线电连接。

根据一些示例性的实施例，所述显示基板包括设置于所述衬底基板上的第四导电

层，所述第四导电层位于所述第一透明导电层与所述第二透明导电层之间；以及所述第三连接部位于所述第四导电层中。

根据一些示例性的实施例，所述第一导电引线与所述第二导电引线中的至少一个在所述衬底基板上的正投影与所述数据线和所述驱动电压线中的至少一个在所述衬底基板上的正投影交叉。

根据一些示例性的实施例，所述第一发光器件至少包括第一电极和发光材料层，所述发光材料层设置在所述第一电极远离所述衬底基板的一侧；以及所述第一子像素的第一电极在所述衬底基板上的正投影的面积大于所述第二子像素的第一电极在所述衬底基板上的正投影的面积。

根据一些示例性的实施例，所述第一子像素的第一电极在所述衬底基板上的正投影覆盖所述第一子像素驱动电路的占用区域在所述衬底基板上的正投影；和/或，所述第二子像素的第一电极在所述衬底基板上的正投影覆盖所述第二子像素驱动电路的占用区域在所述衬底基板上的正投影。

根据一些示例性的实施例，所述第一子像素为红色子像素或蓝色子像素，所述第二子像素为绿色子像素。

在另一方面，提供一种显示面板，包括如上所述的显示基板。

在又一方面，提供一种显示装置，包括如上所述的显示基板或如上所述的显示面板。

根据一些示例性的实施例，所述显示装置还包括至少一个图像传感器；以及其中，所述至少一个图像传感器在所述衬底基板上的正投影落入所述第一显示区域在所述衬底基板上的正投影内。

附图说明

通过参照附图详细描述本公开的示例性实施例，本公开的特征及优点将变得更加明显。

图1是根据本公开的一些示例性实施例的显示装置的平面示意图，其中示意性示出了显示装置包括的显示基板的平面结构。

图2是根据本公开的一些示例性实施例的显示装置沿图1中的线AA'截取的截面示意图。

图3是根据本公开的一些示例性实施例的显示基板在图1中的部分I处的局部放

大图。

图 4 是根据本公开的一些示例性实施例的显示基板在图 3 中的部分 II 处的局部放大图。

图 5 是根据本公开的一些示例性实施例的显示基板在图 4 中的部分 III 处的局部放大图。

图 6A 是根据本公开的一些示例性实施例的显示基板的一个像素驱动电路的等效电路图。

图 6B 是根据本公开的一些示例性实施例的显示基板的位于第一显示区域中的一个子像素的像素驱动电路的等效电路图。

图 6C 是根据本公开的一些示例性实施例的显示基板的位于第一显示区域中的一个子像素的像素驱动电路的等效电路图。

图 7 是示出根据本公开的一些示例性实施例的显示基板的第二显示区域中的子像素的示例性实施方式的平面图，其中示意性示出了第二显示区域中的一个重复单元的平面图。

图 8 是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层的平面图。

图 9 是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层和第一导电层的组合的平面图。

图 10 是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层、第一导电层和第二导电层的组合的平面图。

图 11 是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层、第一导电层、第二导电层和第三导电层的组合的平面图。

图 12A 和图 12B 分别是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层、第一导电层、第二导电层、第三导电层和第四导电层的组合的平面图。

图 13 是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层、第一导电层、第二导电层、第三导电层、第四导电层和第五导电层的组合的平面图。

图 14A 是示出根据本公开的一些示例性实施例的显示基板的沿图 12B 中的线 BB' 截取的截面结构的示意图。

图 14B 是示出根据本公开的一些示例性实施例的显示基板的沿图 13 中的线 CC' 截取的截面结构的示意图。

图 15 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素的示例性实施方式的平面图，其中示意性示出了第一显示区域中的一个重复单元的平面图。

图 16A 是示出图 15 中一个重复单元包括的子像素的示例性实施方式的半导体层的平面图。

图 16B 是示出图 16A 中所示的半导体层在复位晶体管处的局部放大图。

图 17A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的第一导电层的平面图。

图 17B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的半导体层和第一导电层的组合的平面图。

图 18A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的第二导电层的平面图。

图 18B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的半导体层、第一导电层和第二导电层的组合的平面图。

图 19A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的第三导电层的平面图。

图 19B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的半导体层、第一导电层、第二导电层和第三导电层的组合的平面图。

图 20A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的第一透明导电层的平面图。

图 20B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的半导体层、第一导电层、第二导电层和第一透明导电层的组合的平面图。

图 21A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的第四导电层的平面图。

图 21B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的半导体层、第一导电层、第二导电层、第一透明导电层和第四导电层的组合的平面图。

图 22A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的第二透明导电层的平面图。

图 22B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的

子像素组的半导体层、第一导电层、第二导电层、第一透明导电层、第四导电层和第二透明导电层的组合的平面图。

图 23A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的第五导电层的平面图。

图 23B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的子像素组的半导体层、第一导电层、第二导电层、第一透明导电层、第四导电层、第二透明导电层和第五导电层的组合的平面图。

图 24A 是示出根据本公开的一些示例性实施例的显示基板的沿图 21B 中的线 DD' 截取的截面结构的示意图。

图 24B 是示出根据本公开的一些示例性实施例的显示基板的沿图 23A 中的线 EE' 截取的截面结构的示意图。

图 25A 和图 25B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域中的多个子像素组的示例性实施方式的平面图。

图 26A、图 26B 和图 26C 分别是示出图 15 中一个重复单元包括的 3 个子像素的示例性实施方式的遮挡层、半导体层、第一导电层、第二导电层、第三导电层、第一透明导电层、第四导电层、第二透明导电层和第五导电层的组合的平面图。

图 27 是示出根据本公开的一些示例性实施例的显示基板的沿图 26A 中的线 FF' 截取的截面结构的示意图。

具体实施例

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开的保护范围。

需要说明的是，在附图中，为了清楚和/或描述的目的，可以放大元件的尺寸和相对尺寸。如此，各个元件的尺寸和相对尺寸不必限于图中所示的尺寸和相对尺寸。在说明书和附图中，相同或相似的附图标号指示相同或相似的部件。

当元件被描述为“在”另一元件“上”、“连接到”另一元件或“结合到”另一元件时，所述元件可以直接在所述另一元件上、直接连接到所述另一元件或直接结合到所述另一元件，或者可以存在中间元件。然而，当元件被描述为“直接在”另一元件“上”、“直接

连接到”另一元件或“直接结合到”另一元件时，不存在中间元件。用于描述元件之间的关系的其他术语和/或表述应当以类似的方式解释，例如，“在……之间”对“直接在……之间”、“相邻”对“直接相邻”或“在……上”对“直接在……上”等。此外，术语“连接”可指的是物理连接、电连接、通信连接和/或流体连接。此外，X 轴、Y 轴和 Z 轴不限于直角坐标系的三个轴，并且可以以更广泛的含义解释。例如，X 轴、Y 轴和 Z 轴可彼此垂直，或者可代表彼此不垂直的不同方向。出于本公开的目的，“X、Y 和 Z 中的至少一个”和“从由 X、Y 和 Z 构成的组中选择的至少一个”可以被解释为仅 X、仅 Y、仅 Z、或者诸如 XYZ、XYY、YZ 和 ZZ 的 X、Y 和 Z 中的两个或更多个的任何组合。如文中所使用的，术语“和/或”包括所列相关项中的一个或多个的任何组合和所有组合。

需要说明的是，虽然术语“第一”、“第二”等可以在此用于描述各种部件、构件、元件、区域、层和/或部分，但是这些部件、构件、元件、区域、层和/或部分不应受到这些术语限制。而是，这些术语用于将一个部件、构件、元件、区域、层和/部分与另一个相区分。因而，例如，下面讨论的第一部件、第一构件、第一元件、第一区域、第一层和/或第一部分可以被称为第二部件、第二构件、第二元件、第二区域、第二层和/或第二部分，而不背离本公开的教导。

为了便于描述，空间关系术语，例如，“上”、“下”、“左”、“右”等可以在此被使用，来描述一个元件或特征与另一元件或特征如图中所示的关系。应理解，空间关系术语意在涵盖除了图中描述的取向外，装置在使用或操作中的其它不同取向。例如，如果图中的装置被颠倒，则被描述为“在”其它元件或特征“之下”或“下面”的元件将取向为“在”其它元件或特征“之上”或“上面”。

在本文中，术语“大约”、“近似”、“大致”和其它类似的术语用作近似的术语而不是用作程度的术语，并且它们意图解释将由本领域普通技术人员认识到的测量值或计算值的固有偏差。考虑到工艺波动、测量问题和与特定量的测量有关的误差(即，测量系统的局限性)等因素，如这里所使用的“大约”或“近似”包括所陈述的值，并表示对于本领域普通技术人员所确定的特定值在可接受的偏差范围内。例如，“大约”可以表示在一个或多个标准偏差内，或者在所陈述的值的 $\pm 30\%$ 、 $\pm 20\%$ 、 $\pm 10\%$ 、 $\pm 5\%$ 内。

需要说明的是，在本文中，表示“同一层”指的是采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺对该膜层图案化所形成的层结构。根据特定图形的不同，一次构图工艺可能包括多次曝光、显影或刻蚀工艺，

而形成的层结构中的特定图形可以是连续的也可以是不连续的。即，位于“同一层”的多个元件、部件、结构和/或部分由相同的材料构成，并且通过同一次构图工艺形成，通常，位于“同一层”的多个元件、部件、结构和/或部分具有大致相同的厚度。

本领域技术人员应该理解，在本文中，除非另有说明，表述“连续延伸”、“一体结构”、“整体结构”或类似表述表示：多个元件、部件、结构和/部分是位于同一层的，并且在制造过程中通常通过同一次构图工艺形成的，这些元件、部件、结构和/部分之间没有间隔或断裂处，而是连续延伸的结构。

在本文中，表述“重复单元”表示多个子像素的组合，例如，用来显示一个像素点的多个子像素的组合，多个“重复单元”在衬底基板上成阵列地重复排列。例如，一个重复单元可以包括至少一个像素，例如可以包括2个、3个、4个、或更多个子像素。此外，在本文中，为了描述方便，将位于第一显示区域中的重复单元称为第一重复单元，将位于第二显示区域中的重复单元称为第二重复单元。

在本文中，表述“像素密度”表示单位面积内的重复单元或子像素的个数。例如，可以使用PPI来表示像素密度，PPI的含义为每单位面积的像素个数。类似地，表述“分布密度”表示单位面积内的部件（例如重复单元、子像素、隔垫物等）的个数。

图1是根据本公开的一些示例性实施例的显示装置的平面示意图，其中示意性示出了显示装置包括的显示基板的平面结构。图2是根据本公开的一些示例性实施例的显示装置沿图1中的线AA'截取的截面示意图。

例如，所述显示装置包括显示基板。所述显示基板可以为电致发光显示基板，例如OLED显示基板。

如图1所示，根据本公开实施例的显示装置包括显示基板100。该显示基板100包括显示区域，所述显示区域可以包括第一显示区域AA1和第二显示区域AA2。例如，第一显示区域AA1和第二显示区域AA2。例如，第二显示区域AA2至少部分围绕（例如，完全围绕）第一显示区域AA1。

如图2所示，所述显示基板100可以包括衬底基板1。传感器2可以设置到衬底基板1的位于第一显示区域AA1的背面（在图2中示出为下侧，例如显示时出光方向相反的一侧），第一显示区域AA1可以满足传感器2对于光透过率的成像要求。

例如，第一显示区域AA1的透光率大于第二显示区域AA2的透光率。传感器2例如为图像传感器或红外传感器等。该传感器2配置为接收来自显示基板100的显示侧（图2中的上侧，例如，显示出光方向上，或，显示时人眼所在的方向）的光线，

从而可以进行图像拍摄、距离感知、光强感知等操作，这些光线例如透过第一显示区域 AA1 后照射到传感器上，从而被传感器感测。

需要说明的是，在图示的示例性实施例中，第二显示区域 AA2 完全围绕第一显示区域 AA1，但是，本公开的实施例不局限于此。例如，在其它实施例中，第一显示区域 AA1 可以位于显示基板的上侧边缘的位置，例如，第一显示区域 AA1 的三侧被第二显示区域 AA2 包围，其上侧与显示基板的上侧平齐。再例如，第一显示区域 AA1 可以位于显示基板的上侧边缘的位置，并且沿显示基板的整个宽度布置。

例如，第一显示区域 AA1 的形状可以为圆形、椭圆形、多边形或矩形，第二显示区域 AA2 的形状可以为圆形、圆环形、椭圆形或矩形，但本公开的实施例不限于此。又例如，第一显示区域 AA1 和第二显示区域 AA2 的形状可以均为矩形、圆角矩形或者其它合适的形状。

在图 1 至图 2 所示的显示基板中，可以采用 OLED 显示技术。由于 OLED 显示基板具有广视角、高对比度、快响应、低功耗、可折叠、柔性等优势，在显示产品中得到越来越广泛地应用。随着 OLED 显示技术的发展和深入应用，对高屏占比显示屏的需求越来越强烈。在图 1 至图 2 所示的显示基板中，采用了屏下摄像头的方案。这样，可以消除 notch 区，避免在显示屏中挖孔，并且能够提高屏占比，具有较佳的视觉体验。

例如，所述显示基板可以包括衬底基板 1 以及设置在衬底基板 1 上的各个膜层。例如，所述显示基板还可以包括设置在衬底基板 1 上的驱动电路层、发光器件层和封装层。例如，图 2 中示意性地示出了驱动电路层 3、发光器件层 4 和封装层 5。驱动电路层 3 包括驱动电路结构，发光器件层 4 包括例如 OLED 的发光器件。所述驱动电路结构控制各个子像素的发光器件发光，以实现显示功能。该驱动电路结构包括薄膜晶体管、存储电容器以及各种信号线。所述各种信号线包括栅线、数据线、ELVDD 电源线和 ELVSS 电源线等，以便为每个子像素中的像素驱动电路提供控制信号、数据信号、电源电压等各种信号。

例如，所述第一显示区域 AA1 可以对应屏下摄像头，即第一显示区域 AA1 可以为屏下摄像区。在本公开的实施例中，以所述显示基板 100 包括 2 个第一显示区域 AA1 为例进行描述。每一个所述第一显示区域 AA1 可以呈圆形、大致圆形、椭圆形、多边形等形状。2 个第一显示区域 AA1 间隔设置，在 2 个第一显示区域 AA1 之间存在间隔区域 SR。

例如，结合参照图 1 和图 2，在图示的实施例中，可以设置 2 个传感器 2 分别对应两个子显示区域，以形成具有双摄像头结构的显示装置。但是，本公开的实施例不局限于此，在其他实施例中，可以设置更少（例如一个）或更多个子显示区域和传感器 2。此外，还可以根据需要安装的所述硬件结构的形状确定所述子显示区域的形状，例如，各个子显示区域在衬底基板上的正投影可以具有下列形状的一种或多种：圆形、椭圆形、矩形、圆角矩形、正方形、菱形、梯形、多边形等形状以及这些形状的各种组合。

在本公开的实施例中，在显示基板中设置具有比正常显示区的透光率更高的透光率的显示区域，将例如摄像头等的硬件结构安装于所述显示区域中。这样，可以实现屏下摄像等功能，从而可以提高屏占比，实现全面屏的效果。

在相关技术中，为了使得设置有传感器 2 的显示区域（即上述第一显示区域 AA1）中的透光率高于正常显示区域（即上述第二显示区域 AA2）中的透光率，通常采用降低第一显示区域中的像素密度的方式，即，第一显示区域中的 PPI 小于第二显示区域中的 PPI，例如，通常将第一显示区域中的 PPI 设置为第二显示区域中的 PPI 的二分之一以下。但是，这种降低 PPI 的方式会降低第一显示区域中的显示质量，与正常显示区域相比，第一显示区域中显示的画面在视觉上会出现明显的颗粒感。另外，在相关技术中，还通常将第一显示区域中像素的像素驱动电路设置在屏下摄像区之外，例如，将所述像素驱动电路设置在上述间隔区域 SR 中，在这种情况下，在显示时会导致两个传感器 2 之间的显示区域中存在黑边，对整体显示质量带来不良的影响。此外，在像素驱动电路设置在屏下摄像区之外时，必须通过导电引线将设置在外的像素驱动电路与设置在屏下摄像区内的各个像素的发光元件（例如 OLED）电连接，由于像素之间间距以及导电引线的线宽、线距的限制，屏下摄像区实现高 PPI 会受到限制，即无法实现高 PPI 的屏下摄像区。

本公开的实施例至少提供一种显示基板、显示面板和显示装置。所述显示基板包括第一显示区域和第二显示区域，所述第一显示区域的透光率大于所述第二显示区域的透光率，所述显示基板包括：衬底基板；设置于所述衬底基板且位于所述第一显示区域中的多个子像素，所述子像素包括第一像素驱动电路和第一发光器件，所述第一像素驱动电路与所述第一发光器件电连接，用于驱动所述第一发光器件发光；和设置于所述衬底基板且位于所述第二显示区域中的多个子像素，位于所述第二显示区域中的子像素包括第二像素驱动电路和第二发光器件，所述第二像素驱动电路与所述第二

发光器件电连接，用于驱动所述第二发光器件发光，其中，位于所述第一显示区域中的多个子像素包括多个子像素组，每一个子像素组包括第一子像素和第二子像素，所述第一像素驱动电路包括第一子像素驱动电路和第二子像素驱动电路，所述第一子像素驱动电路用于驱动第一子像素的第一发光器件发光，所述第二子像素驱动电路用于驱动第二子像素的第一发光器件发光，所述第一子像素驱动电路至少包括第一复位晶体管，所述第二子像素驱动电路至少包括第二复位晶体管，所述第一子像素驱动电路的第一复位晶体管与所述第二子像素驱动电路的第二复位晶体管至少部分共用。在本公开的实施例中，在屏下摄像区，多个子像素可以共用复位晶体管的至少一部分，这样，有利于缩小一部分子像素对应的像素驱动电路的占用区域的面积，从而能够实现屏下摄像区的 PPI 较高，同时保证屏下摄像区的透光率满足要求。

图 3 是根据本公开的一些示例性实施例的显示基板在图 1 中的部分 I 处的局部放大图。图 4 是根据本公开的一些示例性实施例的显示基板在图 3 中的部分 II 处的局部放大图。图 5 是根据本公开的一些示例性实施例的显示基板在图 4 中的部分 III 处的局部放大图。

结合参照图 1 至图 5，所述显示基板可以包括第一显示区域 AA1 和第二显示区域 AA2，第一显示区域 AA1 的透光率高于第二显示区域 AA2 的透光率，第一显示区域 AA1 可以与所述传感器 2 对应，即，传感器 2 在衬底基板 1 上的正投影落入所述第一显示区域 AA1 在衬底基板 1 上的正投影内。

图 6A 是根据本公开的一些示例性实施例的显示基板的一个像素驱动电路的等效电路图。图 7 是示出根据本公开的一些示例性实施例的显示基板的第二显示区域 AA2 中的子像素的示例性实施方式的平面图，其中示意性示出了第二显示区域 AA2 中的一个重复单元的平面图。图 8 是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层的平面图。图 9 是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层和第一导电层的组合的平面图。图 10 是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层、第一导电层和第二导电层的组合的平面图。图 11 是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层、第一导电层、第二导电层和第三导电层的组合的平面图。图 12A 和图 12B 分别是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层、第一导电层、第二导电层、第三导电层和第四导电层的组合的平面图。图 13 是示出图 7 中一个重复单元包括的子像素的示例性实施方式的半导体层、第一导电层、第二导电层、第三导电层、第四导

电层和第五导电层的组合的平面图。图 14A 是示出根据本公开的一些示例性实施例的显示基板的沿图 12B 中的线 BB' 截取的截面结构的示意图。图 14B 是示出根据本公开的一些示例性实施例的显示基板的沿图 13 中的线 CC' 截取的截面结构的示意图。

结合参照图 1 至图 7，在本公开的实施例中，在第一显示区域 AA1 中，可以设置多个像素。多个像素可以沿第一方向 X 和第二方向 Y 成阵列地布置在衬底基板 1 上。例如，所述多个像素中的每一个可以包括子像素 11、子像素 12 和子像素 13。为了方便理解，可以将子像素 11、子像素 12 和子像素 13 分别描述为红色子像素、蓝色子像素和绿色子像素，但是，本公开的实施例不局限于此。

在第二显示区域 AA2 中，可以设置多个像素。多个像素可以沿第一方向 X 和第二方向 Y 成阵列地布置在衬底基板 1 上。例如，所述多个像素 20 中的每一个可以包括子像素 21、子像素 22 和子像素 23。为了方便理解，可以将子像素 21、子像素 22 和子像素 23 分别描述为红色子像素、蓝色子像素和绿色子像素，但是，本公开的实施例不局限于此。

在本公开的实施例中，第二显示区域 AA2 中可以设置有阵列排布的多个重复单元，在本文中，为了方便描述，将位于第二显示区域 AA2 中的重复单元称为第二重复单元 P2。在一些实施例中，一个第二重复单元 P2 可以包括至少一个像素，例如，在图 7 所示的实施例中，一个第二重复单元 P2 包括 2 个像素。相应地，一个第二重复单元 P2 可以包括多个子像素，例如上述的子像素 21、子像素 22 和子像素 23。

在本公开的实施例中，第一显示区域 AA1 中设置有阵列排布的多个重复单元，在本文中，为了方便描述，将位于第一显示区域 AA1 中的重复单元称为第一重复单元 P1。在一些实施例中，一个第一重复单元 P1 可以包括至少一个像素，例如，在一些实施例中，一个第一重复单元 P1 包括 2 个像素。相应地，一个第一重复单元 P1 可以包括多个子像素，例如上述的子像素 11、子像素 12 和子像素 13。

需要说明的是，以红色、绿色和蓝色为例对本公开的实施例进行说明，但是，本公开实施例不局限于此，也就是说，每一个重复单元可以包括至少两种不同颜色的子像素，例如第一颜色子像素、第二颜色子像素和第三颜色子像素，第一颜色、第二颜色和第三颜色为彼此不同的颜色。在本公开的一些实施例中，每一个重复单元中的子像素的排布方式可以参考常规的像素排布方式，例如 GGRB、RGBG、RGB 等，本公开的实施例对此不作限制。

应该理解，在本公开的实施例中，位于第一显示区域 AA1 和第二显示区域 AA2

中的子像素可以包括像素驱动电路和发光器件。例如，所述发光器件可以为 OLED 发光器件，包括层叠设置的阳极、有机发光层和阴极。所述像素驱动电路可以包括多个薄膜晶体管和至少一个存储电容器。

需要说明的是，虽然在图示的实施例中，第一方向 X 和第二方向 Y 相互垂直，但是，本公开的实施例不局限于此。

下面，以 7T1C 像素驱动电路为例，对位于第一显示区域 AA1 和第二显示区域 AA2 中的子像素的所述像素驱动电路的结构进行详细描述，但是，本公开的实施例并不局限于 7T1C 像素驱动电路，在不冲突的情况下，其它已知的像素驱动电路结构都可以应用于本公开的实施例中。

应该理解，在本公开的实施例中，结合参照图 13 和图 14B，显示基板 100 还包括位于第一电极（例如阳极）远离像素驱动电路一侧的像素界定层 PDL，像素界定层 PDL 包括多个开口，各个子像素对应至少一个像素界定层开口（例如一个），子像素的实际发光区域或显示区域与该子像素对应的像素界定层开口大致相当。在一些实施例中，各个子像素对应的像素界定层开口或者实际发光区域面积小于第一电极（例如阳极）的面积，且在衬底基板上的投影完全落入第一电极在衬底基板投影之内。为了方便示意，在本公开的实施例中，都仅示出了子像素的第一电极（例如阳极）的大概位置和形状，以表示各个子像素的分布。

结合参照图 7、图 13 和图 14B，位于第二显示区域 AA2 中的每一个子像素可以包括发光器件（例如 OLED），为了方便描述，将位于第二显示区域 AA2 中的发光器件称为第二发光器件 42。例如，第二发光器件 42 可以包括层叠设置的阳极 42A、发光材料层 42B 和阴极 42C。需要说明的是，为清楚起见，在平面图中使用了第二发光器件 42 的阳极来示意性的示出第二发光器件 42，从而示意性地表示位于第二显示区域 AA2 中的子像素。例如，在第二显示区域 AA2 中，第二发光器件 42 的阳极 42A 可以包括阳极主体 421 和阳极连接部 422。阳极主体 421 在衬底基板 1 上的正投影可以具有规则形状，例如圆形、椭圆形、矩形、六边形、八边形、圆角矩形等。第二显示区域 AA2 中还设置有用驱动所述第二发光器件 42 的像素驱动电路（将在下文描述），阳极连接部 422 与第二发光器件 42 的像素驱动电路电连接。

例如，参照图 7，第二重复单元 P2 可以包括以 4 行 4 列排布的多个子像素。在第一行中，子像素 21 和子像素 22 分别设置在第一列和第三列。在第二行中，两个子像素 23 分别设置在第二列和第四列。在第三行中，子像素 22 和子像素 21 分别设置在第

一列和第三列。在第四行中，两个子像素 23 分别设置在第二列和第四列。

需要说明的是，图 7 中示出的子像素的排布方式仅是本公开的一些实施例的示例性排布方式，而不是对本公开实施例的限制，在其他实施例中，子像素可以采用其他排布方式。

例如，在本公开的一些实施例中，参照图 7，一个子像素 21 的阳极主体部 421 在衬底基板 1 上的正投影的面积小于一个子像素 22 的阳极主体部 421 在衬底基板 1 上的正投影的面积，一个子像素 23 的阳极主体部 421 在衬底基板 1 上的正投影的面积小于一个子像素 21 的阳极主体部 421 在衬底基板 1 上的正投影的面积。即，一个绿色子像素的实际发光面积最小，一个蓝色子像素的实际发光面积最大，一个红色子像素的实际发光面积介于绿色子像素和蓝色子像素之间。

结合参照图 6A、图 7 至图 14B，所述像素驱动电路可以包括：多个薄膜晶体管以及一个存储电容器 Cst。所述像素驱动电路用于驱动有机发光二极管（即 OLED）。多个薄膜晶体管包括第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6 和第七晶体管 T7。每一个晶体管均包括栅极、源极和漏极。

所述显示基板还可以包括多根信号线，例如，所述多根信号线包括：用于传输扫描信号 Sn 的扫描信号线 61，用于传输复位控制信号 RESET（例如，该复位控制信号 RESET 可以为前一行的扫描信号）的复位信号线 62，用于传输发光控制信号 En 的发光控制线 63，用于传输数据信号 Dm 的数据信号线 64，用于传输驱动电压 VDD 的驱动电压线 65，用于传输初始化电压 Vint 的初始化电压线 66，以及用于传输 VSS 电压的电源线 67。

存储电容器 Cst 可以包括两个电容极板 Cst1 和 Cst2，在本文中，电容极板 Cst1 可以称为存储电容器 Cst 的一端、第一端或第一存储电容电极，电容极板 Cst2 可以称为存储电容器 Cst 的另一端、第二端或第二存储电容电极。

第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6 和第七晶体管 T7 可沿着如图 8 中的有源层形成。有源层可具有弯曲或弯折形状，并且可包括对应于第一晶体管 T1 的第一有源层 20a、对应于第二晶体管 T2 的第二有源层 20b、对应于第三晶体管 T3 的第三有源层 20c、对应于第四晶体管 T4 的第四有源层 20d、对应于第五晶体管 T5 的第五有源层 20e、对应于第六晶体管 T6 的第六有源层 20f 以及对应于第七晶体管 T7 的第七有源层 20g。

有源层可以包括例如多晶硅，并且例如包括沟道区、源极区和漏极区。沟道区可不进行掺杂或掺杂类型与源极区、漏极区不同，并因此具有半导体特性。源极区和漏极区分别位于沟道区的两侧，并且掺杂有杂质，并因此具有导电性。杂质可根据 TFT 是 N 型还是 P 型晶体管而变化。

第一晶体管 T1 包括第一有源层 20a 以及第一栅极 G1。第一有源层 20a 包括第一沟道区 201a、第一源极区 203a 和第一漏极区 205a。第一晶体管 T1 的栅极 G1 电连接至复位信号线 62，第一晶体管 T1 的源极 S1 电连接至初始化电压线 66。第一晶体管 T1 的漏极 D1 与存储电容器 Cst 的一端 Cst1、第二晶体管 T2 的漏极 D2 以及第三晶体管 T3 的栅极 G3 电连接。如图 6A 所示，第一晶体管 T1 的漏极 D1、存储电容器 Cst 的一端 Cst1、第二晶体管 T2 的漏极 D2 以及第三晶体管 T3 的栅极 G3 电连接于节点 N1 处。第一晶体管 T1 根据通过复位信号线 62 传输的复位控制信号 RESET 导通，以将初始化电压 Vint 传输至第三晶体管 T3 的栅极 G1，从而执行初始化操作来将第三晶体管 T3 的栅极 G3 的电压初始化。即，在本文中，第一晶体管 T1 也称为复位晶体管。

第二晶体管 T2 包括第二有源层 20b 和第二栅极 G2。第二有源层 20b 包括第二沟道区 201b、第二源极区 203b 以及第二漏极区 205b。第二晶体管 T2 的栅极 G2 电连接至扫描信号线 61，第二晶体管 T2 的源极 S2 电连接于节点 N3，并且第二晶体管 T2 的漏极 D2 电连接于节点 N1。第二晶体管 T2 根据通过扫描信号线 61 传输的扫描信号 Sn 导通，以将第三晶体管 T3 的栅极 G3 和漏极 D3 彼此电连接，从而执行第三晶体管 T3 的二极管连接。在本文中，第二晶体管 T2 也称为补偿晶体管。

第三晶体管 T3 包括第三有源层 20c 和第三栅极 G3。第三有源层 20c 包括第三源极区 203c、第三漏极区 205c 以及连接第三源极区 203c 和第三漏极区 205c 的第三沟道区 201c。第三源极区 203c 和第三漏极区 205c 相对于第三沟道区 201c 在相对的两个方向上延伸。第三晶体管 T3 的第三源极区 203c 连接至第四漏极区 205d 和第五漏极区 205e。第三漏极区 205c 连接至第二源极区 203b 和第六源极区 203f。第三晶体管 T3 的栅极 G3 通过过孔 VAH1 和 VAH2 以及第一连接部 68 电连接于节点 N1 处。第三晶体管 T3 的栅极 G3 电连接至节点 N1，第三晶体管 T3 的源极 S3 电连接至节点 N2，第三晶体管 T3 的漏极 D3 电连接至节点 N3。第三晶体管 T3 根据第四晶体管 T4 的开关操作接收数据信号 Dm，以向 OLED 供应驱动电流 Id。在本文中，第三晶体管 T3 也称为驱动晶体管。

第四晶体管 T4 包括第四有源层 20d 和第四栅极 G4。第四有源层 20d 包括第四沟

道区 201d、第四源极区 203d 和第四漏极区 205d。第四晶体管 T4 用作选择发光目标子像素的开关装置。第四栅极 G4 连接至扫描信号线 61，第四源极区 203d 通过过孔 VAH4 连接至数据信号线 64，并且第四漏极区 205d 连接至第一晶体管 T1 和第五晶体管 T5，即电连接至节点 N2。第四晶体管 T4 根据通过扫描信号线 61 传输的扫描信号 S_n 导通，以执行开关操作来将数据信号 D_m 传输至第三晶体管 T3 的源极 S3。在本文中，第四晶体管 T4 也称为开关晶体管。

第五晶体管 T5 包括第五有源层 20e 和第五栅极 G5。第五有源层 20e 包括第五沟道区 201e、第五源极区 203e 和第五漏极区 205e。第五源极区 203e 可通过过孔 VAH6 连接至驱动电压线 65。第五晶体管 T5 的栅极 G5 电连接至发光控制线 63，第五晶体管 T5 的源极 S5 电连接至驱动电压线 65。第五晶体管 T5 的漏极 D5 电连接至节点 N2。在本文中，第五晶体管 T5 也称为操作控制晶体管。

第六晶体管 T6 包括第六有源层 20f 和第六栅极 G6，并且第六有源层 20f 包括第六沟道区 201f、第六源极区 203f 和第六漏极区 205f。第六漏极区 205f 可通过过孔 VAH7 连接至 OLED 的阳极。第六晶体管 T6 的栅极 G6 电连接至发光控制线 63，第六晶体管 T6 的源极 S6 电连接至节点 N3，并且第六晶体管 T6 的漏极 D6 电连接至节点 N4，即电连接至 OLED 的阳极。第五晶体管 T5 和第六晶体管 T6 根据通过发光控制线 63 传输的发光控制信号 E_n 并发（例如同时）导通，以将驱动电压 VDD 传输至 OLED，从而允许驱动电流 I_d 流进 OLED 中。在本文中，第六晶体管 T6 也称为发光控制晶体管。

第七晶体管 T7 包括第七有源层 20g 和第七栅极 G7。第七有源层 20g 包括第七源极区 203g、第七漏极区 205g 和第七沟道区 201g。第七漏极区 205g 连接至第一晶体管 T1 的第一源极区 203a。第七漏极区 205g 可通过过孔 VAH8、第二连接部 69 和过孔 VAH5 电连接至初始化电压线 66。第七晶体管 T7 的栅极 G7 电连接至复位信号线 62，第七晶体管 T7 的源极 S7 电连接至节点 N4，并且第七晶体管 T7 的漏极 D7 电连接至初始化电压线 66。在第七晶体管 T7 的控制下，可以将初始化电压线 66 传输的初始化电压 V_{int} 供应给 OLED，例如，供应给 OLED 的第一电极（例如阳极），以初始化 OLED 的第一电极上的电压。在本文中，第七晶体管 T7 也可以称为初始化晶体管 T7。

存储电容器 Cst 的一端（下文称为第一存储电容电极）Cst1 电连接至节点 N1，另一端（下文称为第二存储电容电极）Cst2 电连接至驱动电压线 65。

OLED 的阳极电连接至节点 N4，阴极电连接至电源线 67，以接收公共电压 VSS。

相应地，OLED 从第三晶体管 T3 接收驱动电流 I_d 来发光，从而显示图像。

需要说明的是，在图 6A 中，各个薄膜晶体管 T1、T2、T3、T4、T5、T6 和 T7 是 p 沟道场效应晶体管，但是，本公开的实施例不局限于此，薄膜晶体管 T1、T2、T3、T4、T5、T6 和 T7 中的至少一些可以是 n 沟道场效应晶体管。

在操作中，在初始化阶段，具有低电平的复位控制信号 RESET 通过复位信号线 62 供应。随后，第一晶体管 T1 基于复位控制信号 RESET 的低电平导通，并且来自初始化电压线 66 的初始化电压 V_{int} 通过第一晶体管 T1 传送至第三晶体管 T3 的栅极 G1。因此，第三晶体管 T3 由于初始化电压 V_{int} 而被初始化。

在数据编程阶段，具有低电平的扫描信号 S_n 通过扫描信号线 61 供应。随后，第四晶体管 T4 和第二晶体管 T2 基于扫描信号 S_n 的低电平导通。因此，第三晶体管 T3 通过导通的第二晶体管 T2 被置于二极管连接状态并且在正方向上偏置。

随后，通过从经由数据信号线 64 供应的数据信号 D_m 中减去第三晶体管 T3 的阈值电压 V_{th} 获得的补偿电压 $D_m + V_{th}$ （例如， V_{th} 是负值）施加至第三晶体管 T3 的栅极 G3。随后，驱动电压 VDD 和补偿电压 $D_m + V_{th}$ 施加至存储电容器 Cst 的两个端子，使得与相应端子之间的电压差对应的电荷存储在存储电容器 Cst 中。

在发光阶段，来自发光控制线 63 的发光控制信号 E_n 从高电平变为低电平。随后，在发光阶段，第五晶体管 T5 和第六晶体管 T6 基于发光控制信号 E_n 的低电平导通。

随后，基于第三晶体管 T3 的栅极 G3 的电压与驱动电压 VDD 之间的差生成驱动电流。与驱动电流和旁路电流之间的差对应的驱动电流 I_d 通过第六晶体管 T6 供应给 OLED。

在发光阶段，基于第三晶体管 T3 的电流-电压关系，第三晶体管 T3 的栅源电压由于存储电容器 Cst 而保持在 $(D_m + V_{th}) - V_{DD}$ 处。驱动电流 I_d 与 $(D_m - V_{DD})^2$ 成比例。因此，驱动电流 I_d 可以不受第三晶体管 T3 的阈值电压 V_{th} 变动的影响。

结合参照图 7 至图 14B，所述显示基板包括衬底基板 1 以及设置于所述衬底基板 1 上的多个膜层。在一些实施例中，所述多个膜层至少包括半导体层 20、第一导电层 21、第二导电层 22、第三导电层 23 和第四导电层 24。半导体层 20、第一导电层 21、第二导电层 22 和第三导电层 23 依次远离衬底基板 1 设置。所述多个膜层还至少包括多个绝缘膜层，例如，所述多个绝缘膜层可以包括第一栅绝缘层 GI1、第二栅绝缘层 GI2、层间绝缘层 IDL 和钝化层 PVX。第一栅绝缘层 GI1 可以设置在半导体层 20 与第一导电层 21 之间，第二栅绝缘层 GI2 可以设置在第一导电层 21 与第二导电层 22 之间，

层间绝缘层 IDL 可以设置在第二导电层 22 与第三导电层 23 之间, 钝化层 PVX 可以设置在第三导电层 23 与第四导电层 24 之间。

例如, 半导体层 20 可以由诸如低温多晶硅的半导体材料形成, 其膜层厚度可以在 400~800 埃的范围内, 例如 500 埃。第一导电层 21 和第二导电层 22 可以由形成薄膜晶体管的栅极的导电材料形成, 例如该导电材料可以为 Mo, 其膜层厚度可以在 2000~4000 埃的范围内, 例如 3000 埃。第三导电层 23 和第四导电层 24 可以由形成薄膜晶体管的源极和漏极的导电材料形成, 例如该导电材料可以包括 Ti、Al 等, 第三导电层 23 可以具有由 Ti/Al/Ti 形成的叠层结构, 其膜层厚度可以在 6000~9000 埃的范围内。例如, 在第三导电层 23 或第四导电层 24 具有由 Ti/Al/Ti 形成的叠层结构的情况下, Ti/Al/Ti 每一层的厚度可以分别为约 500 埃、6000 埃和 500 埃。例如, 第一栅绝缘层 GI1 和第二栅绝缘层 GI2 可以由氧化硅、氮化硅或氮氧化硅形成, 每一层可以具有约 1000~2000 埃的厚度。例如, 层间绝缘层 IDL 和钝化层 PVX 可以由氧化硅、氮化硅或氮氧化硅形成, 具有约 3000~6000 埃的厚度。

所述显示基板包括沿着行方向 X 布置以向各个子像素分别施加扫描信号 Sn、复位控制信号 RESET、发光控制信号 En 和初始化电压 Vint 的扫描信号线 61、复位信号线 62、发光控制线 63 和初始化电压线 66。所述显示基板还可以包括与扫描信号线 61、复位信号线 62、发光控制线 63 和初始化电压线 66 交叉以向各个子像素分别施加数据信号 Dm 和驱动电压 VDD 的数据信号线 64 以及驱动电压线 65。

结合参照图 9、图 12A 和图 12B, 扫描信号线 61、复位信号线 62 和发光控制线 63 均位于第一导电层 21 中。上述各个晶体管的栅极 G1~G7 也均位于第一导电层 21 中。例如, 复位信号线 62 与半导体层 20 重叠的部分分别形成第一晶体管 T1 的栅极 G1 和第七晶体管 T7 的栅极 G7, 扫描信号线 61 与半导体层 20 重叠的部分分别形成第二晶体管 T2 的栅极 G2 和第四晶体管 T4 的栅极 G4, 发光控制线 63 与半导体层 20 重叠的部分分别形成第六晶体管 T6 的栅极 G6 和第五晶体管 T5 的栅极 G5。

继续参照图 9, 所述显示基板还可以包括多个第一存储电容电极 Cst1。所述多个第一存储电容电极 Cst1 也位于第一导电层 21 中。第一存储电容电极 Cst1 与半导体层 20 重叠的部分形成第三晶体管 T3 的第三栅极 G3。第一存储电容电极 Cst1 也形成存储电容器 Cst 的一个端子。即, 第一存储电容电极 Cst1 同时用作第三晶体管 T3 的栅极 G3 和存储电容器 Cst 的一个电极。

例如, 第一存储电容电极 Cst1 在衬底基板 1 上的正投影可以呈大致矩形形状。此

处的“大致矩形”可以包括矩形，至少一个角为圆角的矩形，至少一个角为倒角的矩形等形状。

如图 10 所示，初始化电压线 66 位于第二导电层 22 中。所述显示基板还可以包括多个第二存储电容电极 Cst2。所述多个第二存储电容电极 Cst2 也位于第二导电层 22 中。多个第二存储电容电极 Cst2 分别与多个第一存储电容电极 Cst1 对应设置。即，多个第二存储电容电极 Cst2 在衬底基板 1 上的正投影与对应的第一存储电容电极 Cst1 在衬底基板 1 上的正投影至少部分重叠。第二存储电容电极 Cst2 形成存储电容器 Cst 的另一个端子。即，第一存储电容电极 Cst1 和第二存储电容电极 Cst2 相对设置，二者在衬底基板 1 上的正投影彼此至少部分重叠，并且它们之间设置有第二栅绝缘层 GI2。例如，第一存储电容电极 Cst1 可以通过过孔 VAH1 和 VAH2 以及第一连接部 68 电连接于节点 N1 处，第二存储电容电极 Cst2 可以通过过孔 VAH9 电连接至驱动电压线 65，即二者连接至不同的电压信号。这样，第一存储电容电极 Cst1 和第二存储电容电极 Cst2 彼此重叠的部分可以形成所述存储电容器 Cst。

结合参照图 10、图 12 和图 14A，第二存储电容电极 Cst2 可以包括通孔 TH2，以便于位于第二存储电容电极 Cst2 下方的第一存储电容电极 Cst1 与位于第三导电层 23 中的部件的电连接。例如，第一连接部 68 的一部分形成于过孔 VAH1 中，以形成导电插塞 681。该导电插塞 681 延伸通过通孔 TH2，与第一存储电容电极 Cst1 电连接。以此方式，第一连接部 68 的一端与存储电容器的一端 Cst1 电连接。

例如，通孔 TH2 在衬底基板 1 上的正投影可以呈大致矩形形状。此处的“大致矩形”可以包括矩形或正方形，至少一个角为圆角的矩形或正方形，至少一个角为倒角的矩形或正方形等形状。

参照图 11，数据信号线 64 以及驱动电压线 65 位于第三导电层 23 中。另外，第一连接部 68 和第二连接部 69 也位于第三导电层 23 中。

参照图 12A、图 12B 和图 13，第三连接部 70 位于第四导电层 24 中。第三连接部 70 的一端电连接至第六晶体管 T6，另一端电连接至 OLED 的阳极。

参照图 13 和图 14B，所述显示基板 100 还可以包括设置在第四导电层 24 与第五导电层 25 之间的绝缘层，例如平坦化层 PLN。例如，平坦化层 PLN 可以包括单个膜层或多个膜层。在平坦化层 PLN 包括多个膜层的情况下，平坦化层 PLN 的多个膜层可以分别表示为第一平坦化层 PLN1、第二平坦化层 PLN2 和第三平坦化层 PLN3。过孔 VAH10 可以贯穿该平坦化层 PLN。第二发光器件 42 的阳极 42A 位于第五导电层 25

中。阳极连接部 422 的一部分形成于过孔 VAH10 中，该部分向下延伸以与第三连接部 10 的一部分电连接。

这样，第三连接部 70 的一端通过过孔 VAH7 与第六晶体管 T6 电连接，第三连接部 70 的另一端通过过孔 VAH10 与阳极连接部 422 电连接。为了满足预设的 PPI 的要求，显示基板上的各个子像素需要按照规定的方式排列，这样，各个子像素中的第三连接部 70 的延伸长度可以相等或不相等。

例如，参照图 7、图 12A 和图 12B，其中，图 12A 示出了所述子像素 21 或子像素 22 的像素驱动电路的平面图，图 12B 示出了所述子像素 23 的像素驱动电路的平面图。在本公开的实施例中，子像素 23 中的第三连接部 70 的延伸长度可以小于子像素 21 或子像素 22 中的第三连接部 70 的延伸长度。

图 6B 是根据本公开的一些示例性实施例的显示基板的位于第一显示区域中的一个子像素组的像素驱动电路的等效电路图。图 15 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素的示例性实施方式的平面图，其中示意性示出了第一显示区域 AA1 中的一个重复单元的平面图。图 16A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的半导体层的平面图。图 16B 是示出图 16A 中所示的半导体层在复位晶体管处的局部放大图。图 17A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的第一导电层的平面图。图 17B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的半导体层和第一导电层的组合的平面图。图 18A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的第二导电层的平面图。图 18B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的半导体层、第一导电层和第二导电层的组合的平面图。图 19A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的第三导电层的平面图。图 19B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的半导体层、第一导电层、第二导电层和第三导电层的组合的平面图。图 20A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的第一透明导电层的平面图。图 20B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的半导体层、第一导电层、第二导电层和第一透明导电层的组合的平面图。图 21A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的第四

导电层的平面图。图 20B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的半导体层、第一导电层、第二导电层、第一透明导电层和第四导电层的组合的平面图。图 22A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的第二透明导电层的平面图。图 22B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的半导体层、第一导电层、第二导电层、第一透明导电层、第四导电层和第二透明导电层的组合的平面图。图 23A 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的第五导电层的平面图。图 23B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的子像素组的半导体层、第一导电层、第二导电层、第一透明导电层、第四导电层、第二透明导电层和第五导电层的组合的平面图。图 24A 是示出根据本公开的一些示例性实施例的显示基板的沿图 21B 中的线 DD' 截取的截面结构的示意图。图 24B 是示出根据本公开的一些示例性实施例的显示基板的沿图 23A 中的线 EE' 截取的截面结构的示意图。

需要说明的是，在下面的描述中，主要说明位于第一显示区域 AA1 中的子像素的结构与位于第二显示区域 AA2 中的子像素的结构的不同之处，对于二者的相同之处，可以参照上文的描述。

还需要说明的是，为了使得本文的描述更简洁，在下文中，在第一显示区域和第二显示区域中具有相同或相似的功能和/或结构的元件可以使用相同的附图标记来表示，例如，位于第一显示区域中的各个晶体管、存储电容器、信号线可以分别使用与位于第二显示区域中的各个晶体管、存储电容器、信号线对应的附图标记表示。应该理解，在下文的描述中，这些元件和结构是位于第一显示区域 AA1 中的。

结合参照图 6B、图 15 至图 24B，在第一显示区域 AA1 中，所述子像素 11、12、13 的像素驱动电路可以包括：多个薄膜晶体管以及一个存储电容器 Cst。所述像素驱动电路用于驱动有机发光二极管（即 OLED）。多个薄膜晶体管包括第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6 和第七晶体管 T7。每一个晶体管均包括栅极、源极和漏极。

所述多根信号线包括：用于传输扫描信号 Sn 的扫描信号线 61，用于传输复位控制信号 RESET（例如，该复位控制信号 RESET 可以为前一行的扫描信号）的复位信号线 62，用于传输发光控制信号 En 的发光控制线 63，用于传输数据信号 Dm 的数据信号线 164，用于传输驱动电压 VDD 的驱动电压线 165，用于传输初始化电压 Vint 的

初始化电压线 66，以及用于传输 VSS 电压的电源线 67。

应该理解，与上述第二显示区域 AA2 类似，在本公开的实施例中，在第一显示区域 AA1 中，显示基板还包括位于第一电极远离像素驱动电路一侧的像素界定层，像素界定层包括多个开口，各个子像素对应至少一个（例如一个）像素界定层开口，子像素的实际发光区域或显示区域与该子像素对应的像素界定层开口大致相当。在一些实施例中，各个子像素对应的像素界定层开口或者实际发光区域面积小于第一电极（例如阳极）的面积，且在衬底基板上的投影完全落入第一电极在衬底基板投影之内。

如图 15 以及图 23A~图 23B 所示，位于第一显示区域 AA1 中的每一个子像素可以包括发光器件（例如 OLED），为了方便描述，将位于第一显示区域 AA1 中的发光器件称为第一发光器件 41。例如，第一发光器件 41 可以包括层叠设置的阳极 41A（参照图 24B）、发光材料层和阴极。需要说明的是，为清楚起见，相关附图使用了第一发光器件 41 的阳极来示意性的示出第一发光器件 41，从而示意性地表示位于第一显示区域 AA1 中的子像素。例如，在第一显示区域 AA1 中，第一发光器件 41 的阳极包括阳极主体 411 和阳极连接部 412。阳极主体 411 在衬底基板 1 上的正投影可以具有规则形状，例如圆形、椭圆形、矩形、六边形、八边形、圆角矩形等。第一显示区域 AA1 中还设置有用驱动所述第一发光器件 41 的像素驱动电路（将在下文描述），阳极连接部 412 与第一发光器件 41 的像素驱动电路电连接。

参照图 15，示意性示出了像素界定层开口和阳极。与阳极主体一致，开口 OPH 在衬底基板 1 上的正投影可以具有规则形状，例如圆形、椭圆形、矩形、六边形、八边形、圆角矩形等。开口 OPH 在衬底基板 1 上的投影完全落入阳极主体 411 在衬底基板 1 的投影之内。

需要说明的是，为了方便示意，在本公开的实施例中，主要示出了子像素的第一电极（例如阳极）的大概位置和形状，以表示各个子像素的分布。

例如，在本公开的一些实施例中，每一个重复单元中的子像素的排布方式可以参考常规的像素排布方式，例如 GGRB、RGBG、RGB 等，本公开的实施例对此不作限制。

与第二重复单元 P2 类似，参照图 15，第一重复单元 P1 可以包括以 4 行 4 列排布的多个子像素。在第一行中，子像素 11 和子像素 12 分别设置在第一列和第三列。在第二行中，两个子像素 13 分别设置在第二列和第四列。在第三行中，子像素 12 和子像素 11 分别设置在第一列和第三列。在第四行中，两个子像素 13 分别设置在第二列

和第四列。

需要说明的是，图 15 中示出的子像素的排布方式仅是本公开的一些实施例的示例性排布方式，而不是对本公开实施例的限制，在其他实施例中，子像素可以采用其他排布方式。

参照图 6B、图 15 至图 23B，在本公开的实施例中，所述显示基板可以包括位于所述第一显示区域 AA1 中的多个子像素组，例如，一个子像素组可以包括至少两个子像素。为了描述方便，将所述至少两个子像素中的两个子像素分别称为第一子像素和第二子像素。例如，所述第一子像素可以是上述子像素 11、12 和 13 中的一个，所述第二子像素可以是上述子像素 11、12 和 13 中不同于所述第一子像素的一个。例如，所述第一子像素和所述第二子像素可以是不同颜色的子像素。

例如，在本公开的一些实施例中，参照图 15，一个子像素 11 的阳极主体部 421 在衬底基板 1 上的正投影的面积小于一个子像素 12 的阳极主体部 421 在衬底基板 1 上的正投影的面积，一个子像素 13 的阳极主体部 421 在衬底基板 1 上的正投影的面积小于一个子像素 11 的阳极主体部 421 在衬底基板 1 上的正投影的面积。即，一个绿色子像素的实际发光面积最小，一个蓝色子像素的实际发光面积最大，一个红色子像素的实际发光面积介于绿色子像素和蓝色子像素之间。

在本公开的实施例中，在一个子像素组中，所述第一子像素可以是红色子像素和蓝色子像素中的一个，所述第二子像素可以是绿色子像素。这样，在下文中，以所述第一子像素为子像素 11 或子像素 12 以及所述第二子像素为子像素 13 为例，对本公开的一些示例性实施方式进行描述。

需要说明的是，图 15 至图 23B 示出了位于第一显示区域 AA1 中的一个子像素组的平面图，其中，在各个平面图中，左上侧的图为所述第一子像素 11（12）的平面图，右下侧的图为所述第二子像素 13 的平面图。

参照图 6B，在一个子像素组的等效电路图中，设置有第一子像素驱动电路和第二子像素驱动电路。示意性地，图 6B 中左侧的虚线框示出了第一子像素驱动电路 DR1，图 6B 中右侧的点划线框示出了第二子像素驱动电路 DR2。第一子像素驱动电路 DR1 用于驱动所述第一子像素 11（12）的第一发光器件 41 发光。第二子像素驱动电路 DR2 用于驱动所述第二子像素 13 的第一发光器件 41 发光。

与图 6A 的一个子像素的像素驱动电路类似，所述第一子像素驱动电路 DR1 和所述第二子像素驱动电路 DR2 中的每一个可以包括：多个薄膜晶体管以及一个存储电容

器 Cst。例如，所述多个薄膜晶体管可以包括第一晶体管（也称为复位晶体管）T1、第二晶体管（也称为补偿晶体管）T2、第三晶体管（也称为驱动晶体管）T3、第四晶体管（也称为开关晶体管）T4、第五晶体管（也称为操作控制晶体管）T5、第六晶体管（也称为发光控制晶体管）T6 和第七晶体管（也称为初始化晶体管）T7。每一个晶体管均包括栅极、源极和漏极。

在本公开的实施例中，为了描述方便，将第一子像素驱动电路 DR1 包括的多个薄膜晶体管 T1~T7 分别称为第一复位晶体管 T1、第一补偿晶体管 T2、第一驱动晶体管 T3、第一开关晶体管 T4、第一操作控制晶体管 T5、第一发光控制晶体管 T6 和第一初始化晶体管 T7；将第二子像素驱动电路 DR2 包括的多个薄膜晶体管 T1~T7 分别称为第二复位晶体管 T1'、第二补偿晶体管 T2、第二驱动晶体管 T3、第二开关晶体管 T4、第二操作控制晶体管 T5、第二发光控制晶体管 T6 和第二初始化晶体管 T7。

在本公开的实施例中，所述第一子像素驱动电路 DR1 的第一复位晶体管 T1 与所述第二子像素驱动电路 DR2 的第二复位晶体管 T1'至少部分共用。

需要说明的是，在本文中，“第一复位晶体管和第二复位晶体管至少部分共用”表示的意思是：第一复位晶体管和第二复位晶体管之间存在共用的部分，即，该部分既作为第一复位晶体管的一部分，在第一子像素驱动电路中发挥作用；又作为第二复位晶体管的一部分，在第二子像素驱动电路中发挥作用。

例如，结合参照图 6B，所述第一复位晶体管可以包括共用晶体管 T10 和第一子晶体管 T11，所述第二复位晶体管包括所述共用晶体管 T10 和第二子晶体管 T12。这样，在该示例性实施例中，共用晶体管 T10 既作为所述第一复位晶体管的一部分，又作为所述第二复位晶体管的一部分，分别在第一子像素驱动电路 DR1 和第二子像素驱动电路 DR2 中发挥作用。

例如，继续参照图 6B，所述共用晶体管 T10、所述第一子晶体管 T11 和所述第二子晶体管 T12 中的每一个均包括栅极 G1、源极 S1 和漏极 D1，所述共用晶体管 T10、所述第一子晶体管 T11 和所述第二子晶体管 T12 中的每一个的栅极均接入复位控制信号 RESET，所述共用晶体管 T10 的源极或漏极中的一个接入初始化电压信号 Vint，所述共用晶体管 T10 的源极或漏极中的另一个分别与所述第一子晶体管 T11 和所述第二子晶体管 T12 电连接。

在本公开的实施例中，在屏下摄像区，多个子像素的像素驱动电路可以共用复位晶体管的至少一部分，这样，有利于缩小一些子像素对应的像素驱动电路的占用区域

的面积，从而能够实现屏下摄像区的 PPI 较高，同时保证屏下摄像区的透光率满足要求。

结合参照图 15 至图 24B，所述显示基板包括衬底基板 1 以及设置于所述衬底基板 1 上的多个膜层。在一些实施例中，所述多个膜层至少包括半导体层 20、第一导电层 21、第二导电层 22、第三导电层 23、第一透明导电层 26、第四导电层 24、第二透明导电层 28 和第五导电层 25。半导体层 20、第一导电层 21、第二导电层 22、第三导电层 23、第一透明导电层 26、第四导电层 24、第二透明导电层 28 和第五导电层 25 依次远离衬底基板 1 设置。所述多个膜层还至少包括多个绝缘膜层，例如，所述多个绝缘膜层可以包括第一栅绝缘层 GI1、第二栅绝缘层 GI2、层间绝缘层 IDL、钝化层 PVX 和平坦化层 PLN。第一栅绝缘层 GI1 可以设置在半导体层 20 与第一导电层 21 之间，第二栅绝缘层 GI2 可以设置在第一导电层 21 与第二导电层 22 之间，层间绝缘层 IDL 可以设置在第二导电层 22 与第三导电层 23 之间，钝化层 PVX 可以设置在第三导电层 23 与第一透明导电层 26 之间。例如，平坦化层 PLN 可以包括多个膜层，为了方便描述，分别称为第一平坦化层 PLN1、第二平坦化层 PLN2 和第三平坦化层 PLN3。在一些实施例中，第一平坦化层 PLN1 可以设置在第一透明导电层 26 与第四导电层 24 之间，第二平坦化层 PLN2 可以设置在第四导电层 24 和第二透明导电层 28 之间，第三平坦化层 PLN3 可以设置在第二透明导电层 28 和第五导电层 25 之间。

在第一显示区域 AA1 中，各个子像素的像素驱动电路包括的复位晶体管 T1、补偿晶体管 T2、驱动晶体管 T3、开关晶体管 T4、操作控制晶体管 T5、发光控制晶体管 T6 和初始化晶体管 T7 可沿着如图 16A 中的有源层形成。有源层可具有弯曲或弯折形状，并且可包括对应于复位晶体管 T1 的第一有源层 20a、对应于晶体管 T2 的第二有源层 20b、对应于驱动晶体管 T3 的第三有源层 20c、对应于开关晶体管 T4 的第四有源层 20d、对应于操作控制晶体管 T5 的第五有源层 20e、对应于发光控制晶体管 T6 的第六有源层 20f 以及对应于初始化晶体管 T7 的第七有源层 20g。

参照图 16A，在一个子像素组中，第一子像素 11(12)的第一子像素驱动电路 DR1 的第一复位晶体管 T1、第一补偿晶体管 T2、第一驱动晶体管 T3、第一开关晶体管 T4、第一操作控制晶体管 T5 和第一发光控制晶体管 T6 的有源层 20a~20f 形成为半导体层 20 的连续延伸的一部分；第二子像素 13 的第二子像素驱动电路 DR2 的第二补偿晶体管 T2、第二驱动晶体管 T3、第二开关晶体管 T4、第二操作控制晶体管 T5 和第二发光控制晶体管 T6 的有源层 20b~20f 形成为半导体层 20 的连续延伸的一部分。

需要说明的是，在本文中，“连续延伸”表述部件中间没有任何断开的地方。

在一个子像素组中，第一子像素 11 (12) 的第一子像素驱动电路 DR1 的第一初始化晶体管 T7 的第七有源层 20g 与所述第一子像素驱动电路 DR1 位于所述半导体层 20 中的其他部分（即第一子像素驱动电路 DR1 的第一复位晶体管 T1、第一补偿晶体管 T2、第一驱动晶体管 T3、第一开关晶体管 T4、第一操作控制晶体管 T5 和第一发光控制晶体管 T6 的有源层 20a~20f）间隔设置；第二子像素 13 的第二子像素驱动电路 DR2 的第二初始化晶体管 T7 的第七有源层 20g 与所述第二子像素驱动电路 DR2 位于所述半导体层 20 中的其他部分（即第二子像素驱动电路 DR2 的第二复位晶体管 T1'、第二补偿晶体管 T2、第二驱动晶体管 T3、第二开关晶体管 T4、第二操作控制晶体管 T5 和第二发光控制晶体管 T6 的有源层 20a~20f）间隔设置。

在一个子像素组中，第一子像素 11 (12) 的第一子像素驱动电路 DR1 的第一复位晶体管 T1 的有源层 20a 和第二子像素 13 的第二子像素驱动电路 DR2 的第二复位晶体管 T1' 的有源层 20a 至少部分共用。例如，参照图 16B，共用晶体管 T10 包括共用有源层 200a，该共用有源层 200a 包括共用沟道部分 2010a、共用源极部分 2030a 和共用漏极部分 2050a。第一子晶体管 T11 包括第一子有源层 211a，该第一子有源层 211a 包括第一沟道部分 2011a、第一子源极部分 2031a 和第一子漏极部分 2051a。第二子晶体管 T12 包括第二子有源层 212a，该第二子有源层 212a 包括第二沟道部分 2012a、第二子源极部分 2032a 和第二子漏极部分 2052a。所述共用源极部分 2030a 和所述共用漏极部分 2050a 分别位于所述共用沟道部分 2010a 的两侧，所述第一子源极部分 2031a 和所述第一子漏极部分 2051a 分别位于所述第一沟道部分 2011a 的两侧，所述第二子源极部分 2032a 和所述第二子漏极部分 2052a 分别位于所述第二沟道部分 2012a 的两侧。所述共用有源层 200a、所述第一子有源层 211a 和第二子有源层 212a 连续延伸。例如，所述共用有源层 200a 的一端连接所述第一子有源层 211a 和第二子有源层 212a 两者。

在本公开的实施例中，共用有源层 200a 和第一子有源层 211a 构成第一子像素 11 (12) 的第一子像素驱动电路 DR1 的第一复位晶体管 T1 的有源层 20a。共用有源层 200a 和第二子有源层 212a 构成第二子像素 13 的第二子像素驱动电路 DR2 的第二复位晶体管 T1' 的有源层 20a。即，第一复位晶体管 T1 的有源层 20a 和第二复位晶体管 T1' 的有源层 20a 至少存在共用的部分——共用有源层 200a。

在本公开的实施例中，第二子像素驱动电路 DR2 的第二复位晶体管 T1' 的有源层 20a 形成在第一子像素驱动电路 DR1 的占用区域中，这样，有利于减小第二子像素驱

动电路 DR2 的占用区域的面积。

继续参照图 16A，在第一子像素驱动电路 DR1 中，第一初始化晶体管 T7 的有源层 20g 与第一复位晶体管 T1 的有源层 20a 间隔设置。第一复位晶体管 T1 的有源层 20a 连接第一补偿晶体管 T2 的有源层 20b，第一补偿晶体管 T2 的有源层 20b 连接第一驱动晶体管 T3 的有源层 20c 和第一发光控制晶体管 T6 的有源层 20f，第一驱动晶体管 T3 的有源层 20c 连接第一开关晶体管 T4 的有源层 20d 和第一操作控制晶体管 T5 的有源层 20e。即，所述共用有源层 200a、所述第一子有源层 211a 和第二子有源层 212a、第一补偿晶体管 T2 的有源层 20b、第一驱动晶体管 T3 的有源层 20c、第一发光控制晶体管 T6 的有源层 20f、第一开关晶体管 T4 的有源层 20d 和第一操作控制晶体管 T5 的有源层 20e 连续延伸。第一初始化晶体管 T7 的有源层 20g 与这些有源层间隔设置。

在第二子像素驱动电路 DR2 中，第二补偿晶体管 T2 的有源层 20b 连接第二驱动晶体管 T3 的有源层 20c 和第二发光控制晶体管 T6 的有源层 20f，第二驱动晶体管 T3 的有源层 20c 连接第二开关晶体管 T4 的有源层 20d 和第二操作控制晶体管 T5 的有源层 20e。即，第二补偿晶体管 T2 的有源层 20b、第二驱动晶体管 T3 的有源层 20c、第二发光控制晶体管 T6 的有源层 20f、第二开关晶体管 T4 的有源层 20d 和第二操作控制晶体管 T5 的有源层 20e 连续延伸。第二初始化晶体管 T7 的有源层 20g 与这些有源层间隔设置。

结合参照图 8 和图 9，对于位于第二显示区域 AA2 中的一个子像素而言，第一初始化晶体管 T7 的有源层 20g 自第一复位晶体管 T1 的有源层 20a 沿远离该子像素的扫描信号线 61 的方向延伸，即，第一初始化晶体管 T7 的有源层 20g 位于第一复位晶体管 T1 的有源层 20a 的右上方。通过这样的设置方式，第一初始化晶体管 T7 的有源层 20g 可以朝向位于同一列的上方的相邻的子像素的有源层延伸，有利于位于同一列的子像素的有源层形成为连续延伸的结构。

参照图 16A 和图 17，对于位于第一显示区域 AA1 中的子像素而言，第一初始化晶体管 T7 的有源层 20g 相对于第一复位晶体管 T1 的有源层 20a 沿靠近该子像素的扫描信号线 61 的方向延伸，即，第一初始化晶体管 T7 的有源层 20g 位于第一复位晶体管 T1 的有源层 20a 的右下方。通过这样的设置方式，位于第一显示区域 AA1 中的一个子像素的有源层的占用区域的轮廓为正方形或近似正方形。

在本文中，表述“占用区域”表示一个图案、层结构等在衬底基板上的正投影所覆盖的最大区域，具体地，一个图案、层结构等在衬底基板上的正投影具有在第一方

向 X 上相距最远的两个侧边以及在第二方向 Y 上相距最远的两个侧边, 这四条侧边的延长线会交叉, 以包围形成一个区域, 该区域即为图案、层结构等的占用区域。

具体地, 参照图 8 和图 16A, 对于位于第二显示区域 AA2 中的一个子像素而言, 其有源层的占用区域具有矩形或大致矩形的形状, 如图 8 所示, 使用虚线框示意性示出了位于第二显示区域 AA2 中的一个子像素的有源层的占用区域, 该占用区域具有沿第一方向 X 的尺寸 (即宽度 W2) 和沿第二方向 Y 的尺寸 (即长度 L2), 其中, 长度 L2 大于宽度 W2, 或者说, 长度 L2 为宽度 W2 的 1.2 倍以上, 即, 该占用区域具有长方形的形状。

对于位于第一显示区域 AA1 中的一个子像素而言, 其有源层的占用区域具有正方形或大致正方形的形状, 如图 16A 所示, 使用虚线框示意性示出了位于第一显示区域 AA1 中的一个子像素的有源层的占用区域, 该占用区域具有沿第一方向 X 的尺寸 (即宽度 W1) 和沿第二方向 Y 的尺寸 (即长度 L1), 其中, 长度 L1 基本等于宽度 W1。

在本公开的实施例中, 位于第一显示区域 AA1 中的一个子像素的有源层的占用区域的面积小于位于第二显示区域 AA2 中的一个同颜色的子像素的有源层的占用区域的面积。这样, 可以减小位于第一显示区域 AA1 中的子像素的像素驱动电路的占用区域的面积, 关于这一点, 下文将进一步详细描述。

类似地, 如图 17A 和图 17B 所示, 扫描信号线 61、复位信号线 62 和发光控制线 63 均位于第一导电层 21 中。上述各个晶体管的栅极 G1~G7 也均位于第一导电层 21 中。第一存储电容电极 Cst1 也位于第一导电层 21 中。第一导电层 21 位于半导体层 20 远离衬底基板 1 的一侧。

参照图 17A 和图 17B, 所述第一子像素 11 (12) 和所述第二子像素 13 共用一条复位信号线 62。即, 仅在第一子像素 11 (12) 的第一子像素驱动电路 DR1 的占用区域中设置有复位信号线 62, 在第二子像素 13 的第二子像素驱动电路 DR2 的占用区域中不设置复位信号线 62。即, 在第一子像素 11 (12) 的第一子像素驱动电路 DR1 的占用区域中, 设置有扫描信号线 61、复位信号线 62 和发光控制线 63; 在第二子像素 13 的第二子像素驱动电路 DR2 的占用区域中, 设置有扫描信号线 61 和发光控制线 63。

结合参照图 6B 和图 17B, 在第一子像素 11 (12) 中, 扫描信号线 61 与半导体层 20 重叠的部分分别形成第一补偿晶体管 T2 的栅极 G2 和第一开关晶体管 T4 的栅极 G4, 并且, 扫描信号线 61 与半导体层 20 重叠的另一部分还形成第一初始化晶体管 T7 的栅极 G7。也就是说, 在本公开的实施例中, 在第一显示区域 AA1 中, 第一初始化

晶体管 T7、第一补偿晶体管 T2 和第一开关晶体管 T4 的栅极均供应扫描信号 Sn。

如上所述，在第一初始化晶体管 T7 的控制下，可以将初始化电压线 66 传输的初始化电压 Vint 供应给 OLED，例如，供应给 OLED 的第一电极（例如阳极），以初始化 OLED 的第一电极上的电压。

在第二子像素 13 中，扫描信号线 61 与半导体层 20 重叠的部分分别形成第二补偿晶体管 T2 的栅极 G2 和第二开关晶体管 T4 的栅极 G4，并且，扫描信号线 61 与半导体层 20 重叠的另一部分还形成第二初始化晶体管 T7 的栅极 G7。也就是说，在本公开的实施例中，在第一显示区域 AA1 中，第二初始化晶体管 T7、第二补偿晶体管 T2 和第二开关晶体管 T4 的栅极均供应扫描信号 Sn。

继续参照图 17A，在一个子像素中，一条复位信号线 62 包括位于所述第一显示区域 AA1 中的第一部分 621、第二部分 622 和第三部分 623，所述第一部分 621、所述第二部分 622 和所述第三部分 623 在所述衬底基板 1 上的正投影分别与所述共用沟道部分 2010a、所述第一沟道部分 2011a 和所述第二沟道部分 2012a 在所述衬底基板 1 上的正投影重合，所述共用晶体管 T10 的栅极包括所述第一部分 621，所述第一子晶体管 T11 的栅极包括所述第二部分 622，所述第二子晶体管 T12 的栅极包括所述第三部分 623。

例如，复位信号线 62 的第一部分 621 可以基本沿第二方向 Y 延伸，复位信号线 62 的第二部分 622 和第三部分 623 可以基本沿第一方向 X 延伸，即，复位信号线 62 的第一部分 621 基本垂直于复位信号线 62 的第二部分 622 和第三部分 623。

以此方式，所述共用晶体管 T10、所述第一子晶体管 T11 和所述第二子晶体管 T12 中的每一个的栅极均接入复位控制信号 RESET。

这样，在本公开的实施例中，所述第一子像素驱动电路 DR1 的第一复位晶体管 T1（包括共用晶体管 T10 和第一子晶体管 T11）与所述第二子像素驱动电路 DR2 的第二复位晶体管 T1'（包括共用晶体管 T10 和第二子晶体管 T12）中每一个在所述衬底基板 1 上的正投影均落入所述第一子像素驱动电路 DR1 的占用区域在所述衬底基板 1 上的正投影内。以此方式，可以减少第二子像素的第二子像素驱动电路 DR2 的占用区域的面积。

需要说明的是，在此处，所述第一子像素驱动电路 DR1 的第一复位晶体管 T1 在所述衬底基板 1 上的正投影可以用所述第一子像素驱动电路 DR1 的第一复位晶体管 T1 的沟道区域在所述衬底基板 1 上的正投影表示；所述第二子像素驱动电路 DR2 的

第二复位晶体管 T1'在所述衬底基板 1 上的正投影可以用所述第二子像素驱动电路 DR2 的第二复位晶体管 T1'的沟道区域在所述衬底基板 1 上的正投影表示。

如图 18A 和图 18B 所示, 初始化电压线 66 和第二存储电容电极 Cst2 位于第二导电层 22 中。第二导电层 22 位于第一导电层 21 远离衬底基板 1 的一侧。

参照图 18A 和图 18B, 所述第一子像素 11 (12) 和所述第二子像素 13 共用一条初始化电压线 66。即, 仅在第一子像素 11 (12) 的第一子像素驱动电路 DR1 的占用区域中设置有初始化电压线 66, 在第二子像素 13 的第二子像素驱动电路 DR2 的占用区域中不设置初始化电压线 66。

参照图 10, 对于位于第二显示区域 AA2 中的一个子像素而言, 第二存储电容电极 Cst2 包括通孔 TH2, 第二存储电容电极 Cst2 的实体部分和通孔 TH2 的组合在衬底基板 1 上的正投影呈矩形或圆角矩形的形状。

参照图 18A 和图 18B, 对于位于第一显示区域 AA1 中的一个子像素而言, 第二存储电容电极 Cst2 在一个拐角处具有凹口 NTH1, 即, 第二存储电容电极 Cst2 在衬底基板 1 上的正投影呈“L”形。换句话说, 第二存储电容电极 Cst2 的实体部分和凹口 NTH1 的组合在衬底基板 1 上的正投影呈矩形或圆角矩形的形状。

凹口 NTH1 暴露位于第二存储电容电极 Cst2 下方的第一存储电容电极 Cst1 的一部分, 以便第一存储电容电极 Cst1 与其他部分电连接。

在本公开的实施例中, 位于第一显示区域 AA1 中的一个子像素的第二存储电容电极 Cst2 在衬底基板 1 上的正投影的面积比位于第二显示区域 AA2 中的一个子像素的第二存储电容电极 Cst2 在衬底基板 1 上的正投影的面积小。在此基础上, 将位于第一显示区域 AA1 中的一个子像素的第二存储电容电极 Cst2 设计成“L”形, 无需在第二存储电容电极 Cst2 中形成所述通孔, 有利于保证位于第一显示区域 AA1 中的一个子像素的第一存储电容电极 Cst1 与第二存储电容电极 Cst2 的交叠面积较大, 即, 保证存储电容器 Cst 的电容值较大。

如图 19A 和图 19B 所示, 连接部 168、连接部 169、连接部 170 和连接部 171 位于第三导电层 23 中。第三导电层 23 位于第二导电层 22 远离衬底基板 1 的一侧。

连接部 168 的一部分形成于过孔 VH6 中, 该部分向下延伸以与凹口 NTH1 暴露的第一存储电容电极 Cst1 的部分电连接。连接部 168 的另一部分形成于过孔 VH2 中, 该部分向下延伸以与第一补偿晶体管 T2 的漏极 D2 和第一复位晶体管 T1 的漏极 D1 电连接。通过连接部 168, 可以使得第一存储电容电极 Cst1、第一补偿晶体管 T2 的漏

极 D2 和第一复位晶体管 T1 的漏极 D1 电连接, 即形成图 6B 中所示的节点 N1。

连接部 169 包括第一连接子部 1691 和第二连接子部 1692。第一连接子部 1691 和第二连接子部 1692 彼此连接, 以形成连续延伸的连接部 169。第一连接子部 1691 的一部分形成于过孔 VH12 中, 该部分向下延伸以与初始化电压线 66 电连接。第一连接子部 1691 的另一部分形成于过孔 VH124 中, 该部分向下延伸以与共用晶体管 T10 的共用源极部分 2030a 和共用漏极部分 2050a 中的一个电连接。以此方式, 将初始化电压线 66 与共用晶体管 T10 的源极或漏极电连接, 可以将初始化电压线 66 传输的初始化电压 Vint 供应给第一子像素驱动电路 DR1 的第一复位晶体管 T1 的源极或漏极和第二子像素驱动电路 DR2 的第二复位晶体管 T1' 的源极或漏极。

第二连接子部 1692 的另一部分形成于过孔 VH4 中, 该部分向下延伸以与第一初始化晶体管 T7 的漏极 D7 电连接。以此方式, 可以将初始化电压线 66 传输的初始化电压 Vint 供应给第一初始化晶体管 T7 的漏极 D7。

连接部 170 的一部分形成于过孔 VH5 中, 该部分向下延伸以与第一初始化晶体管 T7 的源极 S7 电连接。连接部 170 的另一部分形成于过孔 VH10 中, 该部分向下延伸以与第一发光控制晶体管 T6 的漏极 D6 电连接。通过连接部 170, 可以使得第一初始化晶体管 T7 的源极 S7 和第一发光控制晶体管 T6 的漏极 D6 电连接, 即形成图 6B 中所示的 N4 节点。

连接部 171 的一部分形成于过孔 VH7 中, 该部分向下延伸以与第二存储电容电极 Cst2 电连接。连接部 171 的另一部分形成于过孔 VH9 中, 该部分向下延伸以与第一操作控制晶体管 T5 的源极 S5 电连接。通过连接部 171, 可以使得第二存储电容电极 Cst2 与第一操作控制晶体管 T5 的源极 S5 电连接。

继续参照图 19A 和图 19B, 在所述第二子像素 13 所在的区域中, 连接部 168'、连接部 170' 和连接部 171' 位于第三导电层 23 中。

连接部 168' 的一部分形成于过孔 VH6' 中, 该部分向下延伸以与凹口 NTH1 暴露的第一存储电容电极 Cst1 的部分电连接。连接部 168' 的另一部分形成于过孔 VH2' 中, 该部分向下延伸以与第二补偿晶体管 T2 的漏极 D2 电连接。通过连接部 168', 可以使得第一存储电容电极 Cst1 和第二补偿晶体管 T2 的漏极 D2 电连接。

连接部 170' 的一部分形成于过孔 VH5' 中, 该部分向下延伸以与第二初始化晶体管 T7 的源极 S7 电连接。连接部 170' 的另一部分形成于过孔 VH10' 中, 该部分向下延伸以与第二发光控制晶体管 T6 的漏极 D6 电连接。通过连接部 170', 可以使得第二初始

化晶体管 T7 的源极 S7 和第二发光控制晶体管 T6 的漏极 D6 电连接。

连接部 171' 的一部分形成于过孔 VH7' 中, 该部分向下延伸以与第二存储电容电极 Cst2 电连接。连接部 171' 的另一部分形成于过孔 VH9' 中, 该部分向下延伸以与第二操作控制晶体管 T5 的源极 S5 电连接。通过连接部 171', 可以使得第二存储电容电极 Cst2 与第二操作控制晶体管 T5 的源极 S5 电连接。

结合参照图 20A 和图 20B, 在第一显示区域 AA1 中, 设置有第一透明导电层 26, 例如, 该第一透明导电层 26 可以由诸如氧化铟锡 (即 ITO) 等的透明导电材料构成。

在第一显示区域 AA1 中, 数据信号线 164 以及驱动电压线 165 位于第一透明导电层 26 中。即, 数据信号线 164 以及驱动电压线 165 由诸如氧化铟锡 (即 ITO) 等的透明导电材料构成。

所述显示基板还可以包括位于第一透明导电层 26 中的多个透明导电连接部。例如, 所述多个透明导电连接部可以包括第一透明导电连接部 161、第二透明导电连接部 162、第三透明导电连接部 163 和第四透明导电连接部 166。即, 这些透明导电连接部均由诸如氧化铟锡 (即 ITO) 等的透明导电材料构成。

所述显示基板还可以包括位于第一透明导电层 26 中的多个导电引线。例如, 所述多个导电引线可以包括第三导电引线 263 和第四导电引线 266。即, 这些导电引线均由诸如氧化铟锡 (即 ITO) 等的透明导电材料构成。

需要说明的是, 在本文中, 将用于电连接一个子像素组内的多个子像素的像素驱动电路中的元件的部件称为导电连接部, 将用于电连接分别位于不同子像素组 (例如相邻的子像素组) 中的多个子像素的像素驱动电路中的元件的部件称为导电引线, 这样的表述仅出于方便描述的目的, 而不意图特别限制这些部件必须不同, 例如, 这些部件的一些特征可以是相同的, 例如, 这些部件中的至少一些可以位于同一导电层, 例如, 均位于第一透明导电层 26 中, 或者, 这些部件中的至少一些可以由相同的导电材料构成, 例如, 都由诸如氧化铟锡 (即 ITO) 等的透明导电材料构成。

例如, 数据线 164 可以基本沿第二方向 Y 连续延伸。数据信号线 164 的一部分形成于过孔 VH3 中, 该部分向下延伸以与第一开关晶体管 T4 的源极 S4 电连接, 从而将数据信号线 164 传输的数据信号 Dm 供应给第一开关晶体管 T4。

驱动电压线 165 在第一显示区域 AA1 中的子像素的像素驱动电路处断开, 分成两个部分。为了方便描述, 将这两个部分分别表示为第一驱动电压子线 1651 和第二驱动电压子线 1652。

例如，第一驱动电压子线 1651 在衬底基板 1 上的正投影与初始化电压线 66 在衬底基板 1 上的正投影交叉，并且第一驱动电压子线 1651 在衬底基板 1 上的正投影与复位信号线 62 在衬底基板 1 上的正投影至少部分重叠。

再例如，第二驱动电压子线 1652 在衬底基板 1 上的正投影与发光控制线 63 在衬底基板 1 上的正投影交叉，并且第二驱动电压子线 1652 在衬底基板 1 上的正投影与第二存储电容电极 Cst2 在衬底基板 1 上的正投影至少部分重叠。第二驱动电压子线 1652 的一部分形成于过孔 VH20 中，该部分向下延伸以与连接部 171 的一部分电连接，从而与第二存储电容电极 Cst2 电连接。通过这样的方式，可以实现驱动电压线、第二存储电容电极 Cst2 和第一操作控制晶体管 T5 的源极 S5 之间的电连接。

第一驱动电压子线 1651 和第二驱动电压子线 1652 在第二方向 Y 上彼此间隔开一定的距离。例如，第一驱动电压子线 1651 靠近第二驱动电压子线 1652 的一端在衬底基板 1 上的正投影与复位信号线 62 在衬底基板 1 上的正投影部分重叠，第二驱动电压子线 1652 靠近第一驱动电压子线 1651 的一端在衬底基板 1 上的正投影与第二存储电容电极 Cst2 靠近发光控制线 63 的部分在衬底基板 1 上的正投影部分重叠。间隔开的第一驱动电压子线 1651 和第二驱动电压子线 1652 将通过连接部电连接在一起，关于这一点，将在下文中详细说明。

在本公开的实施例中，在所述第一子像素和所述第二子像素之间设置有第一透明导电连接部 161，用于将位于所述第一子像素的占用区域中的第二复位晶体管 T1'（包括共用晶体管 T10 和第二子晶体管 T12）电连接至第二子像素驱动电路 DR2 中。

参照图 20A 和图 20B，所述第一透明导电连接部 161 的一端通过过孔 VH21 与第二子源极部分 2032a 和第二子漏极部分 2052a 中的一个电连接，所述第一透明导电连接部 161 的另一端通过过孔 VH22 与所述第二子像素驱动电路 DR2 的第二驱动晶体管 T3 的栅极电连接。以此方式，可以将位于所述第一子像素的占用区域中的第二复位晶体管 T1'（包括共用晶体管 T10 和第二子晶体管 T12）电连接至第二子像素驱动电路 DR2 中。

例如，所述第一透明导电连接部 161 在所述衬底基板 1 上的正投影与所述第一初始化晶体管 T7 的有源层 20g 在所述衬底基板 1 上的正投影部分重叠，以及所述第一透明导电连接部 161 在所述衬底基板 1 上的正投影与所述第二初始化晶体管 T7 的有源层 20g 在所述衬底基板 1 上的正投影部分重叠。

例如，所述第一透明导电连接部 161 至少包括第一部分 1611、第二部分 1612 和

第三部分 1613。所述第二部分 1612 位于第一部分 1611 和第三部分 1613 之间，连接第一部分 1611 和第三部分 1613。即，所述第一透明导电连接部 161 为连续延伸的连接部。所述第一透明导电连接部的第三部分 1613 沿第一方向 X 延伸，所述第一透明导电连接部的第二部分 1612 沿第二方向 Y 延伸，所述第一透明导电连接部的第一部分 1611 沿相对于第一方向 X 和第二方向 Y 均倾斜的倾斜方向延伸。

所述第一透明导电连接部的第一部分 1611 在所述衬底基板 1 上的正投影与所述第一初始化晶体管 T7 的有源层 20g 在所述衬底基板 1 上的正投影部分重叠。所述第一透明导电连接部的第三部分 1613 在所述衬底基板 1 上的正投影与所述第二初始化晶体管 T7 的有源层 20g 在所述衬底基板 1 上的正投影部分重叠。所述第一透明导电连接部的第二部分 1612 位于所述第一子像素和所述第二子像素之间的透光区域中。例如，所述第一透明导电连接部的第一部分 1611 的一部分以及所述第一透明导电连接部的第三部分 1613 的一部分也位于所述第一子像素和所述第二子像素之间的透光区域中。

在本公开的实施例中，在所述第一子像素和所述第二子像素之间设置有第二透明导电连接部 162，用于将位于所述第一子像素的占用区域中的复位信号线 66 电连接至第二子像素驱动电路 DR2 中，从而将复位信号 RESET 接入第二子像素驱动电路 DR2 中。

在本公开的一些示例性实施例中，可以降低第一透明导电连接部 161 的电阻。例如，可以增加第一透明导电连接部 161 的线宽，例如，第一透明导电连接部 161 的线宽可以大于导电连接部 162、163 和 166 中每一个的线宽。例如，可以缩短第一透明导电连接部 161 的延伸长度。例如，可以采用位于两个导电层中的导电部并联形成第一透明导电连接部，例如，第一透明导电连接部的第一部分可以位于所述第一透明导电层中，第二部分可以位于所述第三导电层、所述第四导电层或第二透明导电层中，所述第一部分和所述第二部分并联，以形成所述第一透明导电连接部。

在本公开的一些示例性实施例中，在透明导电连接部 161、162、163 和 166 中，第一透明导电连接部 161 可以设置在最边缘的一侧。即，透明导电连接部 161、162、163 和 166 的排列顺序不局限于图 20A~图 20B 中示出的方式。例如，第一透明导电连接部 161 可以设置在第二导电连接部 162 远离第三导电连接部 163 的一侧。以此方式，可以尽量减小其他电子元器件或电学环境对第一透明导电连接部 161 的影响，从而可以保证第一透明导电连接部 161 传输的复位信号的稳定性。

在本公开的一些示例性实施例中，结合参照图 6C 和图 20B，通过调整复位信号传

输至两个子像素的驱动晶体管 T3 的栅极的路径上的电阻,可以使得所述复位信号的传输路径上的电阻基本一致,或者说,可以实现不同子像素的复位信号的传输路径上的电阻可调。例如,图 6C 中的电阻 R1 和 R3 示意性地表示了复位信号传输至所述第一子像素的驱动晶体管 T3 的栅极的路径上的电阻,电阻 R2 和 R4 示意性地表示了复位信号传输至所述第二子像素的驱动晶体管 T3 的栅极的路径上的电阻。

例如,如上所述,可以增加第一透明导电连接部 161 的线宽,缩短第一透明导电连接部 161 的延伸长度,或者采用位于两个导电层(例如第一透明导电层和第二透明导电层)中的导电部并联形成第一透明导电连接部,来调整所述复位信号传输至所述第二子像素的驱动晶体管 T3 的栅极的路径上的电阻,从而使得所述复位信号传输至两个子像素的驱动晶体管 T3 的栅极的路径上的电阻基本一致。

继续参照图 6C 和图 20B,可以调整作用于节点 N1 的耦合电容,来调整不同子像素的节点 N1 处的电位,从而使得不同子像素的节点 N1 处的电位保持稳定,即基本一致。例如,图 6C 中的 Cst1-ref1 示意性示出了作用于第一子像素驱动电路 DR1 的节点 N1 的耦合电容,Cst1-ref2 示意性示出了作用于第二子像素驱动电路 DR2 的节点 N1 的耦合电容。

例如,可以将第一透明导电连接部 161(即用于传输复位信号至第二子像素驱动电路的驱动晶体管的栅极的导线)移到靠近驱动电压线(例如第一驱动电压子线 1651)的附近,即,透明导电连接部 161、162、163 的位置可以交换;或者,第一透明导电连接部 161 可以与具有 VDD 电位的膜层交叠;或者,将初始化信号线 66 的一部分向下延伸,使其与第一透明导电连接部 161 交叠。即,在一些示例性实施例中,可以设置第一透明导电连接部 161 与具有恒定电位的导电部或膜层交叠,以形成作用于节点 N1 的耦合电容。再例如,可以使共用复位晶体管的两个子像素(例如所述第一子像素和所述第二子像素)中的交叠面积不同,实现不同子像素的差异化设计,以调整节点 N1 各处的导电部分的电学环境。以此方式,可以保持不同子像素的像素驱动电路中的节点 N1 处的电位一致,有利于提高显示基板的均一性。

需要说明的是,虽然电阻 R1~R4 和耦合电容 Cst1-ref1、Cst1-ref2 同时设置于图 6C 中,但是,本公开的实施例并不局限于此。例如,在一些实施例中,可以仅设置所述电阻 R1~R4,以调整复位信号传输至两个子像素的驱动晶体管 T3 的栅极的路径上的电阻。在一些实施例中,可以仅设置作用于节点 N1 的耦合电容,以调整不同子像素的节点 N1 处的电位。

参照图 20A 和图 20B, 所述第二透明导电连接部 162 的一端通过过孔 VH23 与连接部 169 电连接, 所述第二透明导电连接部 162 的另一端通过过孔 VH24 与所述第二子像素驱动电路 DR2 的第二初始化晶体管 T7 的有源层 20g 的一端电连接。例如, 过孔 VH23 在衬底基板 1 上的正投影与过孔 VH4 在衬底基板 1 上的正投影至少部分重叠。即, 所述第二透明导电连接部 162 的一端通过过孔 VH23 与连接部 169 的一端(图 20B 中为下端)电连接。所述第二透明导电连接部 162 的另一端通过过孔 VH24 与所述第二初始化晶体管 T7 的第七源极区 203g 或第七漏极区 205g 电连接。以此方式, 可以将复位信号线 66 传输的复位信号 RESET 供应至第二子像素驱动电路 DR2 的第二初始化晶体管 T7 的源极或漏极。

例如, 所述第二透明导电连接部 162 至少包括第一部分 1621、第二部分 1622 和第三部分 1623, 所述第二部分 1622 位于第一部分 1621 和第三部分 1623 之间。所述第二透明导电连接部的第一部分 1621 沿第一方向 X 延伸, 所述第二透明导电连接部的第三部分 1623 沿第二方向 Y 延伸, 所述第二透明导电连接部的第二部分 1622 沿相对于第一方向 X 和第二方向 Y 均倾斜的倾斜方向延伸。

所述第二透明导电连接部 162 可以位于所述第一子像素和所述第二子像素之间的透光区域中。例如, 所述第二透明导电连接部 162 的第一部分 1621、第二部分 1622 和第三部分 1623 均位于所述第一子像素和所述第二子像素之间的透光区域中。

如图 21A 和图 21B 所示, 连接部 172 和导电连接部 173 位于第四导电层 24 中。

连接部 172 的一部分形成于过孔 VH1 中, 该部分向下延伸以与第一驱动电压子线 1651 电连接。连接部 172 的另一部分形成于过孔 VH7' 中, 该部分向下延伸以与第二驱动电压子线 1652 电连接。也就是说, 通过连接部 172, 可以将第一驱动电压子线 1651 与第二驱动电压子线 1652 电连接起来, 这样, 位于同一列的各个子像素的驱动电压线就可以连接起来, 以便于给各个子像素供应驱动电压信号 VDD。

在本公开的一些实施例中, 第一驱动电压子线 1651 与第二驱动电压子线 1652 在像素驱动电路处可以不断开, 这样, 可以无需设置所述连接部 172。

在本公开的一些实施例中, 第一驱动电压子线 1651 与第二驱动电压子线 1652 在像素驱动电路处可以断开, 同时, 还可以设置连接部 172。这样, 连接部 172 与驱动电压线 165 的一部分并联, 有利于降低驱动电压线 165 上的电阻。

导电连接部 173 的一部分形成于过孔 VH10' 中, 该过孔 VH10' 暴露连接部 170 的一部分, 这样, 可以将导电连接部 173 电连接至连接部 170。

如图 22A 和图 22B 所示,在第一显示区域 AA1 中,设置有第二透明导电层 28,例如,该第二透明导电层 28 可以由诸如氧化铟锡(即 ITO)等的透明导电材料构成。该第二透明导电层 28 位于第四导电层 24 远离衬底基板 1 的一侧。所述显示基板还包括设置于所述衬底基板 1 上的第一导电引线 181 和第二导电引线 182。第一导电引线 181 和第二导电引线 182 可以位于第二透明导电层 28 中。即,第一导电引线 181 和第二导电引线 182 由诸如氧化铟锡(即 ITO)等的透明导电材料构成。

如图 22A 和图 22B 所示,除了复位晶体管 T1、T1'之外,第一子像素驱动电路 DR1 和第二子像素驱动电路 DR2 中的其他晶体管 T2~T7 可以是镜像设置的。

图 25A 和图 25B 是示出根据本公开的一些示例性实施例的显示基板的第一显示区域 AA1 中的多个子像素组的示例性实施方式的平面图。结合参照图 20A、图 20B、图 22A、图 22B 和图 25A 和图 25B,在第一显示区域 AA1 中,沿第一方向 X 延伸的扫描信号线 61、复位信号线 62、发光控制线 63 和初始化电压线 66 分别通过位于透明导电层中的导电引线或透明导电连接部电连接。这样,在第一显示区域 AA1 的透光区域中,仅布置有透明的导电引线和透明导电连接部,而不会布置由金属等不透光材料构成的导电引线。以此方式,可以保证第一显示区域 AA1 的透光率较大。

例如,在一个子像素组内,所述第一子像素 11(12)的第一扫描信号线 61 和所述第二子像素 13 的第二扫描信号线 61 通过第三透明导电连接部 163 电连接,所述第一子像素 11(12)的第一发光控制线 63 和所述第二子像素 13 的第二发光控制线 63 通过第四透明导电连接部 166 电连接。

例如,在一个子像素组的两侧,分别设置有第三导电引线 263,以将位于同一行的各个子像素组的扫描信号线 61 电连接在一起。位于左侧的第三导电引线 263 的一部分形成于过孔 VH15 中,该部分向下延伸以与第一扫描信号线 61 的一端电连接。位于右侧的第三导电引线 263 的一部分形成于过孔 VH15 中,该部分向下延伸以与第二扫描信号线 61 的一端电连接。借助第三透明导电连接部 163 和第三导电引线 263,可以将同一行的子像素的扫描信号线 61 电连接起来,以便于供应扫描信号 Sn。

在一个子像素组的两侧,分别设置有第四导电引线 266,以将位于同一行的各个子像素组的发光控制线 63 电连接在一起。位于左侧的第四导电引线 266 的一部分形成于过孔 VH17 中,该部分向下延伸以与第一发光控制线 63 的一端电连接。位于右侧的第四导电引线 266 的一部分形成于过孔 VH17 中,该部分向下延伸以与第二发光控制线 63 的一端电连接。借助第四透明导电连接部 166 和第四导电引线 266,可以将同一

行的子像素的发光控制线 63 电连接起来，以便于供应发光控制信号 Em。

在一个子像素组的复位信号线 62 两侧，分别设置有第一导电引线 181。一条第一导电引线 181 的一部分形成于过孔 VH13 中，该部分向下延伸以与复位信号线 62 的一端电连接。另一条第一导电引线 181 的一部分形成于过孔 VH14 中，该部分向下延伸以与复位信号线 62 的另一端电连接。借助第一导电引线 181，可以将同一行的子像素组的复位信号线 62 电连接起来，以便于供应复位信号 Reset。

在一个子像素组的初始化电压线 66 两侧，分别设置有第二导电引线 182。一条第二导电引线 182 的一部分形成于过孔 VH11 中，该部分向下延伸以与初始化电压线 66 的一端电连接。另一条第二导电引线 182 的一部分形成于过孔 VH12 中，该部分向下延伸以与初始化电压线 66 的另一端电连接。借助第二导电引线 182，可以将同一行的子像素组的初始化电压线 66 电连接起来，以便于供应发光初始化电压信号 Vinit。

换句话说，结合参照图 25A 和图 25B，所述多个子像素组至少包括位于同一行且相邻的第一子像素组 SP1 和第二子像素组 SP2。一条第一导电引线 181 的一端通过过孔 VH13 与第一子像素组 SP1 中的复位信号线 62 电连接，该条第一导电引线 181 的另一端通过过孔 VH14 与第二子像素组 SP2 中的复位信号线 62 电连接。一条第二导电引线 182 的一端通过过孔 VH11 与第一子像素组 SP1 中的初始化电压线 66 电连接，该条第二导电引线 182 的另一端通过过孔 VH12 与第二子像素组 SP2 中的初始化电压线 66 电连接。

在本公开的实施例中，所述第一导电引线 181 和所述第二导电引线 182 中的至少一个在所述衬底基板 1 上的正投影与所述数据线 164 和所述驱动电压线 165（第一驱动电压子线 1651 和/或第二驱动电压子线 1652）中的至少一个在所述衬底基板 1 上的正投影交叉。

如图 23A 和图 23B 所示，第一发光器件 41 的第一电极（例如阳极）可以位于第五导电层 25 中。如上所述，第一发光器件 41 的阳极包括阳极主体 411 和阳极连接部 412。

在所述第一子像素 11（12）中，阳极连接部 412 的一部分可以形成于过孔 VH10”中，该过孔 VH10”暴露导电连接部 173 的一部分，这样，可以将阳极连接部 412 电连接至导电连接部 173，然后连接至连接部 170。即，通过导电连接部 173 和连接部 170，可以使得所述第一子像素的第一发光器件 41 的阳极、第一初始化晶体管 T7 的源极 S7 和第一发光控制晶体管 T6 的漏极 D6 电连接，即形成图 6B 中所示的 N4 节点。

在所述第二子像素 13 中，阳极连接部 412 的一部分可以形成于过孔 VH10”中，该过孔 VH10”暴露导电连接部 173 的一部分，这样，可以将阳极连接部 412 电连接至导电连接部 173，然后连接至连接部 170。即，通过导电连接部 173 和连接部 170，可以使得所述第二子像素的第一发光器件 41 的阳极、第二初始化晶体管 T7 的源极 S7 和第二发光控制晶体管 T6 的漏极 D6 电连接，即形成图 6B 中所示的 N4 节点。

结合参照图 4、图 23A 和图 23B 以及图 25A 和图 25B，在第一显示区域 AA1 中，子像素 11、子像素 12 和子像素 13 的像素驱动电路都可以基本缩小至第一发光器件 41 的大小，并且放置在发光器件 41 下方。这样，在第一显示区域 AA1（即屏下摄像区）中，可以将各个子像素的像素驱动电路内置于相应的子像素中，不需要将其外置于间隔区域 SR 中，可以避免上述的像素驱动电路外置导致的各种问题。而且，在本公开的实施例中，将各个子像素的像素驱动电路内置于相应的子像素中，并且藏在相应的子像素的发光器件下方，可以保证第一显示区域的透光率较大，即有利于实现第一显示区域的高透光率。可以结合参照图 4，在第一显示区域 AA1 中，在各个相邻的子像素之间，存在透光区域 TRA。由于各个子像素的像素驱动电路都可以基本缩小至第一发光器件 41 的大小，并且放置在发光器件 41 下方，所以，有利于实现透光区域 TRA 的面积较大，从而能够保证第一显示区域的透光率较大。而且，在透光区域 TRA 中，仅设置有透明导电引线，而不存在任何不透光引线，从而能够进一步保证第一显示区域的透光率较大。

参照图 7 和图 13，在第二显示区域 AA2 中，各个子像素 21、22、23 的像素驱动电路的占用区域的面积较大。例如，子像素 23（即绿色子像素）的像素驱动电路的占用区域的面积大于子像素 13（即绿色子像素）的像素驱动电路的占用区域的面积。

在本文中，在第二显示区域 AA2 中各个子像素 21、22、23 的像素驱动电路的占用区域可以使用如下的区域表示：参照图 12A 和图 12B，对于各个子像素 21、22、23 的像素驱动电路而言，在第一方向 X 上，数据信号线 64 和第一发光控制晶体管 T6 的第六有源层 20f 分别位于最左侧和最右侧，即二者在第一方向 X 上的距离最大；在第二方向 Y 上，初始化电压线 66 和发光控制线 63 分别位于最上侧和最下侧，即二者在第二方向 Y 上的距离最大。这样，在一个子像素的像素驱动电路在衬底基板上的正投影中，数据信号线 64 具有远离第一发光控制晶体管 T6 的第六有源层 20f 的第一侧边，第一发光控制晶体管 T6 的第六有源层 20f 具有远离数据信号线 64 的第二侧边，初始化电压线 66 具有远离发光控制线 63 的第三侧边，发光控制线 63 具有远离初始化电压

线 66 的第四侧边，其中，所述第一侧边和所述第二侧边沿第二方向 Y 延伸，所述第三侧边和所述第四侧边沿第一方向 X 延伸，这四条侧边的延长线会交叉，以包围形成一个区域，该区域即为位于第二显示区域 AA2 中的一个子像素的像素驱动电路的占用区域，如图 12A 中所示的由虚线框包围的区域 AR22。

在本文中，在第一显示区域 AA1 中各个子像素 11、12、13 的像素驱动电路的占用区域可以使用如下的区域表示：参照图 23A 和图 23B，对于所述第一子像素 11(12)，过孔 VH11、VH12、VH13、VH14、VH15、VH16、VH17、VH18 和 VH23 分别位于像素驱动电路的最外侧，并且过孔 VH9 和 VH10”位于像素驱动电路的最外侧，将这 11 个过孔中每两个相邻的过孔的中心依次连接，可以包围形成一个区域，如图 23B 中所示的由虚线框包围的区域 AR1，该区域 AR1 可以为位于第一显示区域 AA1 中的一个第一子像素的第一子像素驱动电路的占用区域。对于所述第二子像素 13，过孔 VH24、VH16’、VH18’、VH9、VH10”、VH17、VH15 和 VH3 分别位于像素驱动电路的最外侧，将这 8 个过孔中每两个相邻的过孔的中心依次连接，可以包围形成一个区域，如图 23B 中所示的由虚线框包围的区域 AR2，该区域 AR2 可以为位于第一显示区域 AA1 中的一个第二子像素的第二子像素驱动电路的占用区域。

在本文中，除非另有特别说明，在第二显示区域 AA2 中的子像素的发光器件的占用区域可以用该发光器件的阳极在衬底基板上的正投影的覆盖区域表示。类似地，在第一显示区域 AA1 中的子像素的发光器件的占用区域可以用该发光器件的阳极在衬底基板上的正投影的覆盖区域表示。

在本公开的实施例中，第一显示区域 AA1 中的 PPI 与第二显示区域中的 PPI 基本相等。也就是说，在相等的面积内，第一显示区域 AA1 中布置的第一重复单元 P1 的个数与第二显示区域 AA2 中布置的第二重复单元 P2 的个数基本相等，或者说，第一显示区域 AA1 中布置的子像素的个数与第二显示区域 AA2 中布置的同颜色的子像素的个数基本相等。这样，使得第一显示区域和第二显示区域都具有较高的 PPI，均能实现较高的显示质量，并且显示均一性较好。

在本文中，除非另有说明，表述“基本相等”、“基本等于”等可以表示被比较的两个值的比率约等于 1，例如，被比较的两个值的比率可以在 0.8~1.2 的范围内。

在一些实施例中，第一显示区域 AA1 中的各个子像素的发光器件的占用区域的面积与第二显示区域 AA2 中的同颜色的子像素的发光器件的占用区域的面积基本相等。例如，子像素 11 的第一发光器件 41 的阳极在衬底基板 1 上的正投影的面积与子像素

21 的第二发光器件 42 的阳极在衬底基板 1 上的正投影的面积基本相等；子像素 12 的第一发光器件 41 的阳极在衬底基板 1 上的正投影的面积与子像素 22 的第二发光器件 42 的阳极在衬底基板 1 上的正投影的面积基本相等；子像素 13 的第一发光器件 41 的阳极在衬底基板 1 上的正投影的面积与子像素 23 的第二发光器件 42 的阳极在衬底基板 1 上的正投影的面积基本相等。通过这样的设置，有利于实现第一显示区域 AA1 中的 PPI 与第二显示区域中的 PPI 基本相等，另外，还可以使得第一显示区域和第二显示区域之间的显示均一性较好，并且第一显示区域和第二显示区域之间的发光材料的寿命均一性也较好。

需要说明的是，本公开的实施例不局限于上述实施方式，在其他实施例中，第一显示区域 AA1 中的各个子像素的发光器件的占用区域的面积与第二显示区域 AA2 中的同颜色的子像素的发光器件的占用区域的面积也可以不相等，只要能实现第一显示区域 AA1 中的 PPI 与第二显示区域中的 PPI 基本相等即可。

在本公开的实施例中，在第一显示区域 AA1 中各个子像素 11、12、13 的像素驱动电路的占用区域的面积被缩小，有利于将各个子像素的像素驱动电路藏在相应的子像素的发光器件的下方。

如上所述，参照图 17B，对于位于第一显示区域 AA1 中的一个第一子像素而言，第一初始化晶体管 T7 的有源层 20g 相对于第一复位晶体管 T1 的有源层 20a 沿靠近该子像素的扫描信号线 61 的方向延伸，即，第一初始化晶体管 T7 的有源层 20g 位于第一复位晶体管 T1 的有源层 20a 的右下方。通过这样的设置方式，位于第一显示区域 AA1 中的一个第一子像素的有源层的占用区域的轮廓为正方形或近似正方形。参照图 23A 和图 23B，第一子像素 11（12）、的第一发光器件 41 的阳极主体在衬底基板上的正投影为圆形。通过这样的设置方式，有利于实现各个子像素的阳极覆盖该子像素的像素驱动电路。

参照图 23B，第一子像素 11（12）的第一发光器件 41 的阳极在衬底基板 1 上的正投影与第一子像素 11（12）的像素驱动电路的占用区域 AR1 在衬底基板 1 上的正投影至少部分重叠，例如，第一子像素 11（12）的第一发光器件 41 的阳极在衬底基板 1 上的正投影基本完全覆盖第一子像素 11（12）的像素驱动电路的占用区域 AR1 在衬底基板 1 上的正投影。

在本文中，除非另有特别说明，表述“基本完全覆盖”表示覆盖某一正投影的整体面积的 90%以上。

参照图 23B，第二子像素 13 的第一发光器件 41 的阳极在衬底基板 1 上的正投影与第二子像素 13 的像素驱动电路的占用区域 AR2 在衬底基板 1 上的正投影至少部分重叠，例如，第二子像素 13 的第一发光器件 41 的阳极在衬底基板 1 上的正投影基本完全覆盖第二子像素 13 的像素驱动电路的占用区域 AR2 在衬底基板 1 上的正投影。

在本公开的实施例中，子像素 13 的第一发光器件 41 的阳极在衬底基板 1 上的正投影的面积小于子像素 11 的第一发光器件 41 的阳极在衬底基板 1 上的正投影的面积，子像素 11 的第一发光器件 41 的阳极在衬底基板 1 上的正投影的面积小于子像素 12 的第一发光器件 41 的阳极在衬底基板 1 上的正投影的面积。

在本公开的实施例中，将所述第二子像素 13 的像素驱动电路中的复位晶体管设置为与所述第一子像素 11（12）的像素驱动电路中的复位晶体管至少部分共用，可以减少需要在所述第二子像素 13 的像素驱动电路的占用区域 AR2 中设置的晶体管的数量，从而可以减小所述第二子像素 13 的像素驱动电路的占用区域 AR2 的面积。这样，尽管所述第二子像素 13 第一发光器件 41 的阳极的面积较小，仍可以保证所述第二子像素 13 第一发光器件 41 的阳极可以基本覆盖所述第二子像素 13 的像素驱动电路，即，将所述第二子像素 13 的像素驱动电路藏在其发光器件的阳极下方。

例如，在第一显示区域 AA1 中，各个子像素的第一发光器件 41 的阳极在衬底基板 1 上的正投影至少覆盖该子像素的像素驱动电路的存储电容器 Cst（包括第一存储电容电极 Cst1 和第二存储电容电极 Cst2）和多个晶体管在衬底基板 1 上的正投影。

在本文中，除非另有特别说明，表述“晶体管在衬底基板上的正投影”包括晶体管的有源层、栅极、源极和漏极在衬底基板上的正投影的组合。

例如，参照图 23B，第二子像素 13 的第一发光器件 41 的阳极在衬底基板 1 上的正投影覆盖该第二子像素 13 的像素驱动电路的第二补偿晶体管 T2、第二驱动晶体管 T3、第二开关晶体管 T4、第二操作控制晶体管 T5、第二发光控制晶体管 T6、第二初始化晶体管 T7 和存储电容器 Cst 在衬底基板 1 上的正投影。

例如，参照图 23B，第一子像素 11（12）的第一发光器件 41 的阳极在衬底基板 1 上的正投影覆盖该第一子像素 11（12）的像素驱动电路的第一复位晶体管 T1、第一补偿晶体管 T2、第一驱动晶体管 T3、第一开关晶体管 T4、第一操作控制晶体管 T5、第一发光控制晶体管 T6、第一初始化晶体管 T7 和存储电容器 Cst 在衬底基板 1 上的正投影。此外，第一子像素 11（12）的第一发光器件 41 的阳极在衬底基板 1 上的正投影还覆盖第二子像素 13 的像素驱动电路的第二复位晶体管 T1' 在衬底基板 1 上的正投

影。

在本公开的实施例中，通过这样的设置方式，可以将各个子像素的像素驱动电路设置在发光器件（例如阳极）的下方，使得像素驱动电路不会占用各个子像素之间的透光区域，有利于第一显示区域具有高透光率，同时，可以实现第一显示区域中的高PPI，即有利于实现屏下摄像区的高显示质量。

图 26A、图 26B 和图 26C 分别是示出图 15 中一个重复单元包括的 3 个子像素的示例性实施方式的遮挡层、半导体层、第一导电层、第二导电层、第三导电层、第一透明导电层、第四导电层、第二透明导电层和第五导电层的组合的平面图。图 27 是示出根据本公开的一些示例性实施例的显示基板的沿图 26A 中的线 FF' 截取的截面结构的示意图。

参照图 26A 至图 27，在本公开的实施例中，所述显示基板还可以包括遮挡层 LS。遮挡层 LS 可以设置在衬底基板 1 与半导体层 20 之间，用于保护半导体层 20，以避免各个子像素的像素驱动电路的各个晶体管的有源层受到外界光的影响。

例如，遮挡层 LS 可以由不透光的金属材料构成。遮挡层 LS 也可以包含诸如非晶硅、多晶硅等的半导体膜层。

各个子像素的遮挡层 LS 在衬底基板 1 上的正投影可以覆盖该子像素的像素驱动电路的占用区域 AR1 或 AR2 在衬底基板 1 上的正投影。通过这样的设置，可以避免各个子像素的像素驱动电路受到外界光的影响。

例如，遮挡层 LS 可以接入一固定电压，以避免其处于悬置状态（即 floating）。

在一些实施例中，遮挡层 LS 可以呈面状或网格状。遮挡层 LS 在衬底基板 1 上的正投影可以与位于所述第一透明导电层和/或所述第二透明导电层中的结构或部分在衬底基板 1 上的正投影至少部分重叠。

返回参照图 4，第一发光器件 41 可以包括层叠设置的阳极、发光材料层和阴极。所述显示基板可以包括第六导电层，阴极 CAT 位于该第六导电层中。

在一些实施例中，在第一显示区域 AA1 中，第六导电层可以被图案化。即，第六导电层可以包括多个阴极 CAT 和多个阴极开口 271。阴极开口 271 可以位于相邻的阴极 CAT 之间。

例如，在第一显示区域 AA1 中，各个子像素的第一发光器件 41 的阴极 CAT 在衬底基板 1 上的正投影可以覆盖该子像素的第一发光器件 41 的阳极在衬底基板 1 上的正投影。各个阴极开口 271 在衬底基板 1 上的正投影可以与各个子像素之间的透光区域

TRA 在衬底基板 1 上的正投影重叠。通过这样的设置，可以保证第一显示区域 AA1 中的透光区域的透光率较高。

本公开的至少一些实施例还提供一种显示面板，所述显示面板包括如上所述的显示基板。例如，所述显示面板可以是 OLED 显示面板。

参照图 1，本公开的至少一些实施例还提供一种显示装置。该显示装置可以包括如上所述的显示基板。

所述显示装置可以包括任何具有显示功能的设备或产品。例如，所述显示装置可以是智能电话、移动电话、电子书阅读器、台式电脑（PC）、膝上型 PC、上网本 PC、个人数字助理（PDA）、便携式多媒体播放器（PMP）、数字音频播放器、移动医疗设备、相机、可穿戴设备（例如头戴式设备、电子服饰、电子手环、电子项链、电子配饰、电子纹身、或智能手表）、电视机等。

应该理解，根据本公开实施例的显示面板和显示装置具有上述显示基板的所有特点和优点，具体可以参见上文的描述，在此不再赘述。

虽然本公开的总体技术构思的一些实施例已被显示和说明，本领域普通技术人员将理解，在不背离所述总体技术构思的原则和精神的情况下，可对这些实施例做出改变，本公开的范围以权利要求和它们的等同物限定。

权 利 要 求

1、一种显示基板，所述显示基板包括第一显示区域和第二显示区域，所述第一显示区域的透光率大于所述第二显示区域的透光率，其特征在于，所述显示基板包括：衬底基板；

设置于所述衬底基板且位于所述第一显示区域中的多个子像素，所述子像素包括第一像素驱动电路和第一发光器件，所述第一像素驱动电路与所述第一发光器件电连接，用于驱动所述第一发光器件发光；和

设置于所述衬底基板且位于所述第二显示区域中的多个子像素，位于所述第二显示区域中的子像素包括第二像素驱动电路和第二发光器件，所述第二像素驱动电路与所述第二发光器件电连接，用于驱动所述第二发光器件发光，

其中，位于所述第一显示区域中的多个子像素包括多个子像素组，每一个子像素组包括第一子像素和第二子像素，所述第一像素驱动电路包括第一子像素驱动电路和第二子像素驱动电路，所述第一子像素驱动电路用于驱动第一子像素的第一发光器件发光，所述第二子像素驱动电路用于驱动第二子像素的第一发光器件发光，所述第一子像素驱动电路至少包括第一复位晶体管，所述第二子像素驱动电路至少包括第二复位晶体管，所述第一子像素驱动电路的第一复位晶体管与所述第二子像素驱动电路的第二复位晶体管至少部分共用。

2、根据权利要求 1 所述的显示基板，其特征在于，所述第一子像素驱动电路的第一复位晶体管与所述第二子像素驱动电路的第二复位晶体管中每一个在所述衬底基板上的正投影均落入所述第一子像素驱动电路的占用区域在所述衬底基板上的正投影内。

3、根据权利要求 1 或 2 所述的显示基板，其特征在于，所述第一复位晶体管包括共用晶体管和第一子晶体管，所述第二复位晶体管包括所述共用晶体管和第二子晶体管，所述共用晶体管、所述第一子晶体管和所述第二子晶体管中的每一个均包括栅极、源极和漏极，所述共用晶体管、所述第一子晶体管和所述第二子晶体管中的每一个的栅极均接入复位控制信号，所述共用晶体管的源极或漏极中的一个接入初始化电压信号，所述共用晶体管的源极或漏极中的另一个分别与所述第一子晶体管和所述第

二子晶体管电连接。

4、根据权利要求 3 所述的显示基板，其特征在于，所述显示基板还包括设置于所述衬底基板上的半导体层和位于所述半导体层远离所述衬底基板的一侧的第一导电层，所述显示基板还包括设置于所述衬底基板上的复位信号线，所述复位信号线用于传输复位控制信号，所述复位信号线位于所述第一导电层；以及

所述复位信号线包括位于所述第一显示区域中的第一部分、第二部分和第三部分，所述半导体层包括位于所述第一显示区域中的共用沟道部分、第一沟道部分和第二沟道部分，所述第一部分、所述第二部分和所述第三部分在所述衬底基板上的正投影分别与所述共用沟道部分、所述第一沟道部分和所述第二沟道部分在所述衬底基板上的正投影重合，所述共用晶体管的栅极包括所述第一部分，所述第一子晶体管的栅极包括所述第二部分，所述第二子晶体管的栅极包括所述第三部分。

5、根据权利要求 4 所述的显示基板，其特征在于，所述共用晶体管包括位于所述半导体层中的共用源极部分和共用漏极部分，所述第一子晶体管包括位于所述半导体层中的第一子源极部分和第一子漏极部分，所述第二子晶体管包括位于所述半导体层中的第二子源极部分和第二子漏极部分；以及

所述共用源极部分和所述共用漏极部分分别位于所述共用沟道部分的两侧，所述第一子源极部分和所述第一子漏极部分分别位于所述第一沟道部分的两侧，所述第二子源极部分和所述第二子漏极部分分别位于所述第二沟道部分的两侧。

6、根据权利要求 5 所述的显示基板，其特征在于，所述显示基板还包括设置于所述衬底基板上的初始化电压线和设置于所述衬底基板上的第一连接部；

所述共用源极部分和所述共用漏极部分中的一个通过第一过孔与所述初始化电压线电连接，所述共用源极部分和所述共用漏极部分中的另一个与所述第一子源极部分和所述第一子漏极部分中的一个连续延伸；以及

所述第一子源极部分和所述第一子漏极部分中的另一个通过第二过孔与所述第一连接部的一端电连接。

7、根据权利要求 6 所述的显示基板，其特征在于，所述第一子像素驱动电路还

包括第一驱动晶体管，所述第一驱动晶体管包括栅极，所述第一连接部的另一端通过第三过孔与所述第一驱动晶体管的栅极电连接。

8、根据权利要求 6 或 7 所述的显示基板，其特征在于，所述显示基板还包括设置于所述衬底基板上的第一透明导电连接部；

所述共用源极部分和所述共用漏极部分中的另一个还与所述第二子源极部分和所述第二子漏极部分中的一个连续延伸；以及

所述第二子源极部分和所述第二子漏极部分中的另一个通过第三过孔与所述第一透明导电连接部的一端电连接。

9、根据权利要求 8 所述的显示基板，其特征在于，所述第二子像素驱动电路还包括第二驱动晶体管，所述第二驱动晶体管包括栅极，所述第一透明导电连接部的另一端通过第四过孔与所述第二驱动晶体管的栅极电连接。

10、根据权利要求 8 所述的显示基板，其特征在于，所述初始化电压线位于第二导电层中，所述第一连接部位于第三导电层中，所述第二导电层位于所述第一导电层远离所述衬底基板的一侧，所述第三导电层位于所述第二导电层远离所述衬底基板的一侧。

11、根据权利要求 10 所述的显示基板，其特征在于，所述第一透明导电连接部位于第一透明导电层中，所述第一透明导电层位于所述第三导电层远离所述衬底基板的一侧。

12、根据权利要求 8 所述的显示基板，其特征在于，所述第一子像素驱动电路还包括第一初始化晶体管，所述第一初始化晶体管包括位于所述半导体层中的有源层；

所述第二子像素驱动电路还包括第二初始化晶体管，所述第二初始化晶体管包括位于所述半导体层中的有源层；以及

所述第一透明导电连接部在所述衬底基板上的正投影与所述第一初始化晶体管的有源层在所述衬底基板上的正投影部分重叠，以及所述第一透明导电连接部在所述衬底基板上的正投影与所述第二初始化晶体管的有源层在所述衬底基板上的正投影部

分重叠。

13、根据权利要求 12 所述的显示基板，其特征在于，所述显示基板还包括设置于所述衬底基板上的第一扫描信号线和第二扫描信号线，所述第一扫描信号线用于供应扫描信号给所述第一子像素驱动电路，所述第二扫描信号线用于供应扫描信号给所述第二子像素驱动电路；以及

所述第一扫描信号线在所述衬底基板上的正投影与所述第一初始化晶体管的有源层在所述衬底基板上的正投影部分重叠，所述第二扫描信号线在所述衬底基板上的正投影与所述第二初始化晶体管的有源层在所述衬底基板上的正投影部分重叠。

14、根据权利要求 12 所述的显示基板，其特征在于，所述第一透明导电连接部至少包括第一部分、第二部分和第三部分，所述第一透明导电连接部的第三部分沿第一方向延伸，所述第一透明导电连接部的第二部分沿第二方向延伸，所述第一透明导电连接部的第一部分沿相对于第一方向和第二方向均倾斜的倾斜方向延伸。

15、根据权利要求 14 所述的显示基板，其特征在于，所述第一透明导电连接部的第一部分在所述衬底基板上的正投影与所述第一初始化晶体管的有源层在所述衬底基板上的正投影部分重叠；和/或，

所述第一透明导电连接部的第三部分在所述衬底基板上的正投影与所述第二初始化晶体管的有源层在所述衬底基板上的正投影部分重叠；和/或，

所述第一透明导电连接部的第二部分位于第一子像素和第二子像素之间的透光区域中。

16、根据权利要求 12 所述的显示基板，其特征在于，所述第一初始化晶体管的有源层与所述第一子像素驱动电路位于所述半导体层中的其他部分间隔设置；和/或，

所述第二初始化晶体管的有源层与所述第二子像素驱动电路位于所述半导体层中的其他部分间隔设置。

17、根据权利要求 12 所述的显示基板，其特征在于，所述显示基板还包括设置于所述衬底基板上的第二连接部，所述第二连接部的第一端通过第五过孔与所述初始

化电压线电连接，所述第二连接部的第二端通过第六过孔与所述第一初始化晶体管的有源层的第一端电连接。

18、根据权利要求 17 所述的显示基板，其特征在于，所述显示基板还包括设置于所述衬底基板上的第二透明导电连接部，所述第二透明导电连接部的第一端通过第七过孔与所述第二连接部的第二端电连接，所述第二透明导电连接部的第二端通过第八过孔与所述第二初始化晶体管的有源层的第一端电连接。

19、根据权利要求 18 所述的显示基板，其特征在于，所述第二连接部位于所述第三导电层中；和/或，所述第二透明导电连接部位于所述第一透明导电层中。

20、根据权利要求 13 所述的显示基板，其特征在于，所述显示基板还包括设置于所述衬底基板上的第三透明导电连接部，所述第三透明导电连接部的一端通过第九过孔与所述第一扫描信号线电连接，所述第三透明导电连接部的另一端通过第十过孔与所述第二扫描信号线电连接。

21、根据权利要求 12 所述的显示基板，其特征在于，所述显示基板还包括设置于所述衬底基板上的第一发光控制线和第二发光控制线，所述第一发光控制线用于供应发光控制信号给所述第一子像素驱动电路，所述第二发光控制线用于供应发光控制信号给所述第二子像素驱动电路；以及

所述显示基板还包括设置于所述衬底基板上的第四透明导电连接部，所述第四透明导电连接部的一端通过第十一过孔与所述第一发光控制线电连接，所述第四透明导电连接部的另一端通过第十二过孔与所述第二发光控制线电连接。

22、根据权利要求 6 所述的显示基板，其特征在于，在至少一个子像素组中，所述第一子像素和所述第二子像素共用所述复位信号线和所述初始化电压线。

23、根据权利要求 21 所述的显示基板，其特征在于，所述多个子像素组至少包括位于同一行且相邻的第一子像素组和第二子像素组；以及

所述显示基板还包括设置于所述衬底基板上的第一导电引线，所述第一导电引线

的一端通过第十三过孔与第一子像素组中的复位信号线电连接，所述第一导电引线的另一端通过第十四过孔与第二子像素组中的复位信号线电连接。

24、根据权利要求 23 所述的显示基板，其特征在于，所述显示基板还包括设置于所述衬底基板上的第二导电引线，所述第二导电引线的一端通过第十五过孔与第一子像素组中的初始化电压线电连接，所述第二导电引线的另一端通过第十六过孔与第二子像素组中的初始化电压线电连接。

25、根据权利要求 24 所述的显示基板，其特征在于，所述第三透明导电连接部和/或所述第四透明导电连接部位于所述第一透明导电层中；和，

所述第一导电引线和/或所述第二导电引线位于第二透明导电层中，

其中，所述第二透明导电层位于所述第一透明导电层远离所述衬底基板的一侧；

所述显示基板还包括：用于传输数据信号的数据信号线；和用于传输驱动电压的驱动电压线；以及

所述数据信号线和所述驱动电压线均位于所述第一透明导电层中。

26、根据权利要求 25 所述的显示基板，其中，所述驱动电压线在所述第一子像素驱动电路和所述第二子像素驱动电路处断开，以使得所述驱动电压线包括第一驱动电压子线 and 第二驱动电压子线，所述第一驱动电压子线 and 第二驱动电压子线在所述驱动电压线的延伸方向上间隔开；

所述显示基板还包括第三连接部，所述第三连接部的一端通过第十七过孔与所述第一驱动电压子线电连接，另一端通过第十八过孔与所述第二驱动电压子线电连接；

所述显示基板包括设置于所述衬底基板上的第四导电层，所述第四导电层位于所述第一透明导电层与所述第二透明导电层之间；以及

所述第三连接部位于所述第四导电层中。

27、根据权利要求 1 或 2 所述的显示基板，其特征在于，所述第一发光器件至少包括第一电极和发光材料层，所述发光材料层设置在所述第一电极远离所述衬底基板的一侧；

所述第一子像素的第一电极在所述衬底基板上的正投影的面积大于所述第二子

像素的第一电极在所述衬底基板上的正投影的面积；以及

所述第一子像素的第一电极在所述衬底基板上的正投影覆盖所述第一子像素驱动电路的占用区域在所述衬底基板上的正投影；和/或，所述第二子像素的第一电极在所述衬底基板上的正投影覆盖所述第二子像素驱动电路的占用区域在所述衬底基板上的正投影。

28、一种显示面板，包括根据权利要求 1-27 中任一项所述的显示基板。

29、一种显示装置，包括根据权利要求 1-27 中任一项所述的显示基板或根据权利要求 28 所述的显示面板。

30、根据权利要求 29 所述的显示装置，其中，所述显示装置还包括至少一个图像传感器；以及

其中，所述至少一个图像传感器在所述衬底基板上的正投影落入所述第一显示区域在所述衬底基板上的正投影内。

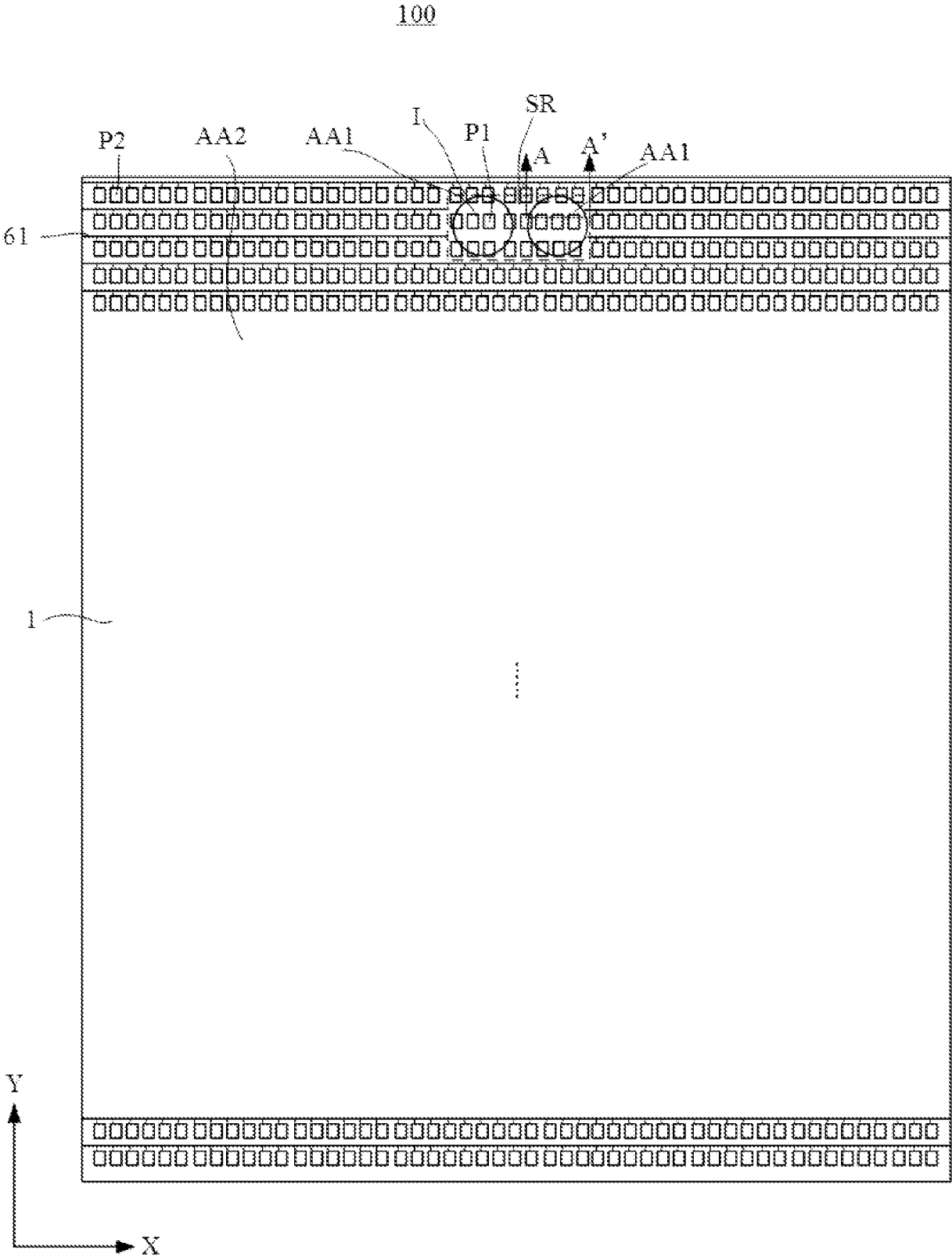


图 1

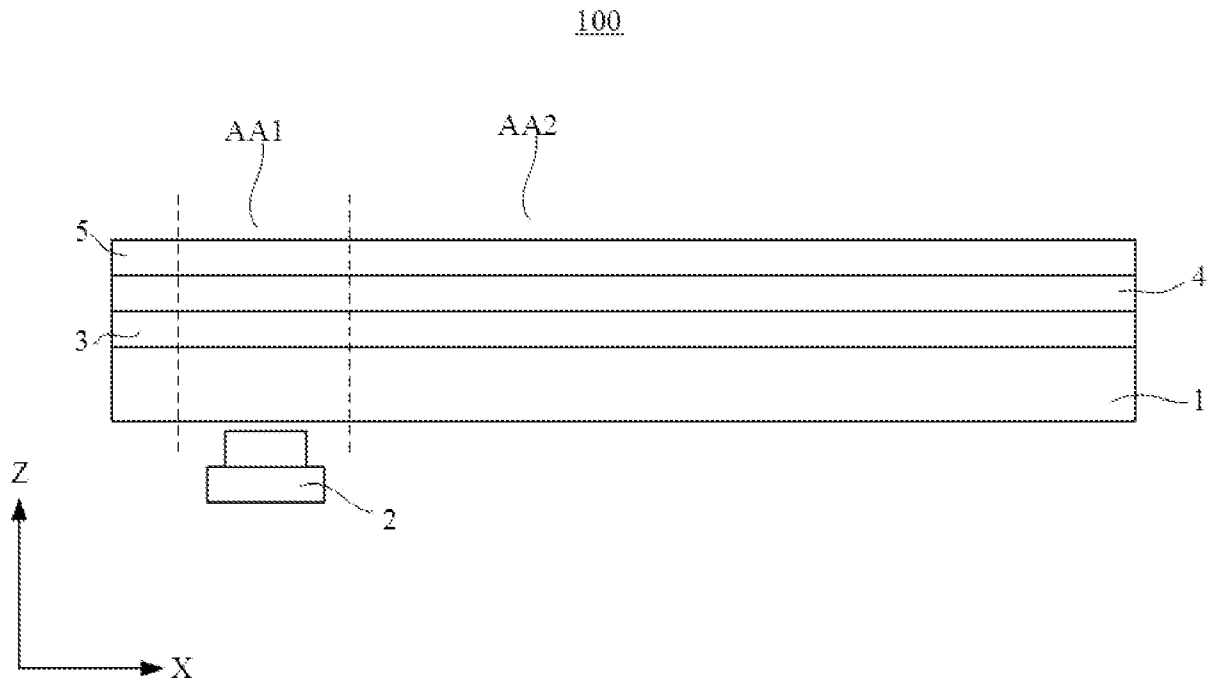


图 2

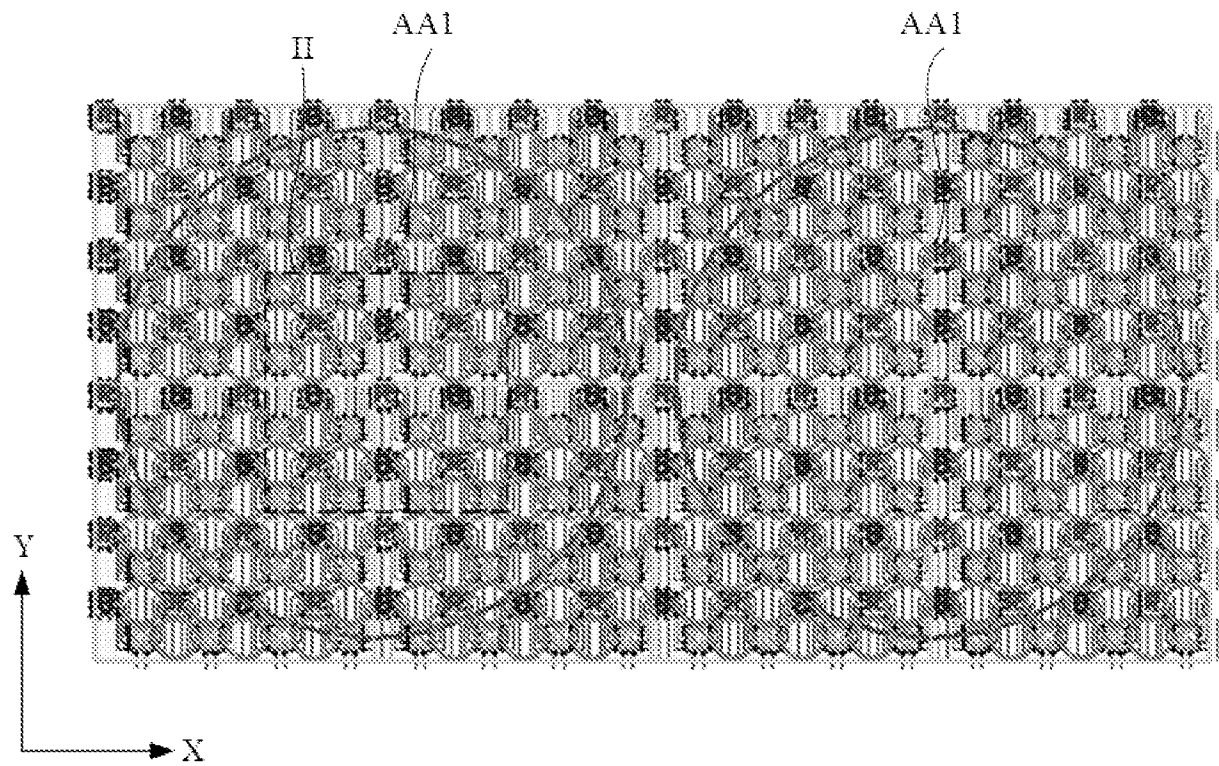


图 3

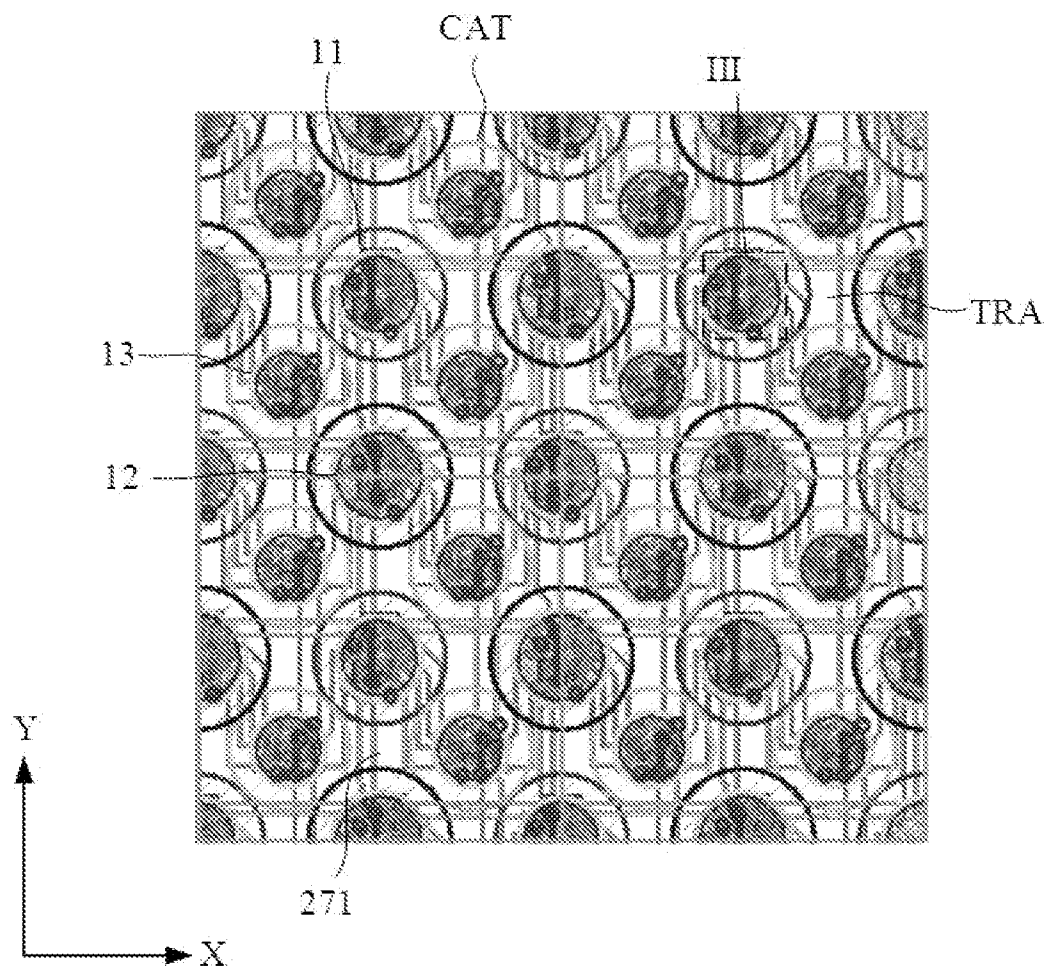


图 4

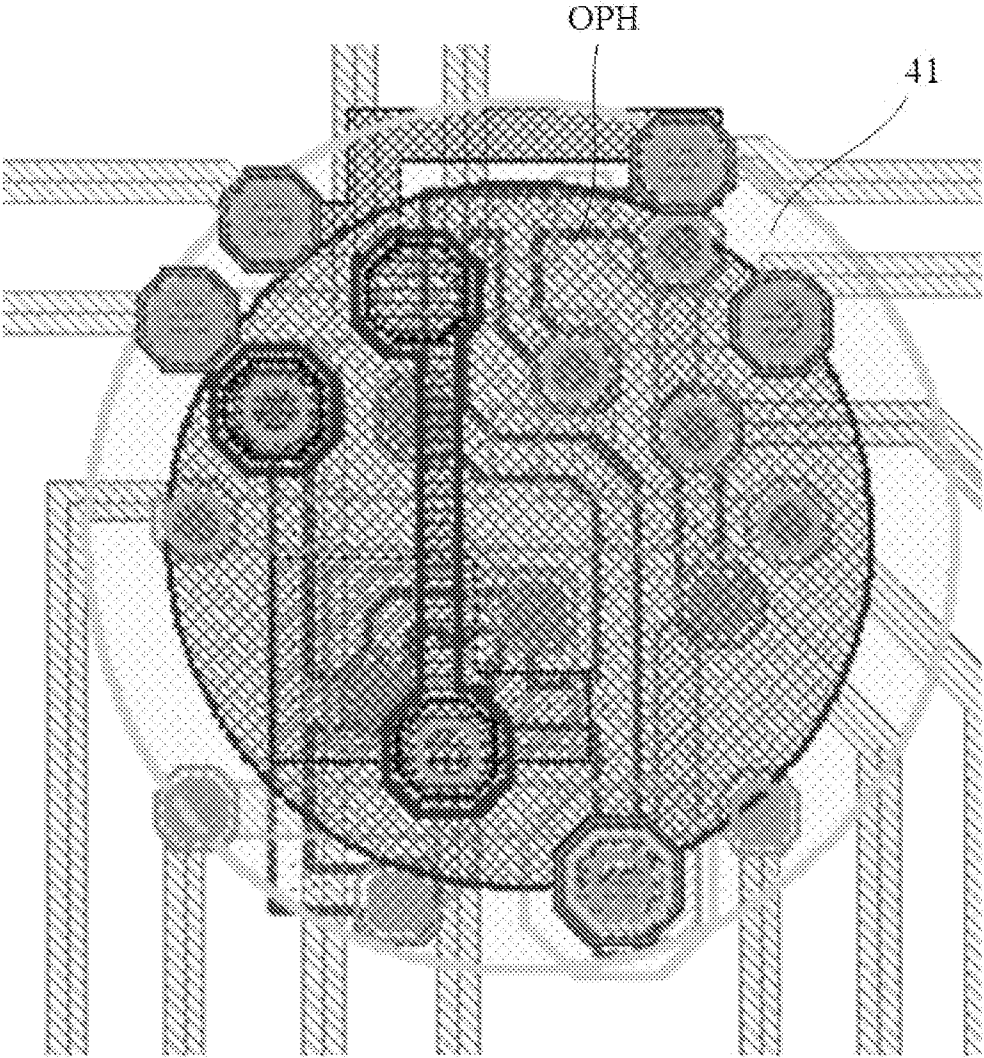


图 5

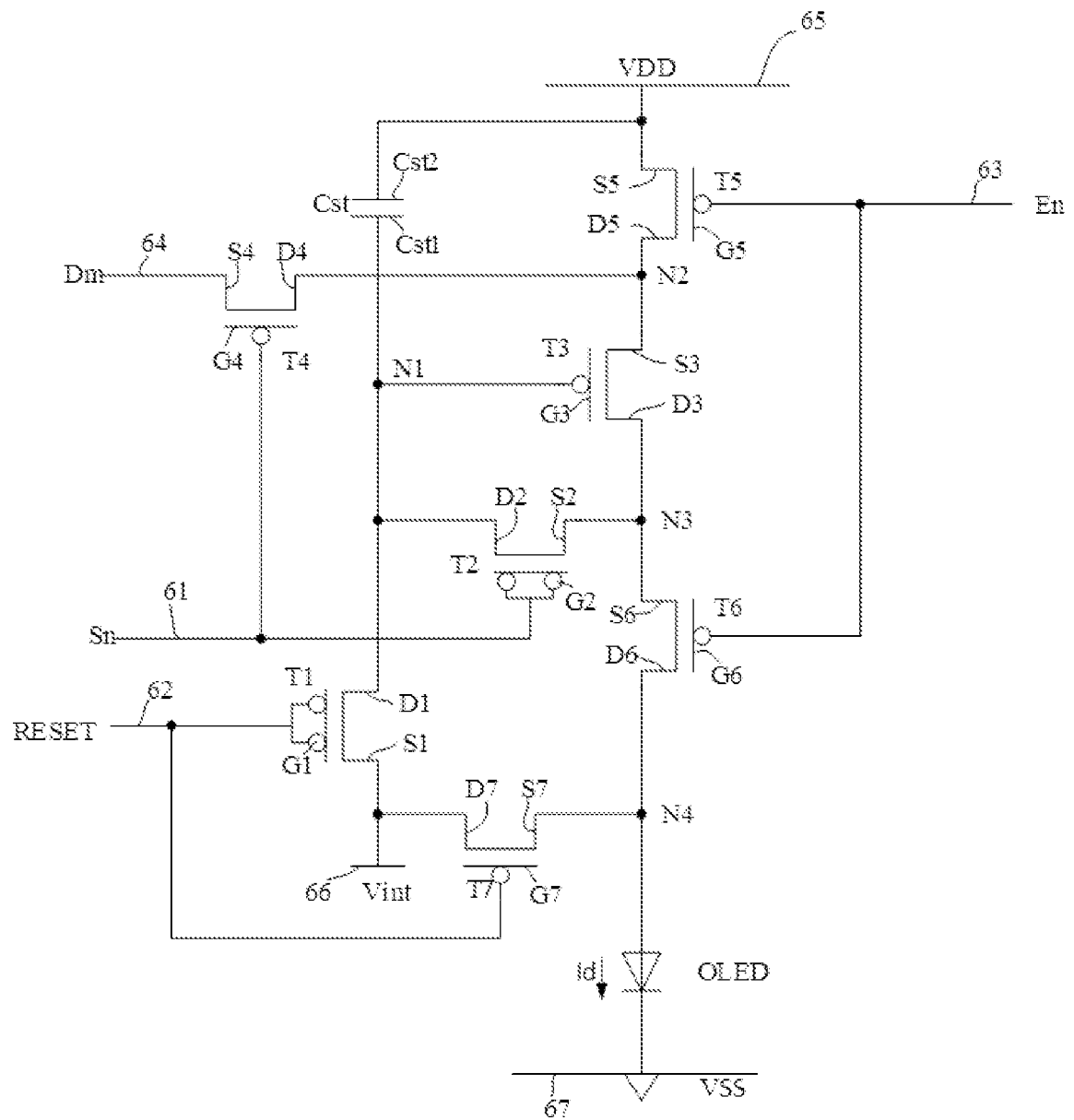


图 6A

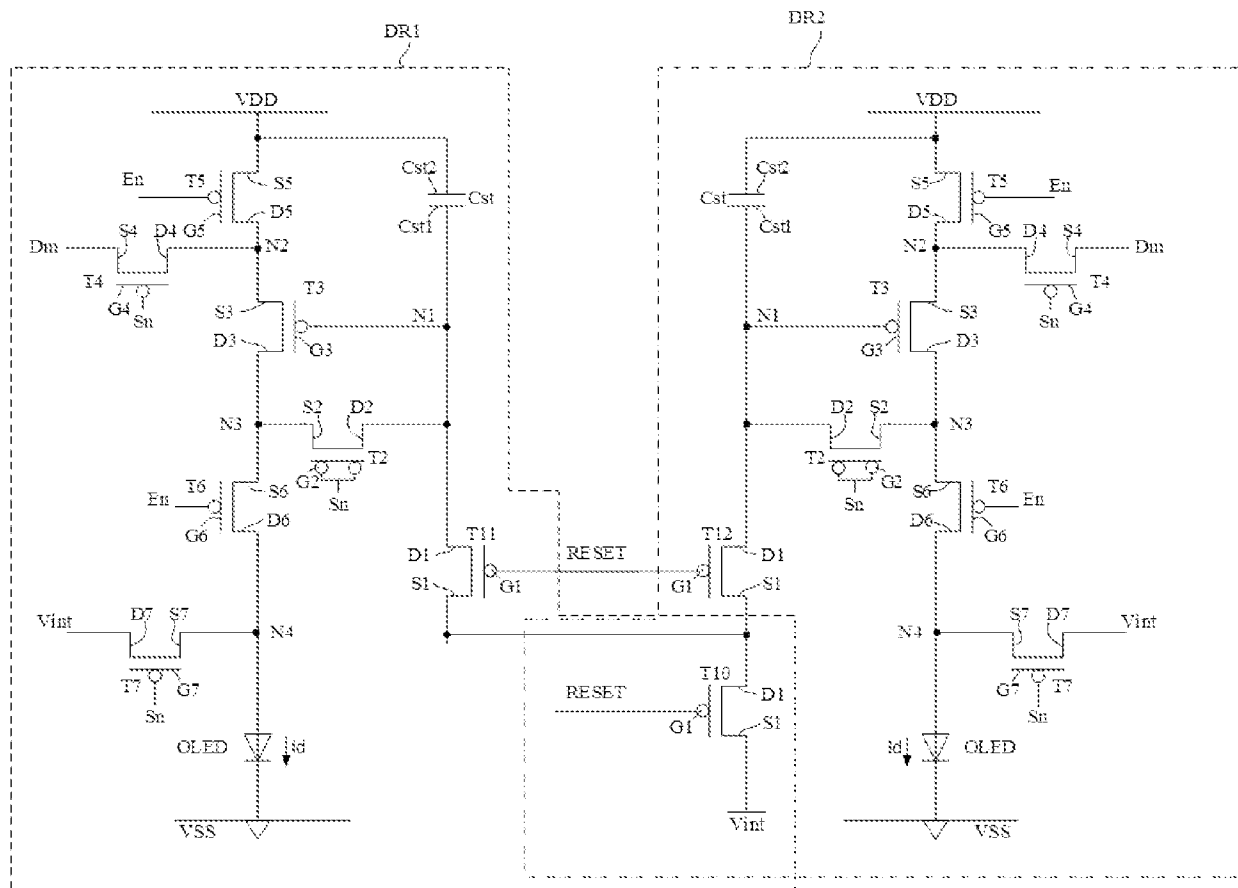


图 6B

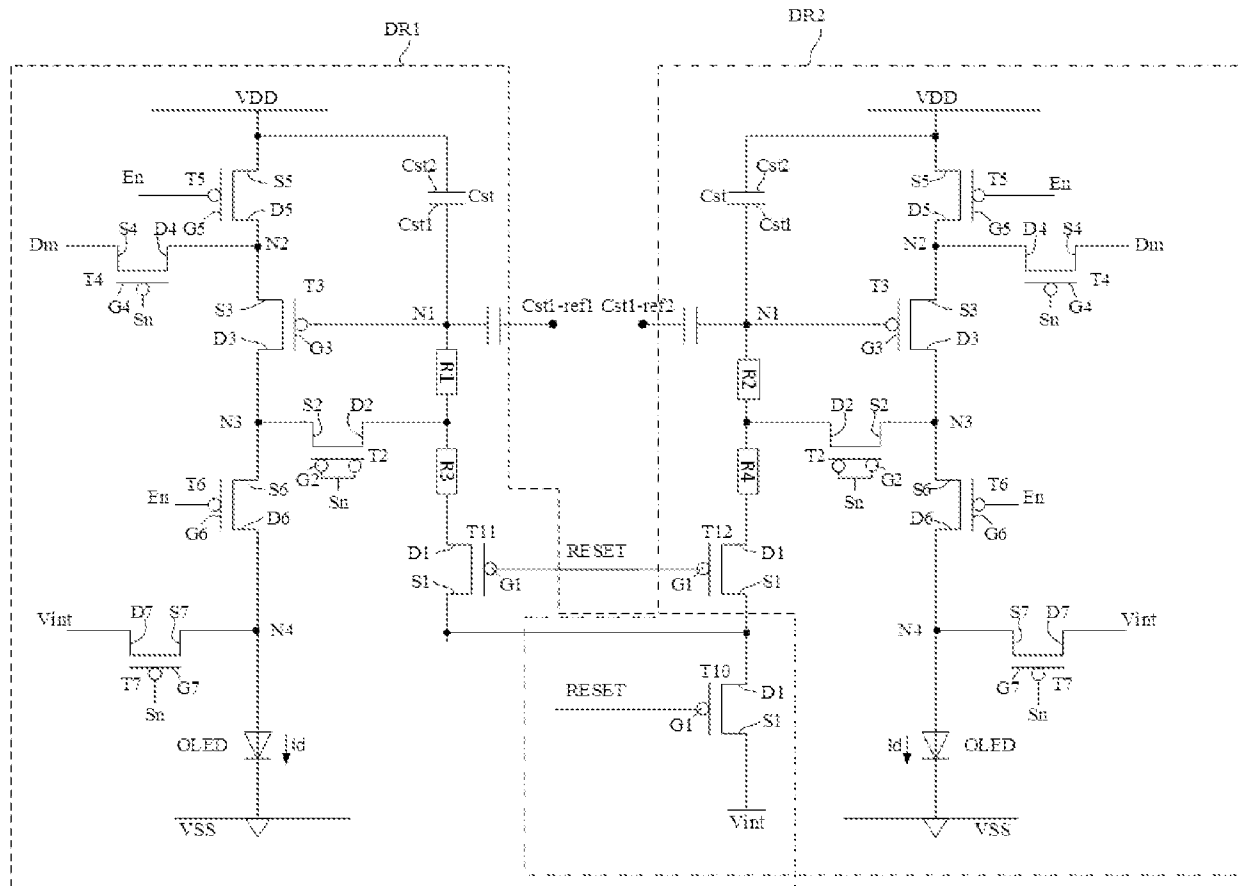


图 6C

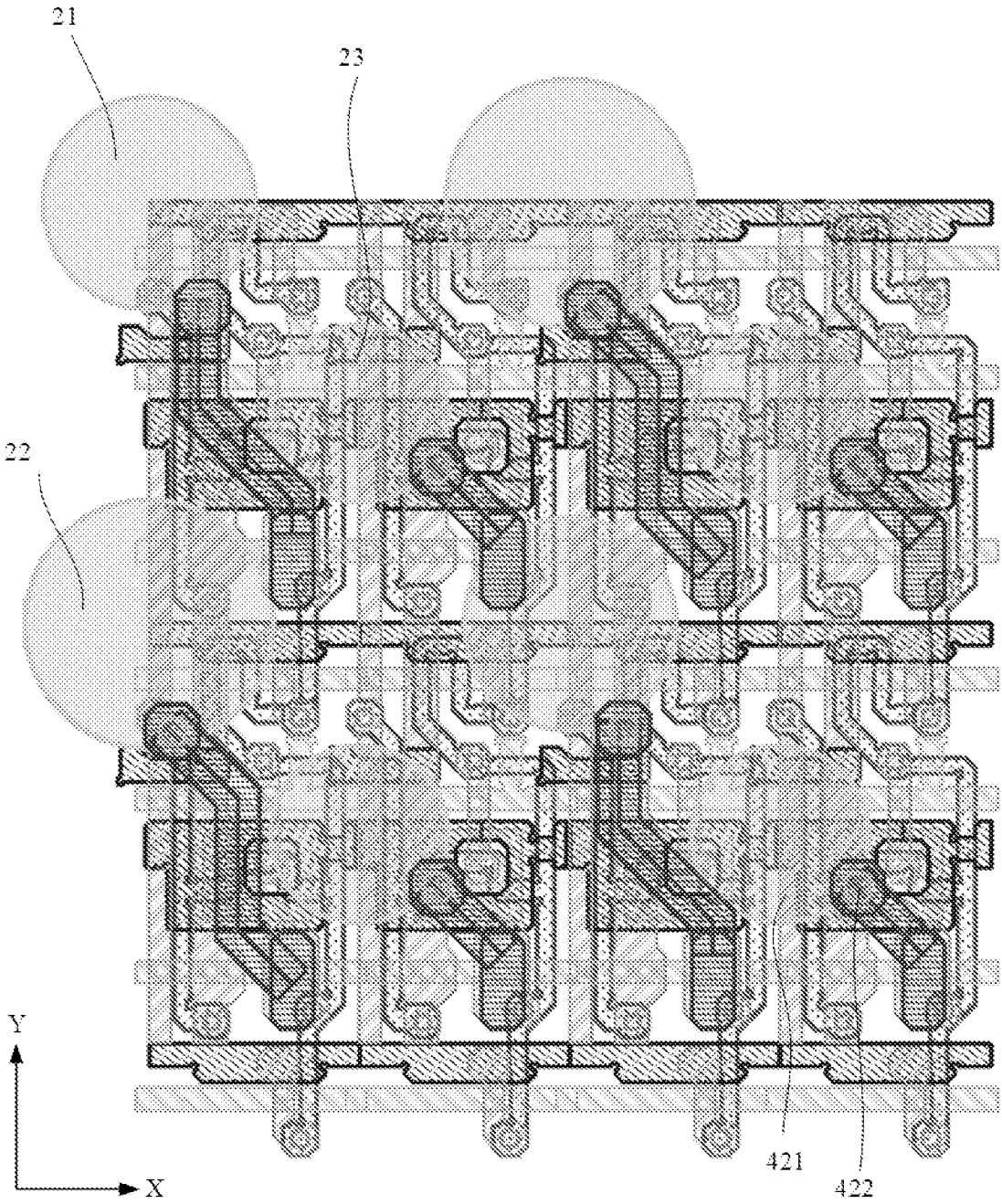


图 7

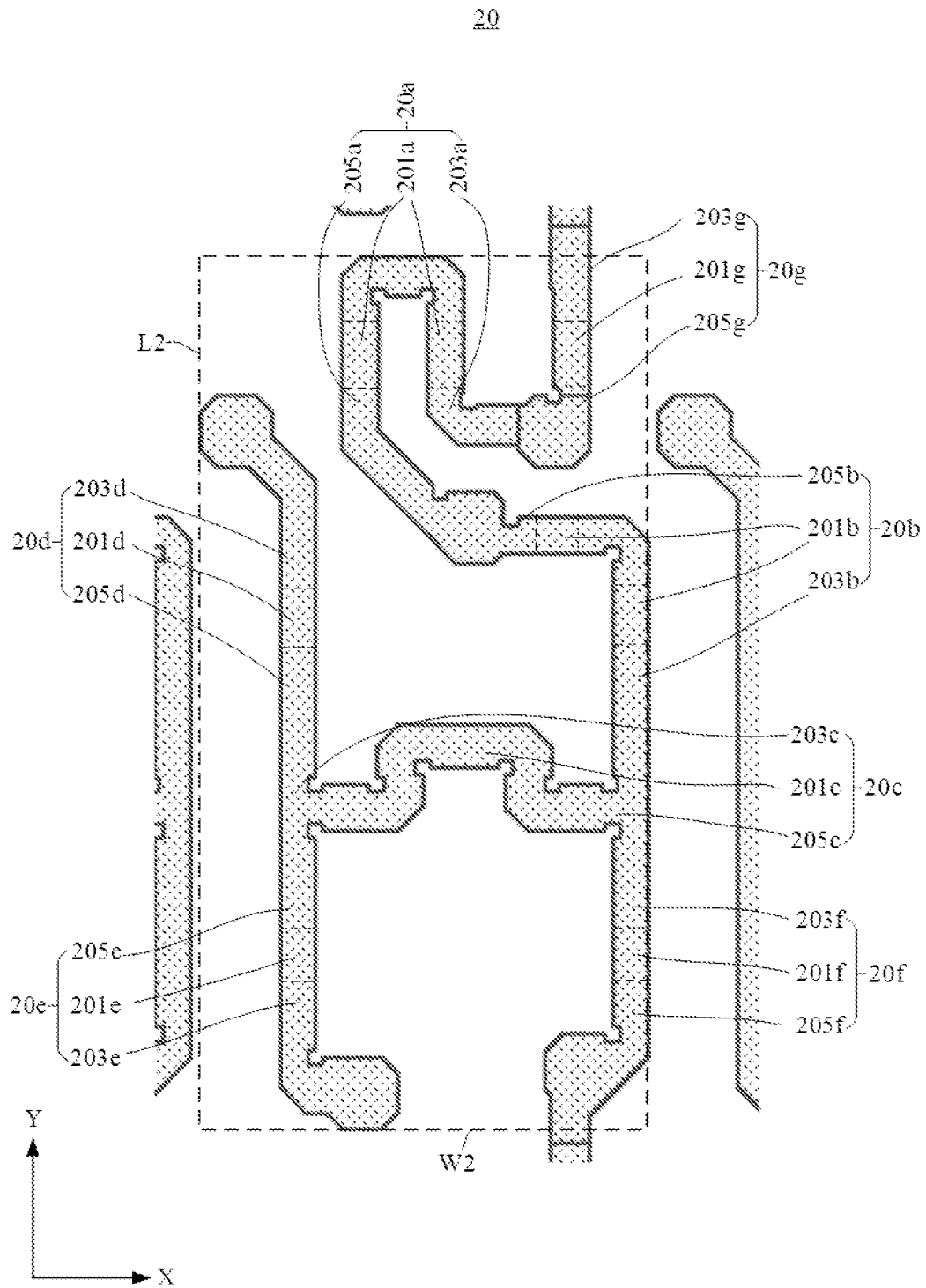


图 8

20&21

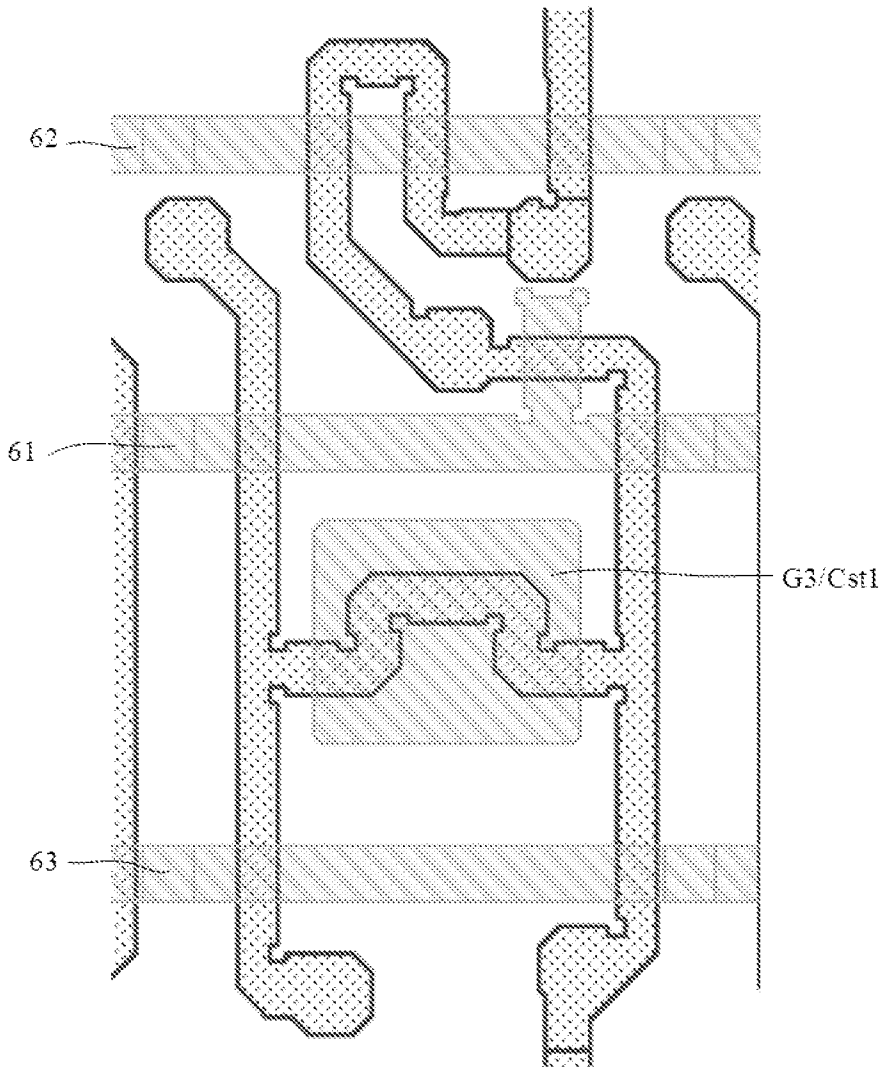


图 9

20&21&22

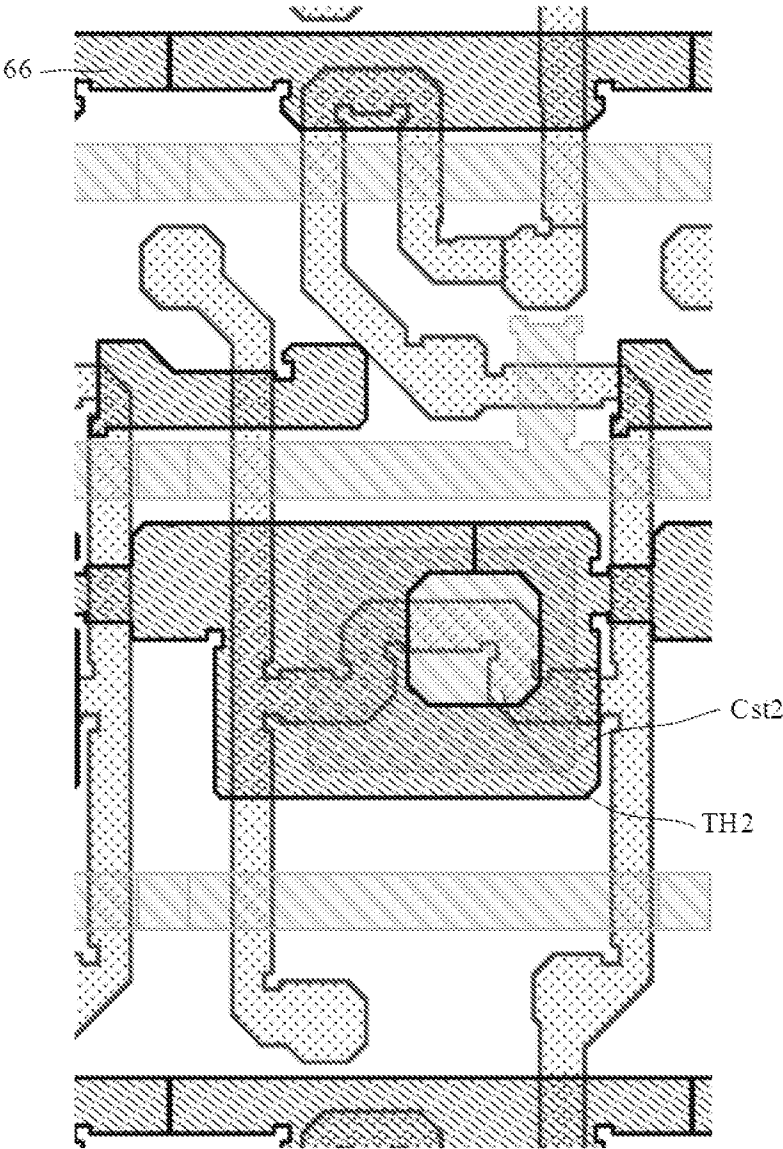


图 10

20&21&22&23

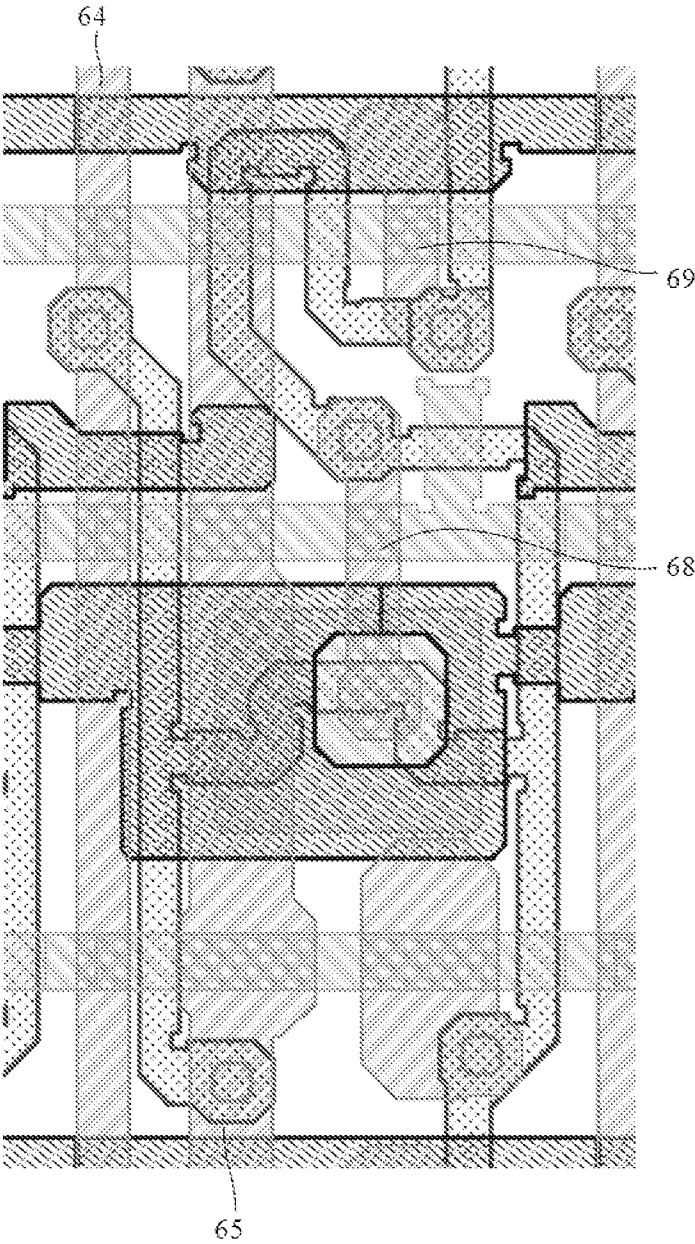


图 11

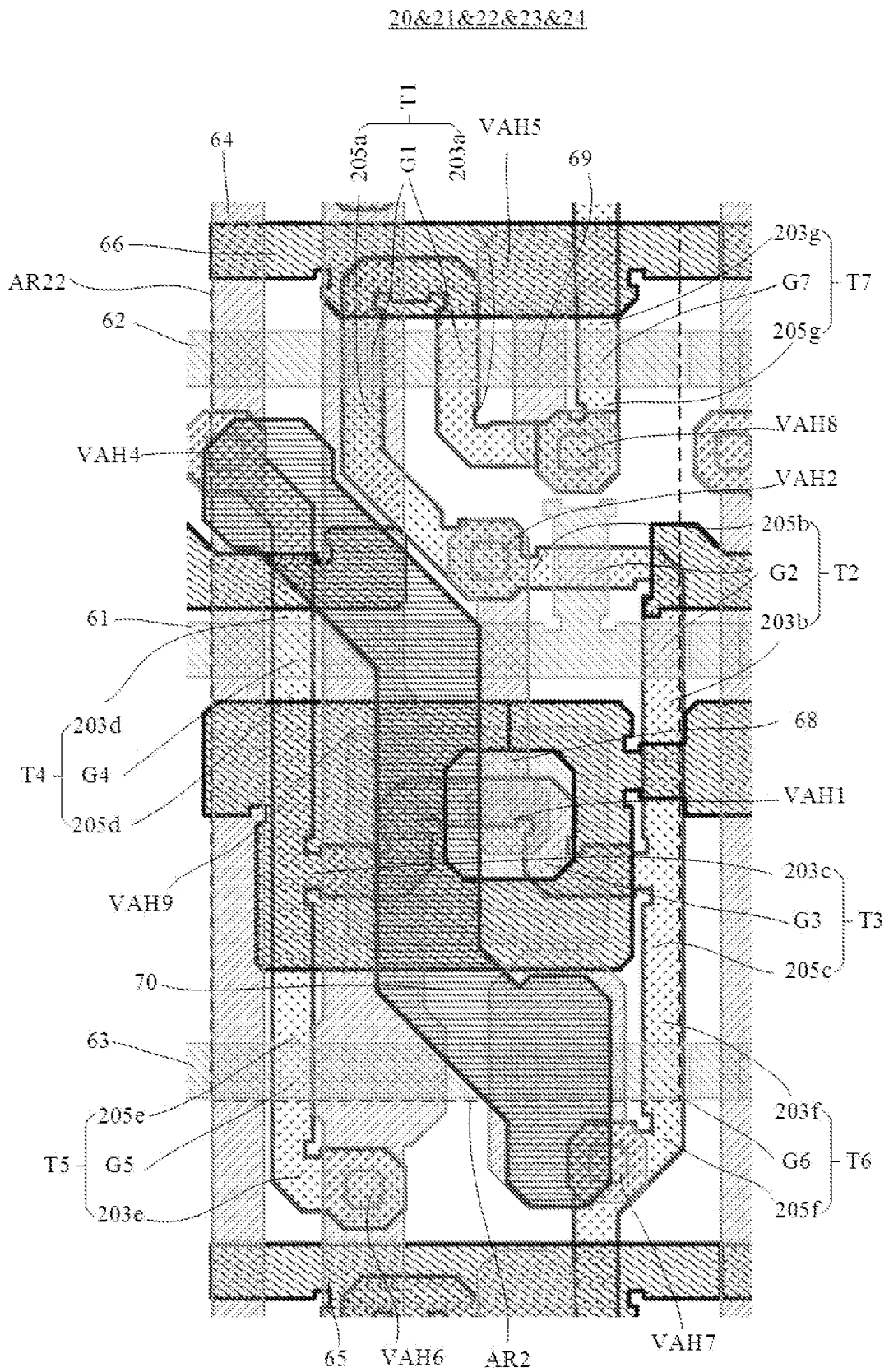


图 12A

20&21&22&23&24

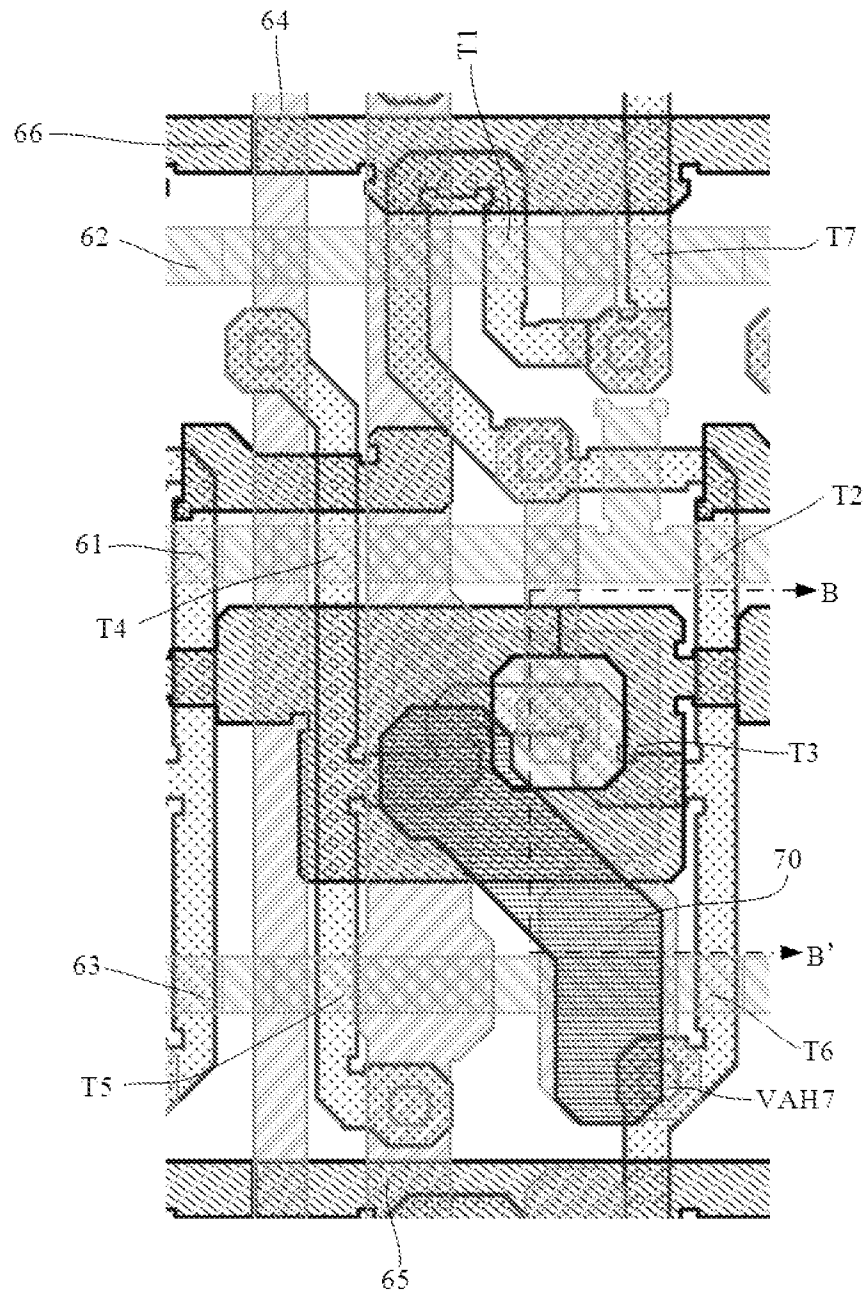


图 12B

20&21&22&23&24&25

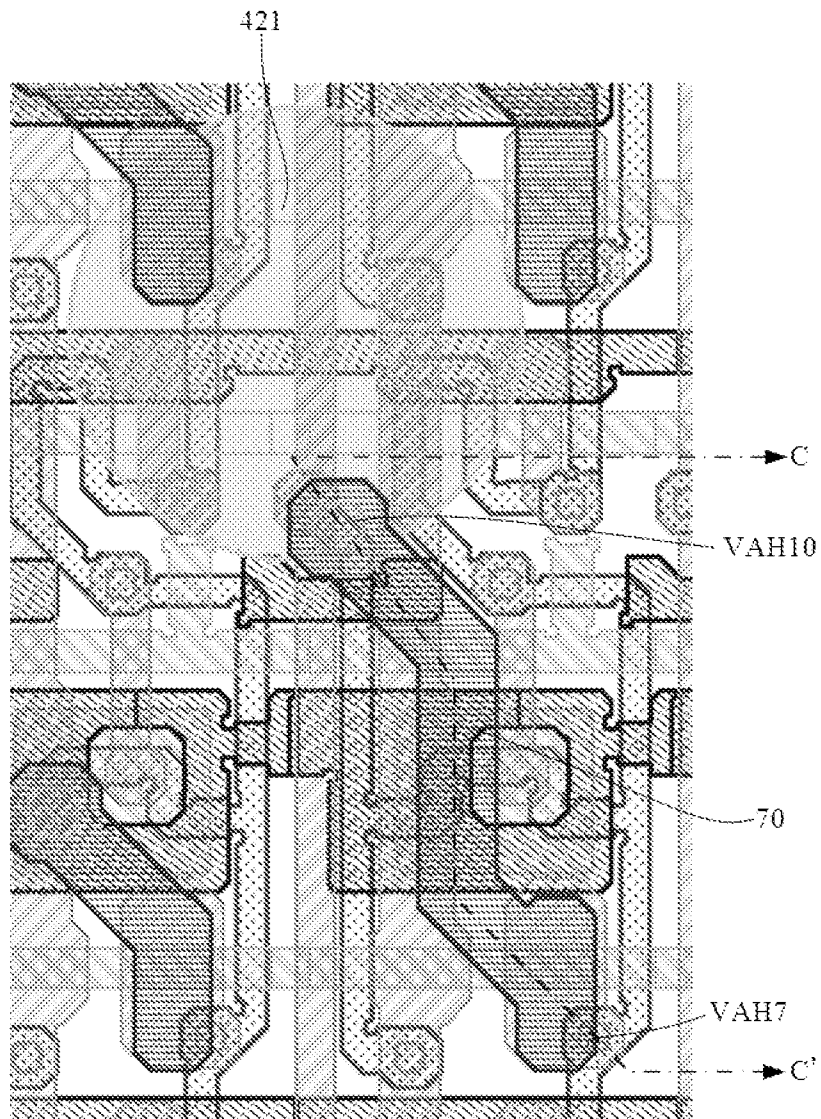


图 13

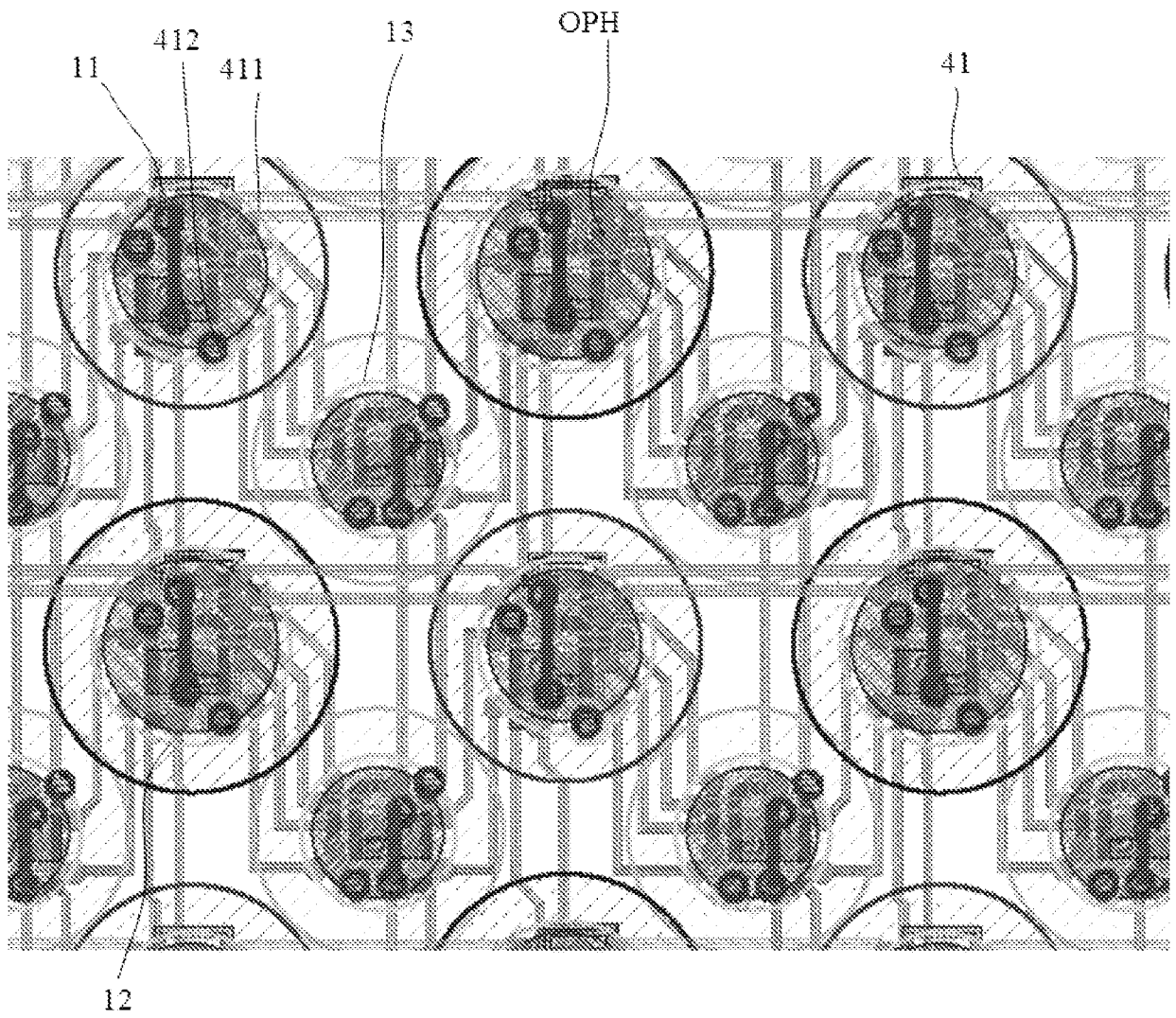


图 15

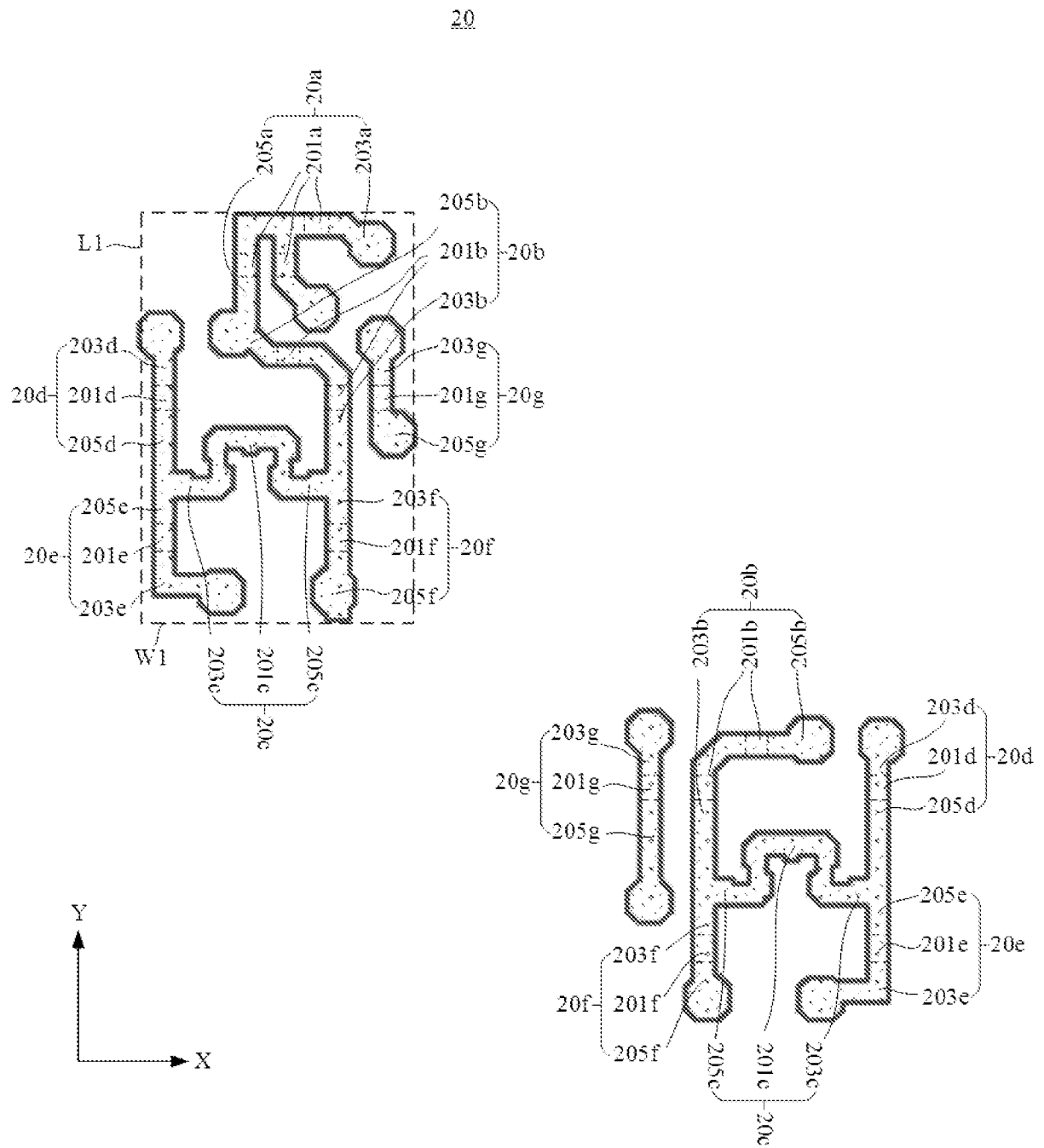


图 16A

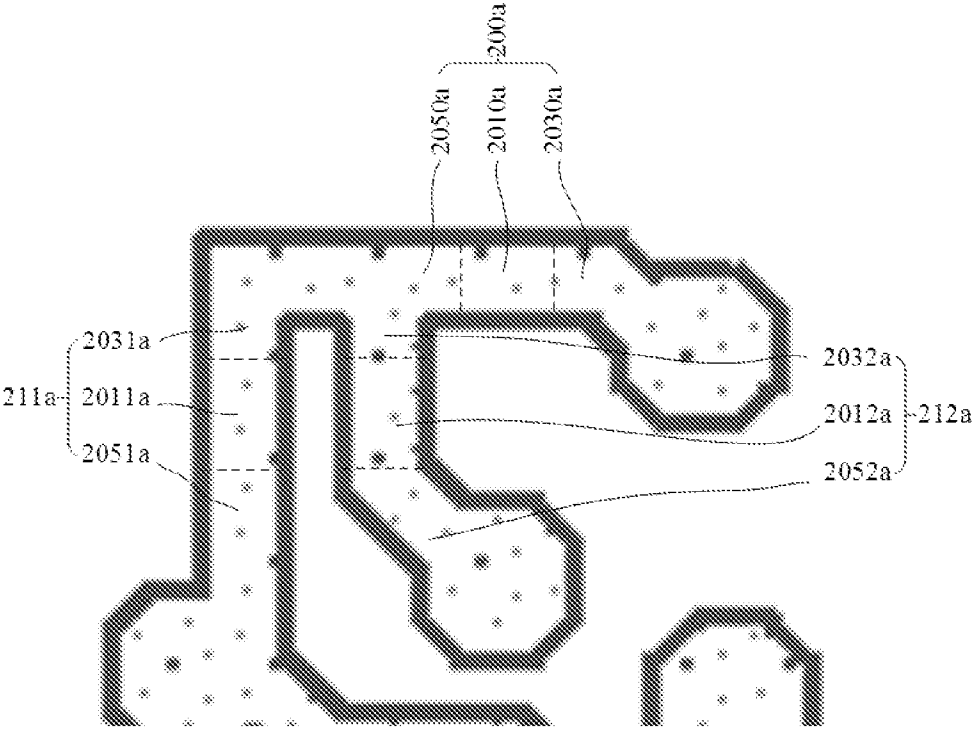


图 16B

21

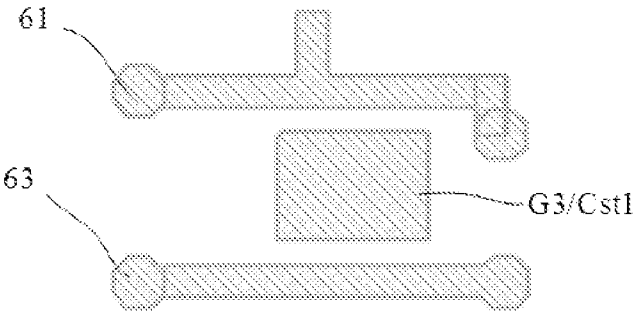
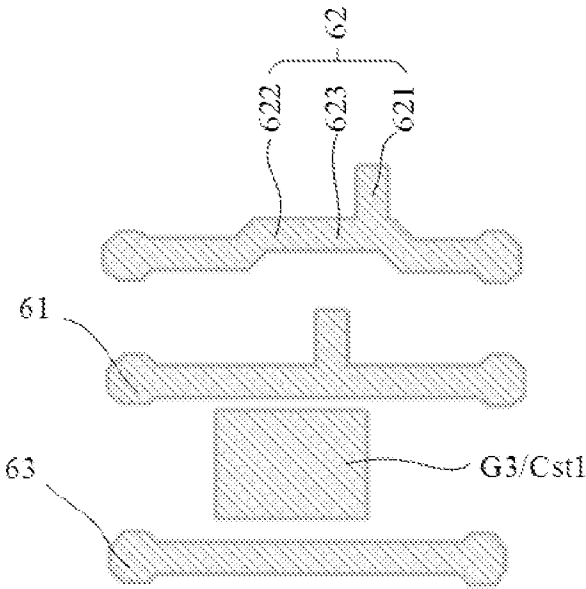


图 17A

20&21

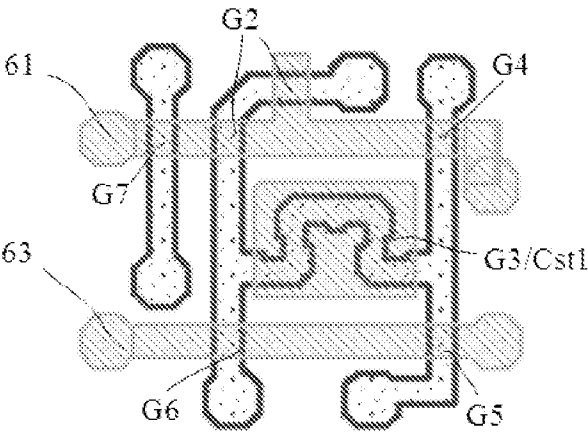
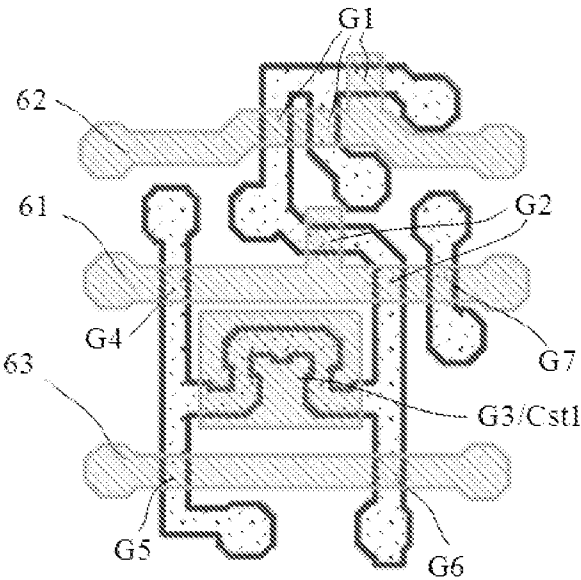


图 17B

22

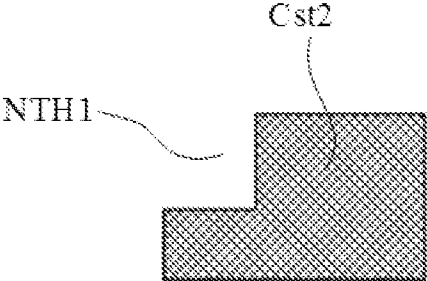
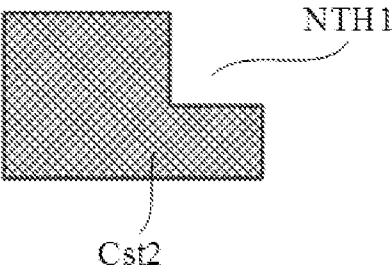
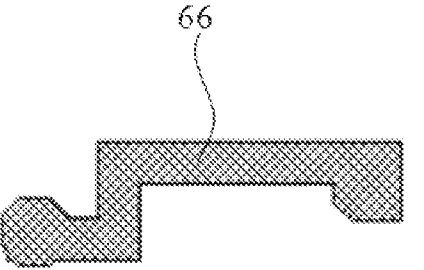


图 18A

20&21&22

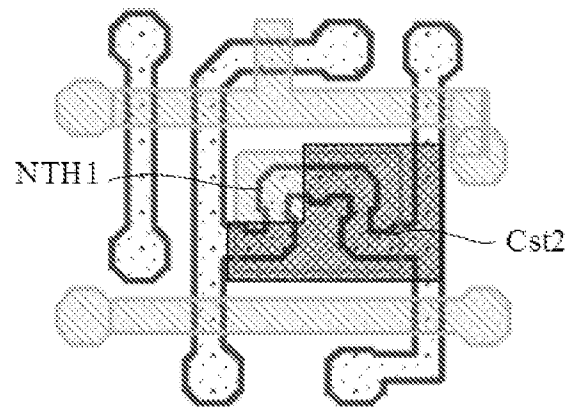
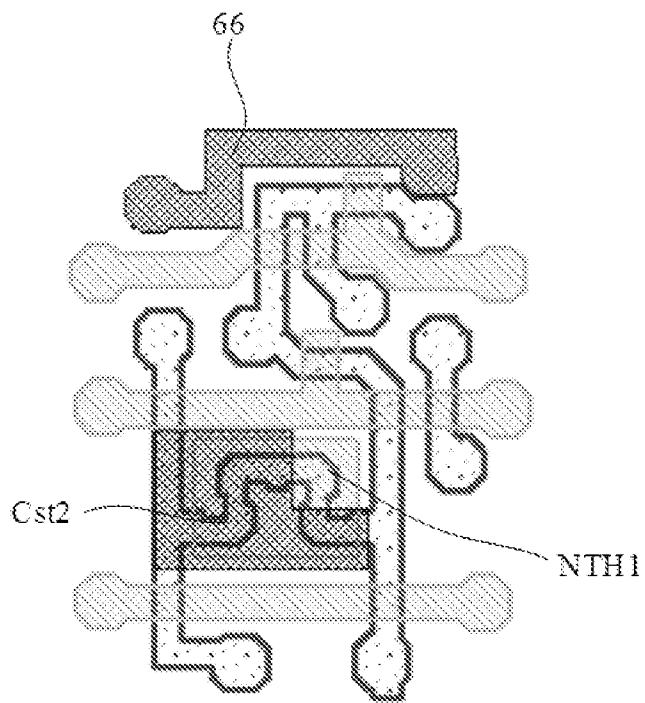


图 18B

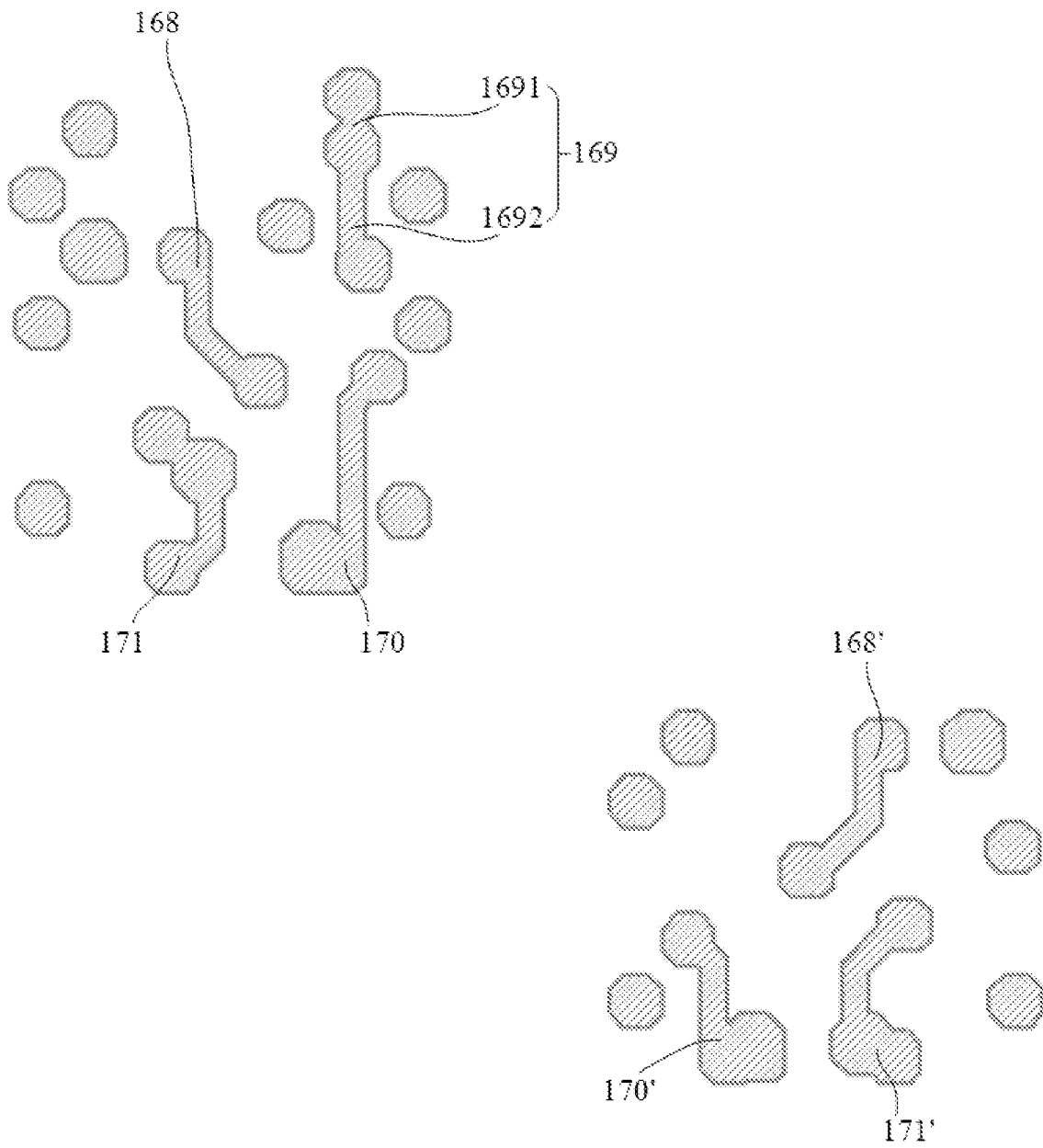


图 19A

20&21&22&23

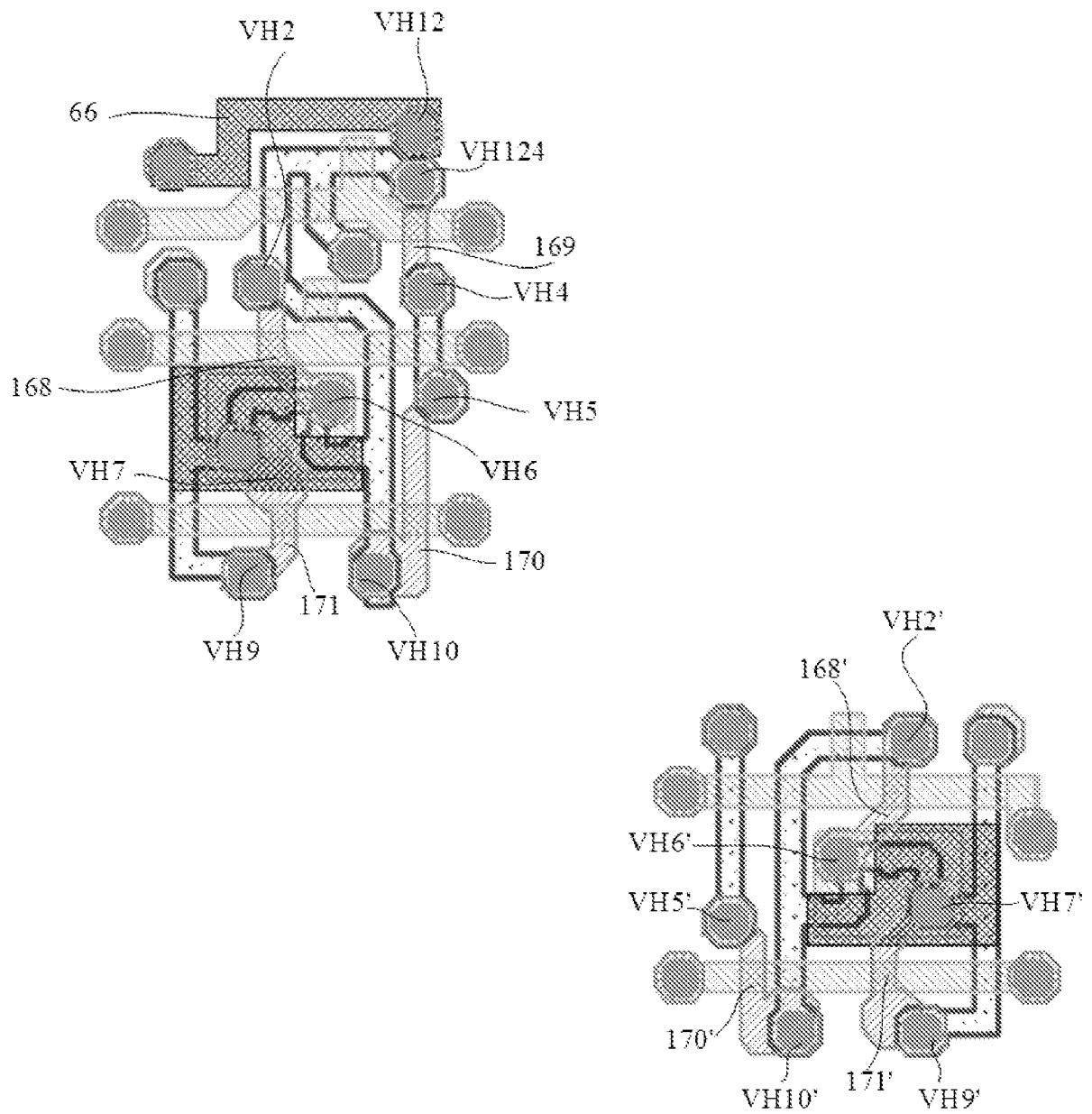


图 19B

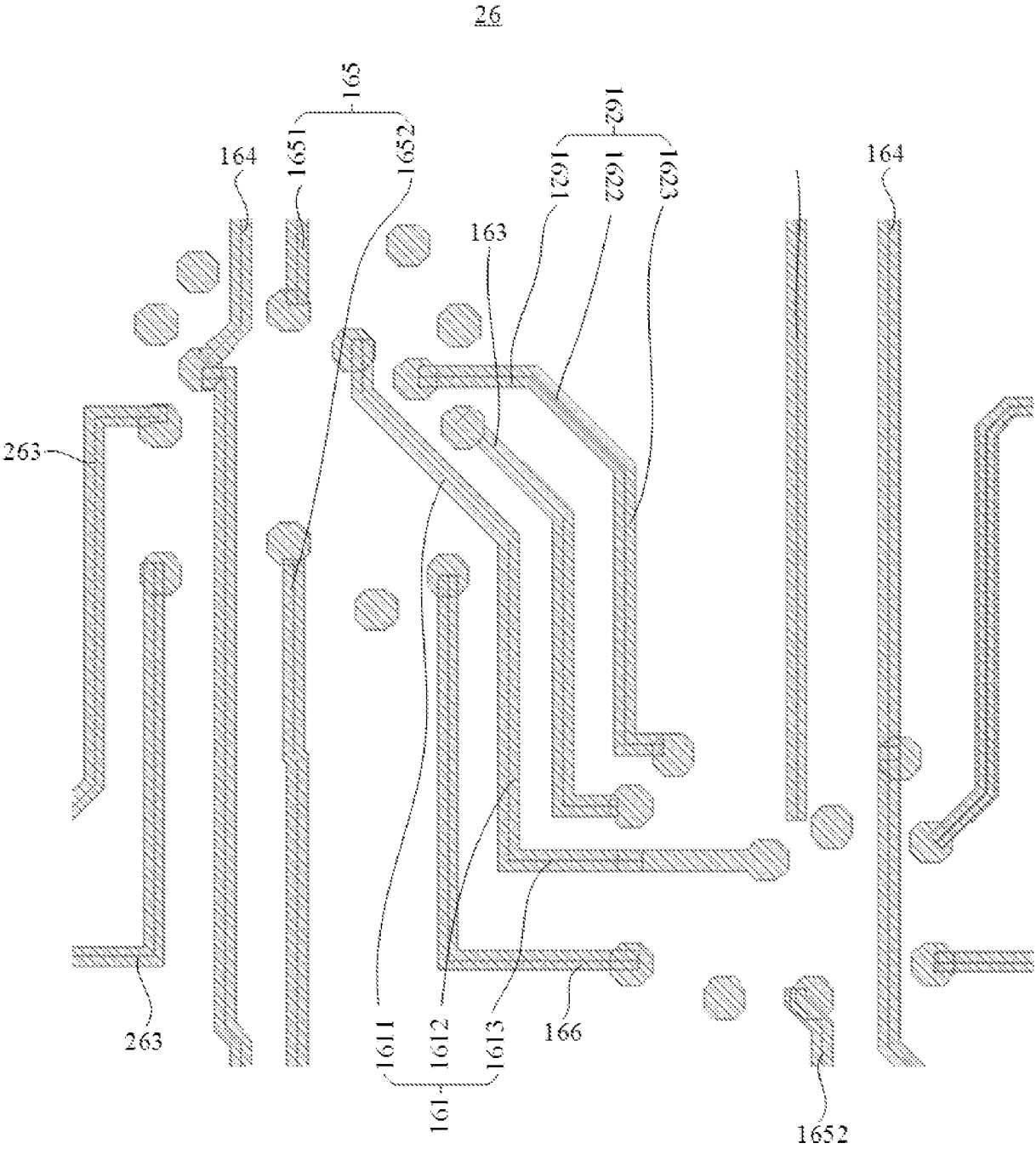


图 20A

20&21&22&23&26

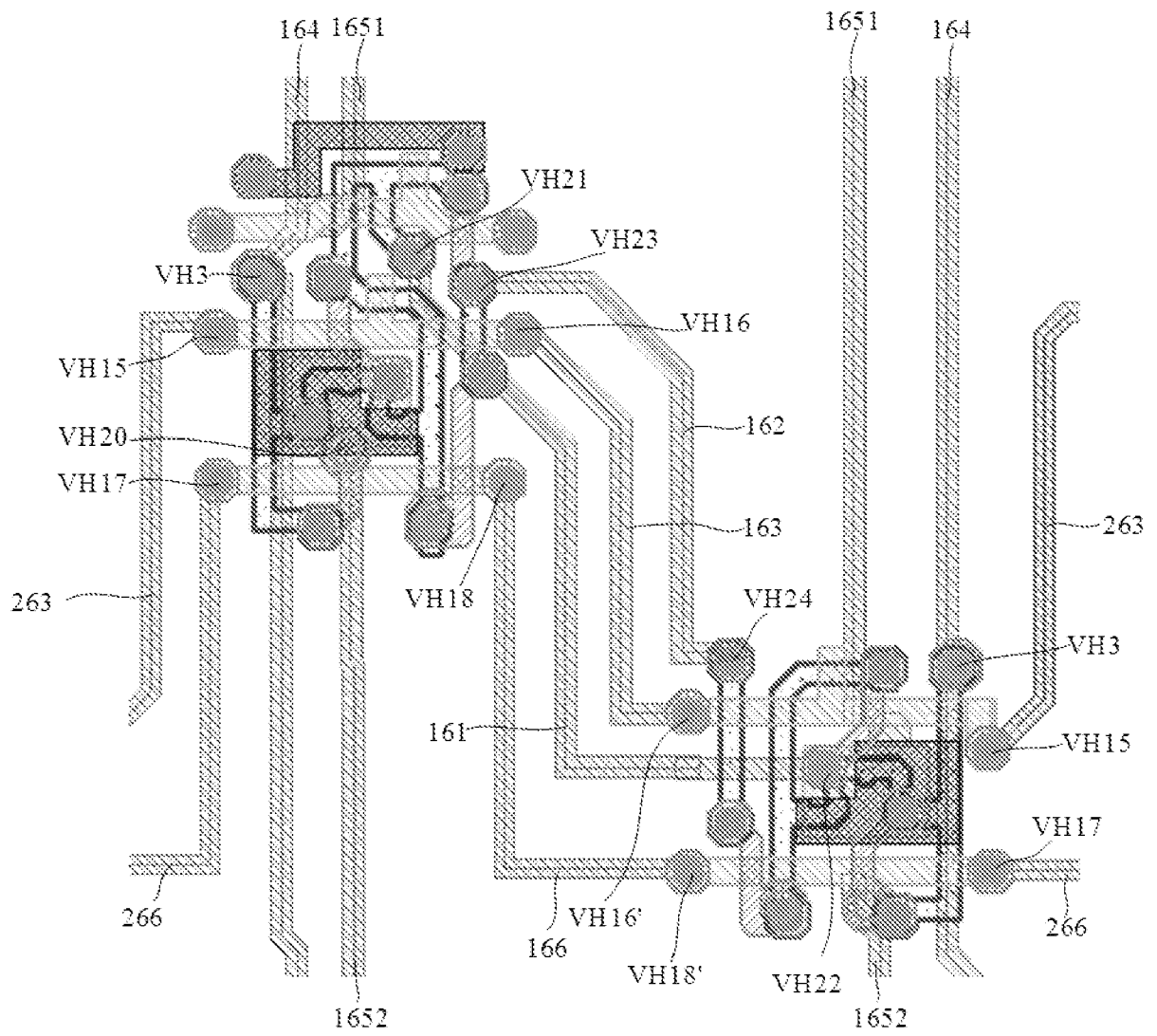


图 20B

24

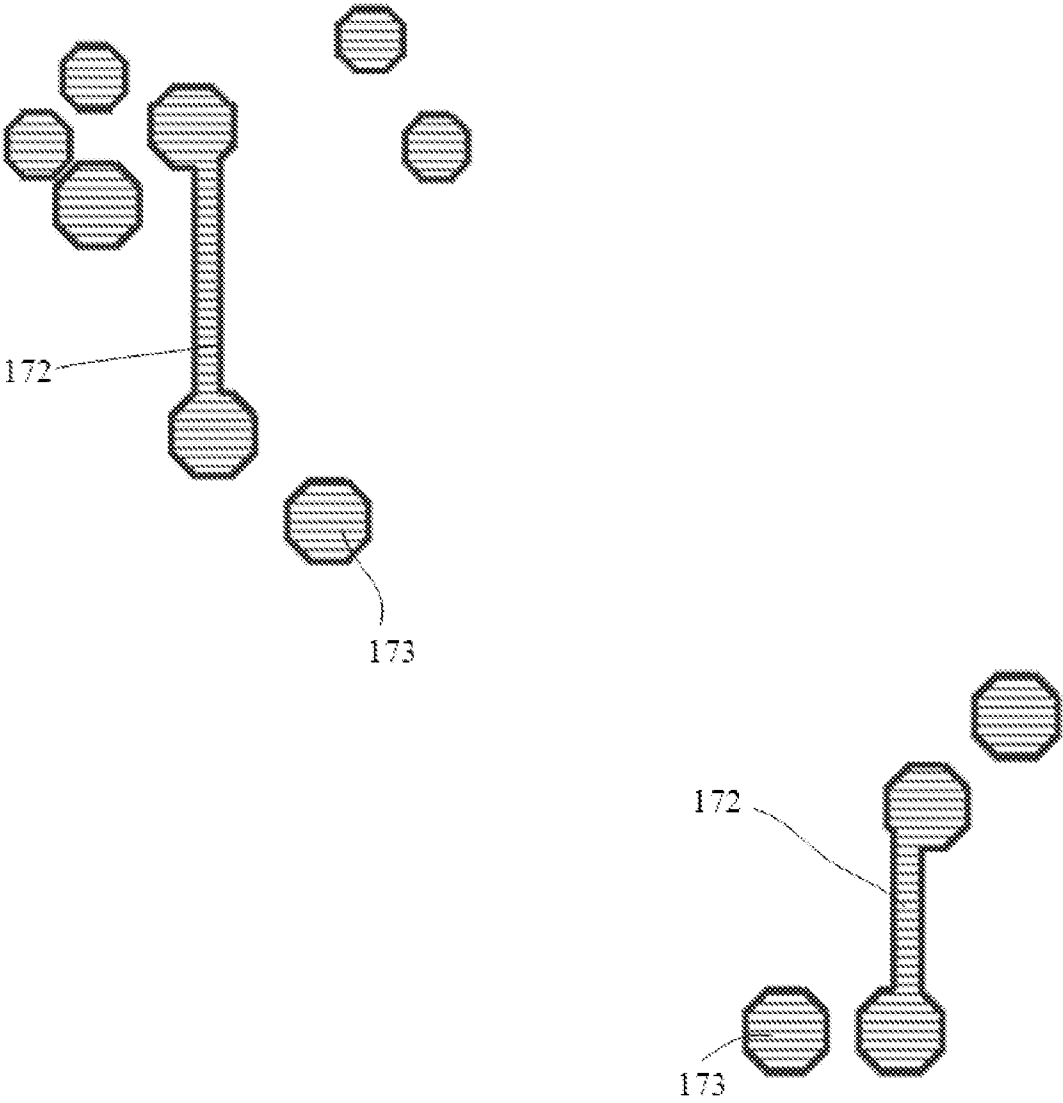


图 21A

20&21&22&23&26&24

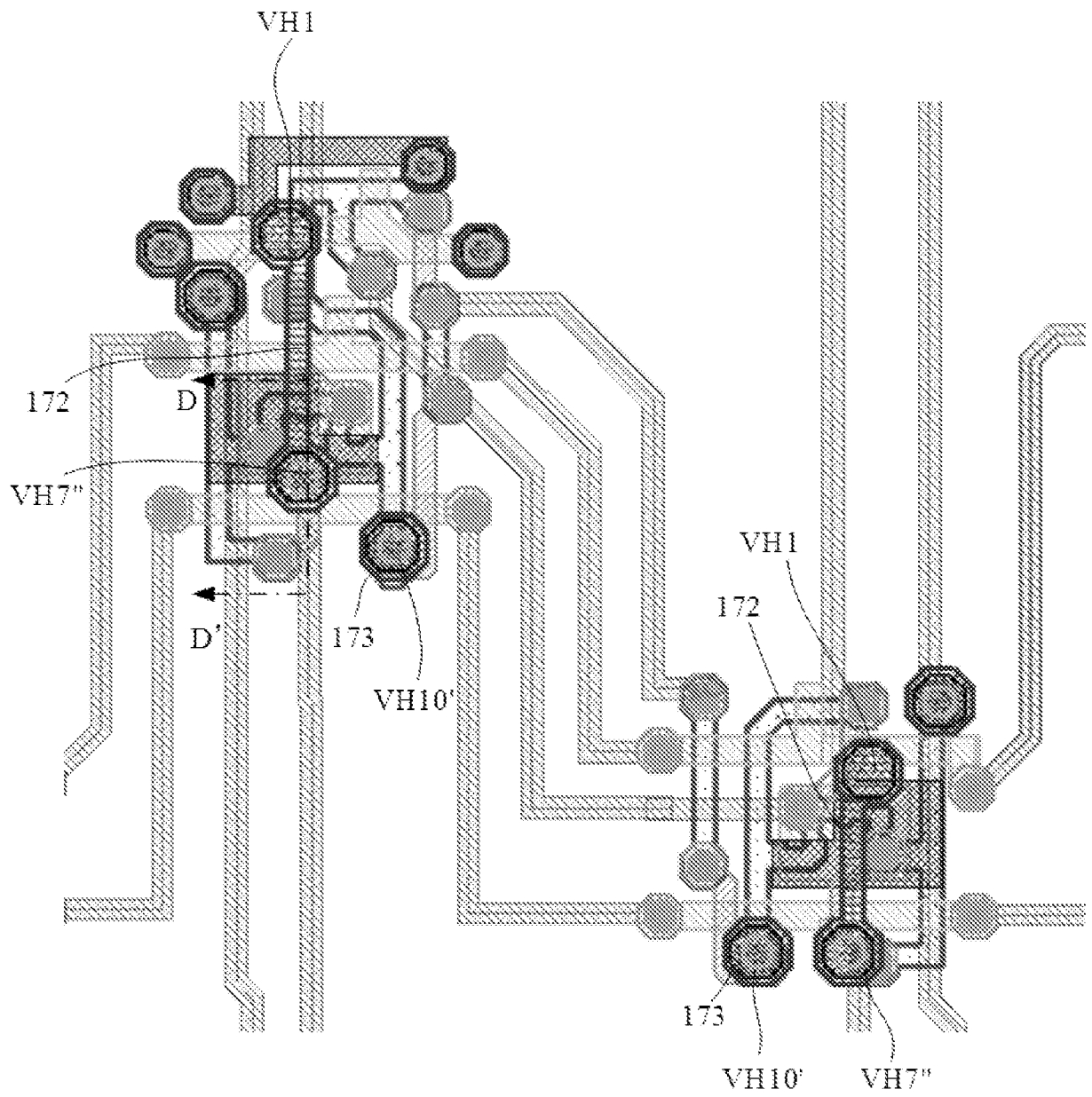


图 21B

28

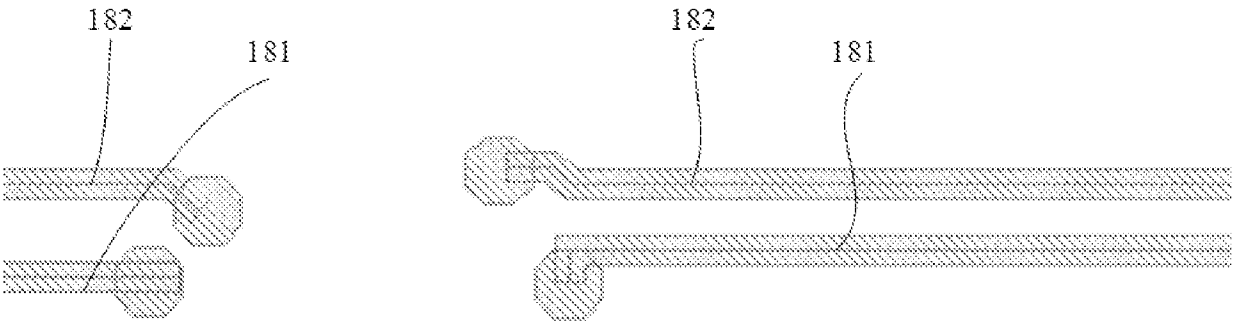


图 22A

20&21&22&23&26&24&28

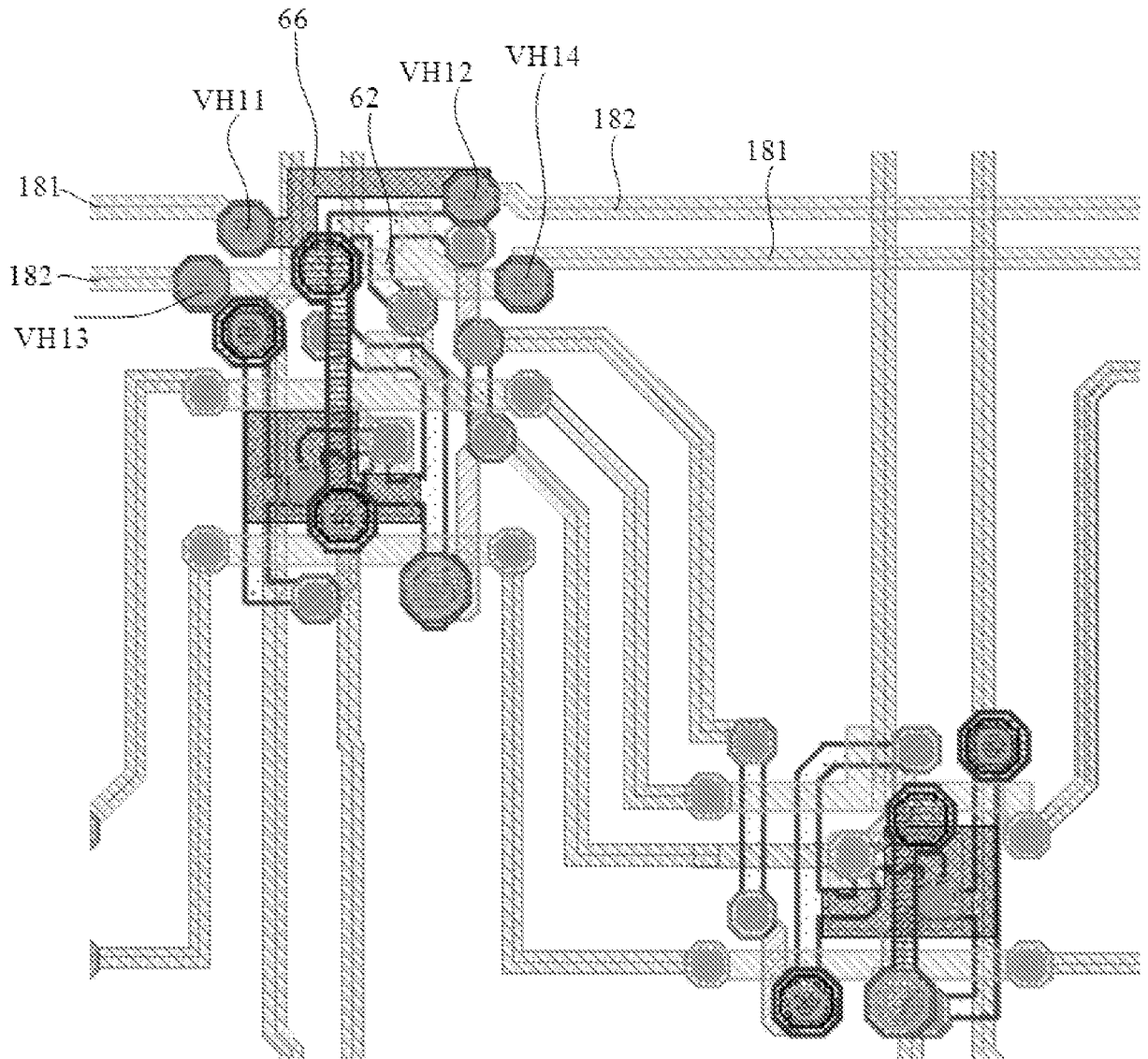


图 22B

25

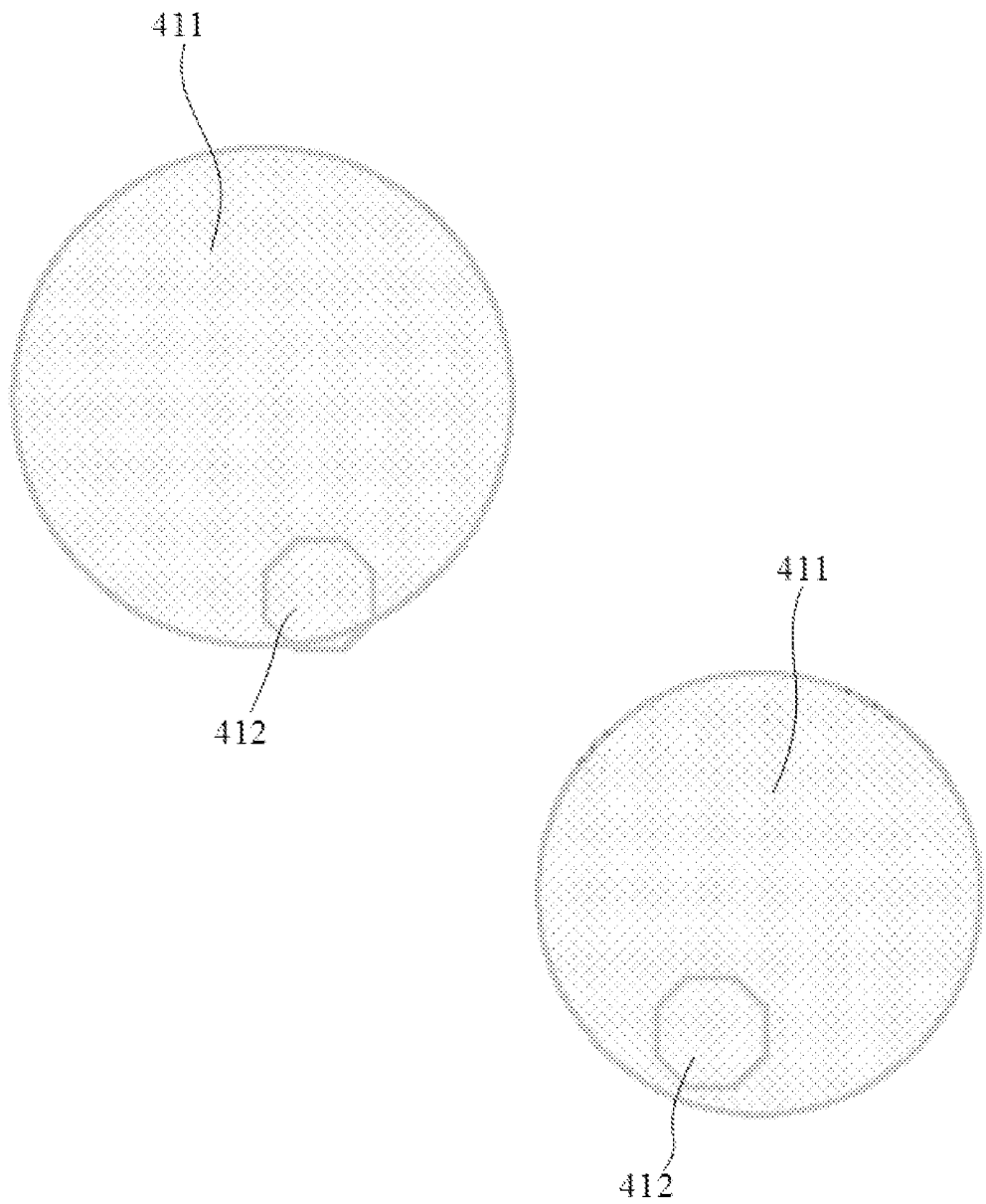


图 23A

20&21&22&23&26&24&28&25

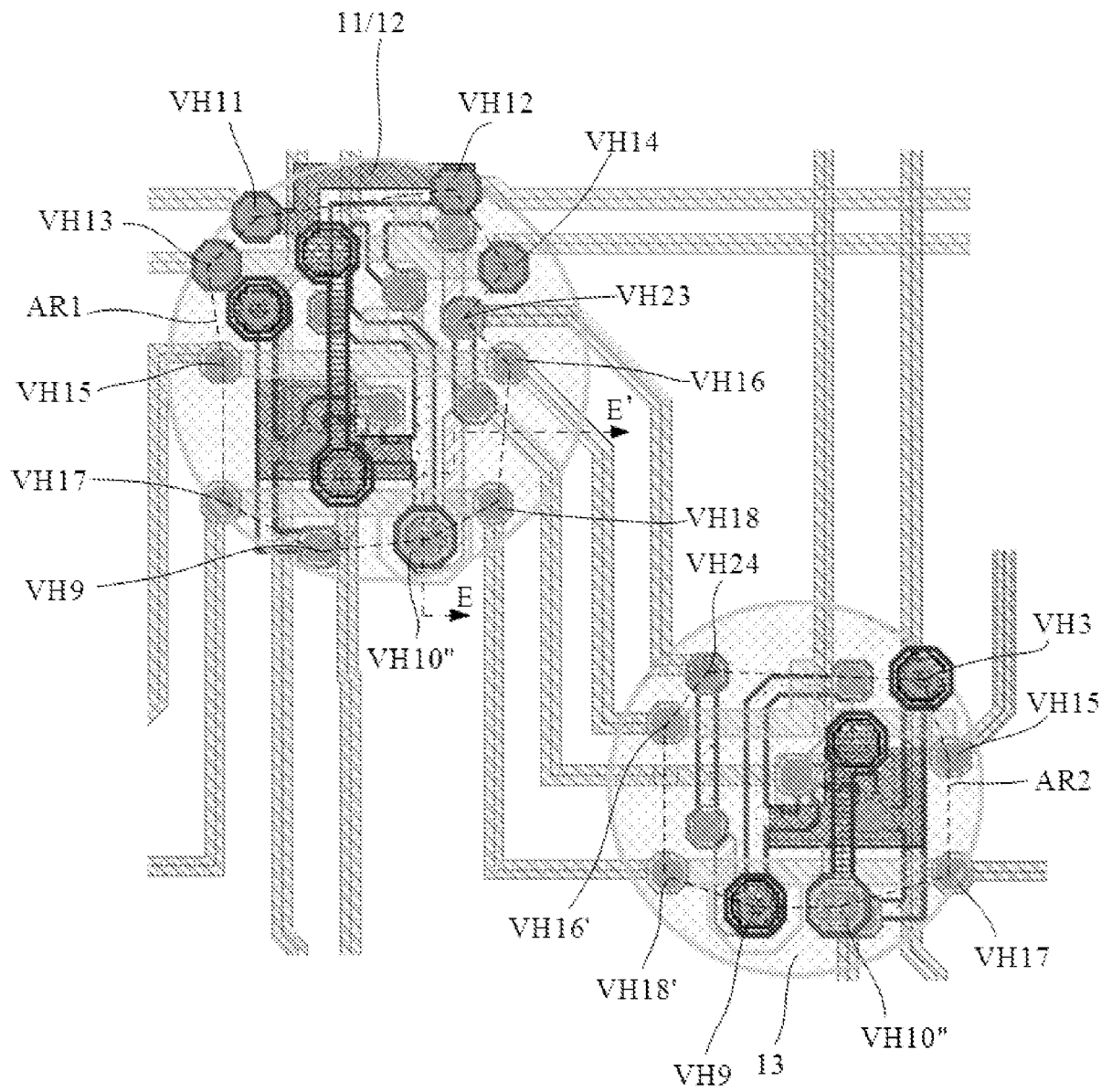


图 23B

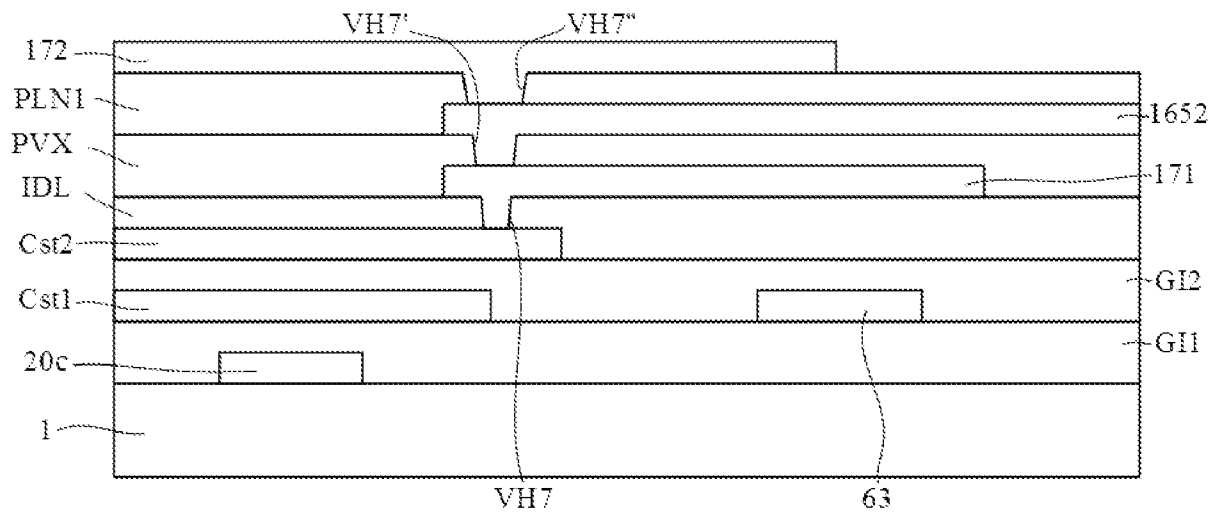


图 24A

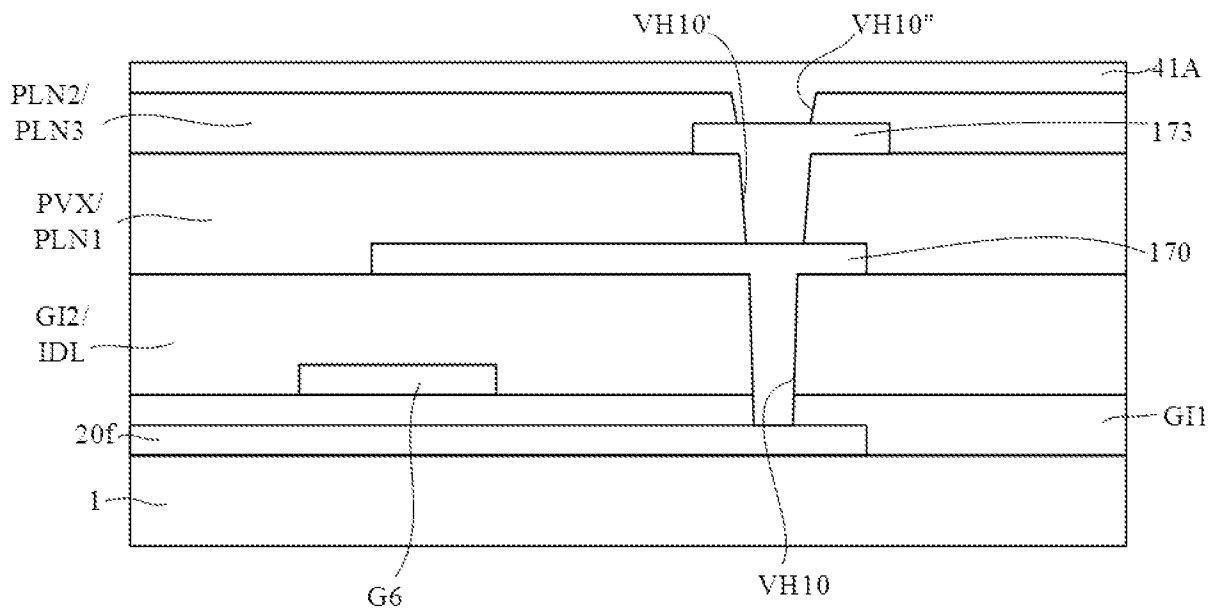


图 24B

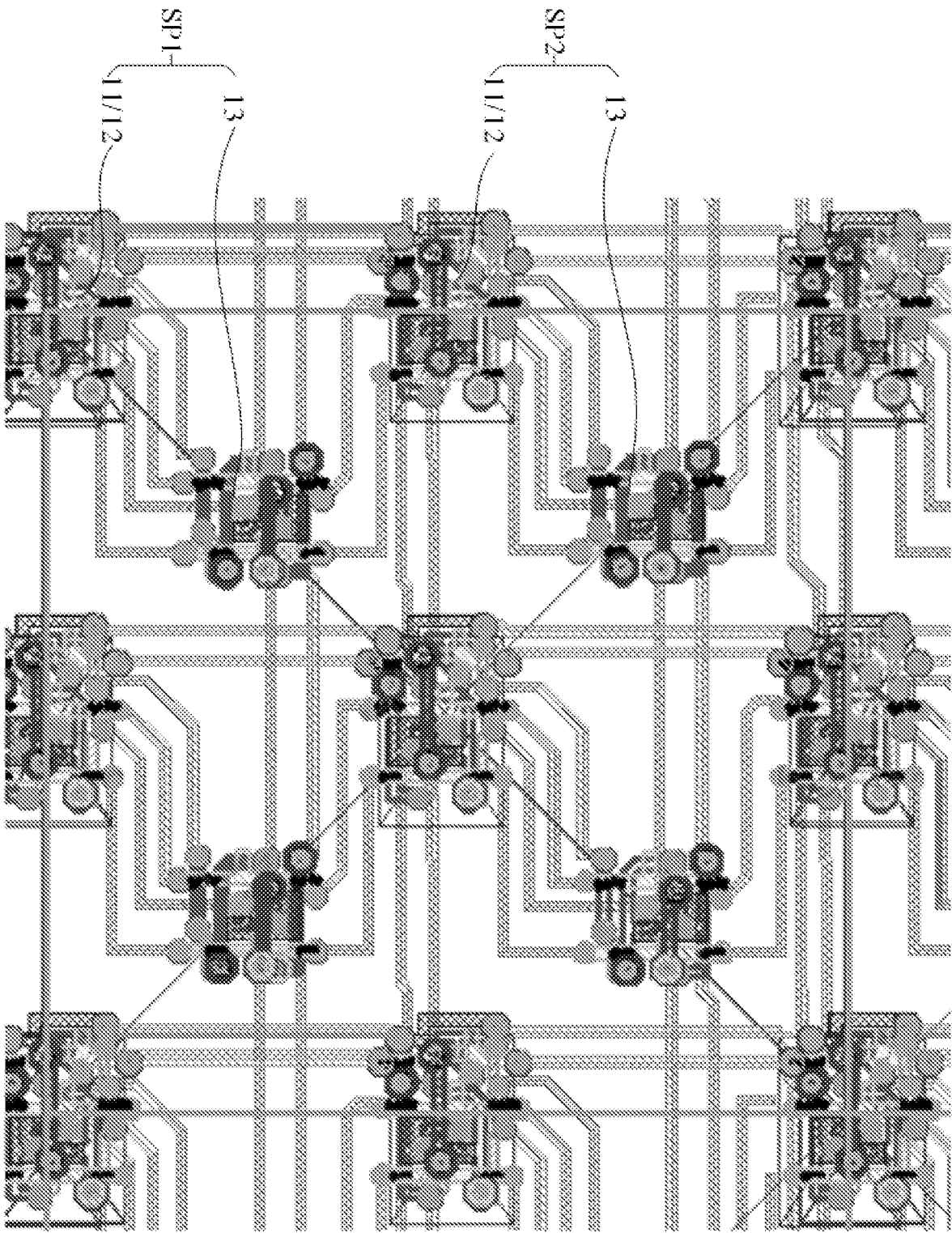


图 25A

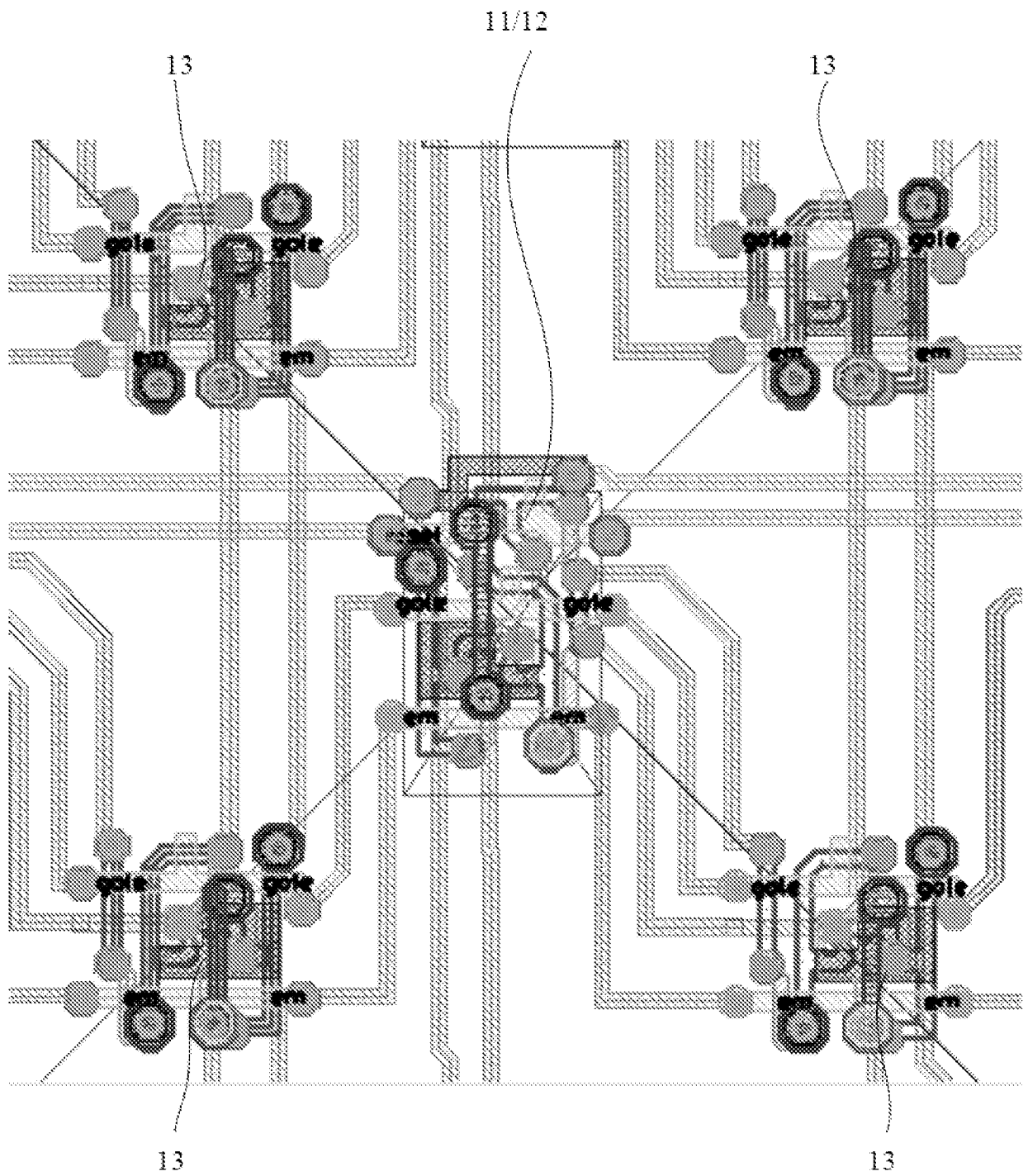


图 25B

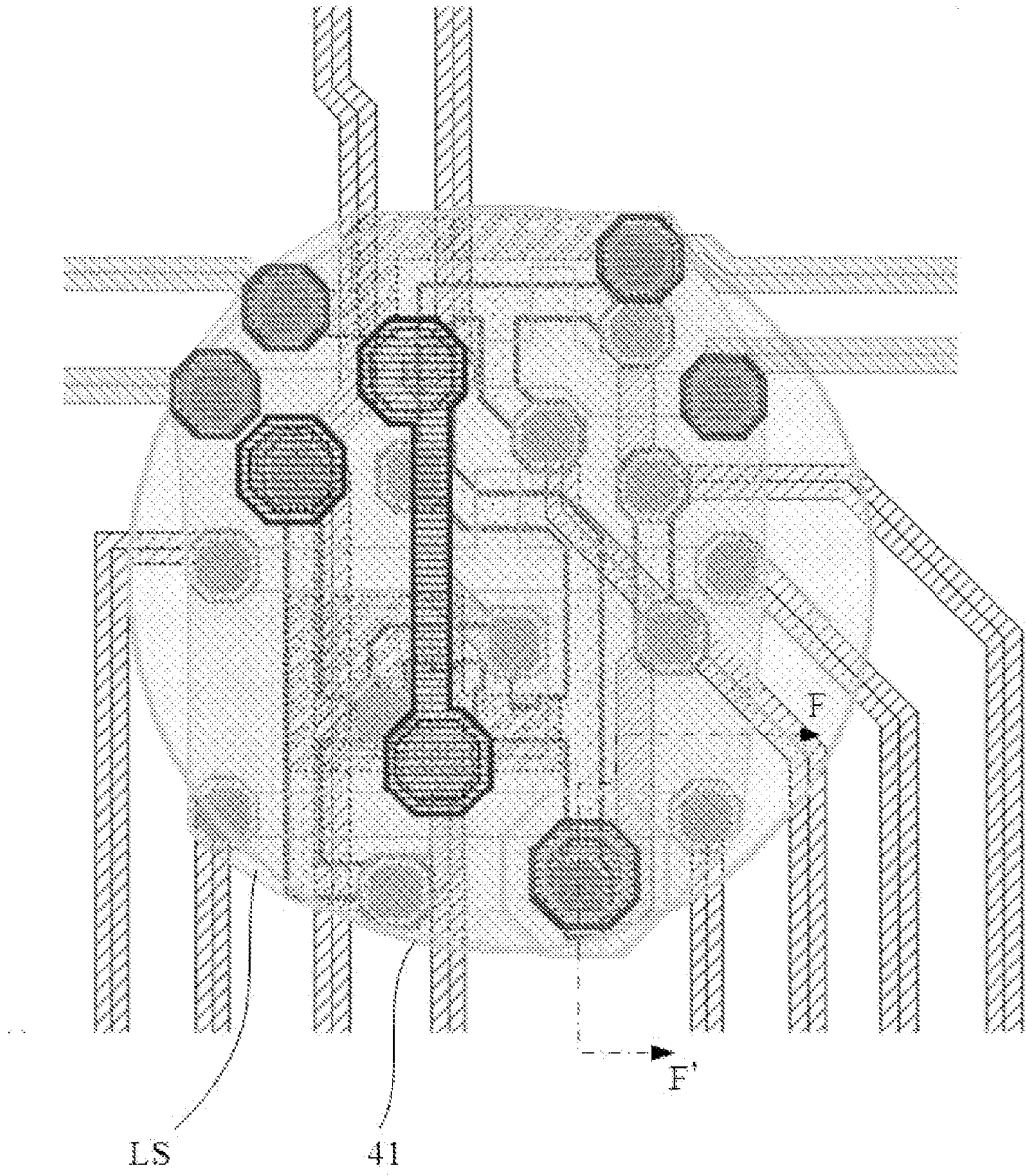


图 26A

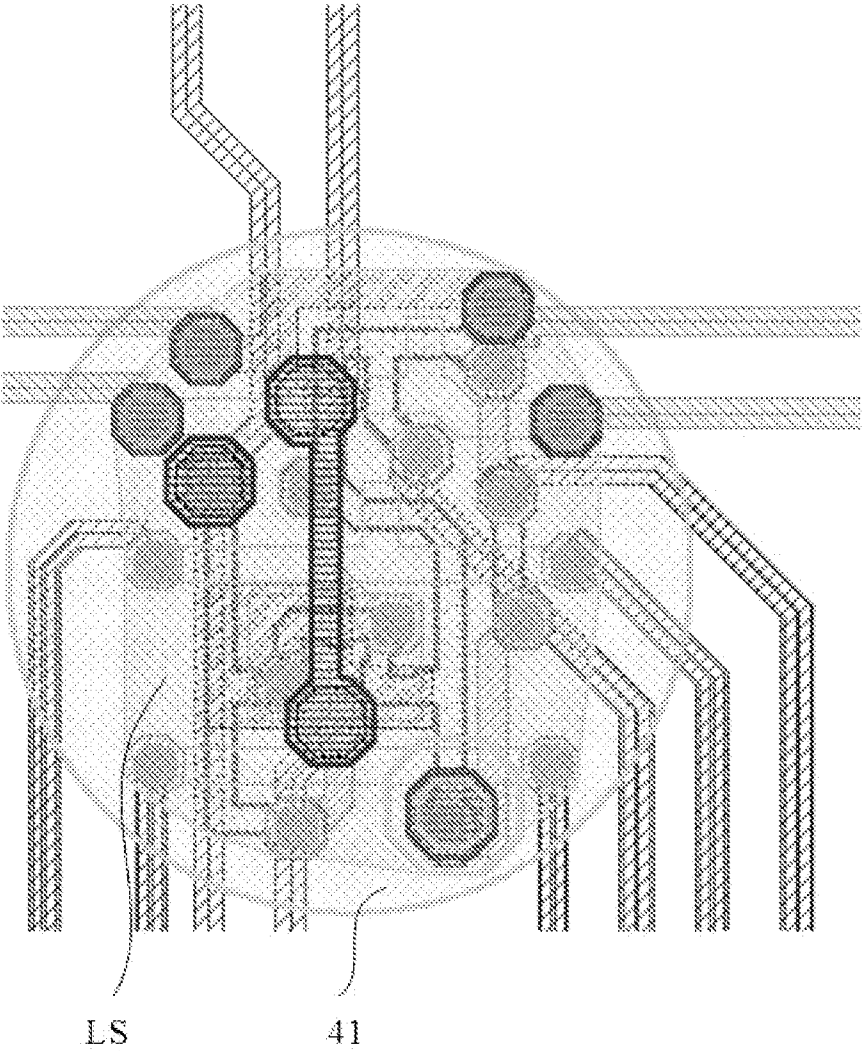


图 26B

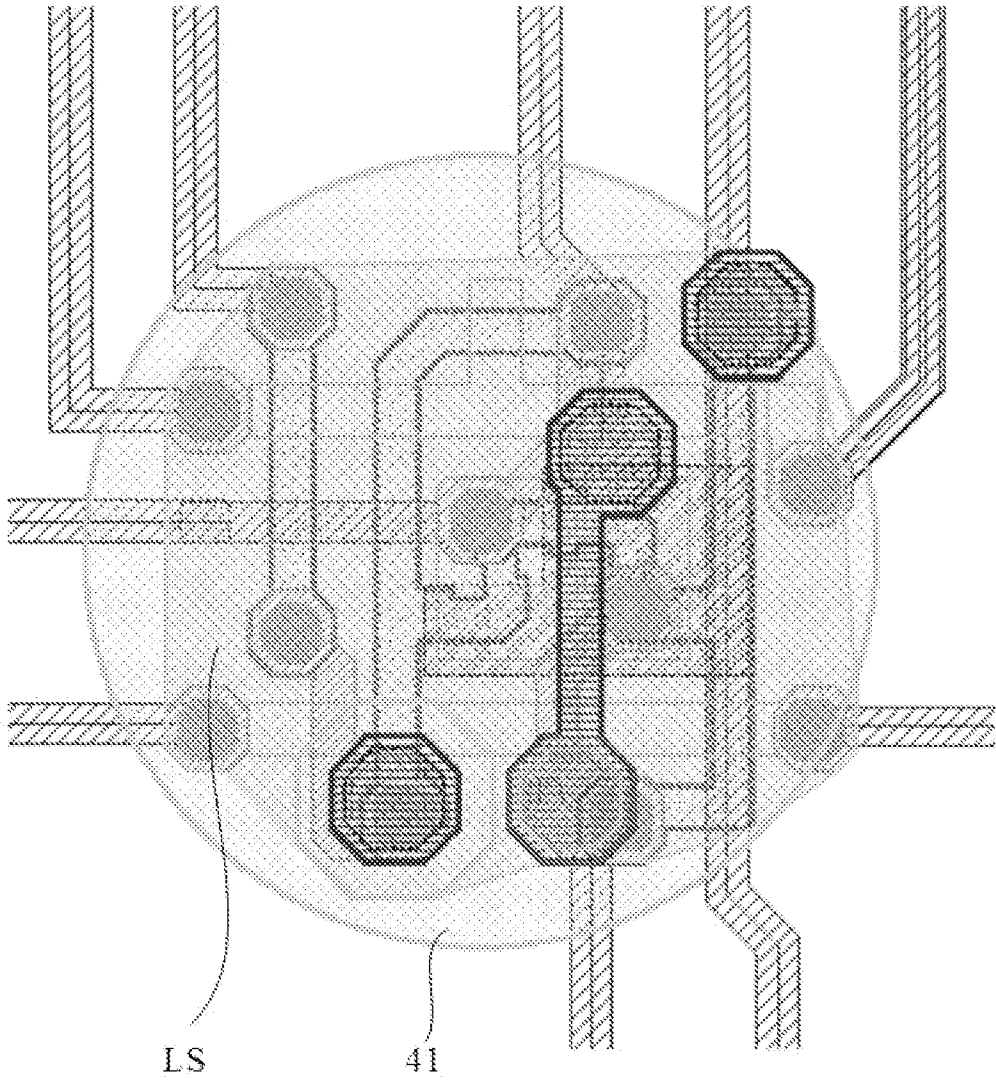


图 26C

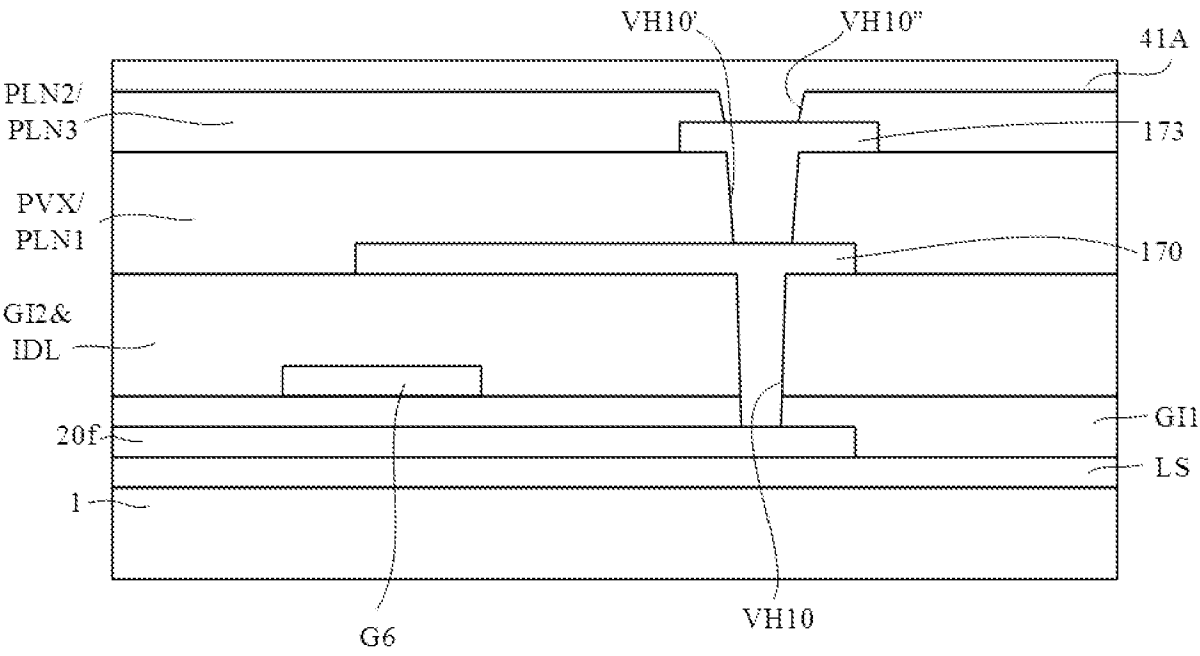


图 27

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/075844

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3225(2016.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS, IEEE, CNKI: 复位晶体管, 透光率, 复用, 共用, 屏下, 相机, transmittance, reset transistor, RST, share, under screen, camera

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110459175 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 15 November 2019 (2019-11-15) description, paragraphs 35-74, figures 1-8	1-30
A	CN 105428381 A (SONY CORPORATION) 23 March 2016 (2016-03-23) entire document	1-30
A	CN 108269840 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 10 July 2018 (2018-07-10) entire document	1-30
A	WO 2021012259 A1 (SHENZHEN GOODIX TECHNOLOGY CO., LTD.) 28 January 2021 (2021-01-28) entire document	1-30

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 November 2021

Date of mailing of the international search report

11 November 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/075844

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110459175	A	15 November 2019	WO	2021027109	A1	18 February 2021
CN	105428381	A	23 March 2016	US	11031427	B2	08 June 2021
				US	9153612	B2	06 October 2015
				CN	102651376	B	20 January 2016
				US	9806118	B2	31 October 2017
				CN	102651376	A	29 August 2012
				US	10615208	B2	07 April 2020
				JP	2012175050	A	10 September 2012
				US	9478572	B2	25 October 2016
				US	2020235143	A1	23 July 2020
				US	2015349002	A1	03 December 2015
				US	2018026059	A1	25 January 2018
				US	2012217601	A1	30 August 2012
				JP	5708025	B2	30 April 2015
				US	2017005122	A1	05 January 2017
				US	2019221593	A1	18 July 2019
				CN	105428381	B	13 September 2019
				US	10256267	B2	09 April 2019
CN	108269840	A	10 July 2018	None			
WO	2021012259	A1	28 January 2021	CN	111095274	A	01 May 2020

国际检索报告

国际申请号

PCT/CN2021/075844

A. 主题的分类

G09G 3/3225(2016.01)i; H01L 27/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, DWPI, SIPOABS, IEEE, CNKI:复位晶体管, 透光率, 复用, 共用, 屏下, 相机, transmittance, reset transistor, RST, share, under screen, camera

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 110459175 A (武汉华星光电半导体显示技术有限公司) 2019年 11月 15日 (2019 - 11 - 15) 说明书第35段-74段, 附图1-8	1-30
A	CN 105428381 A (索尼公司) 2016年 3月 23日 (2016 - 03 - 23) 全文	1-30
A	CN 108269840 A (昆山国显光电有限公司) 2018年 7月 10日 (2018 - 07 - 10) 全文	1-30
A	WO 2021012259 A1 (SHENZHEN GOODIX TECH CO LTD) 2021年 1月 28日 (2021 - 01 - 28) 全文	1-30

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 11月 4日

国际检索报告邮寄日期

2021年 11月 11日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

吴海涛

电话号码 (86-10)62412214

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/075844

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110459175	A	2019年 11月 15日	WO	2021027109	A1	2021年 2月 18日
CN	105428381	A	2016年 3月 23日	US	11031427	B2	2021年 6月 8日
				US	9153612	B2	2015年 10月 6日
				CN	102651376	B	2016年 1月 20日
				US	9806118	B2	2017年 10月 31日
				CN	102651376	A	2012年 8月 29日
				US	10615208	B2	2020年 4月 7日
				JP	2012175050	A	2012年 9月 10日
				US	9478572	B2	2016年 10月 25日
				US	2020235143	A1	2020年 7月 23日
				US	2015349002	A1	2015年 12月 3日
				US	2018026059	A1	2018年 1月 25日
				US	2012217601	A1	2012年 8月 30日
				JP	5708025	B2	2015年 4月 30日
				US	2017005122	A1	2017年 1月 5日
				US	2019221593	A1	2019年 7月 18日
				CN	105428381	B	2019年 9月 13日
				US	10256267	B2	2019年 4月 9日
CN	108269840	A	2018年 7月 10日	无			
WO	2021012259	A1	2021年 1月 28日	CN	111095274	A	2020年 5月 1日