



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0053195
(43) 공개일자 2023년04월21일

(51) 국제특허분류(Int. Cl.)
G11C 11/36 (2006.01) H01L 29/66 (2006.01)
H03K 19/1776 (2020.01)
(52) CPC특허분류
G11C 11/36 (2013.01)
H01L 29/66136 (2013.01)
(21) 출원번호 10-2021-0136449
(22) 출원일자 2021년10월14일
심사청구일자 2021년10월14일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김상식
서울특별시 서초구 효령로 391, 103동 501호 (서초동, 서초그랑자이)
조경아
서울특별시 광진구 천호대로110길 72(능동)
손재민
경기도 성남시 수정구 위례순환로 150, 3403동 502호(창곡동, 래미안 위례)
(74) 대리인
김연권

전체 청구항 수 : 총 12 항

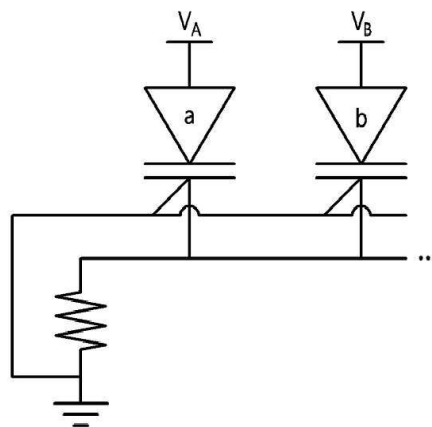
(54) 발명의 명칭 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리

(57) 요약

본 발명은 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리에 관한 것으로, 본 발명의 일실시예에 따른 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리는 애노드(anode) 영역, 제1 채널 영역, 제2 채널 영역 및 캐소드(cathode) 영역을 포함하는 복수의 실리콘 다이오드 각각을 메모리셀로 포함하고, 상기 복수의 메모리셀 각각은 상기 캐소드 영역의 단자가 다른 캐소드 영역의 단자와 병렬로 연결된 후 저항과 직렬 연결되고, 상기 애노드 영역의 단자를 통해 동작 전압을 인가 받으며, 상기 복수의 메모리셀은 적어도 하나의 입력셀과 출력셀을 포함하고, 상기 인가되는 동작 전압 및 상기 적어도 하나의 입력셀과 상기 출력셀의 스테이트(state)에 기반하여 IMP(implication) 연산을 적어도 한번 수행하며, 상기 적어도 한번 수행된 IMP 연산에 기반하여 상기 출력셀의 스테이트를 변경 또는 유지하여 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

대표도 - 도3b

310



(52) CPC특허분류

H03K 19/1776 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711108261
과제번호	2020R1A2C3004538
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구자지원사업
연구과제명	논리 연산이 가능한 quasi-non-volatile memory 배열 소자
기 여 율	1/1
과제수행기관명	고려대학교 산학협력단
연구기간	2020.03.01 ~ 2024.02.28

명세서

청구범위

청구항 1

애노드(anode) 영역, 제1 채널 영역, 제2 채널 영역 및 캐소드(cathode) 영역을 포함하는 복수의 실리콘 다이오드 각각을 메모리셀로 포함하고,

상기 복수의 메모리셀 각각은 상기 캐소드 영역의 단자가 다른 캐소드 영역의 단자와 병렬로 연결된 후 저항과 직렬 연결되고, 상기 애노드 영역의 단자를 통해 동작 전압을 인가 받으며,

상기 복수의 메모리셀은 적어도 하나의 입력셀과 출력셀을 포함하고, 상기 인가되는 동작 전압 및 상기 적어도 하나의 입력셀과 상기 출력셀의 스테이트(state)에 기반하여 IMP(implication) 연산을 적어도 한번 수행하며, 상기 적어도 한번 수행된 IMP 연산에 기반하여 상기 출력셀의 스테이트를 변경 또는 유지하여 논리 연산 기능 및 메모리 기능을 수행하는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 2

제1항에 있어서,

상기 적어도 하나의 입력셀은 상기 동작 전압 중 설정 전압, 대기(hold) 전압 및 리드(read) 전압 중 어느 하나의 전압을 인가 받고, 상기 설정 전압이 양의 전압 인 경우에 스테이트가 하이 스테이트로 결정되어 턴온 되고, 상기 설정 전압이 음의 전압 인 경우에 스테이트가 로우 스테이트로 결정되어 턴오프되며,

상기 출력셀은 상기 동작 전압 중 설정 전압, 대기(hold) 전압 및 라이트(write) 전압 중 어느 하나의 전압을 인가 받고, 상기 설정 전압이 양의 전압 인 경우에 스테이트가 하이 스테이트로 결정되어 턴온 되고, 상기 설정 전압이 음의 전압 인 경우에 스테이트가 로우 스테이트로 결정되어 턴오프되며, 상기 라이트 전압에 기반하여 상기 스테이트가 유지되거나 변경되는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 3

제2항에 있어서,

상기 복수의 메모리셀은 상기 설정 전압이 상기 제1 채널 영역 및 상기 제2 채널 영역에서 양성 피드백 루프를 생성하기 위한 기준 전압 보다 큰 전압에 해당하는 상기 양의 전압 인 경우에 상기 제1 채널 영역 및 상기 제2 채널 영역 내 래치 업 현상에 기반하여 턴온 되고, 상기 설정 전압이 상기 기준 전압보다 작은 전압에 해당하는 상기 음의 전압 인 경우에 상기 제1 채널 영역 및 상기 제2 채널 영역 내 래치 다운 현상에 기반하여 턴오프되는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 4

제2항에 있어서,

상기 적어도 하나의 입력셀 중 어느 하나의 입력셀과 상기 출력셀을 포함하고,

상기 어느 하나의 입력셀이 로우 스테이트이고, 상기 출력셀이 로우 스테이트 또는 하이 스테이트인 경우에, 상기 어느 하나의 입력셀이 턴오프 됨에 따라 상기 직렬로 연결된 저항보다 큰 저항 값을 가지고, 상기 큰 저항 값에 기반하여 상기 저항에는 상기 입력셀로 인가되는 상기 리드 전압이 걸리지 않아 상기 출력셀로 인가되는 상기 라이트 전압에 기반하여 상기 출력셀이 로우 스테이트에서 하이 스테이트로 변경되거나 하이 스테이트를 유지하는 상기 IMP 연산을 수행하는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 5

제2항에 있어서,

상기 적어도 하나의 입력셀 중 어느 하나의 입력셀과 상기 출력셀을 포함하고,

상기 어느 하나의 입력셀이 하이 스테이트이고, 상기 출력셀이 로우 스테이트 또는 하이 스테이트인 경우에, 상기 어느 하나의 입력셀이 턴온 됨에 따라 상기 직렬로 연결된 저항보다 작은 저항 값을 가지고, 상기 작은 저항 값에 기반하여 상기 저항에는 상기 입력셀로 인가되는 상기 리드 전압이 걸리면서 상기 출력셀로 인가되는 상기 라이트 전압과 상기 리드 전압이 상쇄됨에 따라 상기 출력셀이 이전 로우 스테이트 또는 이전 하이 스테이트를 유지하는 상기 IMP 연산을 수행하는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 6

제2항에 있어서,

상기 적어도 하나의 입력셀 중 어느 하나의 입력셀과 상기 출력셀을 포함하고,

상기 출력셀은 상기 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋되며,

상기 어느 하나의 입력셀이 로우 스테이트이고, 상기 출력셀이 로우 스테이트인 경우에, 상기 어느 하나의 입력셀이 턴오프 됨에 따라 상기 직렬로 연결된 저항보다 큰 저항 값을 가지고, 상기 큰 저항 값에 기반하여 상기 저항에는 상기 입력셀로 인가되는 상기 리드 전압이 걸리지 않아 상기 출력셀로 인가되는 상기 라이트 전압에 기반하여 상기 출력셀이 로우 스테이트에서 하이 스테이트로 변경되는 상기 IMP 연산을 수행하는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 7

제6항에 있어서,

상기 어느 하나의 입력셀이 하이 스테이트이고, 상기 출력셀이 로우 스테이트인 경우에, 상기 어느 하나의 입력셀이 턴온 됨에 따라 상기 직렬로 연결된 저항보다 작은 저항 값을 가지고, 상기 작은 저항 값에 기반하여 상기 저항에는 상기 입력셀로 인가되는 상기 리드 전압이 걸리면서 상기 출력셀로 인가되는 상기 라이트 전압과 상기 리드 전압이 상쇄됨에 따라 상기 출력셀이 이전 로우 스테이트를 유지하는 IMP 연산을 수행하는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 8

제2항에 있어서,

상기 적어도 하나의 입력셀 중 두개의 입력셀과 상기 출력셀을 포함하고,

상기 출력셀은 상기 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋되며,

상기 두개의 입력셀 중 어느 하나의 입력셀과 상기 출력셀 간의 제1 IMP 연산을 수행하고,

상기 두개의 입력셀 중 다른 하나의 입력셀과 상기 출력셀 간의 제2 IMP 연산을 수행하며,

상기 제1 IMP 연산 및 상기 제2 IMP 연산에 기반하여 상기 어느 하나의 입력셀과 상기 다른 하나의 입력셀 간의 NAND 연산 결과 값을 상기 출력셀에 저장하는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 9

제2항에 있어서,

상기 적어도 하나의 입력셀 중 두개의 입력셀과 상기 출력셀을 포함하고,

상기 출력셀은 상기 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋되며,

상기 두개의 입력셀에 상기 리드 전압을 인가하고, 상기 두개의 입력셀에서의 스테이트의 OR 연산 결과와 상기 출력셀 간의 IMP 연산을 수행하고,

상기 IMP 연산에 기반하여 상기 어느 하나의 입력셀과 상기 다른 하나의 입력셀 간의 NOR 연산 결과 값을 상기 출력셀에 저장하는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 10

제2항에 있어서,

상기 적어도 하나의 입력셀 중 제1 내지 제4 입력셀과 상기 출력셀을 포함하고,

상기 제1 내지 제4 입력셀 중 제3 및 제4 입력셀과 상기 출력셀은 상기 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋되며,

상기 제1 입력셀과 상기 제3 입력셀 간의 IMP 연산을 수행하여 제1 연산 결과를 상기 제3 입력셀의 스테이트로 저장하고,

상기 제2 입력셀과 상기 제4 입력셀 간의 IMP 연산을 수행하여 제2 연산 결과를 상기 제4 입력셀의 스테이트로 저장하며,

상기 제1 입력셀과 상기 제2 연산 결과의 OR 연산 결과와 상기 출력셀 간의 IMP 연산을 수행하여 제3 연산 결과를 상기 출력 셀의 스테이트로 저장하고,

상기 제2 입력셀과 상기 제1 연산 결과의 OR 연산 결과와 상기 출력셀 간의 IMP 연산을 수행하여 제4 연산 결과를 상기 출력 셀의 스테이트로 저장하는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 11

제1항에 있어서,

상기 애노드 영역 및 상기 제2 채널 영역은 p 도핑 상태이고,

상기 캐소드 영역 및 상기 제1 채널 영역은 n 도핑 상태인 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

청구항 12

제1항에 있어서,

상기 복수의 메모리셀 각각은 상기 제1 채널 영역 상에 정전(electrostatic) 도핑 전극이 증착 형성된 경우 상기 정전 도핑 전극을 접지하여 상기 정전 도핑 전극의 일함수만큼 상기 제1 채널 영역을 전기적으로 도핑하거나 상기 정전 도핑 전극에 전압을 인가하여 가해지는 전계를 통해 상기 제1 채널 영역을 전기적으로 도핑하는 것을 특징으로 하는

실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리.

발명의 설명

기술 분야

본 발명은 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리에 관한 것으로, 보다 상세하게는, 양성 피드백 루프(positive feedback loop)를 기반으로 메모리 기능을 수행하고 2개의 단자로 동작하는 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리를 구현하는 기술에 관한 것이다.

[0001]

배경 기술

- [0002] 기존 폰 노이만(von Neumann) 기반의 컴퓨터 시스템은 프로세서와 메모리가 분리되어 버스(bus)를 통해 데이터의 전송이 이루어진다.
- [0003] 하지만, 컴퓨팅 성능의 증가에 따라 프로세서와 메모리간 데이터 처리속도 차이로 인해 병목 현상이 발생하게 되었고, 대용량 데이터 처리에 한계를 드러내기 시작했다.
- [0004] 다시 말해, 반도체 산업의 혁명적인 발전인 폰 노이만 기반의 시스템은 현대 컴퓨터의 통합 밀도와 성능을 향상시켰지만 프로세서와 메모리 계층 구조 간의 물리적인 분리에 따라 에너지를 많이 소모하고 데이터 전송과 대기 시간이 길다는 단점이 있다.
- [0005] 4 차 산업 혁명 이후 5G 통신 표준, 사물 인터넷(IoT), 인공 지능(AI)과 같은 데이터 집약적 인 애플리케이션의 증가를 고려할 때, 새로운 컴퓨팅 패러다임은 대규모 데이터 처리 요구 사항에 필수적이다.
- [0006] 상술한 문제를 해결하기 위해 연산과 기억 기능을 융합한 로직 인 메모리(logic in memory, LIM)기술에 대한 연구가 집중 및 가속화되고 있다.
- [0007] 로직 인 메모리 기술은 프로세서의 연산 기능과 메모리의 기억 기능을 동일한 공간에서 수행하기 때문에 데이터 전송 시 발생하는 지연 시간과 전력 소모를 줄이고 시스템의 집적도를 크게 향상시킬 수 있다.
- [0008] 또한, 컴퓨터 성능이 증가됨에 따라 대용량 데이터 처리에 한계를 드러내기 시작하였고, 이를 해결하기 위해 로직 메모리 원칩화한 POP(Package On Package) 및 TSV(Through Silicon Via) 기술이 연구되고 있다.
- [0009] 그러나, 로직과 메모리 기능이 트랜지스터에서 이루어지지 않음에 따라 병목현상, 소모전력, 연산효율 및 집적도 문제가 여전히 대두되고 있다.
- [0010] 한편, 이를 해결하기 위해 논리 연산과 메모리 기능을 융합한 스테이트풀 로직 인 메모리 기술에 대한 연구가 가속화되고 있다.
- [0011] 스테이트풀 로직 인 메모리 기술은 메모리 어레이 안에서 메모리 역할과 논리 연산을 모두 수행하기 때문에 데이터 전송 시 발생하는 지연 시간과 전력 소모를 줄이고 시스템의 집적도를 크게 향상시킬 수 있다.
- [0012] 종래 기술의 ReRAM(resistive random-access memory)를 이용한 스테이트풀 로직 인 메모리는 기존 CMOS(complementary metal-oxide semiconductor) 공정을 적용할 수 없어 소자의 균일성 및 안정성이 떨어지고, 복잡한 공정과정으로 인해 실생활에 활용되기 어렵다는 활용성의 문제점이 존재한다.

선행기술문헌

특허문헌

- [0013] (특허문헌 0001) 한국공개특허 제10-2020-0129466호, "로직-인-메모리를 위한 3진 메모리셀 및 이를 포함하는 메모리 장치"
- (특허문헌 0002) 한국등록특허 제10-1975534호, "연산기능을 갖는 반도체 메모리 장치"
- (특허문헌 0003) 미국공개특허 제2021/0297221호, "ADDER"
- (특허문헌 0004) 한국등록특허 제10-1857873호, "로직 반도체 소자"

발명의 내용

해결하려는 과제

- [0014] 본 발명은 양성 피드백 루프(positive feedback loop)를 기반으로 메모리 기능을 수행하고 2개의 단자로 동작하는 실리콘 다이오드들을 이용한 스테이트풀(stateful) 로직 인 메모리(logic in memory, LIM)를 구현하는 것을 목적으로 한다.
- [0015] 본 발명은 CMOS(complementary metal-oxide semiconductor) 공정 활용이 가능하고, 균일성과 안정성이 우수한

스테이트풀 로직 인 메모리 구현 기술을 제공하는 것을 목적으로 한다.

- [0016] 본 발명은 실리콘 다이오드들을 이용한 스테이트풀(stateful) 로직 인 메모리(logic in memory, LIM)의 구현을 통해 메모리와 프로세서의 분리로 인한 처리속도 및 집적화 한계를 개선하는 것을 목적으로 한다.
- [0017] 본 발명은 실리콘 다이오드의 우수한 메모리 특성을 이용하여 대기전력을 줄이면서, 우수한 스위칭 특성을 통해 낮은 소모전력으로 연산 효율을 증가시키는 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리를 구현하는 것을 목적으로 한다.
- [0018] 본 발명은 메모리 기능과 논리 연산 기능을 모두 수행할 수 있는 실리콘 다이오드들로 스테이트풀 로직 인 메모리를 구현하는 것을 목적으로 한다.

과제의 해결 수단

- [0019] 본 발명의 일실시예에 따른 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리는 애노드(anode) 영역, 제1 채널 영역, 제2 채널 영역 및 캐소드(cathode) 영역을 포함하는 복수의 실리콘 다이오드 각각을 메모리셀로 포함하고, 상기 복수의 메모리셀 각각은 상기 캐소드 영역의 단자가 다른 캐소드 영역의 단자와 병렬로 연결된 후 저항과 직렬 연결되고, 상기 애노드 영역의 단자를 통해 동작 전압을 인가 받으며, 상기 복수의 메모리셀은 적어도 하나의 입력셀과 출력셀을 포함하고, 상기 인가되는 동작 전압 및 상기 적어도 하나의 입력셀과 상기 출력셀의 스테이트(state)에 기반하여 IMP(implication) 연산을 적어도 한번 수행하며, 상기 적어도 한번 수행된 IMP 연산에 기반하여 상기 출력셀의 스테이트를 변경 또는 유지하여 논리 연산 기능 및 메모리 기능을 수행할 수 있다.
- [0020] 상기 적어도 하나의 입력셀은 상기 동작 전압 중 설정 전압, 대기(hold) 전압 및 리드(read) 전압 중 어느 하나의 전압을 인가 받고, 상기 설정 전압이 양의 전압 인 경우에 스테이트가 하이 스테이트로 결정되어 턴온 되고, 상기 설정 전압이 음의 전압 인 경우에 스테이트가 로우 스테이트로 결정되어 턴오프되며, 상기 출력셀은 상기 동작 전압 중 설정 전압, 대기(hold) 전압 및 라이트(write) 전압 중 어느 하나의 전압을 인가 받고, 상기 설정 전압이 양의 전압 인 경우에 스테이트가 하이 스테이트로 결정되어 턴온 되고, 상기 설정 전압이 음의 전압 인 경우에 스테이트가 로우 스테이트로 결정되어 턴오프되며, 상기 라이트 전압에 기반하여 상기 스테이트가 유지되거나 변경될 수 있다.
- [0021] 상기 복수의 메모리셀은 상기 설정 전압이 상기 제1 채널 영역 및 상기 제2 채널 영역에서 양성 피드백 루프를 생성하기 위한 기준 전압 보다 큰 전압에 해당하는 상기 양의 전압 인 경우에 상기 제1 채널 영역 및 상기 제2 채널 영역 내 래치 업 현상에 기반하여 턴온 되고, 상기 설정 전압이 상기 기준 전압보다 작은 전압에 해당하는 상기 음의 전압 인 경우에 상기 제1 채널 영역 및 상기 제2 채널 영역 내 래치 다운 현상에 기반하여 턴오프될 수 있다.
- [0022] 상기 적어도 하나의 입력셀 중 어느 하나의 입력셀과 상기 출력셀을 포함하고, 상기 어느 하나의 입력셀이 로우 스테이트이고, 상기 출력셀이 로우 스테이트 또는 하이 스테이트인 경우에, 상기 어느 하나의 입력셀이 턴오프됨에 따라 상기 직렬로 연결된 저항보다 큰 저항 값을 가지고, 상기 큰 저항 값에 기반하여 상기 저항에는 상기 입력셀로 인가되는 상기 리드 전압이 걸리지 않아 상기 출력셀로 인가되는 상기 라이트 전압에 기반하여 상기 출력셀이 로우 스테이트에서 하이 스테이트로 변경되거나 하이 스테이트를 유지하는 상기 IMP 연산을 수행할 수 있다.
- [0023] 상기 적어도 하나의 입력셀 중 어느 하나의 입력셀과 상기 출력셀을 포함하고, 상기 어느 하나의 입력셀이 하이 스테이트이고, 상기 출력셀이 로우 스테이트 또는 하이 스테이트인 경우에, 상기 어느 하나의 입력셀이 턴온 됨에 따라 상기 직렬로 연결된 저항보다 작은 저항 값을 가지고, 상기 작은 저항 값에 기반하여 상기 저항에는 상기 입력셀로 인가되는 상기 리드 전압이 걸리면서 상기 출력셀로 인가되는 상기 라이트 전압과 상기 리드 전압이 상쇄됨에 따라 상기 출력셀이 이전 로우 스테이트 또는 이전 하이 스테이트를 유지하는 상기 IMP 연산을 수행할 수 있다.
- [0024] 상기 적어도 하나의 입력셀 중 어느 하나의 입력셀과 상기 출력셀을 포함하고, 상기 출력셀은 상기 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋되며, 상기 어느 하나의 입력셀이 로우 스테이트이고, 상기 출력셀이 로우 스테이트인 경우에, 상기 어느 하나의 입력셀이 턴오프 됨에 따라 상기 직렬로 연결된 저항보다 큰 저항 값을 가지고, 상기 큰 저항 값에 기반하여 상기 저항에는 상기 입력셀로 인가되는 상기 리드 전압이 걸리지 않아 상기 출력셀로 인가되는 상기 라이트 전압에 기반하여 상기 출력셀이 로우 스테이트에서 하이 스테이트

로 변경되는 상기 IMP 연산을 수행하고, 상기 어느 하나의 입력셀이 하이 스테이트이고, 상기 출력셀이 로우 스테이트인 경우에, 상기 어느 하나의 입력셀이 턴온 됨에 따라 상기 직렬로 연결된 저항보다 작은 저항 값을 가지고, 상기 작은 저항 값에 기반하여 상기 저항에는 상기 입력셀로 인가되는 상기 리드 전압이 걸리면서 상기 출력셀로 인가되는 상기 라이트 전압과 상기 리드 전압이 상쇄됨에 따라 상기 출력셀이 이전 로우 스테이트를 유지하는 상기 IMP 연산을 수행할 수 있다.

[0025] 상기 적어도 하나의 입력셀 중 두개의 입력셀과 상기 출력셀을 포함하고, 상기 출력셀은 상기 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋되며, 상기 두개의 입력셀 중 어느 하나의 입력셀과 상기 출력셀 간의 제1 IMP 연산을 수행하고, 상기 두개의 입력셀 중 다른 하나의 입력셀과 상기 출력셀 간의 제2 IMP 연산을 수행하며, 상기 제1 IMP 연산 및 상기 제2 IMP 연산에 기반하여 상기 어느 하나의 입력셀과 상기 다른 하나의 입력셀 간의 NAND 연산 결과 값을 상기 출력셀에 저장할 수 있다.

[0026] 상기 적어도 하나의 입력셀 중 두개의 입력셀과 상기 출력셀을 포함하고, 상기 출력셀은 상기 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋되며, 상기 두개의 입력셀에 상기 리드 전압을 인가하고, 상기 두개의 입력셀에서의 스테이트의 OR 연산 결과와 상기 출력셀 간의 IMP 연산을 수행하고, 상기 IMP 연산에 기반하여 상기 어느 하나의 입력셀과 상기 다른 하나의 입력셀 간의 NOR 연산 결과 값을 상기 출력셀에 저장할 수 있다.

[0027] 상기 적어도 하나의 입력셀 중 제1 내지 제4 입력셀과 상기 출력셀을 포함하고, 상기 제1 내지 제4 입력셀 중 제3 및 제4 입력셀과 상기 출력셀은 상기 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋되며, 상기 제1 입력셀과 상기 제3 입력셀 간의 IMP 연산을 수행하여 제1 연산 결과를 상기 제3 입력셀의 스테이트로 저장하고, 상기 제2 입력셀과 상기 제4 입력셀 간의 IMP 연산을 수행하여 제2 연산 결과를 상기 제4 입력셀의 스테이트로 저장하며, 상기 제1 입력셀과 상기 제2 연산 결과의 OR 연산 결과와 상기 출력셀 간의 IMP 연산을 수행하여 제3 연산 결과를 상기 출력 셀의 스테이트로 저장하고, 상기 제2 입력셀과 상기 제1 연산 결과의 OR 연산 결과와 상기 출력셀 간의 IMP 연산을 수행하여 제4 연산 결과를 상기 출력 셀의 스테이트로 저장할 수 있다.

[0028] 상기 애노드 영역 및 상기 제2 채널 영역은 p 도핑 상태이고, 상기 캐소드 영역 및 상기 제1 채널 영역은 n 도핑 상태일 수 있다.

[0029] 상기 복수의 메모리셀 각각은 상기 제1 채널 영역 상에 정전(electrostatic) 도핑 전극이 증착 형성된 경우 상기 정전 도핑 전극을 접지하여 상기 정전 도핑 전극의 일함수만큼 상기 제1 채널 영역을 전기적으로 도핑하거나 상기 정전 도핑 전극에 전압을 인가하여 가해지는 전계를 통해 상기 제1 채널 영역을 전기적으로 도핑할 수 있다.

발명의 효과

[0030] 본 발명은 양성 피드백 루프(positive feedback loop)를 기반으로 메모리 기능을 수행하고 2개의 단자로 동작하는 실리콘 다이오드들을 이용한 스테이트풀(stateful) 로직 인 메모리(logic in memory, LIM)를 구현할 수 있다.

[0031] 본 발명은 CMOS(complementary metal-oxide semiconductor) 공정 활용이 가능하고, 균일성과 안정성이 우수한 스테이트풀 로직 인 메모리 구현 기술을 제공할 수 있다.

[0032] 본 발명은 실리콘 다이오드들을 이용한 스테이트풀(stateful) 로직 인 메모리(logic in memory, LIM)의 구현을 통해 메모리와 프로세서의 분리로 인한 처리속도 및 집적화 한계를 개선할 수 있다.

[0033] 본 발명은 실리콘 다이오드의 우수한 메모리 특성을 이용하여 대기전력을 줄이면서, 우수한 스위칭 특성을 통해 낮은 소모전력으로 연산 효율을 증가시키는 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리를 구현할 수 있다.

[0034] 본 발명은 메모리 기능과 논리 연산 기능을 모두 수행할 수 있는 실리콘 다이오드들로 스테이트풀 로직 인 메모리를 구현할 수 있다.

도면의 간단한 설명

[0035] 도 1a 내지 도 1d는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리를 구성하는 실리콘 다이오드를 설명하는 도면이다.

도 2는 본 발명의 일실시예에 따른 실리콘 다이오드의 전기적 특성을 설명하는 도면이다.

도 3a 내지 도 3c는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리 회로도를 설명하는 도면이다.

도 4a 내지 도 4d는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 동작 방법을 설명하는 도면이다.

도 5a 및 도 5b는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 IMP(implication) 연산을 설명하는 도면이다.

도 6a 및 도 6b는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 NOT 논리 연산을 설명하는 도면이다.

도 7a 및 도 7b는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 NAND 논리 연산을 설명하는 도면이다.

도 8a 및 도 8b는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 NOR 논리 연산을 설명하는 도면이다.

도 9a 및 도 9b는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 XOR 논리 연산을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.
- [0037] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.
- [0038] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0039] 그리고 후술되는 용어들은 다양한 실시예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0040] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [0041] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0042] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.
- [0043] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [0044] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.
- [0045] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.
- [0046] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.
- [0047] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.
- [0048] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or'를 의미한다.
- [0049] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함

적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

- [0050] 이하 사용되는 '..부', '..기' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어, 또는, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0052] 도 1a 내지 도 1d는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리를 구성하는 실리콘 다이오드를 설명하는 도면이다.
- [0053] 도 1a 및 도 1c는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리를 구성하는 실리콘 다이오드의 블록도를 예시한다.
- [0054] 한편, 도 1b 및 도 1d는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리를 구성하는 실리콘 다이오드의 회로 기호를 예시한다.
- [0055] 도 1a 및 도 1b는 채널 영역을 전체 도핑하는 기본 형태의 p-n-p-n 다이오드를 예시하고, 도 1c 및 도 1d는 채널 영역 위에 전극을 증착하여 전기적으로 도핑하는 정전 도핑(electrostatic doping) p-n-p-n 다이오드를 예시한다.
- [0056] 본 발명의 일실시예에 따른 실리콘 다이오드는 기본 형태의 p-n-p-n 다이오드 및 정전 도핑(electrostatic doping) p-n-p-n 다이오드를 포함한다.
- [0057] 일례로, 실리콘 다이오드는 애노드(anode)와 캐소드(cathode) 2개의 단자로 동작하고, 전자와 정공의 양성 피드백 루프(positive feedback loop)를 기반하여 채널 영역에서 래치 업(latch-up) 및 래치 다운(latch-down)이 발생한다.
- [0058] 래치 업은 애노드 단자를 통해 양성 피드백 루프를 생성하기 위한 기준 전압보다 큰 전압에 해당하는 양의 전압이 인가되는 경우에 제1 채널 영역 및 제2 채널 영역을 포함하는 채널 영역에서 양성 피드백 루프가 생성되어서 발생된다.
- [0059] 양성 피드백 루프는 채널 영역에서의 포텐셜 배리어(potential barrier)를 낮춰서 전자와 정공이 이동하도록 하는 현상이 발생하는 것을 나타낼 수 있다.
- [0060] 래치 다운은 애노드 단자를 통해 인가되는 전압이 양성 피드백 루프를 생성하기 위한 기준 전압보다 작은 전압에 해당하는 음의 전압이 인가되는 경우에 제1 채널 영역 및 제2 채널 영역을 포함하는 채널 영역에서 네거티브 피드백 루프가 생성되어서 발생된다.
- [0061] 네거티브 피드백 루프는 채널 영역에서의 포텐셜 배리어(potential barrier)가 높아져서 전자와 정공이 이동이 억제되는 것을 나타낼 수 있다.
- [0062] 본 발명의 일실시예에 따르면 실리콘 다이오드는 양성 피드백 루프로 인한 래치 업 현상에 기반하여 턴온되고, 래치 다운 현상에 기반하여 턴오프된다.
- [0063] 즉, 실리콘 다이오드는 채널 내부에 형성된 포텐셜 배리어(potential barrier)가 피드백 루프를 유도하여 소자로써 턴온되거나 턴오프될 수 있다.
- [0064] 일례로, 실리콘 다이오드는 양성 피드백 루프로 인해 포텐셜 우물에 정공 또는 전자가 축적됨에 따라 메모리 특성을 가질 수 있다.
- [0065] 본 발명의 일실시예에 따르면 실리콘 다이오드는 메모리 어레이로 구성되면 메모리 기능과 전기적 신호를 통해 논리 연산 기능을 동시에 수행할 수 있는 스테이트풀 로직 인 메모리로 구현될 수 있다.
- [0066] 도 1a를 참고 하면, 본 발명의 일실시예에 따른 실리콘 다이오드(100)는 애노드 영역(101), 제1 채널 영역(102), 제2 채널 영역(103) 및 캐소드 영역(104)을 포함하고, 애노드 영역(101)에는 애노드 전극(105)이 위치하여 애노드 영역(101)의 단자가 위치하고, 캐소드 영역(104)에는 캐소드 전극(106)이 위치하여 캐소드 영역(104)의 단자가 위치한다.
- [0067] 본 발명의 일실시예에 따르면 애노드 영역(101) 및 제2 채널 영역(103)은 p 도핑 상태이고, 제1 채널 영역(102) 및 캐소드 영역(104)은 n 도핑 상태이다.
- [0068] 이에 따라, 실리콘 다이오드(100)는 애노드 영역(101), 제1 채널 영역(102), 제2 채널 영역(103) 및 캐소드 영역(104)을 포함한다.

역(104)이 p-n-p-n 구조의 다이오드 나노 구조체로 형성될 수 있다.

- [0069] 도 1b를 참고 하면, 본 발명의 일실시예에 따른 실리콘 다이오드(110)는 도 1a에서 설명된 실리콘 다이오드(100)의 회로 기호를 예시한다.
- [0070] 일례로, 실리콘 다이오드(110)는 다이오드 구조체(111)에 애노드 단자(112) 및 캐소드 단자(113)가 연결된다.
- [0071] 다이오드 구조체(111)는 애노드 영역, 제1 채널 영역, 제2 채널 영역 및 캐소드 영역을 포함하고, 애노드 영역에는 애노드 전극이 위치하여 애노드 영역의 단자가 위치하고, 캐소드 영역에는 캐소드 전극이 위치하여 캐소드 영역의 단자가 위치한다.
- [0072] 도 1c를 참고 하면, 본 발명의 일실시예에 따른 실리콘 다이오드(120)는 애노드 영역(121), 제1 채널 영역(122), 제2 채널 영역(123) 및 캐소드 영역(124)을 포함하고, 애노드 영역(121)에는 애노드 전극(126)이 위치하여 애노드 영역(121)의 단자가 위치하고, 캐소드 영역(124)에는 캐소드 전극(127)이 위치하여 캐소드 영역(124)의 단자가 위치한다.
- [0073] 또한, 실리콘 다이오드(120)는 제1 채널 영역(122) 상에서 채널 영역을 전기적으로 도핑하는 게이트 영역(125)이 형성되고, 게이트 영역(125) 상에 정전(electrostatic) 도핑 전극(128)이 형성된다.
- [0074] 실리콘 다이오드(120)는 제1 채널 영역(122) 상에 게이트 영역(125)을 통해 정전 도핑 전극(128)이 증착 형성된 경우 정전 도핑 전극의 일함수 또는 전압 인가에 따른 전계를 통해 제1 채널 영역(122)을 포함한 채널 영역이 전기적으로 도핑될 수 있다.
- [0075] 본 발명의 일실시예에 따르면 애노드 영역(121) 및 제2 채널 영역(123)은 p 도핑 상태이고, 제1 채널 영역(122) 및 캐소드 영역(124)은 n 도핑 상태이다.
- [0076] 이에 따라, 실리콘 다이오드(120)는 애노드 영역(121), 제1 채널 영역(122), 제2 채널 영역(123) 및 캐소드 영역(124)이 p-n-p-n 구조의 다이오드 나노 구조체로 형성될 수 있다.
- [0077] 도 1d를 참고 하면, 본 발명의 일실시예에 따른 실리콘 다이오드(130)는 도 1c에서 설명된 실리콘 다이오드(120)의 회로 기호를 예시한다.
- [0078] 일례로, 실리콘 다이오드(130)는 다이오드 구조체(131)에 애노드 단자(132) 및 캐소드 단자(133)가 연결되고, 도핑 전극 단자(134)가 연결된다.
- [0079] 다이오드 구조체(131)는 애노드 영역, 제1 채널 영역, 제2 채널 영역 및 캐소드 영역을 포함하고, 애노드 영역에는 애노드 전극이 위치하여 애노드 영역의 단자가 위치하고, 캐소드 영역에는 캐소드 전극이 위치하여 캐소드 영역의 단자가 위치한다.
- [0080] 또한, 실리콘 다이오드(130)는 제1 채널 영역 상에서 채널 영역을 전기적으로 도핑하는 게이트 영역이 형성되고, 게이트 영역 상에 정전(electrostatic) 도핑 전극이 형성되어, 도핑 전극 단자가 위치한다.
- [0081] 따라서, 본 발명은 양성 피드백 루프(positive feedback loop)를 기반으로 메모리 기능을 수행하고 2개의 단자로 동작하는 실리콘 다이오드들을 이용한 스테이트풀(stateful) 로직 인 메모리(logic in memory, LIM)를 구현할 수 있다.
- [0083] 도 2는 본 발명의 일실시예에 따른 실리콘 다이오드의 전기적 특성을 설명하는 도면이다.
- [0084] 도 2는 본 발명의 일실시예에 따른 실리콘 다이오드의 애노드 단자를 통한 전압 인가에 따른 전류 변화를 통해 실리콘 다이오드의 전기적 특성을 예시한다.
- [0085] 도 2를 참고하면, 그래프(200)는 실리콘 다이오드가 애노드 영역(p+)의 단자를 통해 전압을 인가 받는 경우에 전압의 변화를 나타낸다.
- [0086] 즉, 그래프(200)는 실리콘 다이오드에 인가되는 전압에 따른 전류의 변화로 전압-전류 커브를 예시한다.
- [0087] 실리콘 다이오드는 애노드 단자를 통해 1V 내지 2V의 전압이 인가되는 경우 리드 및 라이트 동작을 수행할 수 있다.
- [0088] 예를 들어, 실리콘 다이오드는 애노드 단자를 통해서 1V 내지 2V의 양의 전압으로 라이트 전압이 인가되는 경우

에 실리콘 다이오드가 이루는 메모리셀의 스테이트를 하이 스테이트로 기록할 수 있다.

- [0089] 또한, 실리콘 다이오드는 애노드 단자를 통해서 1V 내지 2V의 양의 전압으로 리드 전압이 인가되는 경우에 실리콘 다이오드가 이루는 메모리셀의 스테이트를 리드할 수 있다.
- [0090] 또한, 실리콘 다이오드는 애노드 단자를 통해서 인가되는 전압이 0V 이하의 음의 전압이 인가되는 경우에 실리콘 다이오드가 이루는 메모리셀의 스테이트를 로우 스테이트로 기록할 수 있다.
- [0092] 도 3a 내지 도 3c는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리 회로도를 설명하는 도면이다.
- [0093] 도 3a는 도1 a 및 도 1b에서 설명된 실리콘 다이오드들로 구성된 스테이트풀 로직 인 메모리를 예시하고, 도3 b 및 도 3c는 도 1c 및 도 1d에서 설명된 실리콘 다이오드들로 구성된 스테이트풀 로직 인 메모리를 예시한다.
- [0094] 도 3a를 참고하면, 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리(300)는 실리콘 다이오드를 이용하여 입력셀(a) 및 출력셀(b)이 포함되고, 입력셀(a)의 애노드 단자에는 전압(V_A)가 인가되고, 출력셀(b)의 애노드 단자에는 전압(V_B)이 인가된다.
- [0095] 입력셀(a) 및 출력셀(b)을 포함하는 복수의 메모리셀 각각은 캐소드 영역의 단자가 다른 캐소드 영역의 단자와 병렬로 연결된 후 저항과 직렬 연결되고, 애노드 영역의 단자를 통해 동작 전압을 인가받을 수 있다.
- [0096] 예를 들어 캐소드 영역의 단자가 입력셀(a)의 캐소드 영역의 단자인 경우에는 다른 캐소드 영역의 단자는 출력셀(b)의 캐소드 영역의 단자일 수 있다.
- [0097] 도 3b를 참고하면, 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리(310)는 실리콘 다이오드를 이용하여 입력셀(a) 및 출력셀(b)이 포함되고, 입력셀(a)의 애노드 단자에는 전압(V_A)가 인가되고, 출력셀(b)의 애노드 단자에는 전압(V_B)이 인가된다.
- [0098] 입력셀(a) 및 출력셀(b)을 구성하는 실리콘 다이오드는 정전 도핑 실리콘 다이오드로서 정전 도핑용 전극을 접지하여 전극의 일함수만큼 실리콘 다이오드의 채널 영역을 도핑한다.
- [0099] 입력셀(a) 및 출력셀(b)을 포함하는 복수의 메모리셀 각각은 캐소드 영역의 단자가 다른 캐소드 영역의 단자와 병렬로 연결된 후 저항과 직렬 연결되고, 애노드 영역의 단자를 통해 동작 전압이 인가될 수 있다.
- [0100] 예를 들어 캐소드 영역의 단자가 입력셀(a)의 캐소드 영역의 단자인 경우에는 다른 캐소드 영역의 단자는 출력셀(b)의 캐소드 영역의 단자일 수 있다.
- [0101] 스테이트풀 로직 인 메모리(310)는 정전 도핑 전극이 접지된 상태에서 애노드 단자를 통해 전압을 양의 방향으로 증가시키면 양성 피드백 루프로 인한 래치업 현상이 발생하고, 하이 스테이트와 로우 스테이트를 가지는 실리콘 다이오드를 이용하여 메모리 및 논리 연산 기능을 수행할 수 있다.
- [0102] 본 발명의 일실시예에 따르면 스테이트풀 로직 인 메모리(310)는 애노드(anode) 영역, 제1 채널 영역, 제2 채널 영역 및 캐소드(cathode) 영역을 포함하는 복수의 실리콘 다이오드 각각을 메모리셀로 포함한다.
- [0103] 일례로, 복수의 메모리셀 각각은 캐소드 영역의 단자가 다른 캐소드 영역의 단자와 병렬로 연결된 후 저항과 직렬 연결되고, 애노드 영역의 단자를 통해 동작 전압을 인가 받을 수 있다.
- [0104] 본 발명의 일실시예에 따르면 복수의 메모리셀은 적어도 하나의 입력셀과 출력셀을 포함한다.
- [0105] 또한, 복수의 메모리셀은 애노드 단자를 통해 인가되는 동작 전압 및 적어도 하나의 입력셀과 출력셀의 스테이트(state)에 기반하여 IMP(implication) 연산을 적어도 한번 수행한다.
- [0106] 따라서, 스테이트풀 로직 인 메모리(310)는 복수의 메모리셀에 기반하여 적어도 한번 수행된 IMP 연산에 기반하여 출력셀의 스테이트를 변경 또는 유지하여 논리 연산 기능 및 메모리 기능을 수행할 수 있다.
- [0107] 도 3c를 참고하면, 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리(320)는 실리콘 다이오드를 이용하여 입력셀(a) 및 출력셀(b)이 포함되고, 입력셀(a)의 애노드 단자에는 전압(V_A)가 인가되고, 출력셀(b)의 애노드 단자에는 전압(V_B)이 인가된다.
- [0108] 입력셀(a) 및 출력셀(b)을 구성하는 실리콘 다이오드는 정전 도핑 실리콘 다이오드로서 정전 도핑용 전극을 통

해 인가되는 전압에 따른 전계를 통해 채널을 전기적으로 도핑한다.

- [0109] 예를 들어 정전 도핑용 전극의 단자는 입력셀(a)의 단자($V_{ED,A}$) 및 출력셀(b)의 단자($V_{ED,B}$)를 포함한다.
- [0110] 입력셀(a) 및 출력셀(b)을 포함하는 복수의 메모리셀 각각은 캐소드 영역의 단자가 다른 캐소드 영역의 단자와 병렬로 연결된 후 저항과 직렬 연결되고, 애노드 영역의 단자를 통해 동작 전압을 인가받을 수 있다.
- [0111] 예를 들어 캐소드 영역의 단자가 입력셀(a)의 캐소드 영역의 단자인 경우에는 다른 캐소드 영역의 단자는 출력셀(b)의 캐소드 영역의 단자일 수 있다.
- [0112] 스테이트풀 로직 인 메모리는 실리콘 다이오드들을 이용하여 실리콘 다이오드의 애노드 단자를 통해 인가되는 전압에 기반하여 채널 영역에 저장된 메모리 값을 읽거나 논리 연산을 수행할 수 있다.
- [0113] 따라서, 본 발명은 CMOS(complementary metal-oxide semiconductor) 공정 활용이 가능하고, 균일성과 안정성이 우수한 스테이트풀 로직 인 메모리 구현 기술을 제공할 수 있다.
- [0114] 또한, 본 발명은 실리콘 다이오드들을 이용한 스테이트풀(stateful) 로직 인 메모리(logic in memory, LIM)의 구현을 통해 메모리와 프로세서의 분리로 인한 처리속도 및 집적화 한계를 개선할 수 있다.
- [0116] 도 4a 내지 도 4d는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 동작 방법을 설명하는 도면이다.
- [0117] 도 4a 내지 도 4d는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리를 구성하는 입력셀과 출력셀의 스테이트에 따른 IMP(implication) 연산을 통한 스테이트풀 로직 인 메모리의 동작 방법을 예시한다.
- [0118] 본 발명의 일실시예에 따르면 스테이트풀 로직 인 메모리는 실리콘 다이오드들을 메모리셀로 이용하여 복수의 메모리 셀을 포함한다.
- [0119] 스테이트풀 로직 인 메모리의 동작 방법은 실리콘 다이오드를 도 1c에서 설명된 실리콘 다이오드를 이용하며 회로 구조는 도 3b에서 설명된 회로 구조를 통해 설명된다.
- [0120] 복수의 메모리셀은 적어도 하나의 입력셀과 출력셀을 포함하고, 각 메모리셀의 애노드 단자를 통해 인가되는 동작 전압 및 적어도 하나의 입력셀과 출력셀에 대하여 기 설정된 스테이트(state)에 기반하여 IMP(implication) 연산을 적어도 한번 수행하며, 적어도 한번 수행된 IMP 연산에 기반하여 출력셀의 스테이트를 변경 또는 유지하여 논리 연산 기능 및 메모리 기능을 수행할 수 있다.
- [0121] 적어도 하나의 입력셀은 동작 전압 중 설정 전압, 대기(hold) 전압 및 리드(read) 전압 중 어느 하나의 전압을 애노드 단자를 통해 인가 받고, 설정 전압이 양의 전압 인 경우에 스테이트가 하이 스테이트로 결정되어 턴온 되고, 상기 설정 전압이 음의 전압 인 경우에 스테이트가 로우 스테이트로 결정되어 턴오프될 수 있다.
- [0122] 출력셀은 동작 전압 중 설정 전압, 대기(hold) 전압 및 라이트(write) 전압 중 어느 하나의 전압을 애노드 단자를 통해 인가 받고, 설정 전압이 양의 전압 인 경우에 스테이트가 하이 스테이트로 결정되어 턴온 되고, 상기 설정 전압이 음의 전압 인 경우에 스테이트가 로우 스테이트로 결정되어 턴오프된다.
- [0123] 또한, 출력셀은 라이트 전압에 기반하여 기 설정된 스테이트가 유지되거나 변경된다.
- [0124] 따라서, 스테이트풀 로직 인 메모리는 논리 연산 기능 및 메모리 기능이 함께 수행할 수 있다.
- [0125] 또한, 복수의 메모리셀은 설정 전압이 제1 채널 영역 및 제2 채널 영역에서 양성 피드백 루프를 생성하기 위한 기준 전압 보다 큰 전압에 해당하는 양의 전압 인 경우에 제1 채널 영역 및 제2 채널 영역 내 래치 업 현상에 기반하여 턴온 된다.
- [0126] 또한, 복수의 메모리 셀은 설정 전압이 기준 전압보다 작은 전압에 해당하는 음의 전압 인 경우에 제1 채널 영역 및 제2 채널 영역 내 래치 다운 현상에 기반하여 턴오프될 수 있다.
- [0127] 본 발명의 일실시예에 따르면 스테이트풀 로직 인 메모리의 동작 방법은 입력에 해당하는 메모리 셀에 리드 전압(V_{Read})을 인가하고, 출력에 해당하는 메모리 셀에 라이트 전압(V_{Write})을 인가하여 논리 연산 값을 메모리 셀에 저장할 수 있다.
- [0128] 도 4a는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 동작 방법이 입력셀 및 출력셀이 로우 스테이트인 경우에 입력셀과 출력셀 간의 IMP 연산을 수행하는 것을 예시한다.

- [0129] 도 4a를 참고하면, 단계(S401)에서 스테이트풀 로직 인 메모리의 동작 방법은 입력셀(a) 및 출력셀(b)에 대기 전압(V_{Hold})을 인가하여 이전 스테이트인 로우 스테이트를 유지하고 있다.
- [0130] 단계(S402)에서 스테이트풀 로직 인 메모리의 동작 방법은 입력셀(a)에는 리드 전압(V_{Read})을 인가하고, 출력셀(b)에는 라이트 전압(V_{Write})을 인가한다.
- [0131] 입력셀(a)와 출력셀(b)가 모두 로우 스테이트인 경우, 입력셀(a)는 턴오프 상태이기 때문에 직렬로 연결된 저항보다 매우 큰 저항값을 가진다.
- [0132] 따라서, 직렬로 연결된 저항에는 리드 전압(V_{Read})이 걸리지 않아 출력셀(b)에 라이트 전압(V_{Write})이 온전히 인가되고 출력셀(b)의 스테이트가 로우 스테이트에서 하이 스테이트로 변경되면서 라이트 동작이 수행된다.
- [0133] 즉, 입력셀(a)과 출력셀(b)의 스테이트가 '0' 및 '0'인 경우에 출력셀(b)의 스테이트가 '1'로 변경 출력되는 논리 연산 기능과 출력셀(b)에 변경된 논리 연산 결과가 저장되는 메모리 기능이 함께 수행 가능하다.
- [0134] 도 4b를 참고하면, 단계(S411)에서 스테이트풀 로직 인 메모리의 동작 방법은 입력셀(a) 및 출력셀(b)에 대기 전압(V_{Hold})을 인가하여 이전 스테이트인 로우 스테이트 및 하이 스테이트를 유지하고 있다.
- [0135] 단계(S412)에서 스테이트풀 로직 인 메모리의 동작 방법은 입력셀(a)에는 리드 전압(V_{Read})을 인가하고, 출력셀(b)에는 라이트 전압(V_{Write})을 인가한다.
- [0136] 입력셀(a)이 로우 스테이트인 경우에 입력셀(a)는 턴오프 상태이기 때문에 직렬로 연결된 저항보다 매우 큰 저항값을 가진다.
- [0137] 따라서, 직렬로 연결된 저항에는 리드 전압(V_{Read})이 걸리지 않아 출력셀(b)에 라이트 전압(V_{Write})이 온전히 인가되고 출력셀(b)의 스테이트가 하이 스테이트로 유지되면서 라이트 동작이 수행된다.
- [0138] 즉, 입력셀(a)과 출력셀(b)의 스테이트가 '0' 및 '1'인 경우에 출력셀(b)의 스테이트가 '1'로 유지되는 논리 연산 기능과 출력셀(b)에 유지된 논리 연산 결과가 저장되는 메모리 기능이 함께 수행 가능하다.
- [0139] 도 4c를 참고하면, 단계(S421)에서 스테이트풀 로직 인 메모리의 동작 방법은 입력셀(a) 및 출력셀(b)에 대기 전압(V_{Hold})을 인가하여 이전 스테이트인 하이 스테이트 및 로우 스테이트를 유지하고 있다.
- [0140] 단계(S412)에서 스테이트풀 로직 인 메모리의 동작 방법은 입력셀(a)에는 리드 전압(V_{Read})을 인가하고, 출력셀(b)에는 라이트 전압(V_{Write})을 인가한다.
- [0141] 입력셀(a)이 하이 스테이트인 경우에 입력셀(a)는 턴온 상태이기 때문에 직렬로 연결된 저항보다 매우 작은 저항값을 가진다.
- [0142] 따라서, 직렬로 연결된 저항에는 리드 전압(V_{Read})이 걸리고, 출력셀(b)의 라이트 전압(V_{Write})과 리드 전압(V_{Read})이 상쇄되어 라이트 동작이 진행되지 않아 출력셀(b)의 원래 스테이트를 유지한다.
- [0143] 즉, 입력셀(a)과 출력셀(b)의 스테이트가 '1' 및 '0'인 경우에 출력셀(b)의 스테이트가 '0'로 유지되는 논리 연산 기능과 출력셀(b)에 유지된 논리 연산 결과가 저장되는 메모리 기능이 함께 수행 가능하다.
- [0144] 도 4d를 참고하면, 단계(S431)에서 스테이트풀 로직 인 메모리의 동작 방법은 입력셀(a) 및 출력셀(b)에 대기 전압(V_{Hold})을 인가하여 이전 스테이트인 하이 스테이트 및 로우 스테이트를 유지하고 있다.
- [0145] 단계(S432)에서 스테이트풀 로직 인 메모리의 동작 방법은 입력셀(a)에는 리드 전압(V_{Read})을 인가하고, 출력셀(b)에는 라이트 전압(V_{Write})을 인가한다.
- [0146] 입력셀(a)이 하이 스테이트인 경우에 입력셀(a)는 턴온 상태이기 때문에 직렬로 연결된 저항보다 매우 작은 저항값을 가진다.
- [0147] 따라서, 직렬로 연결된 저항에는 리드 전압(V_{Read})이 걸리고, 출력셀(b)의 라이트 전압(V_{Write})과 리드 전압(V_{Read})이 상쇄되어 라이트 동작이 진행되지 않아 출력셀(b)의 원래 스테이트를 유지한다.

- [0148] 즉, 입력셀(a)과 출력셀(b)의 스테이트가 '1' 및 '1'인 경우에 출력셀(b)의 스테이트가 '1'로 유지되는 논리 연산 기능과 출력셀(b)에 유지된 논리 연산 결과가 저장되는 메모리 기능이 함께 수행 가능하다.
- [0149] 상술한 IMP 연산은 도 5a 내지 도 9b에서 설명하는 논리 연산에 동일하게 적용될 수 있다.
- [0150] 본 발명의 일실시예에 따르면 스테이트풀 로직 인 메모리는 적어도 하나의 입력셀 중 어느 하나의 입력셀과 출력셀을 포함하고, 어느 하나의 입력셀이 로우 스테이트이고, 출력셀이 로우 스테이트 또는 하이 스테이트인 경우에, 어느 하나의 입력셀이 턴오프 됨에 따라 직렬로 연결된 저항보다 큰 저항 값을 가지고, 큰 저항 값에 기반하여 저항에는 입력셀로 인가되는 리드 전압이 걸리지 않아 출력셀로 인가되는 라이트 전압에 기반하여 출력셀이 로우 스테이트에서 하이 스테이트로 변경되거나 하이 스테이트를 유지하는 IMP 연산을 수행할 수 있다.
- [0151] 일례로, 스테이트풀 로직 인 메모리는 어느 하나의 입력셀이 하이 스테이트이고, 출력셀이 로우 스테이트 또는 하이 스테이트인 경우에, 어느 하나의 입력셀이 턴온 됨에 따라 직렬로 연결된 저항보다 작은 저항 값을 가지고, 작은 저항 값에 기반하여 저항에는 입력셀로 인가되는 리드 전압이 걸리면서 출력셀로 인가되는 라이트 전압과 리드 전압이 상쇄됨에 따라 출력셀이 이전 로우 스테이트 또는 이전 하이 스테이트를 유지하는 IMP 연산을 수행할 수 있다.
- [0152] 따라서, 본 발명은 실리콘 다이오드의 우수한 메모리 특성을 이용하여 대기전력을 줄이면서, 우수한 스위칭 특성을 통해 낮은 소모전력으로 연산 효율을 증가시키는 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리를 구현할 수 있다.
- [0154] 도 5a 및 도 5b는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 IMP(implication) 연산을 설명하는 도면이다.
- [0155] 도 5a 및 도 5b는 도 4a 내지 도 4d를 이용하여 설명한 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리의 IMP 연산을 예시한다.
- [0156] 도 5a를 참고하면, 스테이트풀 로직 인 메모리(500)는 입력셀(a) 및 출력셀(b)에 애노드 단자를 통해 동작 전압(V_A , V_B)을 인가하여 진리표(510)에서 입력셀(a)과 출력셀(b)의 스테이트에 따른 출력셀의 스테이트 변화(b')를 통해 IMP 연산 수행 결과를 출력 및 기록할 수 있다.
- [0157] 스테이트풀 로직 인 메모리(500)는 도 1c에서 설명된 실리콘 다이오드를 이용하고, 정전 도핑 전극이 접지와 연결되어 정전 도핑 전극의 일함수 만큼 채널 영역을 전기적으로 도핑한다.
- [0158] 스테이트풀 로직 인 메모리(500)의 IMP 연산은 1MΩ의 직렬 저항과 병렬로 연결되는 두개의 실리콘 다이오드를 이용한다.
- [0159] 도 5b는 도 5a의 스테이트풀 로직 인 메모리(500)의 동작 타이밍도를 예시한다.
- [0160] 도 5b를 참고하면, 타이밍도(520)는 입력셀(a) 및 출력셀(b)에 애노드 단자를 통해 동작 전압(V_A , V_B)이 입력되는 리드 입력 구간(521), IMP 연산 구간(522) 및 리드 출력 구간(523)을 구분하여 각 구간에 인가되는 전압의 크기 및 전류의 측정 변화를 나타낸다.
- [0161] 타이밍도(520)는 입력셀(a)에 리드 전압(V_{Read})이 1.2V 로 인가되고, 라이트 전압(V_{Write})이 1.3 V로 인가되어 입력셀(a)과 출력셀(b) 간에 IMP 연산이 수행되면 출력셀(b)에 IMP 연산 결과가 반영됨을 나타낸다.
- [0162] 타이밍도(520)에서 전류 측정 결과가 진리표(510)에 대응함을 확인할 수 있다.
- [0164] 도 6a 및 도 6b는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 NOT 논리 연산을 설명하는 도면이다.
- [0165] 도 6a 및 도 6b는 본 발명의 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리의 IMP 연산에 따른 NOT 연산을 예시한다.
- [0166] 도 6a를 참고하면, 스테이트풀 로직 인 메모리(600)는 입력셀(a) 및 출력셀(b)에 애노드 단자를 통해 동작 전압(V_A , V_B)을 인가하여 진리표(610)에서 입력셀(a)과 출력셀(b)의 스테이트에 따른 출력셀의 스테이트 변화(b')를

통해 IMP 연산 수행 결과를 출력 및 기록할 수 있다.

- [0167] 진리표(610)는 제1 단계(611)와 제2 단계(612)로 구분되는데 제1 단계는 NOT 연산을 위해 출력셀(b)의 상태를 초기화하는 단계이고, 제2 단계는 NOT 연산을 위한 IMP 연산을 수행하는 단계를 포함한다.
- [0168] 제1 단계(611)는 출력셀(b)의 애노드 단자에 음의 전압이 인가되어 상태를 초기화 하는 단계일 수 있다.
- [0169] 스테이트풀 로직 인 메모리(600)는 2 개의 실리콘 다이오드들과 한번의 IMP 연산을 통해 NOT 연산을 구현한다.
- [0170] 스테이트풀 로직 인 메모리(600)는 도 1c에서 설명된 실리콘 다이오드를 이용하고, 정전 도핑 전극이 접지와 연결되어 정전 도핑 전극의 일함수 만큼 채널 영역을 전기적으로 도핑한다.
- [0171] 스테이트풀 로직 인 메모리(600)의 IMP 연산은 1MΩ의 직렬 저항과 병렬로 연결되는 두개의 실리콘 다이오드를 이용한다.
- [0172] 도 6b는 도 6a의 스테이트풀 로직 인 메모리(600)의 동작 타이밍도를 예시한다.
- [0173] 도 6b를 참고하면, 타이밍도(620)는 입력셀(a) 및 출력셀(b)에 애노드 단자를 통해 동작 전압(V_A , V_B)이 입력되는 리드 입력 구간(621), IMP 연산 구간(622) 및 리드 출력 구간(623)을 구분하여 각 구간에 인가되는 전압의 크기 및 전류의 측정 변화를 나타낸다.
- [0174] 타이밍도(620)는 입력셀(a)에 리드 전압(V_{Read})이 1.2V 로 인가되고, 라이트 전압(V_{Write})이 1.3 V로 인가되어 입력셀(a)과 출력셀(b) 간이 IMP 연산이 수행되면 출력셀(b)에 IMP 연산 결과가 반영됨을 나타낸다.
- [0175] 본 발명의 일실시예에 따르면 스테이트풀 로직 인 메모리는 입력셀과 출력셀을 포함하고, 출력셀은 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋 될 수 있다.
- [0176] 또한, 스테이트풀 로직 인 메모리는 입력셀이 로우 스테이트이고, 출력셀이 로우 스테이트인 경우에, 입력셀이 턴오프 됨에 따라 직렬로 연결된 저항보다 큰 저항 값을 가지고, 큰 저항 값에 기반하여 저항에는 입력셀로 인가되는 리드 전압이 걸리지 않아 출력셀로 인가되는 라이트 전압에 기반하여 출력셀이 로우 스테이트에서 하이 스테이트로 변경되는 IMP 연산을 수행할 수 있다.
- [0177] 또한, 스테이트풀 로직 인 메모리는 입력셀이 하이 스테이트이고, 출력셀이 로우 스테이트인 경우에, 입력셀이 턴온 됨에 따라 직렬로 연결된 저항보다 작은 저항 값을 가지고, 작은 저항 값에 기반하여 저항에는 입력셀로 인가되는 리드 전압이 걸리면서 출력셀로 인가되는 라이트 전압과 리드 전압이 상쇄됨에 따라 출력셀이 이전 로우 스테이트를 유지하는 IMP 연산을 수행할 수 있다.
- [0178] 즉, 스테이트풀 로직 인 메모리는 입력셀의 상태와 반대되는 상태를 출력셀에 반영하는 NOT 연산을 수행할 수 있다.
- [0179] 또한, 타이밍도(620)에서 전류 측정 결과가 진리표(610)에 대응함을 확인할 수 있다.
- [0181] 도 7a 및 도 7b는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 NAND 논리 연산을 설명하는 도면이다.
- [0182] 도 7a 및 도 7b는 본 발명의 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리의 IMP 연산에 따른 NAND 연산을 예시한다.
- [0183] 도 7a를 참고하면, 스테이트풀 로직 인 메모리(700)는 입력셀(a), 입력셀(b) 및 출력셀(c)에 애노드 단자를 통해 동작 전압(V_A , V_B , V_C)을 인가하여 진리표(710)에서 입력셀(a), 입력셀(b) 및 출력셀(c)의 상태에 따른 출력셀의 상태 변화(c') 및 상태 변화(c'')를 통해 IMP 연산 수행 결과를 출력 및 기록할 수 있다.
- [0184] 진리표(710)는 제1 단계(711), 제2 단계(712) 및 제 3 단계(713)로 구분되는데 제1 단계(711)는 NAND 연산을 위해 출력셀(c)의 상태를 초기화하는 단계이고, 제2 단계(712)는 NAND 연산을 위한 입력셀(a)과 출력셀(c) 간의 제1 IMP 연산을 수행하는 단계이며, 제3 단계(713)는 NAND 연산을 위한 입력셀(b)과 출력셀(c') 간의 제2 IMP 연산을 수행하는 단계를 포함한다.
- [0185] 제1 단계(711)는 출력셀(c)의 애노드 단자에 음의 전압이 인가되어 상태를 초기화 하는 단계일 수 있다.

- [0186] 스테이트풀 로직 인 메모리(700)는 3 개의 실리콘 다이오드들과 두번의 IMP 연산을 통해 NAND 연산을 구현한다.
- [0187] 스테이트풀 로직 인 메모리(700)는 도 1c에서 설명된 실리콘 다이오드를 이용하고, 정전 도핑 전극이 접지와 연결되어 정전 도핑 전극의 일함수 만큼 채널 영역을 전기적으로 도핑한다.
- [0188] 스테이트풀 로직 인 메모리(700)의 IMP 연산은 1MΩ의 직렬 저항과 병렬로 연결되는 두개의 실리콘 다이오드를 이용한다.
- [0189] 도 7b는 도 7a의 스테이트풀 로직 인 메모리(700)의 동작 타이밍도를 예시한다.
- [0190] 도 7b를 참고하면, 타이밍도(720)는 입력셀(a), 입력셀(b) 및 출력셀(c)에 애노드 단자를 통해 동작 전압(V_A , V_B , V_C)이 입력되는 리드 입력 구간(721), 제1 IMP 연산 구간(722), 제1 리드 출력 구간(723), 제2 IMP 연산 구간(724) 및 제2 리드 출력 구간(725)을 구분하여 각 구간에 인가되는 전압의 크기 및 전류의 측정 변화를 나타낸다.
- [0191] 타이밍도(720)는 입력셀(a) 및 입력셀(b)에 리드 전압(V_{Read})이 1.2V 로 인가되고, 라이트 전압(V_{Write})이 1.3 V로 인가되어 입력셀(a) 및 입력셀(b)과 출력셀(c) 간이 IMP 연산이 수행되면 출력셀(c)에 IMP 연산 결과가 반영됨을 나타낸다.
- [0192] 즉, 스테이트풀 로직 인 메모리는 두개의 입력셀과 하나의 출력 셀로 구성된 복수의 메모리 셀과 두 번의 IMP 연산에 기반하여 입력셀(a) 및 입력셀(b)의 스테이트 간의 NAND 연산을 수행할 수 있다.
- [0193] 또한, 타이밍도(720)에서 전류 측정 결과가 진리표(710)에 대응함을 확인할 수 있다.
- [0195] 도 8a 및 도 8b는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 NOR 논리 연산을 설명하는 도면이다.
- [0196] 도 8a 및 도 8b는 본 발명의 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리의 IMP 연산에 따른 NOR 연산을 예시한다.
- [0197] 도 8a를 참고하면, 스테이트풀 로직 인 메모리(800)는 입력셀(a), 입력셀(b) 및 출력셀(c)에 애노드 단자를 통해 동작 전압(V_A , V_B , V_C)을 인가하여 진리표(810)에서 입력셀(a), 입력셀(b) 및 출력셀(c)의 스테이트에 따른 입력셀(a) 및 입력셀(b)의 스테이트 결합과 출력셀의 스테이트 변화(c')를 통해 IMP 연산 수행 결과를 출력 및 기록할 수 있다.
- [0198] 진리표(810)는 제1 단계(811), 제2 단계(812) 및 제 3 단계(813)로 구분되는데 제1 단계(811)는 NOR 연산을 위해 입력셀(a) 및 입력셀(b)의 스테이트를 결합하는 단계이고, 제2 단계(812)는 NOR 연산을 위한 출력셀(c)의 스테이트를 초기화하는 단계이며, 제3 단계(813)는 NOR 연산을 위한 입력셀(a+b)과 출력셀(c) 간의 IMP 연산을 수행하는 단계를 포함한다.
- [0199] 제2 단계(812)는 출력셀(c)의 애노드 단자에 음의 전압이 인가되어 스테이트를 초기화 하는 단계일 수 있다.
- [0200] 스테이트풀 로직 인 메모리(800)는 3 개의 실리콘 다이오드들과 IMP 연산을 통해 NOR 연산을 구현한다.
- [0201] 스테이트풀 로직 인 메모리(800)는 도 1c에서 설명된 실리콘 다이오드를 이용하고, 정전 도핑 전극이 접지와 연결되어 정전 도핑 전극의 일함수 만큼 채널 영역을 전기적으로 도핑한다.
- [0202] 스테이트풀 로직 인 메모리(800)의 IMP 연산은 1MΩ의 직렬 저항과 병렬로 연결되는 두개의 실리콘 다이오드를 이용한다.
- [0203] 도 8b는 도 8a의 스테이트풀 로직 인 메모리(800)의 동작 타이밍도를 예시한다.
- [0204] 도 8b를 참고하면, 타이밍도(820)는 입력셀(a), 입력셀(b) 및 출력셀(c)에 애노드 단자를 통해 동작 전압(V_A , V_B , V_C)이 입력되는 리드 입력 구간(821), IMP 연산 구간(822), 리드 출력 구간(823)을 구분하여 각 구간에 인가되는 전압의 크기 및 전류의 측정 변화를 나타낸다.
- [0205] 타이밍도(820)는 입력셀(a) 및 입력셀(b)에 리드 전압(V_{Read})이 1.2V 로 인가되고, 라이트 전압(V_{Write})이 1.3 V로 인가되어 입력셀(a) 및 입력셀(b)의 결합과 출력셀(c) 간이 IMP 연산이 수행되면 출력셀(c)에 IMP 연산 결과가

반영됨을 나타낸다.

- [0206] 본 발명의 스테이트풀 로직 인 메모리는 적어도 하나의 입력셀 중 두개의 입력셀과 출력셀을 포함한다.
- [0207] 출력셀은 상기 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋될 수 있다.
- [0208] 일례로, 스테이트풀 로직 인 메모리는 두개의 입력셀에 리드 전압을 인가하고, 두개의 입력셀에서의 스테이트의 OR 연산 결과와 출력셀 간의 IMP 연산을 수행한다.
- [0209] 또한, 스테이트풀 로직 인 메모리는 IMP 연산에 기반하여 두개의 입력셀에서 어느 하나의 입력셀과 다른 하나의 입력셀 간의 NOR 연산 결과 값을 출력셀에 저장할 수 있다.
- [0210] 즉, 스테이트풀 로직 인 메모리는 두개의 입력셀과 하나의 출력 셀로 구성된 복수의 메모리 셀과 IMP 연산에 기반하여 입력셀(a) 및 입력셀(b)의 스테이트 간의 NOR 연산을 수행할 수 있다.
- [0211] 또한, 타이밍도(820)에서 전류 측정 결과가 진리표(810)에 대응함을 확인할 수 있다.
- [0213] 도 9a 및 도 9b는 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리의 XOR 논리 연산을 설명하는 도면이다.
- [0214] 도 9a 및 도 9b는 본 발명의 실리콘 다이오드들을 이용한 스테이트풀 로직 인 메모리의 IMP 연산에 따른 XOR 연산을 예시한다.
- [0215] 도 9a를 참고하면, 스테이트풀 로직 인 메모리(900)는 입력셀(a), 입력셀(b), 입력셀(c), 입력셀(d) 및 출력셀(e)에 애노드 단자를 통해 동작 전압(V_A , V_B , V_C , V_D , V_E)을 인가하여 진리표(910)에서 제1 단계(911), 제2 단계(912), 제3 단계(913), 제4 단계(914) 및 제5 단계(915)를 거쳐 XOR 연산을 수행할 수 있다.
- [0216] 스테이트풀 로직 인 메모리(900)는 제1 단계(911)에서 입력셀(c), 입력셀(d) 및 출력셀(e)의 애노드 단자에 음의 전압을 인가하여 스테이트를 로우 스테이트로 초기화한다.
- [0217] 스테이트풀 로직 인 메모리(900)는 제2 단계(912)에서 입력셀(a)과 입력셀(c)간의 IMP 연산을 수행하여 입력셀(c)의 스테이트를 변경한다. 스테이트가 변경된 입력셀(c)는 입력셀(c')으로 표기한다.
- [0218] 스테이트풀 로직 인 메모리(900)는 제3 단계(913)에서 입력셀(a)과 입력셀(d)간의 IMP 연산을 수행하여 입력셀(d)의 스테이트를 변경한다. 스테이트가 변경된 입력셀(d)는 입력셀(d')으로 표기한다.
- [0219] 스테이트풀 로직 인 메모리(900)는 제4 단계(914)에서 입력셀(a+d')과 입력셀(e)간의 IMP 연산을 수행하여 입력셀(e)의 스테이트를 변경한다. 스테이트가 변경된 입력셀(e)는 입력셀(e')으로 표기한다.
- [0220] 스테이트풀 로직 인 메모리(900)는 제5 단계(915)에서 입력셀(b+c')과 입력셀(e')간의 IMP 연산을 수행하여 입력셀(e')의 스테이트를 변경한다. 스테이트가 변경된 입력셀(e')는 입력셀(e'')으로 표기한다.
- [0221] 스테이트풀 로직 인 메모리(900)는 5 개의 실리콘 다이오드들과 IMP 연산을 네차례 수행하여 XOR 연산을 구현한다.
- [0222] 스테이트풀 로직 인 메모리(900)는 도 1c에서 설명된 실리콘 다이오드를 이용하고, 정전 도핑 전극이 접지와 연결되어 정전 도핑 전극의 일함수 만큼 채널 영역을 전기적으로 도핑한다.
- [0223] 스테이트풀 로직 인 메모리(900)의 IMP 연산은 1MΩ의 직렬 저항과 병렬로 연결되는 5 개의 실리콘 다이오드를 이용한다.
- [0224] 도 9b는 도 9a의 스테이트풀 로직 인 메모리(900)의 동작 타이밍도를 예시한다.
- [0225] 도 9b를 참고하면, 타이밍도(920)는 입력셀(a), 입력셀(b), 입력셀(c), 입력셀(d) 및 출력셀(e)에 애노드 단자를 통해 동작 전압(V_A , V_B , V_C , V_D , V_E)이 입력되는 리드 입력 구간(921), 제1 IMP 연산 구간(922), 제1 리드 출력 구간(923), 제2 IMP 연산 구간(924), 제2 리드 출력 구간(925), 제3 IMP 연산 구간(926), 제3 리드 출력 구간(927) 및 제4 IMP 연산 구간(928), 제4 리드 출력 구간(929)을 구분하여 각 구간에 인가되는 전압의 크기 및 전류의 측정 변화를 나타낸다.
- [0226] 타이밍도(920)는 입력셀(a), 입력셀(b), 입력셀(c), 입력셀(d) 및 출력셀(e)에 리드 전압(V_{Read})이 1.2V 로 인가

되고, 라이트 전압(V_{Write})이 1.3 V로 인가되어 입력셀(c), 입력셀(d) 및 출력셀(e)의 스테이트가 초기화된 후 입력셀(a)와 입력셀(c) 간의 제1 IMP 연산의 결과가 입력셀(c)에 반영되어 입력셀(c')이 되고, 입력셀(b)와 입력셀(d) 간의 제2 IMP 연산의 결과가 입력셀(d)에 반영되어 입력셀(d')이 되며, 입력셀(a)와 입력셀(d')의 결합과 출력셀(e)의 제3 IMP 연산의 결과가 출력셀(e)에 반영되어 출력셀(e')이 되고, 입력셀(b)와 입력셀(c')의 결합과 출력셀(e')의 제4 IMP 연산의 결과가 출력셀(e')에 반영되어 출력셀(e'')이 되는 XOR 연산 결과 값을 출력셀(e)에 기록 및 유지한다.

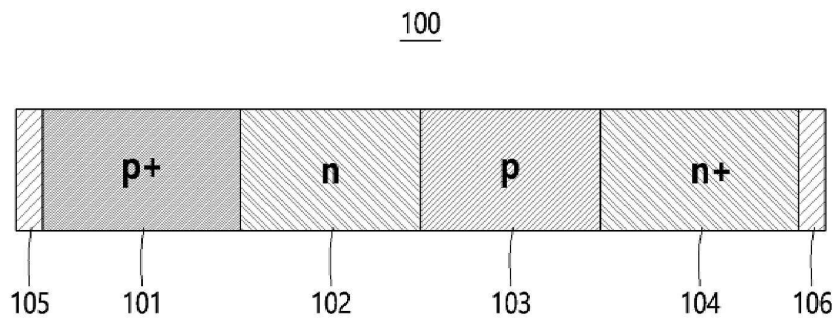
- [0227] 즉, 스테이트풀 로직 인 메모리는 4번의 IMP 연산을 순서대로 진행하여 입력셀(a) 및 입력셀(b)의 XOR 연산 결과값을 출력셀(e)에 저장할 수 있다.
- [0228] 본 발명의 스테이트풀 로직 인 메모리는 제1 내지 제4 입력셀과 출력셀을 포함하고, 제1 내지 제4 입력셀 중 제3 및 제4 입력셀과 출력셀은 설정 전압을 음의 전압으로 인가 받아 로우 스테이트로 리셋한다.
- [0229] 본 발명의 일실시예에 따른 스테이트풀 로직 인 메모리는 제1 입력셀과 제3 입력셀 간의 IMP 연산을 수행하여 제1 연산 결과를 제3 입력셀의 스테이트로 저장하고, 제2 입력셀과 제4 입력셀 간의 IMP 연산을 수행하여 제2 연산 결과를 제4 입력셀의 스테이트로 저장한다.
- [0230] 또한, 스테이트풀 로직 인 메모리는 제1 입력셀과 상기 제2 연산 결과의 OR 연산 결과와 출력셀 간의 IMP 연산을 수행하여 제3 연산 결과를 출력 셀의 스테이트로 저장하고, 제2 입력셀과 제1 연산 결과의 OR 연산 결과와 출력셀 간의 IMP 연산을 수행하여 제4 연산 결과를 출력 셀의 스테이트로 저장하여 XOR 연산을 수행할 수 있다.
- [0231] 또한, 타이밍도(920)에서 전류 측정 결과가 진리표(910)에 대응함을 확인할 수 있다.
- [0232] 따라서, 본 발명은 메모리 기능과 논리 연산 기능을 모두 수행할 수 있는 실리콘 다이오드들로 스테이트풀 로직 인 메모리를 구현할 수 있다.
- [0234] 상술한 구체적인 실시 예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.
- [0235] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시 예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.
- [0236] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.
- [0237] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

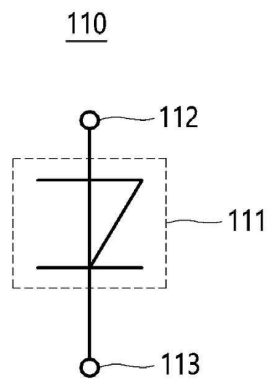
- [0239] 310: 스테이트풀 로직 인 메모리

도면

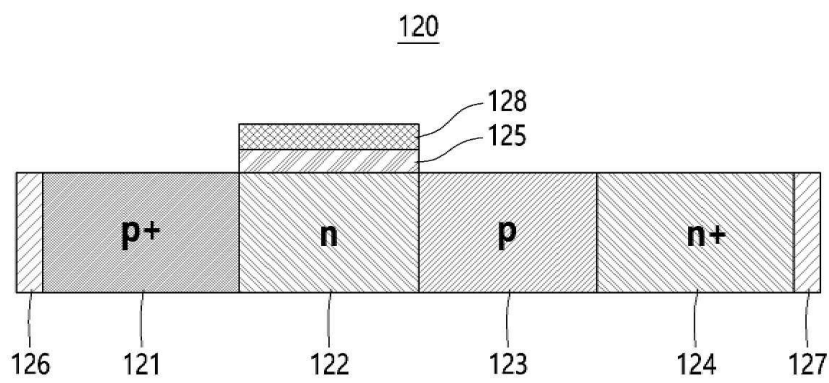
도면1a



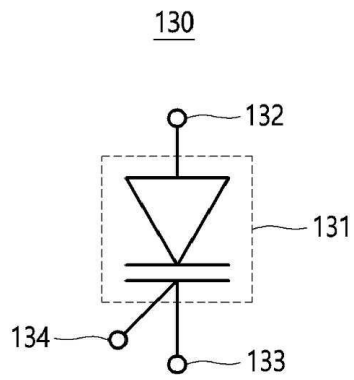
도면1b



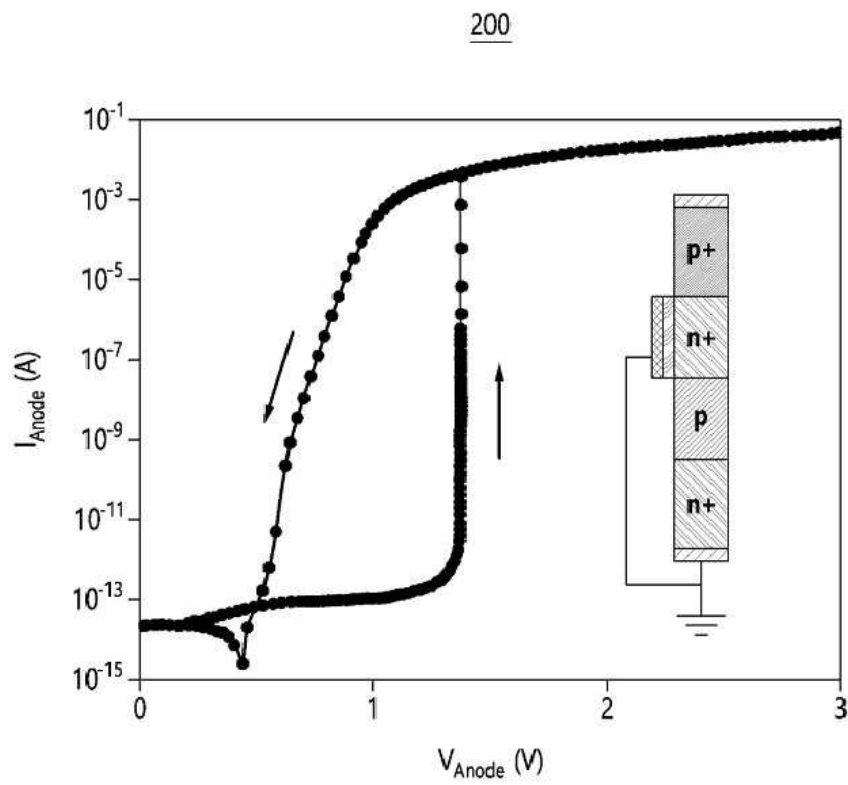
도면1c



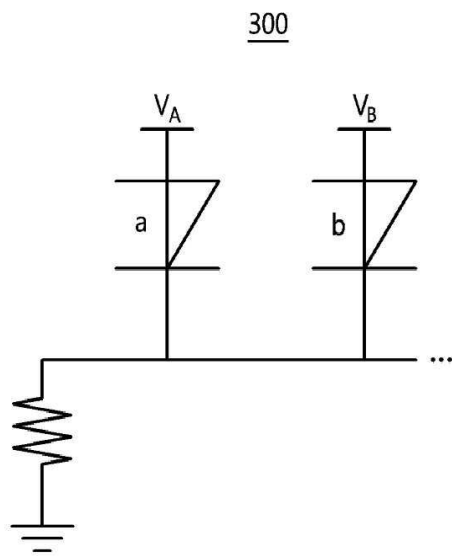
도면1d



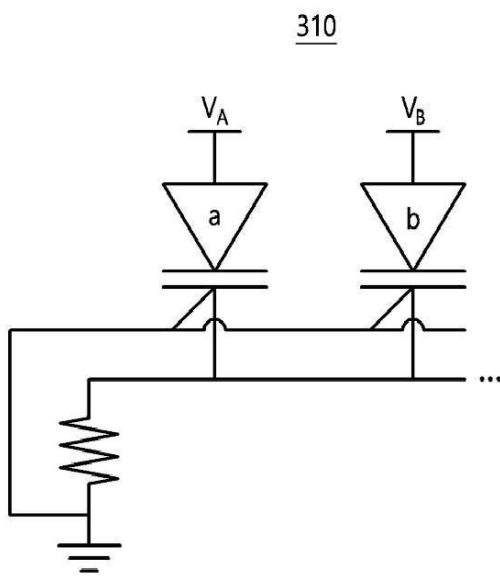
도면2



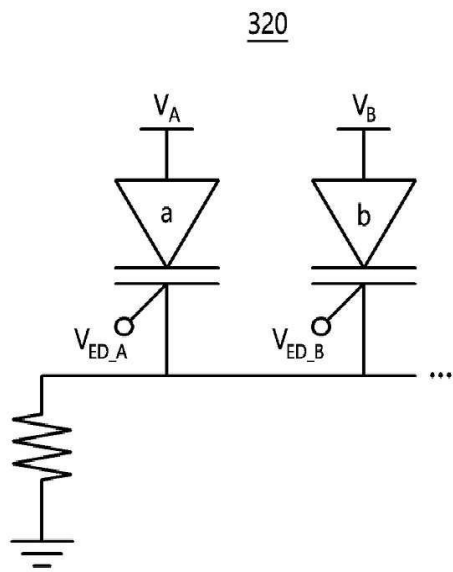
도면3a



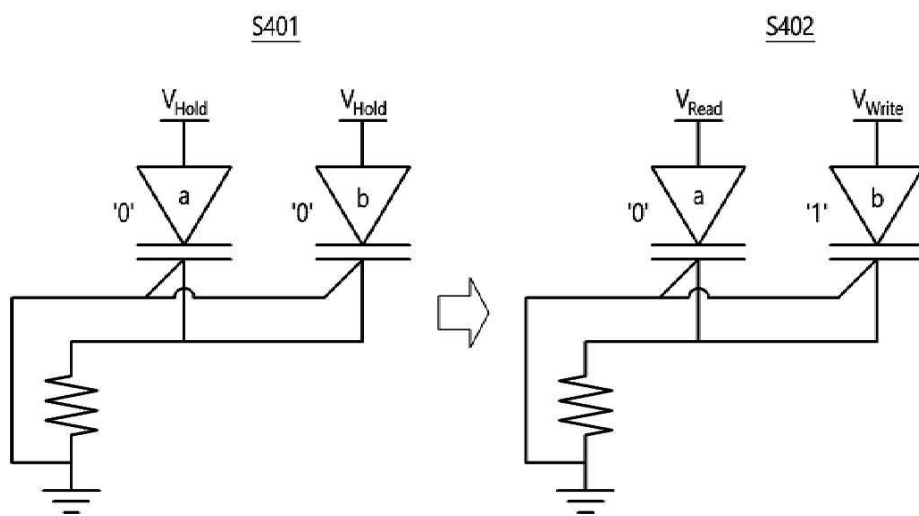
도면3b



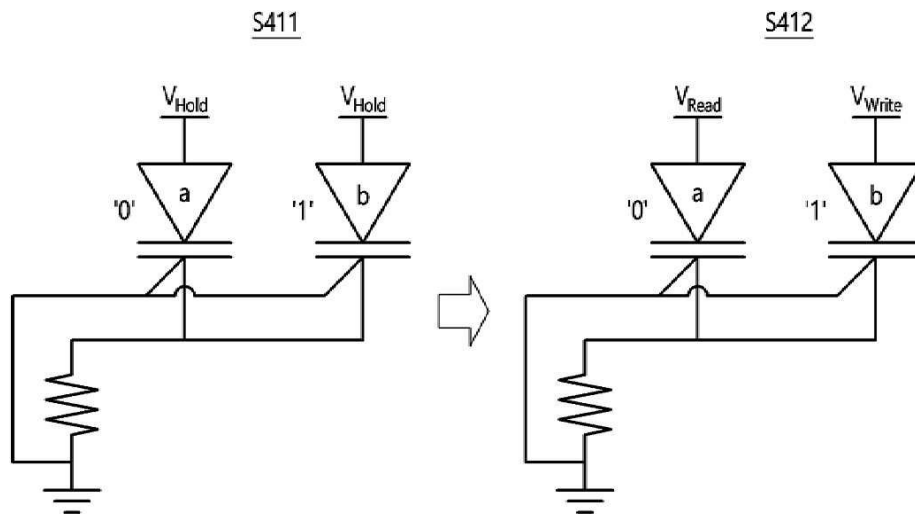
도면3c



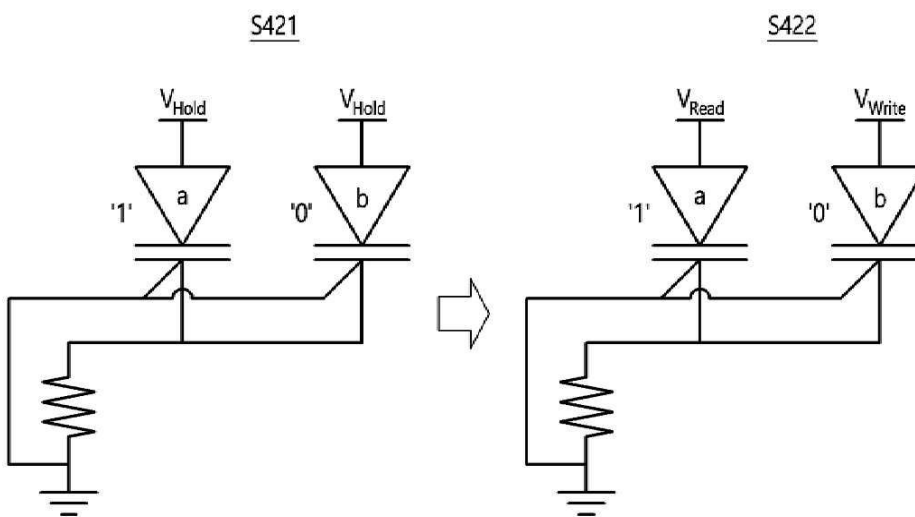
도면4a



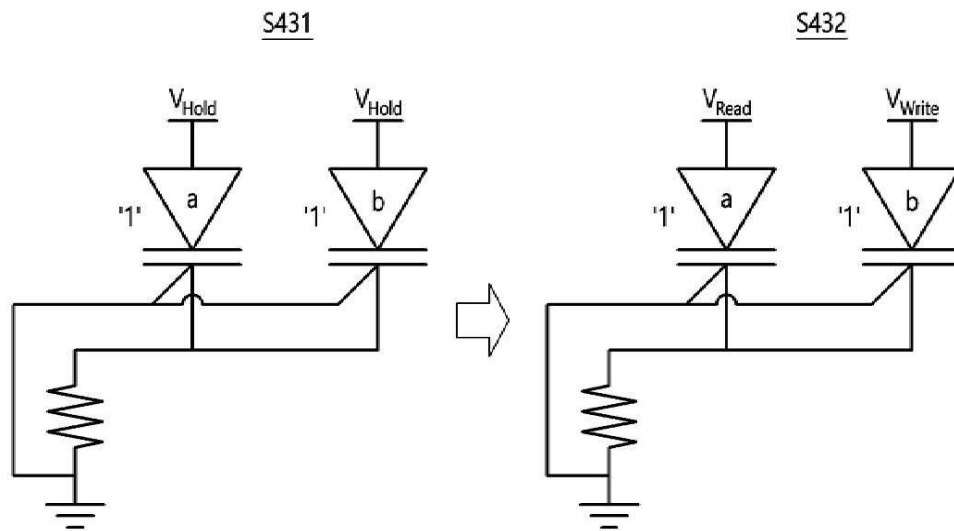
도면4b



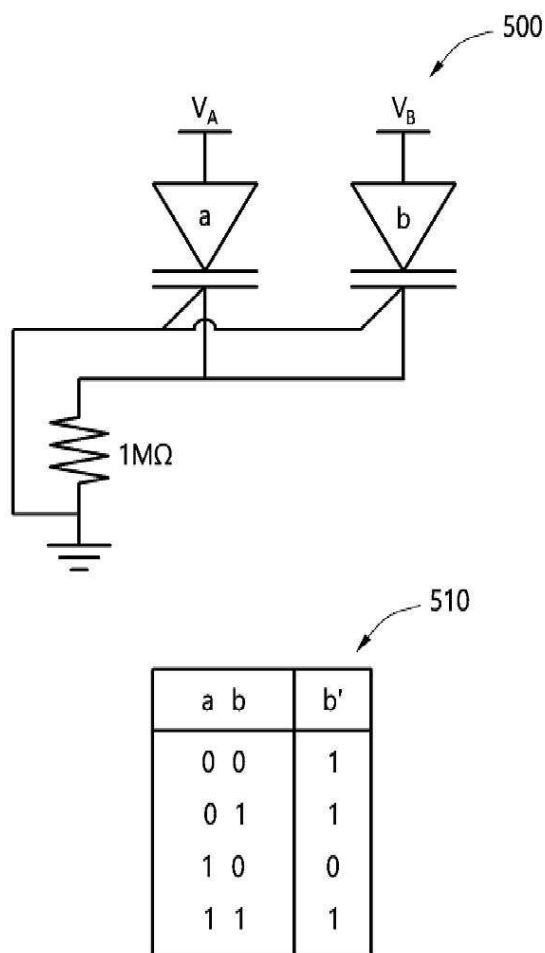
도면4c



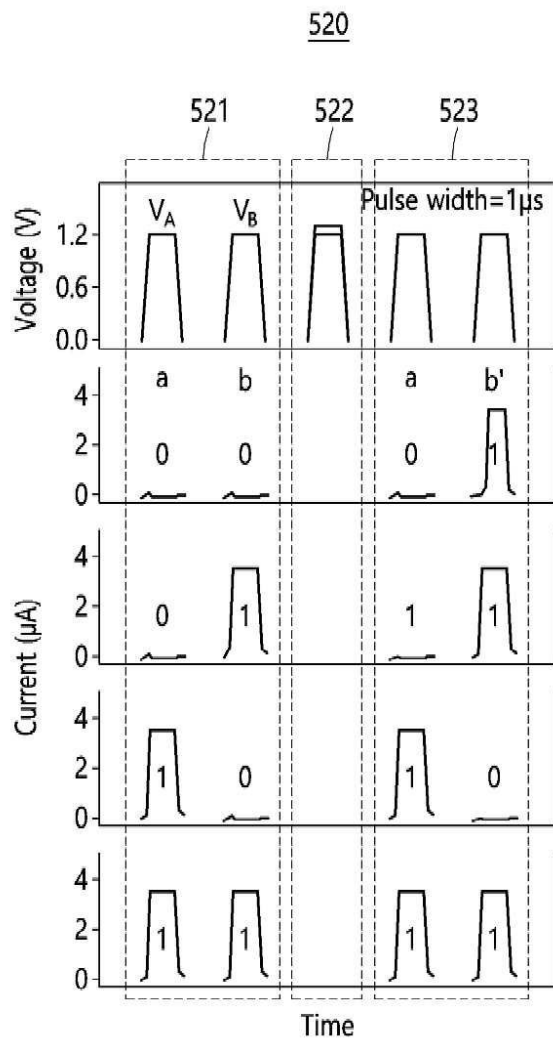
도면4d



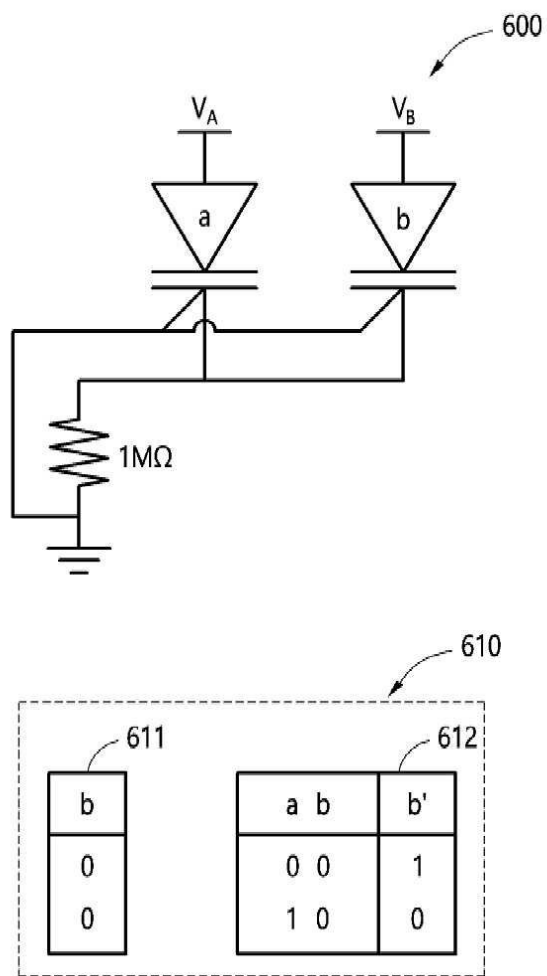
도면5a



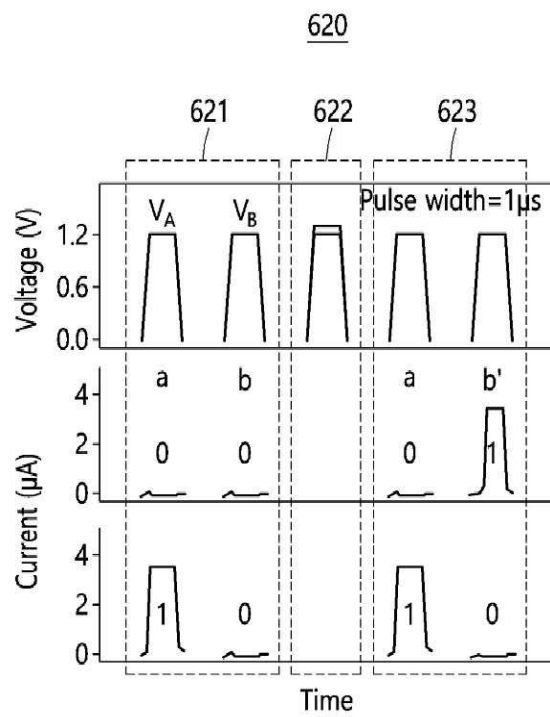
도면5b



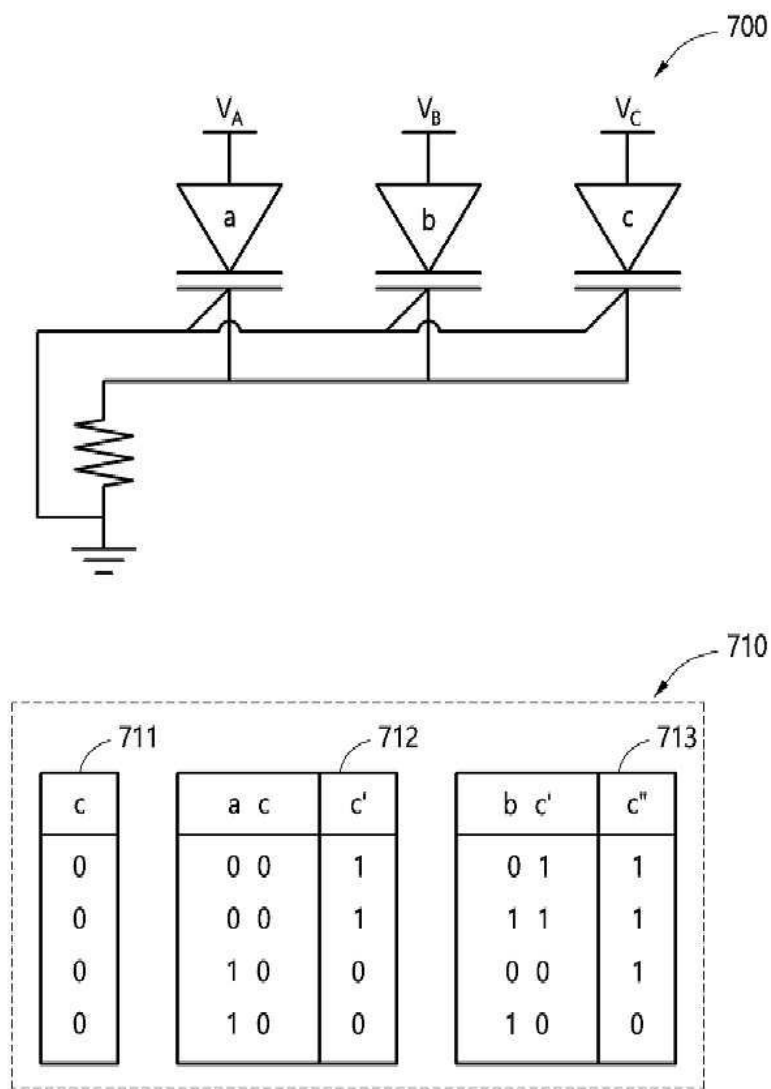
도면6a



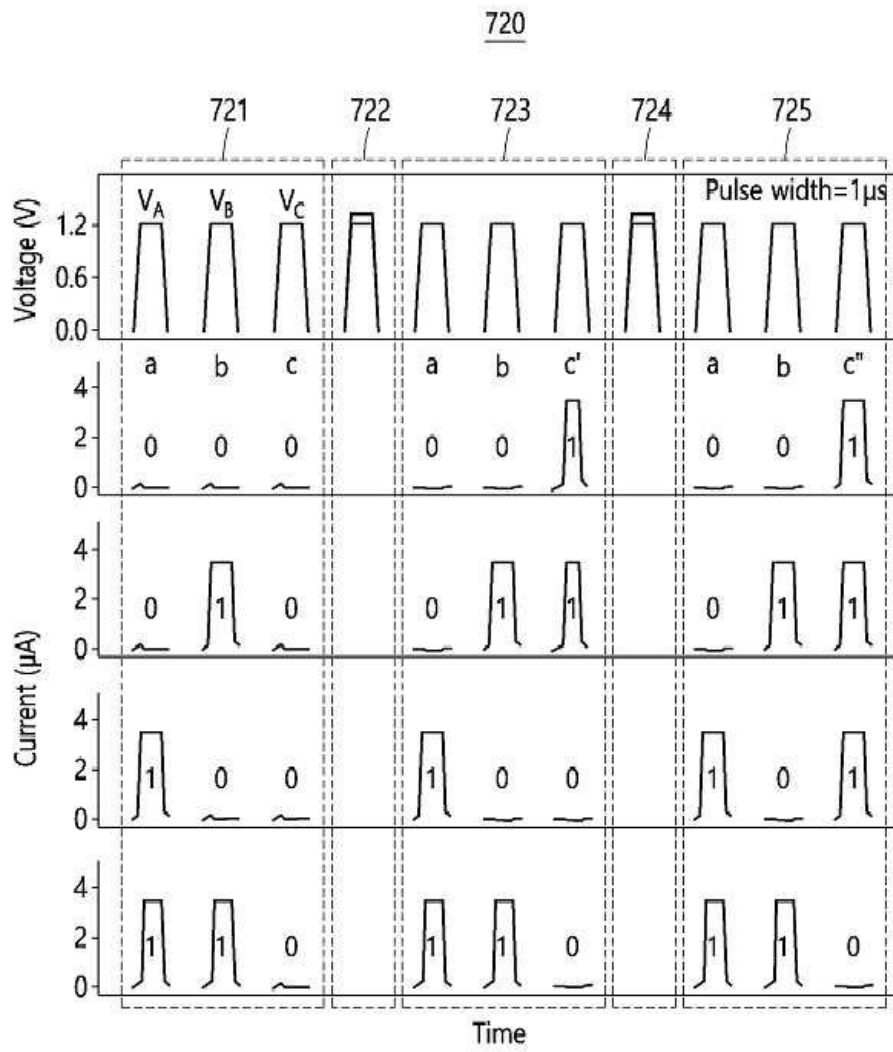
도면6b



도면7a



도면7b



도면 8a

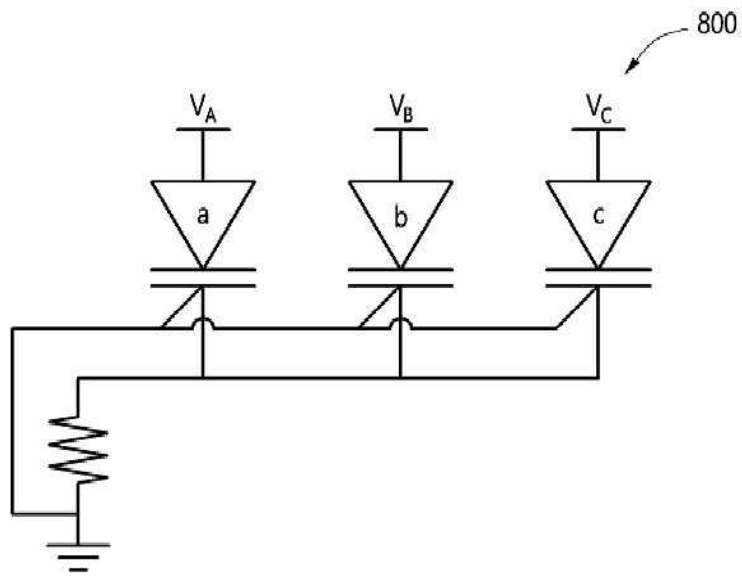


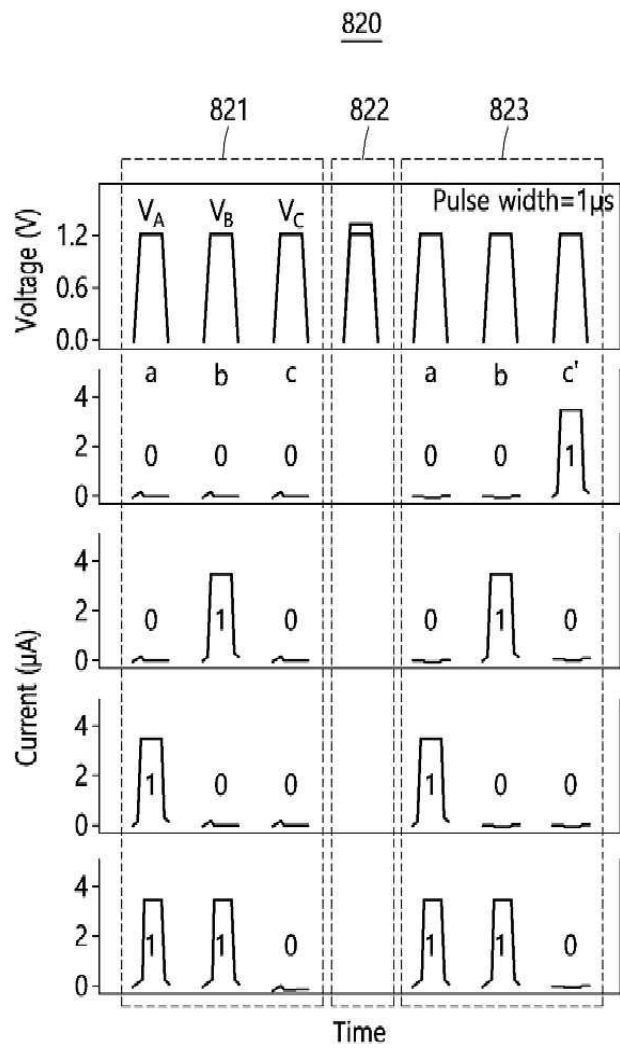
Diagram 810 shows three truth tables, labeled 811, 812, and 813, enclosed in a dashed box.

a	b
0	0
0	1
1	0
1	1

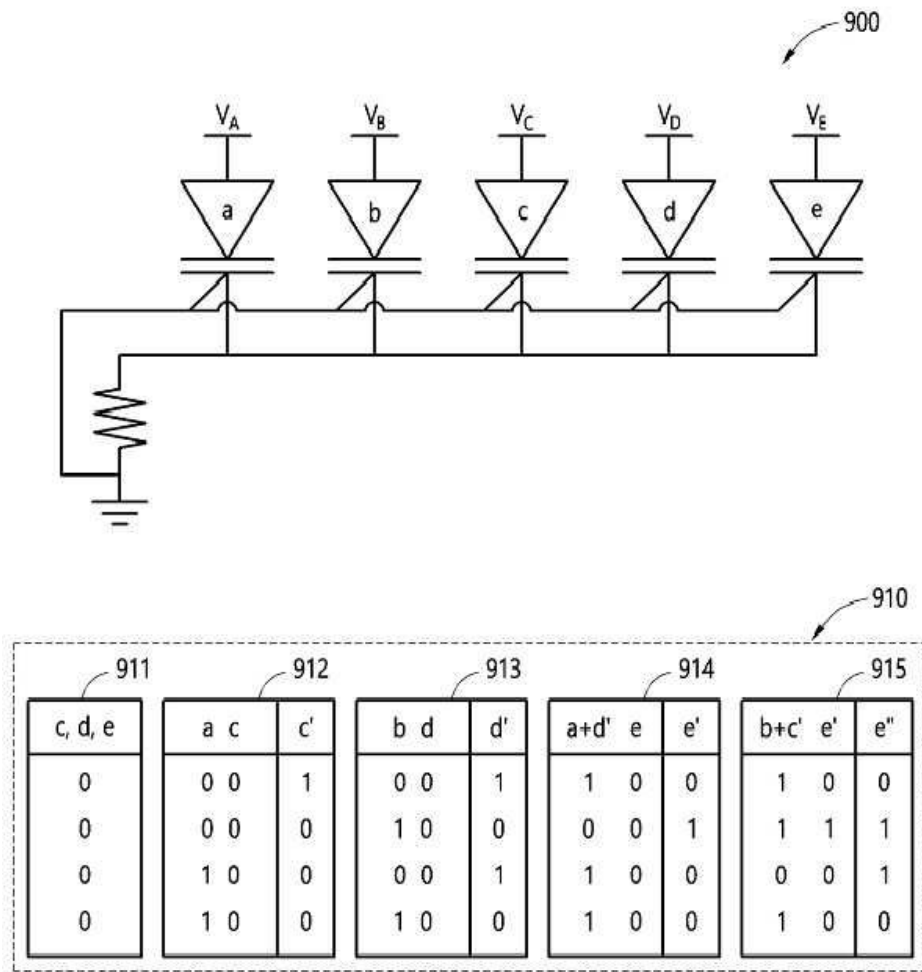
c
0
0
0
0

a+b	c	c'
0	0	1
1	0	0
1	0	0
1	0	0

도면 8b



도면9a



도면9b

