

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-149955

(P2012-149955A)

(43) 公開日 平成24年8月9日(2012. 8. 9)

(51) Int.Cl.

G 0 1 R 31/3183 (2006.01)

F 1

G O 1 R 31/28

Q

テーマコード (参考)

2 G 1 3 2

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2011-7981 (P2011-7981)
 (22) 出願日 平成23年1月18日 (2011. 1. 18)

(71) 出願人 000006507
 横河電機株式会社
 東京都武蔵野市中町2丁目9番32号
 (72) 発明者 永沼 英樹
 東京都武蔵野市中町2丁目9番32号 横
 河電機株式会社内
 Fターム(参考) 2G132 AA01 AB07 AE06 AE08 AE11
 AE25 AF18 AG01 AL00 AL11
 AL32

(54) 【発明の名称】 半導体試験装置

(57) 【要約】

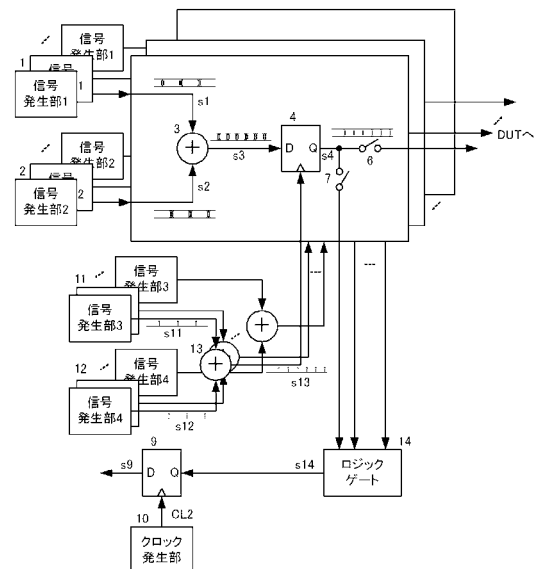
【課題】半導体試験装置のシステム周波数よりも高い周波数の論理信号を低コストで生成出力することができ、リアルタイムにエッジや周波数を変更でき、高精度のタイミング精度が得られる半導体試験装置を提供すること。

【解決手段】半導体試験装置に内蔵されている信号発生部から出力される複数系統の論理信号を加算する加算器とこの加算器の出力をリタイミングクロックにしたがって取り込むラッチとこのラッチ出力を選択的に出力するスイッチとで構成された複数のパターン信号発生ユニットと、これら複数のパターン信号発生ユニットからスイッチを介して出力される出力信号間のスキューを補正する校正経路が設けられた半導体試験装置において、

前記リタイミングクロックは少なくとも2系統の論理信号を加算することにより生成され、前記校正経路は、前記各パターン信号発生ユニットのスイッチに連動して駆動され択一的に所定の出力信号を選択するロジックゲートを含むことを特徴とするもの。

【選択図】

図 1



【特許請求の範囲】

【請求項 1】

半導体試験装置に内蔵されている信号発生部から出力される複数系統の論理信号を加算する加算器とこの加算器の出力をリタイミングクロックにしたがって取り込むラッチとこのラッチ出力を選択的に出力するスイッチとで構成された複数のパターン信号発生ユニットと、これら複数のパターン信号発生ユニットからスイッチを介して出力される出力信号間のスキューを補正する校正経路が設けられた半導体試験装置において、

前記リタイミングクロックは少なくとも 2 系統の論理信号を加算することにより生成され、

前記校正経路は、前記各パターン信号発生ユニットのスイッチに連動して駆動され択一的に所定の出力信号を選択するロジックゲートを含むことを特徴とする半導体試験装置。

【請求項 2】

前記複数のパターン信号発生ユニットは、それぞれ半導体試験装置に対して着脱可能なカードに実装されていることを特徴とする請求項 1 記載の半導体試験装置。

【請求項 3】

前記複数のパターン信号発生ユニットは、それぞれ半導体試験装置に組み込まれていることを特徴とする請求項 1 記載の半導体試験装置。

【請求項 4】

半導体試験装置に内蔵されている信号発生部から出力される複数系統の論理信号を加算する加算器とこの加算器の出力をリタイミングクロックにしたがって取り込むラッチとこのラッチ出力を選択的に出力するスイッチとで構成された複数のパターン信号発生ユニットを含む半導体試験装置において、

前記リタイミングクロックは少なくとも 2 系統の論理信号を加算することにより生成されることを特徴とする半導体試験装置。

【請求項 5】

複数のパターン信号間のスキューを補正する校正経路が設けられた半導体試験装置において、

前記校正経路は、前記各パターン信号の選択に連動して駆動され択一的に所定の出力信号を選択するロジックゲートを含むことを特徴とする半導体試験装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体試験装置に関し、詳しくは、高速論理信号発生 of の改善に関するものである。

【0002】

半導体試験装置の一種に、半導体試験装置に内蔵されている信号発生部から出力される比較的周波数の低い論理信号よりも高い周波数の論理信号を低コストで生成出力するために、図 5 に示すように、半導体試験装置に内蔵されている信号発生部から出力される複数系統の論理信号を加算して出力するパターン信号発生ユニットが実装された半導体試験装置に対して着脱可能な複数のカードを、各ポゴピンに対応するように設けたものがある。

【0003】

図 5 において、第 1 の信号発生部 1 と第 2 の信号発生部 2 はそれぞれ半導体試験装置に設けられている比較的周波数の低い論理信号 s 1 と s 2 を出力するものであり、これら論理信号 s 1 と s 2 はたとえばポゴピンを介してパターン信号発生ユニットを構成する加算器 3 に入力されて加算される。なお、第 1 の信号発生部 1 と第 2 の信号発生部 2 は、カードごとにあるいは複数のカードよりなるグループごとに複数系統設けられている。

【0004】

加算器 3 は、これら第 1 の信号発生部 1 と第 2 の信号発生部 2 から出力される論理信号

10

20

30

40

50

s 1 と s 2 を加算して、これら論理信号 s 1 と s 2 の周波数、すなわち半導体試験装置のシステム周波数の 2 倍の周波数を有する高速の論理信号 s 3 をパターン信号発生ユニットを構成するラッチ 4 のデータ端子 D に出力する。

【 0 0 0 5 】

ラッチ 4 のクロック端子 C には、半導体試験装置に設けられている P L L (Phase Lock ed Loop) 5 から所定のクロックが入力されている。加算器 3 の出力信号 s 3 は、P L L 5 から入力されるクロック C L 1 にしたがってラッチされる。なお、P L L 5 も、カードごとにあるいは複数のカードよりなるグループごとに複数系統設けられていて、複数のカードに設けられているそれぞれのパターン信号発生ユニットを構成するラッチ 4 のクロック端子 C にクロック C L 1 を出力する。

10

【 0 0 0 6 】

ラッチ 4 の出力信号 s 4 は、パターン信号発生ユニットを構成するスイッチ 6 を介して図示しない測定対象 (D U T) に出力されるとともに、パターン信号発生ユニットを構成するスイッチ 7 を介して半導体試験装置に設けられているトーナメントリレー 8 に出力される。

【 0 0 0 7 】

トーナメントリレー 8 は、各パターン信号発生ユニットからラッチ 4 を介して出力される複数の出力信号 s 4 間のタイミング誤差を補正するための校正経路を構成するものであり、D U T にラッチ 4 の出力信号 s 4 を出力しているパターン信号発生ユニットの系統のみを択一的に選択するように、スイッチ 6、7 に連動して駆動される。

20

【 0 0 0 8 】

トーナメントリレー 8 の出力信号 s 8 は半導体試験装置に設けられているラッチ 9 に入力され、半導体試験装置に設けられている基準タイミング発生部 1 0 から出力されるクロック C L 2 のタイミングでラッチされる。

【 0 0 0 9 】

ラッチ 9 の出力信号 s 9 は、図示しない半導体試験装置の信号判定部に出力される。

【 0 0 1 0 】

図 6 は、トーナメントリレー 8 の一例を示す構成説明図であり、複数の切換スイッチが 3 段階のツリー状に接続されている。

【 0 0 1 1 】

図 7 は、図 5 の動作を説明するタイミングチャートである。図 7 において、(a) は第 1 の信号発生部 1 の出力信号 s 1 を示し、(b) は第 2 の信号発生部 2 の出力信号 s 2 を示し、(c) は加算器 3 の出力信号 s 3 を示している。この時点では、それぞれの信号発生部 1、2 内部のタイミング誤差がそのまま重畳されて加算器 3 の出力信号 s 3 に現れている。(d) はリタイミングのために P L L 5 から入力されるクロック C L 1 を示し、(e) はリタイミングされたラッチ 4 の出力信号 s 4 を示している。

30

【 0 0 1 2 】

図 5 の構成において、一般的に周波数が高くなると、前のデータの状態が次のタイミング精度に大きな影響を与えるようになる。これらの誤差はデータ依存性タイミング誤差と呼ばれている。これらのタイミング誤差は、前のデータの状態に依存するため、発生するタイミングエッジを校正することだけでは除去することができない。

40

【 0 0 1 3 】

そこで、これらのデータ依存性のタイミング誤差を取り除くために、ラッチ 4 と P L L 5 とからなるリタイミング回路を設けている。

【 0 0 1 4 】

前述のように、図 5 に示すパターン信号発生ユニットはボゴピンに対応するように設けられていて、それぞれのボゴピンから独立した信号が出力される。この結果、一般的にボゴピンの信号間には時間差 (スキュー) が発生する。

【 0 0 1 5 】

半導体試験装置のそれぞれのボゴピンの出力系統にはトーナメントリレー 8 とラッチ 9

50

と基準タイミング発生部 10 からなる共通の校正経路が設けられていて、この校正回路により、ポゴピンの信号間の時間差（スキュー）が測定される。このようにして測定された時間差（スキュー）は、出力経路に具備されている図示しないディレイラインなどを用いてゼロになるように調整される。

【先行技術文献】

【特許文献】

【0016】

特許文献 1 には、出力信号（パターン信号）のスキュー調整に関する技術が開示されている（図 2）。

【0017】

10

【特許文献 1】特開 2008 - 145266 号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

しかし、図 5 のような従来の構成によれば、PLL5 から出力されるクロック CL1 のタイミングでリタイミングしているため、PLL5 のロックインループの設定を切り換えた場合には安定するまでにたとえば数 m 秒要することになり、リアルタイムでパターン信号のエッジの間隔や周波数を変更することができず、高速切換による DUT 測定は困難である。

【0019】

20

リアルタイムにエッジを変更するために、PLL5 から出力されるクロック CL1 でのリタイミングを行わない方法も考えられるが、その場合には、もともと信号発生部 1、2 が持っているデータ依存性タイミング誤差が大きくなり、この誤差が無視できなくなってしまう。

【0020】

また、トーナメントリレー 8 における伝送路の伝送ロスが大きくなることから、スキューの校正が正しくできないおそれがある。

【0021】

トーナメントリレー 8 における伝送路のロスが大きい場合、スキュー調整のため各ポゴピンのタイミングをタイミング経路に接続して測定するのにあたり、各ポゴピンのタイミング誤差が小さい場合には、図 8 に示すように伝送路のロスによりタイミング誤差が検出できなくなってしまう。

30

【0022】

図 8 において、(a) はラッチ 4 によりリタイミングされた第 1 ピン PIN1 の波形を示し、(b) は第 1 ピン PIN1 の校正経路のラッチ 9 に入力される波形を示し、(c) は第 1 ピン PIN1 の校正経路のラッチ 9 から出力される波形を示し、(d) はラッチ 4 によりリタイミングされた第 2 ピン PIN2 の波形を示し、(e) は第 2 ピン PIN2 の校正経路のラッチ 9 に入力される波形を示し、(f) は第 2 ピン PIN2 の校正経路のラッチ 9 から出力される波形を示している。

【0023】

40

ラッチ 4 によりリタイミングされた第 1 ピン PIN1 の波形と第 2 ピン PIN2 の波形との間には初期スキュー T_{skw} が存在するが、それぞれの波形がトーナメントリレー 8 とラッチ 9 からなる校正経路を通る際に、各リレーそれぞれとラッチ 9 までの伝送路による信号ロスの影響を受けて波形が鈍ってしまう。

【0024】

また、これらの信号には通常ノイズが重畳されていることから、所定の論理閾値をよぎる際に、論理が不定となる不定区間が発生してしまう。この不定区間では、基準タイミングと正しく比較することができず、時間差（スキュー） T_{skw} を測定できなくなってしまう。図 8 の例では、リタイミングされた第 1 ピン PIN1 の波形と第 2 ピン PIN2 の波形との間の初期スキュー T_{skw} の幅よりも不定区間が大きくなってしまい、もともと

50

の初期スキュー T s k w を正しく検出ができない状況を示している。

【 0 0 2 5 】

本発明は、これらの課題を解決するものであり、その目的は、半導体試験装置のシステム周波数よりも高い周波数の論理信号を低コストで生成出力することができ、リアルタイムにエッジや周波数を変更でき、高精度のタイミング精度が得られる半導体試験装置を提供することにある。

【課題を解決するための手段】

【 0 0 2 6 】

このような課題を達成するために、本発明のうち請求項 1 記載の発明は、

半導体試験装置に内蔵されている信号発生部から出力される複数系統の論理信号を加算する加算器とこの加算器の出力をリタイミングクロックにしたがって取り込むラッチとこのラッチ出力を選択的に出力するスイッチとで構成された複数のパターン信号発生ユニットと、これら複数のパターン信号発生ユニットからスイッチを介して出力される出力信号間のスキューを補正する校正経路が設けられた半導体試験装置において、

前記リタイミングクロックは少なくとも 2 系統の論理信号を加算することにより生成され、

前記校正経路は、前記各パターン信号発生ユニットのスイッチに連動して駆動され択一的に所定の出力信号を選択するロジックゲートを含むことを特徴とする。

【 0 0 2 7 】

請求項 2 記載の発明は、請求項 1 記載の半導体試験装置において、

前記複数のパターン信号発生ユニットは、それぞれ半導体試験装置に対して着脱可能なカードに実装されていることを特徴とする。

【 0 0 2 8 】

請求項 3 記載の発明は、請求項 1 記載の半導体試験装置において、

前記複数のパターン信号発生ユニットは、それぞれ半導体試験装置に組み込まれていることを特徴とする。

【 0 0 2 9 】

請求項 4 記載の発明は、

半導体試験装置に内蔵されている信号発生部から出力される複数系統の論理信号を加算する加算器とこの加算器の出力をリタイミングクロックにしたがって取り込むラッチとこのラッチ出力を選択的に出力するスイッチとで構成された複数のパターン信号発生ユニットを含む半導体試験装置において、

前記リタイミングクロックは少なくとも 2 系統の論理信号を加算することにより生成されることを特徴とする。

【 0 0 3 0 】

請求項 5 記載の発明は、

複数のパターン信号間のスキューを補正する校正経路が設けられた半導体試験装置において、

前記校正経路は、前記各パターン信号の選択に連動して駆動され択一的に所定の出力信号を選択するロジックゲートを含むことを特徴とする。

【発明の効果】

【 0 0 3 1 】

これらにより、高速の論理信号を低コストで生成でき、既存の半導体試験装置にも適用できる。

【 0 0 3 2 】

リタイミングクロックは、少なくとも 2 系統の論理信号を加算することにより生成されることから、リアルタイムにエッジ間隔や周波数を変更できる。

【 0 0 3 3 】

10

20

30

40

50

さらに、校正経路にはロスが大きいトーナメントリレーなどのタイミング悪化要因が無い
ため、高精度の校正が行え、高精度のタイミング精度が得られる。

【図面の簡単な説明】

【0034】

【図1】本発明の一実施例を示すブロック図である。

【図2】図1の動作を説明するタイミングチャートである。

【図3】データ依存性タイミング誤差の発生要因を説明する波形図である。

【図4】図1の動作を説明するタイミングチャートである。

【図5】従来の半導体試験装置の一例を示すブロック図である。

【図6】図5で用いるトーナメントリレー8の一例を示す構成説明図である。

【図7】図5の動作を説明するタイミングチャートである。

【図8】図5の動作を説明する波形図である。

【発明を実施するための最良の形態】

【0035】

以下、本発明について、図面を用いて詳細に説明する。図1は本発明の一実施例を示す
ブロック図であり、図5と共通する部分には同一の符号を付けている。図1と図5の相違
点は、図5のPLL5に代えて論理信号s11を出力する第3の信号発生部11と論理信
号s12を出力する第4の信号発生部12とこれら論理信号s11とs12を加算する加
算器13とで構成されるリタイミングクロック発生部を用いていることと、図5のトー
ナメントリレー8に代えてロジックゲート14を用いていることである。

【0036】

図1において、第3の信号発生部11と第4の信号発生部12と加算器13とで構成さ
れるリタイミングクロック発生部は、カードごとにあるいは複数のカードよりなるグル
ープごとに複数系統設けられている。これらリタイミングクロック発生部の加算器13の出
力信号s13は、複数のカードに設けられているそれぞれのラッチ4のクロック端子Cに
リタイミングクロックとして出力される。

【0037】

ロジックゲート14には、各パターン信号発生ユニットのラッチ4の出力信号s4がそ
れぞれスイッチ7を介して入力される。

【0038】

ロジックゲート14は、図5のトーナメントリレー8と同様に各パターン信号発生ユニ
ットからラッチ4を介して出力される複数の出力信号s4間のタイミング誤差を補正する
ための校正経路を構成するものであり、DUTにラッチ4の出力信号s4を出力している
カードの系統のみを択一的に選択するように、スイッチ6、7に連動して駆動される。

【0039】

ロジックゲート14の出力信号s14はラッチ9に入力され、クロック発生部10から
出力されるクロックCL2のタイミングでラッチされる。

【0040】

ラッチ9の出力信号s9は、図5と同様に、図示しない半導体試験装置の信号判定部に
出力される。

【0041】

図2は、図1の動作を説明するタイミングチャートである。図2において、(a)は第
1の信号発生部1の出力信号s1を示し、(b)は第2の信号発生部2の出力信号s2を
示し、(c)は加算器3の出力信号s3を示し、(d)は第3の信号発生部11の出力信
号s11を示し、(e)は第4の信号発生部12の出力信号s12を示し、(f)は加算
器13の出力信号s13を示し、(g)はリタイミングされたラッチ4の出力信号s4を
示している。

【0042】

第3の信号発生部11の出力信号s11と第4の信号発生部12の出力信号s12は、
単純なトグル(0101)波形の繰り返しであることから、データ依存性タイミング誤差

10

20

30

40

50

は存在しない。その結果、加算器 13 で加算出力されるリタイミングクロック信号 s 13 もデータ依存性タイミング誤差がない波形となり、このデータ依存性タイミング誤差がないリタイミング波形でリタイミング処理を行う。

【0043】

データ依存性タイミング誤差の発生要因について、図 3 を用いて詳しく説明する。図 3 は、トリガ点 TP で論理レベルを L o から H i に変化させた時に、実際に閾値 T h をよぎるタイミングをケース 1 とケース 2 で比較したものであり、それぞれのケースで上段 (a) は理想波形を示し、下段 (b) は実際の波形例を示している。

【0044】

ケース 1 の理想波形は、H i レベルに遷移する前の L o レベルの時間がケース 2 よりも長く、ケース 2 の理想波形は、H i レベルに遷移する前の L o レベルの時間がケース 1 よりも短くて H i レベルに遷移する直前で H i レベルから L o レベルに遷移している。

【0045】

実際の波形では、オーバーシュート、アンダーシュート、立ち上がりおよび立下りの遷移時間があり、図示したような波形となる。ケース 1 の実際の波形は、理想波形が H i レベルから L o レベルに遷移して L o レベルに安定した後に、L o レベルから H i レベルへ遷移が始まっている。

【0046】

一方、ケース 2 の実際の波形は、H i レベルから L o レベルに遷移するアンダーシュートのリングングの最中に、次の L o レベルから H i レベルへの遷移が始まっていて、ケース 1 よりも低いレベルでの L o レベルから H i レベルへの遷移となっている。この結果、図示のように、ケース 1 と比較すると、閾値 T h に到達するまでの時間に差が発生している。この差が、データ依存性タイミング誤差 T e r となって現れてくる。

【0047】

これに対し、前データの時間が常に一定の場合は、常に一定のレベルからの立ち上がりとなり、このようなデータ依存性タイミング誤差 T e r は発生しなくなる。つまり、図 2 の (d) および (e) に示すような単純なトグルパターン (0 1 0 1) の場合には、データ依存性タイミング誤差 T e r は発生しなくなる。そして、リタイミングされた後は、校正経路を介して、スキューなどのタイミング誤差が校正される。

【0048】

図 1 に示す本発明の校正経路では、従来のトーナメントリレー 8 の代わりに、ロジックゲート 14 で各信号の切り換えを行う。これにより、ロジックゲート 14 の出力近くにラッチ 9 が接続されることから、従来のトーナメントリレー 8 と異なって信号をロスする部分が少なくなり、図 4 のタイミングチャートに示すように、波形の鈍りやノイズの影響を受けることなく精度よくタイミング誤差を校正できる。

【0049】

図 4 において、(a) はラッチ 4 によりリタイミングされた第 1 ピン P I N 1 の波形を示し、(b) は第 1 ピン P I N 1 の校正経路のラッチ 9 に入力される波形を示し、(c) は第 1 ピン P I N 1 の校正経路のラッチ 9 から出力される波形を示し、(d) はラッチ 4 によりリタイミングされた第 2 ピン P I N 2 の波形を示し、(e) は第 2 ピン P I N 2 の校正経路のラッチ 9 に入力される波形を示し、(f) は第 2 ピン P I N 2 の校正経路のラッチ 9 から出力される波形を示している。

【0050】

ラッチ 4 によりリタイミングされた第 1 ピン P I N 1 の波形と第 2 ピン P I N 2 の波形との間には初期スキュー T s k w が存在するものの、それぞれの波形がロジックゲート 14 とラッチ 9 からなる校正経路を通る際の伝送路の信号ロスにより波形が鈍ってしまう影響は実用上無視できる程度に改善され、高精度で初期スキュー T s k w の校正が行える。

【0051】

一般的に、ロジックゲートを用いた信号選択は、同一チップのゲートを用いて信号選択をした方が信号間のスキューが低減される。同一チップのゲートの入力チャンネル数は、4

10

20

30

40

50

から 8 C H が一般的である。8 C H 以上の信号のスキュー調整では、別々のチップのロジックゲートを経由することになり、別のチップ同士のスキューは若干悪化する。

【 0 0 5 2 】

しかし、一般的に、半導体試験装置の測定対象である高速シリアル入力デバイスは 1 ペアから多くても 4 ペアの入力であって、少なくとも 8 C H のスキューが揃っていれば、実質的に問題になることはない。

【 0 0 5 3 】

近年のシリアルインターフェースの高速化に伴い、高速シリアル入力を要求する I C テストが急増している。しかしながら、たとえば L C D ドライバ I C は、汎用の高速 I O をもった S O C テスタでは測定ができず、L C D ドライバ I C 専用テスタが必要であるが、急激な入力周波数の高速化に L C D ドライバテスタの I O 周波数が追従できておらず、テストが困難な状況となっている。

10

【 0 0 5 4 】

さらに、近年、この分野の I C はコモディティ化が進むとともに出荷数も飽和傾向にあり、テストにコストがかけられない状況となっている。仮に高速 I O を備えた専用テスタが商品化されていたとしても、新規テスタを投資できない状況になっている。

【 0 0 5 5 】

このような状況で、高速シリアルインターフェースに対応するため、既存のテスタ上で高速シリアル信号を発生できることが強く望まれていた。ところが、図 5 に示すような従来の構成では、高速信号発生時のタイミング誤差が大きいだけでなく、周波数をリアルタイムで変更できないなど制約が多く、十分なテストを行うことができなかった。

20

【 0 0 5 6 】

これに対し、本発明によれば、従来のテスタを活用することで新規投資を大幅に削減できるとともに、高速テストも行えるという格別な効果を得ることができる。

【 0 0 5 7 】

なお、上記実施例では、複数のパターン信号発生ユニットが、それぞれ半導体試験装置に対して着脱可能なカードに実装されている例について説明したが、これに限るものではなく、半導体試験装置に組み込むようにしてもよい。

【 0 0 5 8 】

また、上記実施例では、半導体試験装置に設けられている第 1 の信号発生部 1 と第 2 の信号発生部 2 の論理信号 s 1 と s 2 をポゴピンを介してパターン信号発生ユニットを構成する加算器 3 に入力する例について説明したが、ポゴピンに限るものではなく、たとえばコネクタを介して入力するものであってもよい。

30

【 0 0 5 9 】

また、上記実施例では、リタイミング回路とロジックゲートを用いた校正経路との両方を具備した例を説明したが、要求されるタイミング精度の仕様により、どちらか片方を省略してもよい。

【 0 0 6 0 】

さらに、上記実施例では、2 系統の論理信号を加算する例を説明したが、3 系統以上の論理信号を加算してもよい。

40

【 符号の説明 】

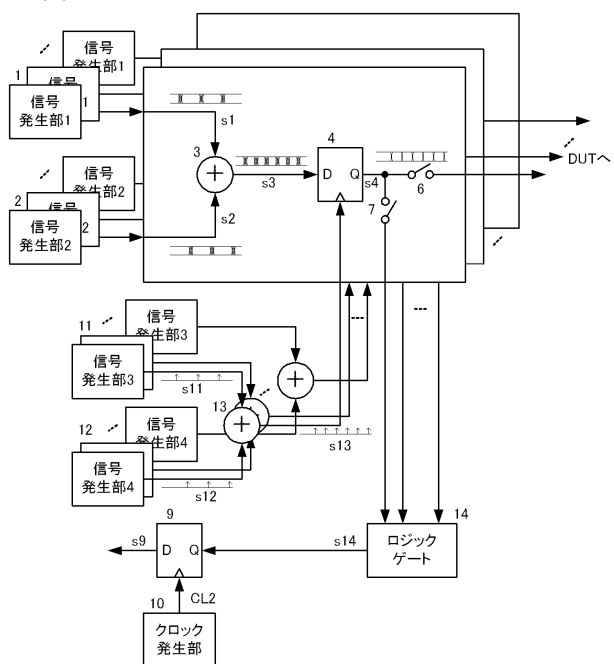
【 0 0 6 1 】

- 1 第 1 の信号発生部
- 2 第 2 の信号発生部
- 3、13 加算器
- 4、9 ラッチ
- 6、7 スイッチ
- 10 クロック発生部
- 11 第 3 の信号発生部
- 12 第 4 の信号発生部

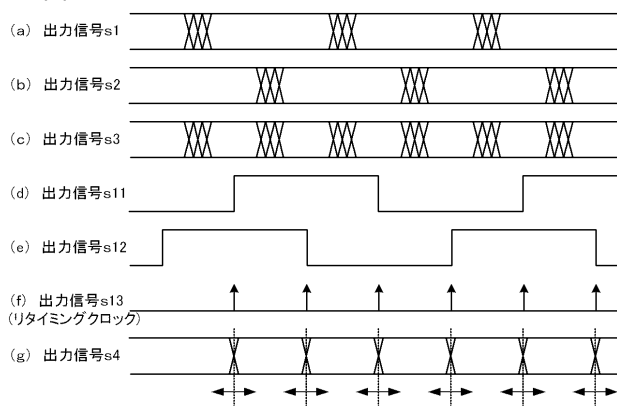
50

1 4 ロジックゲート

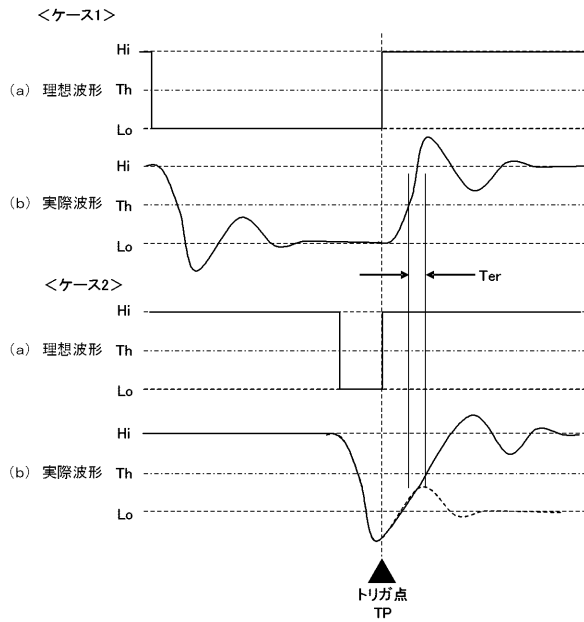
【 図 1 】



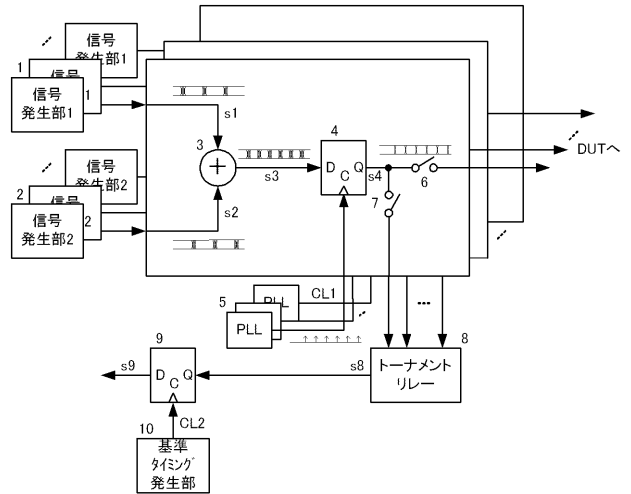
【 図 2 】



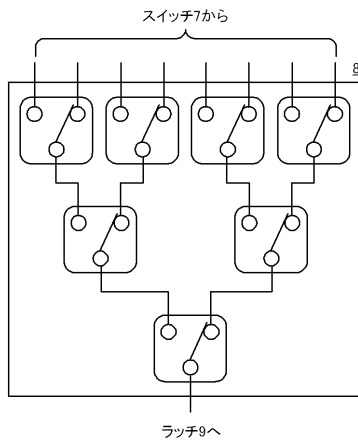
【図 3】



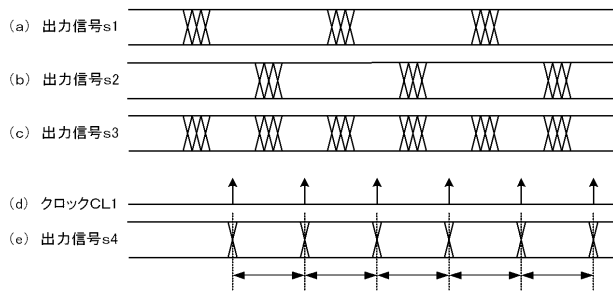
【図 5】



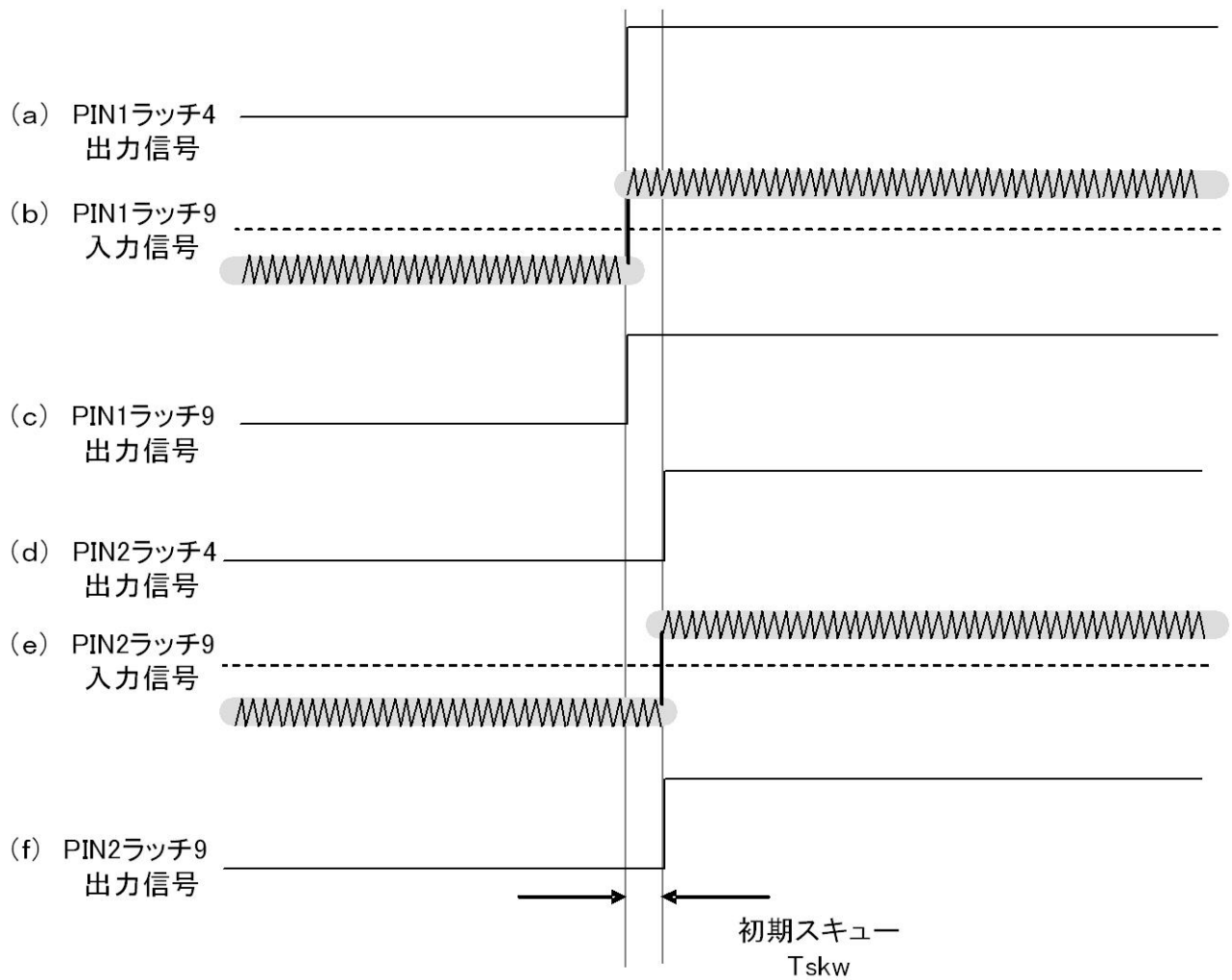
【図 6】



【図 7】



【 図 4 】



【 図 8 】

