

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 9 月 22 日(22.09.2011)

PCT

(10) 国際公開番号
WO 2011/114503 A1

(51) 国際特許分類:

H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
G11C 16/04 (2006.01) H01L 29/792 (2006.01)
H01L 27/115 (2006.01)

(21) 国際出願番号: PCT/JP2010/054772

(22) 国際出願日: 2010 年 3 月 19 日(19.03.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝(KABUSHIKI KAISHA TOSHIBA)
[JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 藤井 章輔 (FUJII, Shosuke) [JP/JP]. 萩島 大輔(HAGISHIMA, Daisuke) [JP/JP]. 佐久間 究(SAKUMA, Kiwamu) [JP/JP].

(74) 代理人: 鈴江 武彦, 外(SUZUYE, Takehiko et al.); 〒1050001 東京都港区虎ノ門 1 丁目 1 2 番 9 号 鈴榮特許総合事務所内 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

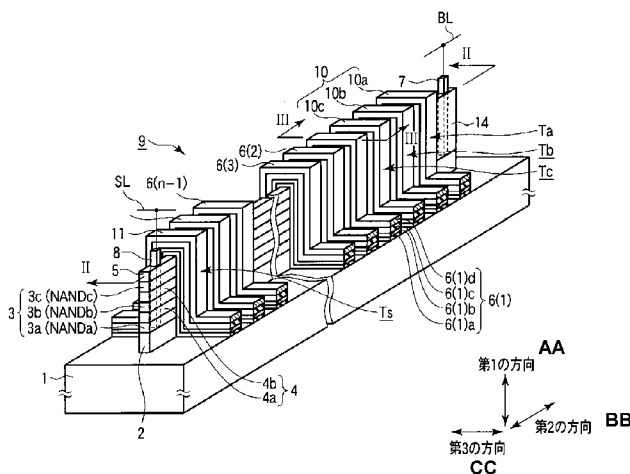
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 不揮発性半導体記憶装置及びその製造方法

[図1]



(57) Abstract: Provided is a nonvolatile semiconductor storage device, comprising: a first insulating layer (2); a first semiconductor layer (3a)...nth insulating layer (4b), nth semiconductor layer (3c), (n+1)th insulating layer (5) (where n is a natural number of 2 or more) stacked in that order in a first direction; and a fin-shaped laminated structure (9) that extends in a second direction. The first to nth semiconductor layers (3a to 3c) are bonded together by a bonding semiconductor layer (14) at one end in a second direction of the first to nth memory strings (NANDa, NANDb, NANDc). The drain electrode (7) side edge of the ith insulating layer (where i is a number from 2 to n) of the first to (n+1)th insulating layers (2, 4a, 4b, 5) is positioned at the same position as the first to nth memory string (NANDa, NANDb, NANDc) side edge of the (i-1)th select gate electrode, or further towards the drain electrode (7) side. The jth layer selection transistor of the first to nth layer selector transistors (where j is a number from 1 to n), is in an always-ON state in the jth semiconductor layer.

(57) 要約:

[続葉有]

AA First direction
BB Second direction
CC Third direction



本発明の不揮発性半導体記憶装置は、第1の方向に、第1の絶縁層(2)、第1の半導体層(3a)、…第nの絶縁層(4b)、第nの半導体層(3c)、第(n+1)の絶縁層(5)(nは2以上の自然数)の順に積み重ねられ、第2の方向に延びるフィン型積層構造(9)を有する。第1乃至第nのメモリストリング(NANDa, NANDb, NANDc)の第2の方向の一端において第1乃至第nの半導体層(3a~3c)は、結合半導体層(14)により結合される。第1乃至第(n+1)の絶縁層(2, 4a, 4b, 5)のうち第iの絶縁層(iは、2~nのうちの1つ)のドレイン電極(7)側のエッジは、第(i-1)のセレクトゲート電極の第1乃至第nのメモリストリング(NANDa, NANDb, NANDc)側のエッジと同じ又はそれよりもドレイン電極(7)側に位置する。第1乃至第nのレイヤー選択トランジスタのうち第jのレイヤー選択トランジスタ(jは、1~nのうちの1つ)は、第jの半導体層で常にオン状態である。

明 細 書

発明の名称： 不揮発性半導体記憶装置及びその製造方法

技術分野

[0001] 本発明は、不揮発性半導体記憶装置及びその製造方法に関する。

背景技術

[0002] NAND型フラッシュメモリは、大容量データの記憶装置として広く普及している。現在、メモリセルを微細化することによってビット当たりのコスト削減や大容量化が進められており、今後の一層の微細化が進展することが要求されている。しかしながら、フラッシュメモリをさらに微細化するためには、リソグラフィー技術開発や、短チャネル効果、素子間干渉、素子間ばらつきの抑制など、解決すべき多くの課題がある。このため、単純な平面内の微細化技術の開発だけでは、今後継続的に記憶密度を向上させることは困難となる可能性が高い。

[0003] そこで、近年、メモリセルの集積度を高めるために、メモリセルを三次元的に配置した三次元積層型半導体メモリ (3-dimensional stacked layer type semiconductor memory) が提案されている（例えば、特許文献 1～4 を参照）。

[0004] これら特許文献 1～4 に開示されるフラッシュメモリは、積み重ねられる複数のアクティブエリア（半導体層）のドレイン端は、互いに絶縁層により絶縁 (isolated) され、複数のアクティブエリアに対して 1 つのドレイン側選択トランジスタが設けられる。そして、複数のアクティブエリアには、それぞれ、独立にドレイン電極（コンタクトプラグ）が接続される。

[0005] しかし、この構造では、メモリストリング（アクティブエリア）ごとにドレイン電極が形成されるため、それらを形成する領域が必要になる。結果として、積み重ねられるメモリストリングの数を増やしても、それに比例してドレイン電極を形成する領域が増えるため、メモリセルの集積度の向上には大きく寄与しない。

- [0006] また、1つのメモリストリングにドレイン電極を介して1本のビット線が接続されるため、メモリセルアレイ上に配置されるビット線の数が増大し、そのレイアウトが複雑化する問題が生じる。
- [0007] このような実情を鑑み、積み重ねられる複数のアクティブエリアのドレイン端を共通の半導体層で互いに接続し、複数のアクティブエリアに対して複数のドレイン側選択トランジスタ（レイヤー選択トランジスタ）を設ける技術が提案されている（例えば、先願としてのPCT/JP2009/060803の図13を参照）。
- [0008] この技術によれば、複数のメモリストリング（アクティブエリア）には、共通に1つのドレイン電極（コンタクトプラグ）を接続すればよいため、積み重ねられるメモリストリングの数を増やして、メモリセルの集積度の向上を図ることができる。
- [0009] しかし、本発明者らが鋭意研究を重ねた結果、その先願に開示されるデバイス構造では、ドレイン側選択トランジスタ（レイヤー選択トランジスタ）に対して十分なカットオフ特性が得られないことが判明した。即ち、選択された1つのメモリストリングに電流を流すときに、残りの非選択のメモリストリングにも不必要な電流が流れてしまう。これでは、読み出し／書き込み／消去を正確に行うことができない。

先行技術文献

特許文献

- [0010] 特許文献1：特開2004-152893号
特許文献2：特開2007-266143号
特許文献3：特開2008-78404号
特許文献4：特開2009-27136号

発明の概要

発明が解決しようとする課題

- [0011] 本発明は、高い集積度と良好なカットオフ特性とを両立する三次元積層型

半導体メモリを提案する。

課題を解決するための手段

[0012] 本発明の例に係わる不揮発性半導体記憶装置は、半導体基板と、前記半導体基板の表面に対して垂直な第1の方向に、第1の絶縁層、第1の半導体層、…第 n の絶縁層、第 n の半導体層、第 $(n+1)$ の絶縁層（ n は2以上の自然数）の順に積み重ねられ、前記半導体基板の表面に平行な第2の方向に延びるフィン型積層構造と、前記第1乃至第 n の半導体層をチャンネルとする第1乃至第 n のメモリストリングと、前記第1乃至第 n のメモリストリングの前記第2の方向の一端において前記第1乃至第 n の半導体層を結合する結合半導体層と、前記結合半導体層に接続されるドレイン電極と、前記第1乃至第 n のメモリストリングの前記第2の方向の他端において前記第1乃至第 n の半導体層に接続されるソース電極と、前記第1乃至第 n のメモリストリングと前記ドレイン電極との間の前記結合半導体層において前記ドレイン電極側から前記第1乃至第 n のメモリストリングに向かって順に並ぶ第1乃至第 n のレイヤー選択トランジスタとを備え、前記第1乃至第 n のレイヤー選択トランジスタは、前記第1乃至第 n の半導体層に跨って前記第1の方向に延びる第1乃至第 n のセレクトゲート電極を有し、前記第1乃至第 $(n+1)$ の絶縁層のうち第 i の絶縁層（ i は、 $2 \sim n$ のうちの1つ）の前記ドレイン電極側のエッジは、第 $(i-1)$ のセレクトゲート電極の前記第1乃至第 n のメモリストリング側のエッジと同じ又はそれよりも前記ドレイン電極側に位置し、前記第1乃至第 n のレイヤー選択トランジスタのうち第 j のレイヤー選択トランジスタ（ j は、 $1 \sim n$ のうちの1つ）は、第 j の半導体層で常にオン状態である。

発明の効果

[0013] 本発明によれば、高い集積度と良好なカットオフ特性とを両立する三次元積層型半導体メモリを実現できる。

図面の簡単な説明

[0014] [図1]第1の実施例の構造を示す斜視図。

[図2] 図1のII-II線に沿う断面図。

[図3] 図1のIII-III線に沿う断面図。

[図4] 絶縁層のドレイン電極側のエッジの位置の範囲を示す断面図。

[図5] 第1の応用例を示す断面図。

[図6] 第2の応用例を示す断面図。

[図7] 第3の応用例を示す断面図。

[図8A] 図1の構造を製造する方法の第1の例を示す断面図。

[図8B] 図1の構造を製造する方法の第1の例を示す断面図。

[図8C] 図1の構造を製造する方法の第1の例を示す断面図。

[図8D] 図1の構造を製造する方法の第1の例を示す断面図。

[図8E] 図1の構造を製造する方法の第1の例を示す断面図。

[図8F] 図1の構造を製造する方法の第1の例を示す断面図。

[図9A] 図1の構造を製造する方法の第2の例を示す断面図。

[図9B] 図1の構造を製造する方法の第2の例を示す断面図。

[図9C] 図1の構造を製造する方法の第2の例を示す断面図。

[図10A] 図1の構造を製造する方法の第3の例を示す断面図。

[図10B] 図1の構造を製造する方法の第3の例を示す断面図。

[図10C] 図1の構造を製造する方法の第3の例を示す断面図。

[図10D] 図1の構造を製造する方法の第3の例を示す断面図。

[図10E] 図1の構造を製造する方法の第3の例を示す断面図。

[図11] 第2の実施例の構造を示す斜視図。

[図12] 図11のXII-XII線に沿う断面図。

[図13] 図11のXIII-XIII線に沿う断面図。

[図14A] 図11の構造を製造する方法の例を示す断面図。

[図14B] 図11の構造を製造する方法の例を示す断面図。

[図14C] 図11の構造を製造する方法の例を示す断面図。

[図14D] 図11の構造を製造する方法の例を示す断面図。

[図14E] 図11の構造を製造する方法の例を示す断面図。

[図15] 第3の実施例の構造を示す斜視図。

[図16] 図15のXVI-XVI線に沿う断面図。

[図17] 図15のXVII-XVII線に沿う断面図。

[図18] 図15の構造の要部を示す斜視図。

[図19A] 図15の構造を製造する方法の例を示す断面図。

[図19B] 図15の構造を製造する方法の例を示す断面図。

[図19C] 図15の構造を製造する方法の例を示す断面図。

[図19D] 図15の構造を製造する方法の例を示す断面図。

[図19E] 図15の構造を製造する方法の例を示す断面図。

[図19F] 図15の構造を製造する方法の例を示す断面図。

[図19G] 図15の構造を製造する方法の例を示す断面図。

[図19H] 図15の構造を製造する方法の例を示す断面図。

[図19I] 図15の構造を製造する方法の例を示す断面図。

[図19J] 図15の構造を製造する方法の例を示す断面図。

[図19K] 図15の構造を製造する方法の例を示す断面図。

[図19L] 図15の構造を製造する方法の例を示す断面図。

[図20] 本発明のシミュレーションモデルを示す図。

[図21] 図20のシミュレーション結果を示す図。

[図22] コンベンショナルな技術のシミュレーションモデルを示す図。

[図23] 図22のシミュレーション結果を示す図。

発明を実施するための形態

[0015] 以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

[0016] 1. 基本思想

本発明は、フィン型積層構造を構成する第1乃至第 n の半導体層（ n は2以上の自然数）のドレイン電極側の一端に第1乃至第 n のレイヤー選択トランジスタを有する三次元積層型半導体メモリを対象とする。この構造により、第1乃至第 n の半導体層に対して1つのドレイン電極を共通に設け、高い

集積度を実現することができる。

[0017] ここで、第1乃至第 n のレイヤー選択トランジスタのうち第 j のレイヤー選択トランジスタ（ j は、1～ n のうちの1つ）は、第 j の半導体層で常にオン状態にすることで、第1乃至第 n の半導体層の選択（レイヤー選択）、即ち、第1乃至第 n のメモリストリングの選択を可能にする。

[0018] また、本発明は、フィン型積層構造を構成する第1乃至第 n の半導体層のドレイン電極側の一端が結合半導体層により互いに結合される構造を対象とする。この構造により、第1乃至第 n のレイヤー選択トランジスタのチャンネルが太くなり、それらのオン抵抗が低くなるため、第1乃至第 n の半導体層の選択を高速化できる。

[0019] この構造は、例えば、先願としてのPCT/JP2009/060803の図13に示される。

[0020] そして、本発明では、このような三次元積層型半導体メモリにおいて、第1乃至第 n のレイヤー選択トランジスタのカットオフ特性を向上させるために、フィン型積層構造を構成する第1乃至第 $(n+1)$ の絶縁層のうち第 i の絶縁層（ i は、2～ n のうちの1つ）のドレイン電極側のエッジは、第 $(i-1)$ のレイヤー選択トランジスタの第 $(i-1)$ のセレクトゲート電極の第1乃至第 n のメモリストリング側のエッジと同じ又はそれよりもドレイン電極側に配置される。

[0021] このように、第 i の絶縁層のドレイン電極側のエッジの位置を調整することにより、選択された1つのメモリストリングに電流を流すときに、残りの非選択のメモリストリングに不必要な電流が流れることがなくなり、読み出し／書き込み／消去を正確に行うことができる。

[0022] 2. 実施例

(1) 第1の実施例

A. 構造

図1は、第1の実施例の構造を示している。図2は、図1のII-II線に沿う断面図、図3は、図1のIII-III線に沿う断面図である。

- [0023] 半導体基板 1 は、例えば、シリコン基板である。フィン型積層構造 9 は、半導体基板 1 上に形成される。
- [0024] 本例では、フィン型積層構造 9 は、半導体基板 1 の表面に対して垂直な第 1 の方向に、第 1 の絶縁層 2、第 1 の半導体層 3 a、第 2 の絶縁層 4 a、第 2 の半導体層 3 b、第 3 の絶縁層 4 b、第 3 の半導体層 3 c、第 4 の絶縁層 5 の順に積み重ねられる積層体であり、半導体基板 1 の表面に平行な第 2 の方向に延びる。
- [0025] 但し、これに限られず、フィン型積層構造 9 は、第 1 の絶縁層、第 1 の半導体層、…第 n の絶縁層、第 n の半導体層、第 (n + 1) の絶縁層 (n は 2 以上の自然数) の順に積み重ねられる積層体として一般化できる。
- [0026] 第 1 の絶縁層 2 は、例えば、酸化シリコン (SiO_2) により形成される。第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) は、例えば、単結晶シリコン (Si) により形成される。第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) は、単結晶状態であるのが望ましいが、アモルファス状態や、多結晶状態などであってもよい。
- [0027] 第 2 及び第 3 の絶縁層 4 (4 a, 4 b) は、例えば、酸化シリコン (SiO_2) により形成される。第 4 の絶縁層 5 は、例えば、酸化シリコン (SiO_2)、窒化シリコン (SiN_x) や、それらが積み重ねられる構造などにより形成される。
- [0028] 第 1 乃至第 3 のメモリストリング (NANDa, NANDb, NANDc) は、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) をチャネルとする。ここで、1 つのメモリストリングは、1 つの半導体層をチャネルとするため、フィン型積層構造 9 を構成する半導体層の数を増やし、メモリストリングの数を増やすことは、高集積化にとって望ましい。
- [0029] 第 1 乃至第 3 のメモリストリング (NANDa, NANDb, NANDc) は、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) に跨って第 1 の方向に延びる電荷蓄積層 6 (1) b 及びコントロールゲート電極 6 (1) d の積層構造を有する。
- [0030] 第 1 のゲート絶縁層 6 (1) a は、第 1 乃至第 3 の半導体層 3 (3 a, 3 b

、 3 c) と電荷蓄積層 6 (1) b との間に形成される。第 2 のゲート絶縁層 6 (1) c は、電荷蓄積層 6 (1) b とコントロールゲート電極 6 (1) d との間に形成される。

[0031] この例では、第 1 乃至第 3 のメモリストリング (NANDa, NANDb, NANDc) は、SONOS (silicon/oxide/nitride/oxide/silicon) 型を有する。即ち、電荷蓄積層 6 (1) b は、シリコンリッチ SiN などの絶縁体から構成される。第 2 のゲート絶縁層 6 (1) c は、電荷蓄積層 6 (1) b とコントロールゲート電極 6 (1) d との間のリーク電流をブロックする役割を有することからブロック絶縁層と呼ばれる。

[0032] 本例では、第 1 乃至第 3 のメモリストリング (NANDa, NANDb, NANDc) は、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) の第 3 の方向に対向する 2 つの側面を覆っている。即ち、第 1 乃至第 3 のメモリストリング (NANDa, NANDb, NANDc) は、ダブルゲート構造を有する。

[0033] 結合半導体層 1 4 は、第 1 乃至第 3 のメモリストリング (NANDa, NANDb, NANDc) の第 2 の方向の一端 (ドレイン電極 7 側の一端) において第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) を互いに結合する。

[0034] 結合半導体層 1 4 は、例えば、単結晶シリコン (Si) により形成され、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) と一体化する。結合半導体層 1 4 は、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) と同様に、単結晶状態であるのが望ましいが、アモルファス状態や、多結晶状態などであってもよい。

[0035] ドレイン電極 7 は、結合半導体層 1 4 に接続され、ソース電極 8 は、第 1 乃至第 3 のメモリストリング (NANDa, NANDb, NANDc) の第 2 の方向の他端において第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) に接続される。ドレイン電極 7 及びソース電極 8 の底部は、第 1 の絶縁層 2 に達しているのが望ましい。

[0036] ビット線 BL は、ドレイン電極 7 に接続され、ソース線 SL は、ソース電極 8 に接続される。

- [0037] 第1乃至第3のレイヤー選択トランジスタ T_a , T_b , T_c は、第1乃至第3のメモリストリング(NANDa, NANDb, NANDc)とドレイン電極7との間においてドレイン電極7側から第1乃至第3のメモリストリング(NANDa, NANDb, NANDc)に向かって順に並ぶ。レイヤー選択トランジスタの数は、フィン型積層構造9を構成する半導体層の数に等しい。
- [0038] 第1乃至第3のレイヤー選択トランジスタ T_a , T_b , T_c は、第1乃至第3の半導体層3(3a, 3b, 3c)に跨って第1の方向に延びる第1乃至第3のセレクトゲート電極10(10a, 10b, 10c)を有する。
- [0039] 本例では、第1乃至第3のセレクトゲート電極10(10a, 10b, 10c)は、第1乃至第3の半導体層3(3a, 3b, 3c)の第3の方向に対向する2つの側面を覆っている。即ち、第1乃至第3のレイヤー選択トランジスタ T_a , T_b , T_c は、ダブルゲート構造を有する。
- [0040] ソース側選択トランジスタ T_s は、第1乃至第3のメモリストリング(NANDa, NANDb, NANDc)とソース電極8との間に配置される。
- [0041] ソース側選択トランジスタ T_s は、第1乃至第3の半導体層3(3a, 3b, 3c)に跨って第1の方向に延びるセレクトゲート電極11を有する。
- [0042] 本例では、ソース側セレクトゲート電極11は、第1乃至第3の半導体層3(3a, 3b, 3c)の第3の方向に対向する2つの側面を覆っている。即ち、ソース側選択トランジスタ T_s は、ダブルゲート構造を有する。
- [0043] 第1乃至第3のレイヤー選択トランジスタ T_a , T_b , T_c 及びソース側選択トランジスタ T_s は、スイッチ素子として機能していれば、その構造に制限はない。
- [0044] 例えば、第1乃至第3のレイヤー選択トランジスタ T_a , T_b , T_c 及びソース側選択トランジスタ T_s は、それぞれ、第1乃至第3のメモリストリング(NANDa, NANDb, NANDc)を構成するメモリセルと同じ構造を有していてもよいし、それとは異なる構造を有していてもよい。
- [0045] 第2及び第3の絶縁層4(4a, 4b)のドレイン電極7側のエッジの位置について説明する。

- [0046] 第2の絶縁層4aのドレイン電極7側のエッジは、第1のセレクトゲート電極10aの第1乃至第3のメモリストリング(NANDa, NANDb, NANDc)側のエッジと同じ又はそれよりもドレイン電極7側に位置する。
- [0047] 例えば、図4に示すように、第2の絶縁層4aのドレイン電極7側のエッジは、a点又はそれよりもドレイン電極7側に位置する。
- [0048] 第3の絶縁層4bのドレイン電極7側のエッジは、第2のセレクトゲート電極10bの第1乃至第3のメモリストリング(NANDa, NANDb, NANDc)側のエッジと同じ又はそれよりもドレイン電極7側に位置する。
- [0049] 例えば、図4に示すように、第3の絶縁層4bのドレイン電極7側のエッジは、b点又はそれよりもドレイン電極7側に位置する。
- [0050] 以上を一般化すると、フィン型積層構造9が、第1の絶縁層、第1の半導体層、…第nの絶縁層、第nの半導体層、第(n+1)の絶縁層(nは2以上の自然数)の順に積み重ねられる積層体であるとき、第1乃至第(n+1)の絶縁層のうち第iの絶縁層(iは、2~nのうちの1つ)のドレイン電極側のエッジは、第(i-1)のセレクトゲート電極の第1乃至第nのメモリストリング側のエッジと同じ又はそれよりもドレイン電極側に位置する、ということになる。
- [0051] 尚、第iの絶縁層のドレイン電極側のエッジは、第(i+1)の絶縁層のドレイン電極側のエッジよりもドレイン電極側に位置するのが望ましい。この場合、第1乃至第(n+1)の絶縁層のドレイン電極側のエッジは、階段状になる。
- [0052] また、第1乃至第(n+1)の絶縁層のうち第(i+1)の絶縁層のドレイン電極側のエッジは、第(i-1)のセレクトゲート電極の第1乃至第nのメモリストリング側のエッジと同じ又はそれよりも第1乃至第nのメモリストリング側に位置するのが望ましい。これは、後の製造方法の説明で詳述するが、例えば、不純物領域13a, 13b, 13cを1回のイオン注入(ion implantation)で形成するためである。
- [0053] さらに、最上層である第(n+1)の絶縁層のドレイン電極側のエッジの

位置については、特に制限されない。なぜなら、第 $(n+1)$ の絶縁層、即ち、図1乃至図3における第4の絶縁層5上には、アクティブエリアとしての半導体層（メモリストリング）が形成されないからである。

[0054] 第1乃至第3のレイヤー選択トランジスタ T_a 、 T_b 、 T_c の閾値状態について説明する。

[0055] 第1乃至第3のメモリストリング（ $NANDa$ 、 $NANDb$ 、 $NANDc$ ）から最も遠い第1のレイヤー選択トランジスタ T_a は、最下層である第1の半導体層3aにおいて、第1のセレクトゲート電極10aに印加される電圧範囲内で常にオン状態である（制御不可能状態）。

[0056] ここでの常にオン状態は、第1のレイヤー選択トランジスタ T_a のチャンネルとしての第1の半導体層3a内に不純物領域13aを設けることにより実現する。

[0057] その他の第2及び第3の半導体層3b、3cにおいては、第1のレイヤー選択トランジスタ T_a は、第1のセレクトゲート電極10aに印加される電圧範囲内でオン／オフ制御される。

[0058] 第2のレイヤー選択トランジスタ T_b は、中間層である第2の半導体層3bにおいて、第2のセレクトゲート電極10bに印加される電圧範囲内で常にオン状態である（制御不可能状態）。

[0059] ここでの常にオン状態は、第2のレイヤー選択トランジスタ T_b のチャンネルとしての第2の半導体層3b内に不純物領域13bを設けることにより実現する。

[0060] その他の第1及び第3の半導体層3a、3cにおいては、第2のレイヤー選択トランジスタ T_b は、第2のセレクトゲート電極10bに印加される電圧範囲内でオン／オフ制御される。

[0061] 第1乃至第3のメモリストリング（ $NANDa$ 、 $NANDb$ 、 $NANDc$ ）に最も近い第3のレイヤー選択トランジスタ T_c は、最上層である第3の半導体層3cにおいて、第3のセレクトゲート電極10cに印加される電圧範囲内で常にオン状態である（制御不可能状態）。

- [0062] ここでの常にオン状態は、第3のレイヤー選択トランジスタ T_c のチャンネルとしての第3の半導体層3c内に不純物領域13cを設けることにより実現する。
- [0063] その他の第1及び第2の半導体層3a、3bにおいては、第3のレイヤー選択トランジスタ T_c は、第3のセレクトゲート電極10cに印加される電圧範囲内でオン／オフ制御される。
- [0064] 以上を一般化すると、フィン型積層構造9が、第1の絶縁層、第1の半導体層、…第 n の絶縁層、第 n の半導体層、第 $(n+1)$ の絶縁層(n は2以上の自然数)の順に積み重ねられる積層体であるとき、第1乃至第 n のレイヤー選択トランジスタのうち第 j のレイヤー選択トランジスタ(j は、1～ n のうちの1つ)は、第 j の半導体層で常にオン状態である、ということになる。
- [0065] このような構造によれば、例えば、第2及び第3のメモリストリングNANDb, NANDcにおいて第1のレイヤー選択トランジスタ T_a をオフにし、第1のメモリストリングNANDaにおいて第1乃至第3のレイヤー選択トランジスタ T_a , T_b , T_c の全てをオンにし、第1のメモリストリングNANDaに電流を流すとき、第1のメモリストリングNANDaから第2及び第3のメモリストリングNANDb, NANDcへのリークパスが第2の絶縁層4aにより遮断される。
- [0066] 同様に、例えば、第1及び第3のメモリストリングNANDa, NANDcにおいて第2のレイヤー選択トランジスタ T_b をオフにし、第2のメモリストリングNANDbにおいて第1乃至第3のレイヤー選択トランジスタ T_a , T_b , T_c の全てをオンにし、第2のメモリストリングNANDbに電流を流すとき、第2のメモリストリングNANDbから第3のメモリストリングNANDcへのリークパスが第3の絶縁層4bにより遮断される。
- [0067] このように、非選択のメモリストリングに不要な電流が流れることがなく、カットオフ特性を向上させることができる。
- [0068] B. 材料例

図1乃至図3のデバイス構造の各要素を構成する材料については、半導体

メモリの各世代に応じた最適な材料を適宜選択することができる。

- [0069] 例えば、第1のゲート絶縁層6(1)aは、 SiO_2 とし、電荷蓄積層6(1)bは、 Si_3N_4 とし、第2のゲート絶縁層6(1)cは、 Al_2O_3 とし、コントロールゲート電極6(1)dは、NiSiとすることができる。
- [0070] 第1のゲート絶縁層6(1)aは、酸窒化シリコン、酸化シリコンと窒化シリコンとの積層構造などとしてもよい。また、第1のゲート絶縁層6(1)aは、シリコンナノ粒子や、金属イオンなどを含んでいてもよい。
- [0071] 電荷蓄積層6(1)bは、シリコンと窒素の組成比x、yが任意である Si_xN_y 、酸窒化シリコン(SiON)、酸化アルミニウム(Al_2O_3)、酸窒化アルミニウム(AlON)、ハフニア(HfO_2)、ハフニウム・アルミネート(HfAlO_3)、窒化ハフニア(HfON)、窒化ハフニウム・アルミネート(HfAlON)、ハフニウム・シリケート(HfSiO)、窒化ハフニウム・シリケート(HfSiON)、酸化ランタン(La_2O_3)、及び、ランタン・アルミネート(LaAlO_3)のうちの少なくとも1つから構成してもよい。
- [0072] 電荷蓄積層6(1)bは、不純物が添加されたポリシリコン、メタルなどの導電体から構成してもよい。
- [0073] 第2のゲート絶縁層6(1)cは、酸化シリコン(SiO_2)、酸窒化シリコン(SiON)、酸化アルミニウム(Al_2O_3)、酸窒化アルミニウム(AlON)、ハフニア(HfO_2)、ハフニウム・アルミネート(HfAlO_3)、窒化ハフニア(HfON)、窒化ハフニウム・アルミネート(HfAlON)、ハフニウム・シリケート(HfSiO)、窒化ハフニウム・シリケート(HfSiON)、酸化ランタン(La_2O_3)、ランタン・アルミネート(LaAlO_3)、及び、ランタンアルミシリケート(LaAlSiO)のうちの少なくとも1つから構成してもよい。
- [0074] コントロールゲート電極6(1)dは、タンタルナイトライド(TaN)、タンタルカーバイト(TaC)、チタンナイトライド(TiN)などの金属化合物、又は、金属的な電気伝導特性を示す、V、Cr、Mn、Y、Mo、Ru、Rh、Hf、Ta、W、Ir、Co、Ti、Er、Pt、Pd、Zr、Gd、Dy、Ho、Er及びこれらのシリサイドから構成できる。

[0075] 不純物領域 13 a, 13 b, 13 c を構成する不純物としては、n 型半導体となる不純物、例えば、砒素 (As) リン (P) などの 5 価元素、p 型半導体となる不純物、例えば、ホウ素 (B) インジウム (In) などの 3 価元素や、それらを組み合わせたものなどとすることができる。

[0076] C. 第 1 の応用例

図 5 は、第 1 の実施例の第 1 の応用例を示している。

[0077] ここでは、第 1 の実施例 (図 1 乃至図 3) と同じ要素には同じ符号を付すことにより詳細な説明については省略する。

[0078] 第 1 の応用例の特徴は、共通半導体層 14 内に、ドレイン電極 7 を取り囲む拡散層 17 を形成したことにある。

[0079] 拡散層 17 は、不純物領域 13 a, 13 b, 13 c と同様に、n 型半導体となる不純物、p 型半導体となる不純物や、それらを組み合わせたものなどから構成できる。

[0080] 拡散層 17 は、共通半導体層 14 とドレイン電極 7 とのコンタクト抵抗を下げる役割を有する。

[0081] D. 第 2 の応用例

図 6 は、第 1 の実施例の第 2 の応用例を示している。

[0082] ここでは、第 1 の実施例 (図 1 乃至図 3) と同じ要素には同じ符号を付すことにより詳細な説明については省略する。

[0083] 第 2 の応用例の特徴は、第 1 乃至第 3 のセレクトゲート電極 10 a, 10 b, 10 c が第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) の第 3 の方向に対向する 2 つの側面のうちの 1 つを覆っている点にある。

[0084] 即ち、第 1 乃至第 3 のレイヤー選択トランジスタ T a, T b, T c は、シングルゲート構造を有する。

[0085] 本例では、絶縁層 19 は、2 つのフィン型積層構造 9 a, 9 b の間に配置され、それらを絶縁 (isolate) する。

[0086] 尚、絶縁層 19 は、電極に変えることもできる。

この場合、書き込み／消去時に、その電極にバイアスを印加することによ

り、書き込み／消去特性を向上させることができる。

[0087] E. 第3の応用例

図7は、第1の実施例の第3の応用例を示している。

[0088] ここでは、第1の実施例（図1乃至図3）と同じ要素には同じ符号を付すことにより詳細な説明については省略する。

[0089] 第3の応用例は、複数のフィン型積層構造9a, 9b, 9cを第3の方向に並べてメモリセルアレイを構成した点に特徴を有する。各々のフィン型積層構造は、図1乃至図3に開示されるフィン型積層構造9と同じ構造を有する。

[0090] コントロールゲート電極を含むゲート積層構造6(1), 6(2), …6(n)は、フィン型積層構造9a, 9b, 9cを跨って第3の方向に延びる。同様に、セレクトゲート電極を含むゲート積層構造10a, 10b, 10cは、フィン型積層構造9a, 9b, 9cを跨って第3の方向に延びる。

[0091] このようなアレイ構造とすることにより、大きなメモリ容量を有する三次元積層型半導体メモリを実現できる。

[0092] F. 動作

第1の実施例（図1乃至図3）及び第1乃至第3の応用例（図5乃至図7）に係わる三次元積層型半導体メモリの動作について説明する。

[0093] ・ 書き込み動作は、以下の通りである。

まず、第1の半導体層3aをチャネルとするメモリストリングNANDaに対して書き込みを実行するとき、ドレイン電極7及びソース電極8に接地電位を印加し、セレクトゲート電極10b, 10c及びコントロールゲート電極6(1)d, …6(n)dに第1の正のバイアスを印加する。セレクトゲート電極10a, 11にはバイアスを印加しない。

[0094] この時、第1乃至第3のレイヤー選択トランジスタTa, Tb, Tc及び第1乃至第3のメモリストリングNANDa, NANDb, NANDcのチャネルとなる第1乃至第3の半導体層3(3a, 3b, 3c)に、例えば、n型不純物の蓄積領域が形成される。

- [0095] また、セレクトゲート電極 10a にバイアスが印加されないため、第 1 のレイヤー選択トランジスタ T_a は、第 2 及び第 3 の半導体層 3b、3c においてオフ状態であり、不純物領域 13a により第 1 の半導体層 3a においてオン状態である。また、セレクトゲート電極 11 にバイアスが印加されないため、ソース側選択トランジスタ T_s は、第 1 乃至第 3 の半導体層 3 (3a, 3b, 3c) においてオフ状態である。
- [0096] この後、書き込み対象となる選択されたメモリセルのコントロールゲート電極に、例えば、第 1 の正のバイアスよりも大きい第 2 の正のバイアスを印加し、かつ、ビット線 BL からドレイン電極 7 にプログラムデータ “0” / “1” を転送する。
- [0097] 非選択のメモリストリング NANDb, NANDc が形成される第 2 及び第 3 の半導体層 3b, 3c では、第 2 の正のバイアスの印加による容量カップリングにより、チャネル電位が上昇するため、コントロールゲート電極（又は電荷蓄積層）とチャネルとの間に十分に大きな電圧が印加されず、書き込みが禁止 (inhibit) される。
- [0098] 選択されたメモリストリング NANDa が形成される第 1 の半導体層 3a では、第 1 のレイヤー選択トランジスタ T_a がオン状態であるため、プログラムデータ “0” / “1” がチャネルとしての第 1 の半導体層 3a に転送される。
- [0099] プログラムデータが “0” のとき、例えば、チャネルとしての第 1 の半導体層 3a は、正の電位になる。この状態で、選択されたメモリセルのコントロールゲート電極に第 2 の正のバイアスが印加され、容量カップリングによりチャネル電位が少し上昇すると、第 1 のレイヤー選択トランジスタ T_a がカットオフ状態になる。
- [0100] 従って、第 1 の半導体層 3a では、第 2 の正のバイアスの印加による容量カップリングにより、チャネル電位が上昇する。即ち、コントロールゲート電極（又は電荷蓄積層）とチャネルとの間に十分に大きな電圧が印加されず、電荷蓄積層内に電子が注入されることはないため、書き込みが禁止される（“0”－プログラミング）。

- [0101] これに対し、プログラムデータが“1”のとき、例えば、チャンネルとしての第1の半導体層3aは、接地電位になる。この状態では、選択されたメモリセルのコントロールゲート電極に第2の正のバイアスが印加されても、第1のレイヤー選択トランジスタT_aがカットオフ状態になることはない。
- [0102] 従って、チャンネルとしての第1の半導体層3aには接地電位が印加され、コントロールゲート電極には第2の正のバイアスが印加される。即ち、コントロールゲート電極（又は電荷蓄積層）とチャンネルとの間に十分に大きな電圧が発生し、電荷蓄積層内に電子が注入されるため、書き込みが実行される（“1”－プログラミング）。
- [0103] 次に、第2の半導体層3bをチャンネルとするメモリストリングNANDbに対して書き込みを実行するとき、ドレイン電極7及びソース電極8に接地電位を印加し、セレクトゲート電極10a, 10c及びコントロールゲート電極6（1）d, …6（n）dに第1の正のバイアスを印加する。セレクトゲート電極10b, 11にはバイアスを印加しない。
- [0104] この時、第1乃至第3のレイヤー選択トランジスタT_a, T_b, T_c及び第1乃至第3のメモリストリングNANDa, NANDb, NANDcのチャンネルとなる第1乃至第3の半導体層3（3a, 3b, 3c）に、例えば、n型不純物の蓄積領域が形成される。
- [0105] また、セレクトゲート電極10bにバイアスが印加されないため、第2のレイヤー選択トランジスタT_bは、第1及び第3の半導体層3a, 3cにおいてオフ状態であり、不純物領域13bにより第2の半導体層3bにおいてオン状態である。また、セレクトゲート電極11にバイアスが印加されないため、ソース側選択トランジスタT_sは、第1乃至第3の半導体層3（3a, 3b, 3c）においてオフ状態である。
- [0106] この後、書き込み対象となる選択されたメモリセルのコントロールゲート電極に、例えば、第1の正のバイアスよりも大きい第2の正のバイアスを印加し、かつ、ビット線BLからドレイン電極7にプログラムデータ“0”／“1”を転送する。

- [0107] 非選択のメモリストリングNANDa, NANDcが形成される第1及び第3の半導体層3a, 3cでは、第2の正のバイアスの印加による容量カップリングにより、チャネル電位が上昇するため、コントロールゲート電極（又は電荷蓄積層）とチャネルとの間に十分に大きな電圧が印加されず、書き込みが禁止される。
- [0108] 選択されたメモリストリングNANDbが形成される第2の半導体層3bでは、第2のレイヤー選択トランジスタTbがオン状態であるため、プログラムデータ“0”／“1”がチャネルとしての第2の半導体層3bに転送される。
- [0109] プログラムデータが“0”のとき、例えば、チャネルとしての第2の半導体層3bは、正の電位になる。この状態で、選択されたメモリセルのコントロールゲート電極に第2の正のバイアスが印加され、容量カップリングによりチャネル電位が少し上昇すると、第2のレイヤー選択トランジスタTbがカットオフ状態になる。
- [0110] 従って、第2の半導体層3bでは、第2の正のバイアスの印加による容量カップリングにより、チャネル電位が上昇する。即ち、コントロールゲート電極（又は電荷蓄積層）とチャネルとの間に十分に大きな電圧が印加されず、電荷蓄積層内に電子が注入されることはないため、書き込みが禁止される（“0”－プログラミング）。
- [0111] これに対し、プログラムデータが“1”のとき、例えば、チャネルとしての第2の半導体層3bは、接地電位になる。この状態では、選択されたメモリセルのコントロールゲート電極に第2の正のバイアスが印加されても、第2のレイヤー選択トランジスタTbは、オン状態のままである。
- [0112] 従って、チャネルとしての第2の半導体層3bには接地電位が印加され、コントロールゲート電極には第2の正のバイアスが印加される。即ち、コントロールゲート電極（又は電荷蓄積層）とチャネルとの間に十分に大きな電圧が発生し、電荷蓄積層内に電子が注入されるため、書き込みが実行される（“1”－プログラミング）。
- [0113] 最後に、第3の半導体層3cをチャネルとするメモリストリングNANDcに対

して書き込みを実行するとき、ドレイン電極 7 及びソース電極 8 に接地電位を印加し、セレクトゲート電極 10 a, 10 b 及びコントロールゲート電極 6 (1) d, … 6 (n) d に第 1 の正のバイアスを印加する。セレクトゲート電極 10 c, 11 にはバイアスを印加しない。

[0114] この時、第 1 乃至第 3 のレイヤー選択トランジスタ T a, T b, T c 及び第 1 乃至第 3 のメモリストリング NANDa, NANDb, NANDc のチャネルとなる第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) に、例えば、n 型不純物の蓄積領域が形成される。

[0115] また、セレクトゲート電極 10 c にバイアスが印加されないため、第 3 のレイヤー選択トランジスタ T c は、第 1 及び第 2 の半導体層 3 a, 3 b においてオフ状態であり、不純物領域 13 c により第 3 の半導体層 3 c においてオン状態である。また、セレクトゲート電極 11 にバイアスが印加されないため、ソース側選択トランジスタ T s は、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) においてオフ状態である。

[0116] この後、書き込み対象となる選択されたメモリセルのコントロールゲート電極に、例えば、第 1 の正のバイアスよりも大きい第 2 の正のバイアスを印加し、かつ、ビット線 B L からドレイン電極 7 にプログラムデータ “0” / “1” を転送する。

[0117] 非選択のメモリストリング NANDa, NANDb が形成される第 1 及び第 2 の半導体層 3 a, 3 b では、第 3 のバイアスの印加による容量カップリングにより、チャネル電位が上昇するため、コントロールゲート電極（又は電荷蓄積層）とチャネルとの間に十分に大きな電圧が印加されず、書き込みが禁止される。

[0118] 選択されたメモリストリング NANDc が形成される第 3 の半導体層 3 c では、第 3 のレイヤー選択トランジスタ T c がオン状態であるため、プログラムデータ “0” / “1” がチャネルとしての第 3 の半導体層 3 c に転送される。

[0119] プログラムデータが “0” のとき、例えば、チャネルとしての第 3 の半導体層 3 c は、正の電位になる。この状態で、選択されたメモリセルのコント

ロールゲート電極に第2の正のバイアスが印加され、容量カップリングによりチャネル電位が少し上昇すると、第3のレイヤー選択トランジスタ T_c がカットオフ状態になる。

[0120] 従って、第3の半導体層 $3c$ では、第2の正のバイアスの印加による容量カップリングにより、チャネル電位が上昇する。即ち、コントロールゲート電極（又は電荷蓄積層）とチャネルとの間に十分に大きな電圧が印加されず、電荷蓄積層内に電子が注入されることはないため、書き込みが禁止される（“0”－プログラミング）。

[0121] これに対し、プログラムデータが“1”のとき、例えば、チャネルとしての第3の半導体層 $3c$ は、接地電位になる。この状態では、選択されたメモリセルのコントロールゲート電極に第2の正のバイアスが印加されても、第3のレイヤー選択トランジスタ T_c は、オン状態のままである。

[0122] 従って、チャネルとしての第3の半導体層 $3c$ には接地電位が印加され、コントロールゲート電極には第2の正のバイアスが印加される。即ち、コントロールゲート電極（又は電荷蓄積層）とチャネルとの間に十分に大きな電圧が発生し、電荷蓄積層内に電子が注入されるため、書き込みが実行される（“1”－プログラミング）。

[0123] ・ 消去動作は、以下の通りである。

[第1の例]

消去動作は、例えば、フィン型積層構造内の第1乃至第3のメモリストリング $NANDa$, $NANDb$, $NANDc$ に対して一括して行う（ブロック消去1）。

[0124] まず、ドレイン電極7及びソース電極8に接地電位を印加し、セレクトゲート電極 $10a$, $10b$, $10c$, 11 及びコントロールゲート電極 $6(1)d$, $\dots 6(n)d$ に第1の負のバイアスを印加する。

[0125] この時、第1乃至第3のレイヤー選択トランジスタ Ta , Tb , Tc 及び第1乃至第3のメモリストリング $NANDa$, $NANDb$, $NANDc$ のチャネルとなる第1乃至第3の半導体層 $3(3a, 3b, 3c)$ に、例えば、p型不純物の蓄積領域が形成される。

[0126] そして、コントロールゲート電極 6 (1) d, … 6 (n) d に第 1 の負のバイアスよりも大きい第 2 の負のバイアスを印加する。

[0127] その結果、コントロールゲート電極（又は電荷蓄積層）とチャネルとの間に十分に大きな電圧が発生し、電荷蓄積層内の電子がチャネルに排出されるため、消去が実行される（ブロック消去）。

[0128] [第 2 の例]

消去動作は、例えば、フィン型積層構造内の第 1 乃至第 3 のメモリストリング NANDa, NANDb, NANDc のうちの 1 つに対して行うこともできる（ブロック消去 2）。

[0129] 例えば、第 1 のメモリストリング NANDa に対して消去を実行するときは、書き込みと同様に、セレクトゲート電極 10a, 11 にはバイアスを印加しない。これにより、第 1 のレイヤー選択トランジスタ Ta は、第 2 及び第 3 の半導体層 3b, 3c においてオフ状態になるため、第 1 のメモリストリング NANDa に対して選択的に消去を行うことができる。

[0130] また、第 2 のメモリストリング NANDb に対して消去を実行するときは、書き込みと同様に、セレクトゲート電極 10b, 11 にはバイアスを印加しない。これにより、第 2 のレイヤー選択トランジスタ Tb は、第 1 及び第 3 の半導体層 3a, 3c においてオフ状態になるため、第 2 のメモリストリング NANDb に対して選択的に消去を行うことができる。

[0131] さらに、第 3 のメモリストリング NANDc に対して消去を実行するときは、書き込みと同様に、セレクトゲート電極 10c, 11 にはバイアスを印加しない。これにより、第 3 のレイヤー選択トランジスタ Tc は、第 1 及び第 2 の半導体層 3a, 3b においてオフ状態になるため、第 3 のメモリストリング NANDc に対して選択的に消去を行うことができる。

[0132] [第 3 の例]

消去動作は、例えば、フィン型積層構造内の第 1 乃至第 3 のメモリストリング NANDa, NANDb, NANDc 内の 1 つのメモリセルに対して行うこともできる（ページ消去／1セル消去）。

[0133] この場合、上述の第 1 又は第 2 の例の条件にさらに以下の条件を付加する。

[0134] 消去対象となる選択されたメモリセルのコントロールゲート電極に第 1 の負のバイアスよりも大きい第 2 の負のバイアスを印加する。消去対象とならない非選択のメモリセルのコントロールゲート電極には第 2 の負のバイアスを印加しない。

[0135] これにより、選択されたメモリセルのみに対して、コントロールゲート電極（又は電荷蓄積層）とチャネルとの間に十分に大きな電圧が発生し、電荷蓄積層内の電子がチャネルに排出されるため、消去が実行される。

[0136] ・ 読み出し動作は、以下の通りである。

まず、第 1 の半導体層 3 a をチャネルとするメモリストリング NANDa に対して読み出しを実行するとき、ドレイン電極 7 を読み出し回路に接続し、ソース電極 8 に接地電位を印加する。また、セレクトゲート電極 10 b, 10 c, 11 及びコントロールゲート電極 6 (1) d, … 6 (n) d に第 1 の正のバイアスを印加する。

[0137] 第 1 の正のバイアスは、例えば、“0” / “1” データによらず、メモリセルをオン状態にする値とする。セレクトゲート電極 10 a にはバイアスを印加しない。

[0138] この時、セレクトゲート電極 10 a にバイアスが印加されないため、第 1 のレイヤー選択トランジスタ T a は、第 2 及び第 3 の半導体層 3 b、3 c においてオフ状態であり、第 1 の半導体層 3 a においてオン状態である。

[0139] この後、メモリストリング NANDa に対して、ソース側のメモリセルからドレイン側のメモリセルに向かって順次データの読み出しを行う。

[0140] 読み出し対象となる選択されたメモリセルでは、コントロールゲート電極に、例えば、第 1 の正のバイアスよりも小さい読み出しのための第 2 の正のバイアスが印加される。第 2 の正のバイアスは、例えば、“0” データの閾値と “1” データの閾値との間の値とする。

[0141] 従って、選択されたメモリセルに記憶されたデータの値に応じて、その選

択されたメモリセルのオン／オフが決定されるため、読み出し回路を用いて、ビット線BLの電位変化や、ビット線に流れる電流変化などを検出することにより、読み出しを行うことができる。

[0142] 次に、第2の半導体層3bをチャネルとするメモリストリングNANDbに対して読み出しを実行するとき、ドレイン電極7を読み出し回路に接続し、ソース電極8に接地電位を印加する。また、セレクトゲート電極10a, 10c, 11及びコントロールゲート電極6(1)d, …6(n)dに第1の正のバイアスを印加する。

[0143] 第1の正のバイアスは、例えば、“0”／“1”ーデータによらず、メモリセルをオン状態にする値とする。セレクトゲート電極10bにはバイアスを印加しない。

[0144] この時、セレクトゲート電極10bにバイアスが印加されないため、第2のレイヤー選択トランジスタTbは、第1及び第3の半導体層3a、3cにおいてオフ状態であり、第2の半導体層3bにおいてオン状態である。

[0145] この後、メモリストリングNANDbに対して、ソース側のメモリセルからドレイン側のメモリセルに向かって順次データの読み出しを行う。

[0146] 読み出し対象となる選択されたメモリセルでは、コントロールゲート電極に、例えば、第1の正のバイアスよりも小さい読み出しのための第2の正のバイアスが印加される。第2の正のバイアスは、例えば、“0”ーデータの閾値と“1”ーデータの閾値との間の値とする。

[0147] 従って、選択されたメモリセルに記憶されたデータの値に応じて、その選択されたメモリセルのオン／オフが決定されるため、読み出し回路を用いて、ビット線BLの電位変化や、ビット線に流れる電流変化などを検出することにより、読み出しを行うことができる。

[0148] 最後に、第3の半導体層3cをチャネルとするメモリストリングNANDcに対して読み出しを実行するとき、ドレイン電極7を読み出し回路に接続し、ソース電極8に接地電位を印加する。また、セレクトゲート電極10a, 10b, 11及びコントロールゲート電極6(1)d, …6(n)dに第1の正

のバイアスを印加する。

- [0149] 第1の正のバイアスは、例えば、“0”／“1”ーデータによらず、メモリセルをオン状態にする値とする。セレクトゲート電極10cにはバイアスを印加しない。
- [0150] この時、セレクトゲート電極10cにバイアスが印加されないため、第3のレイヤー選択トランジスタTcは、第1及び第2の半導体層3a、3bにおいてオフ状態であり、第3の半導体層3cにおいてオン状態である。
- [0151] この後、メモリストリングNANDcに対して、ソース側のメモリセルからドレイン側のメモリセルに向かって順次データの読み出しを行う。
- [0152] 読み出し対象となる選択されたメモリセルでは、コントロールゲート電極に、例えば、第1の正のバイアスよりも小さい読み出しのための第2の正のバイアスが印加される。第2の正のバイアスは、例えば、“0”ーデータの閾値と“1”ーデータの閾値との間の値とする。
- [0153] 従って、選択されたメモリセルに記憶されたデータの値に応じて、その選択されたメモリセルのオン／オフが決定されるため、読み出し回路を用いて、ビット線BLの電位変化や、ビット線に流れる電流変化などを検出することにより、読み出しを行うことができる。
- [0154] G. 図1の構造を製造する方法の第1の例
- 図8A乃至図8Fは、図1の構造を製造する方法を示している。
- [0155] まず、図8Aに示すように、例えば、面方位（100）及び比抵抗10〜20Ωcmを有する第1の導電型（例えば、p型）半導体基板（例えば、シリコン）1を用意する。この半導体基板1上に第1の絶縁層（例えば、酸化シリコン）2を形成し、続けて、第1の絶縁層2上に第1の半導体層（例えば、シリコン）3aを形成する。
- [0156] そして、フォトエッチングプロセス（PEP：Photo Etching Process）により、第1の半導体層3a上にレジストパターンを形成し、このレジストパターンをマスクにしてイオン注入を行い、第1の半導体層3a内に不純物添加領域13aを形成する。この後、レジストパターンは、除去される。

[0157] 次に、図 8 B に示すように、第 1 の半導体層 3 a 上に第 2 の絶縁層（例えば、酸化シリコン）4 a を形成する。また、PEP により、第 2 の絶縁層 4 a 上にレジストパターンを形成し、このレジストパターンをマスクにして R I E (Reactive Ion Etching) を行い、第 2 の絶縁層 4 a をパターニングする。

[0158] その結果、第 2 の絶縁層 4 a の第 2 の方向におけるエッジの位置が決定される。第 2 の絶縁層 4 a の第 2 の方向におけるエッジの位置は、構造の項目で説明した条件に従う。この後、レジストパターンは、除去される。

[0159] そして、第 1 の半導体層 3 a 上及び第 2 の絶縁層 4 a 上に第 2 の半導体層（例えば、シリコン）3 b を形成する。第 2 の半導体層 3 b は、第 2 の方向における一端において第 1 の半導体層 3 a に結合される。

[0160] また、PEP により、第 2 の半導体層 3 b 上にレジストパターンを形成し、このレジストパターンをマスクにしてイオン注入を行い、第 2 の半導体層 3 b 内に不純物添加領域 1 3 b を形成する。この後、レジストパターンは、除去される。

[0161] 次に、図 8 C に示すように、第 2 の半導体層 3 b 上に第 3 の絶縁層（例えば、酸化シリコン）4 b を形成する。また、PEP により、第 3 の絶縁層 4 b 上にレジストパターンを形成し、このレジストパターンをマスクにして R I E を行い、第 3 の絶縁層 4 b をパターニングする。

[0162] その結果、第 3 の絶縁層 4 b の第 2 の方向におけるエッジの位置が決定される。第 3 の絶縁層 4 b の第 2 の方向におけるエッジの位置は、構造の項目で説明した条件に従う。

[0163] この後、レジストパターンは、除去される。

[0164] そして、第 2 の半導体層 3 b 上及び第 3 の絶縁層 4 b 上に第 3 の半導体層（例えば、シリコン）3 c を形成する。第 3 の半導体層 3 c は、第 2 の方向における一端において第 2 の半導体層 3 b に結合される。

[0165] また、PEP により、第 3 の半導体層 3 c 上にレジストパターンを形成し、このレジストパターンをマスクにしてイオン注入を行い、第 3 の半導体層

3 c 内に不純物添加領域 1 3 c を形成する。この後、レジストパターンは、除去される。

[0166] 次に、図 8 D に示すように、第 3 の半導体層 3 c 上に第 4 の絶縁層（例えば、酸化シリコン）5 を形成する。また、PEP により、第 4 の絶縁層 5 上にレジストパターンを形成し、このレジストパターンをマスクにして RIE を行い、第 4 の絶縁層 5 をパターニングする。その結果、第 4 の絶縁層 5 の第 2 の方向におけるエッジの位置が決定される。

[0167] 但し、最上層としての第 4 の絶縁層 5 の第 2 の方向におけるエッジの位置は、構造の項目で説明したように、特に制限されることはない。

[0168] この後、レジストパターンは、除去される。

[0169] そして、第 3 の半導体層 3 c 上に第 4 の半導体層（例えば、シリコン）3 d を形成する。第 4 の半導体層 3 d は、第 2 の方向における一端において第 3 の半導体層 3 c に結合される。但し、第 4 の半導体層 3 d は、省略してもよい。

[0170] 次に、図 8 E に示すように、PEP により、第 4 の絶縁層 5 上及び結合半導体層 1 4 上にレジストパターンを形成し、このレジストパターンをマスクにして RIE を行い、第 4 の絶縁層 5、第 3 の半導体層 3 c、第 3 の絶縁層 4 b、第 2 の半導体層 3 b、第 2 の絶縁層 4 a、第 1 の半導体層 3 a、第 1 の絶縁層 2、及び、結合半導体層 1 4 を、順次、パターニングする。その結果、フィン型積層構造 9 が形成される。

[0171] ここで、結合半導体層 1 4 は、第 1 乃至第 4 の半導体層 3（3 a, 3 b, 3 c, 3 d）の第 2 の方向における一端における構造を意味するものとする。

[0172] この後、レジストパターンは、除去される。

[0173] 次に、図 8 F に示すように、CVD やスパッタなどの方法及び RIE などの異方性エッチング方法を用いて、フィン型積層構造 9 に跨り、第 3 の方向に延びるゲート積層構造 6（1）、6（2）、…6（n）及びセレクトゲート電極 10（10 a, 10 b, 10 c）を形成する。

[0174] ここで、ゲート積層構造 6 (1), 6 (2), … 6 (n) は、例えば、第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) の第 3 の方向に対向する 2 つの側面においては、第 1 の方向に延びる。同様に、セレクトゲート電極 10 (10 a, 10 b, 10 c) も、例えば、第 1 乃至第 4 の半導体層 3 (3 a, 3 b, 3 c, 3 d) の第 3 の方向に対向する 2 つの側面においては、第 1 の方向に延びる。

[0175] 以上のステップにより図 1 の構造が完成する。

[0176] H. 図 1 の構造を製造する方法の第 2 の例

図 9 A 乃至図 9 C は、図 1 の構造を製造する方法を示している。

[0177] まず、図 9 A に示すように、例えば、面方位 (100) 及び比抵抗 $10 \sim 20 \Omega \text{ cm}$ を有する第 1 の導電型 (例えば、p 型) 半導体基板 (例えば、シリコン) 1 を用意する。この半導体基板 1 上に第 1 の絶縁層 (例えば、酸化シリコン) 2 を形成し、続けて、第 1 の絶縁層 2 上に第 1 の半導体層 (例えば、シリコン) 3 a を形成する。

[0178] また、第 1 の半導体層 3 a 上に第 2 の絶縁層 (例えば、酸化シリコン) 4 a を形成する。PEP により、第 2 の絶縁層 4 a 上にレジストパターンを形成し、このレジストパターンをマスクにして RIE を行い、第 2 の絶縁層 4 a をパターニングする。

[0179] その結果、第 2 の絶縁層 4 a の第 2 の方向におけるエッジの位置が決定される。第 2 の絶縁層 4 a の第 2 の方向におけるエッジの位置は、構造の項目で説明した条件に従う。この後、レジストパターンは、除去される。

[0180] そして、第 1 の半導体層 3 a 上及び第 2 の絶縁層 4 a 上に第 2 の半導体層 (例えば、シリコン) 3 b を形成する。第 2 の半導体層 3 b は、第 2 の方向における一端において第 1 の半導体層 3 a に結合される。

[0181] また、第 2 の半導体層 3 b 上に第 3 の絶縁層 (例えば、酸化シリコン) 4 b を形成する。PEP により、第 3 の絶縁層 4 b 上にレジストパターンを形成し、このレジストパターンをマスクにして RIE を行い、第 3 の絶縁層 4 b をパターニングする。

- [0182] その結果、第3の絶縁層4bの第2の方向におけるエッジの位置が決定される。第3の絶縁層4bの第2の方向におけるエッジの位置は、構造の項目で説明した条件に従う。この後、レジストパターンは、除去される。
- [0183] そして、第2の半導体層3b上及び第3の絶縁層4b上に第3の半導体層（例えば、シリコン）3cを形成する。第3の半導体層3cは、第2の方向における一端において第2の半導体層3bに結合される。
- [0184] また、第3の半導体層3c上に第4の絶縁層（例えば、酸化シリコン）5を形成する。PEPにより、第4の絶縁層5上にレジストパターンを形成し、このレジストパターンをマスクにしてRIEを行い、第4の絶縁層5をパターンニングする。
- [0185] その結果、第4の絶縁層5の第2の方向におけるエッジの位置が決定される。最上層としての第4の絶縁層5の第2の方向におけるエッジの位置は、構造の項目で説明したように、特に制限されることはない。
- [0186] この後、レジストパターンは、除去される。
- [0187] そして、第3の半導体層3c上に第4の半導体層（例えば、シリコン）3dを形成する。第4の半導体層3dは、第2の方向における一端において第3の半導体層3cに結合される。
- [0188] 次に、図9Bに示すように、PEPにより、第4の絶縁層5及び第4の半導体層3d上にレジストパターンを形成し、このレジストパターンをマスクにしてイオン注入を行い、第1の半導体層3a内に不純物添加領域13aを形成する。このイオン注入では、第1の半導体層3a内に不純物添加領域13aが形成されるように、イオン注入の加速エネルギー及びドーズ量が設定される。
- [0189] この後、レジストパターンは、除去される。
- [0190] 次に、図9Cに示すように、PEPにより、第4の絶縁層5及び第4の半導体層3d上に再びレジストパターンを形成し、このレジストパターンをマスクにしてイオン注入を行い、第2の半導体層3b内に不純物添加領域13bを形成する。このイオン注入では、第2の半導体層3b内に不純物添加領

域 1 3 b が形成されるように、イオン注入の加速エネルギー及びドーズ量が設定される。

[0191] この後、レジストパターンは、除去される。

[0192] 続けて、PEPにより、第4の絶縁層5及び第4の半導体層3 d上に再びレジストパターンを形成し、このレジストパターンをマスクにしてイオン注入を行い、第3の半導体層3 c内に不純物添加領域1 3 cを形成する。このイオン注入では、第3の半導体層3 c内に不純物添加領域1 3 cが形成されるように、イオン注入の加速エネルギー及びドーズ量が設定される。

[0193] この後、レジストパターンは、除去される。

[0194] 以上のステップにより、製造方法の第1例における図8 Dと同じ構造が得られる。従って、この後、第1例における図8 E及び図8 Fと同じステップを経ることにより、図1の構造が完成する。

[0195] 製造方法の第2の例では、メモリストリングが形成されるアクティブエリアとしての第1乃至第3の半導体層3 (3 a, 3 b, 3 c) 上にレジストが付着することがないため、第1乃至第3の半導体層3 (3 a, 3 b, 3 c) の汚染が防止され、メモリストリングのチャネル特性が向上する。

[0196] I. 図1の構造を製造する方法の第3の例

図1 0 A乃至図1 0 Eは、図1の構造を製造する方法を示している。

[0197] まず、図1 0 Aに示すように、例えば、面方位(1 0 0)及び比抵抗1 0 ~ 2 0 Ω cmを有する第1の導電型(例えば、p型)半導体基板(例えば、シリコン)1を用意する。この半導体基板1上に第1の絶縁層(例えば、酸化シリコン)2を形成し、続けて、第1の絶縁層2上に第1の半導体層(例えば、シリコン)3 a及び第2の絶縁層(例えば、酸化シリコン)4 aを順次形成する。

[0198] PEPにより、第2の絶縁層4 a上にレジストパターンを形成し、このレジストパターンをマスクにしてRIEを行い、第2の絶縁層4 a及び第1の半導体層3 aをパターニングする。

[0199] その結果、第2の絶縁層4 aの第2の方向におけるエッジの位置が決定さ

れる。第2の絶縁層4 aの第2の方向におけるエッジの位置は、構造の項目で説明した条件に従う。この後、レジストパターンは、除去される。

[0200] また、第2の絶縁層4 a上に第2の半導体層（例えば、シリコン）3 b及び第3の絶縁層（例えば、酸化シリコン）4 bを順次形成する。

[0201] PEPにより、第3の絶縁層4 b上にレジストパターンを形成し、このレジストパターンをマスクにしてRIEを行い、第3の絶縁層4 b及び第2の半導体層3 bをパターニングする。

[0202] その結果、第3の絶縁層4 bの第2の方向におけるエッジの位置が決定される。第3の絶縁層4 bの第2の方向におけるエッジの位置は、構造の項目で説明した条件に従う。この後、レジストパターンは、除去される。

[0203] また、第3の絶縁層4 b上に第3の半導体層（例えば、シリコン）3 c及び第4の絶縁層（例えば、酸化シリコン）5を順次形成する。

[0204] PEPにより、第4の絶縁層5上にレジストパターンを形成し、このレジストパターンをマスクにしてRIEを行い、第4の絶縁層5及び第3の半導体層3 cをパターニングする。

[0205] その結果、第4の絶縁層5の第2の方向におけるエッジの位置が決定される。最上層としての第4の絶縁層5の第2の方向におけるエッジの位置は、構造の項目で説明したように、特に制限されることはない。

[0206] この後、レジストパターンは、除去される。

[0207] ここで、本例では、第2乃至第4の絶縁層4 a, 4 b, 5の第1方向における厚さは、後述するイオン注入（一括インプラ）を考慮すると、互いに等しいことが望ましい。

[0208] 次に、図10Bに示すように、PEPにより、第4の絶縁層5上にレジストパターン15を形成し、このレジストパターン15をマスクにしてイオン注入を行う。

[0209] このイオン注入では、加速エネルギー及びドーズ量を制御することにより、第1乃至第3の半導体層3（3 a, 3 b, 3 c）内に不純物領域13 a, 13 b, 13 cが同時に形成される（一括インプラ）。

- [0210] また、不純物領域 13 a, 13 b, 13 c は、第 2 乃至第 4 の絶縁層 4 a, 4 b, 5 がマスクとして機能するため、自己整合的に、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) の一端のみに形成される。
- [0211] この後、レジストパターン 15 は、除去される。
- [0212] 次に、図 10 C に示すように、結合半導体層 (例えば、シリコン) 14 を形成し、CMP (Chemical Mechanical Polishing) により、結合半導体層 14 の表面を平坦化する。この平坦化は、例えば、ドライエッチングにより行うこともできる。
- [0213] 結合半導体層 14 は、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) を第 2 の方向における一端において互いに結合する。
- [0214] 次に、図 10 D に示すように、PEP により、第 4 の絶縁層 5 上及び結合半導体層 14 上にレジストパターンを形成し、このレジストパターンをマスクにしてRIEを行い、第 4 の絶縁層 5、第 3 の半導体層 3 c、第 3 の絶縁層 4 b、第 2 の半導体層 3 b、第 2 の絶縁層 4 a、第 1 の半導体層 3 a、第 1 の絶縁層 2、及び、結合半導体層 14 を、順次、パターニングする。その結果、フィン型積層構造 9 が形成される。
- [0215] この後、レジストパターンは、除去される。
- [0216] 次に、図 10 E に示すように、CVD やスパッタなどの方法及びRIEなどの異方性エッチング方法を用いて、フィン型積層構造 9 に跨り、第 3 の方向に延びるゲート積層構造 6 (1), 6 (2), … 6 (n) 及びセレクトゲート電極 10 (10 a, 10 b, 10 c) を形成する。
- [0217] ここで、ゲート積層構造 6 (1), 6 (2), … 6 (n) は、例えば、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) の第 3 の方向に対向する 2 つの側面においては、第 1 の方向に延びる。同様に、セレクトゲート電極 10 (10 a, 10 b, 10 c) も、例えば、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) の第 3 の方向に対向する 2 つの側面においては、第 1 の方向に延びる。
- [0218] 以上のステップにより図 1 の構造が完成する。

[0219] J. まとめ

第1の実施例によれば、第2及び第3の絶縁層のドレイン電極側のエッジの位置を調整することにより、選択された1つのメモリストリングに電流を流すときに、残りの非選択のメモリストリングに不必要な電流が流れることがなくなり、読み出し／書き込み／消去を正確に行うことができる。

[0220] (2) 第2の実施例

A. 構造

図11は、第2の実施例の構造を示している。図12は、図11のXII-XII線に沿う断面図、図13は、図11のXIII-XIII線に沿う断面図である。

[0221] ここでは、第1の実施例（図1乃至図3）と同じ要素には同じ符号を付すことにより詳細な説明については省略する。

[0222] 第2の実施例の特徴は、フィン型積層構造9を構成する第1乃至第3の半導体層3a, 3b, 3cのうち最上層である第3の半導体層3cをチャンネルとする第3のメモリストリング(Dummy)は、非メモリセルとしてのダミーセルから構成される、という点にある。

[0223] 最上層をダミー層としたのは、例えば、後述する製造方法により図11乃至図13の構造を形成すると、最上層である第3の半導体層3c内のほぼ全てに不純物領域13cが形成されてしまうからである。

[0224] 本例では、最上層である第3の半導体層3cがダミー層であるため、最も第1及び第2のメモリストリングNANDa, NANDb側にある第3のレイヤー選択トランジスタTcは、必須とならない。即ち、第3のレイヤー選択トランジスタTcについては、これを省略することができる。

[0225] その他の構成については、第1の実施例と同じである。

特に、第2及び第3の絶縁層4（4a, 4b）の第2の方向におけるエッジの位置については、第1実施例と同じとなる。第3の半導体層3cは、ダミーであるが、第1実施例と同様に、第3の絶縁層4bのエッジの位置を調整することで、第1又は第2の半導体層3a, 3bから第3の半導体層3cへのリークパスを遮断することができる。

[0226] B. 材料例

第2の実施例（図11乃至図13）においても、第1の実施例の材料例で説明した材料を用いて、三次元積層型半導体メモリを製造することができる。

[0227] C. 応用例

第2の実施例（図11乃至図13）においても、第1の実施例における第1乃至第3の応用例（図5乃至図7）と同じ応用が可能である。

[0228] D. 動作

- ・ 第3のレイヤー選択トランジスタ T_c を省略しない場合

この場合、第1の実施例で説明した動作と同じ動作により、書き込み／消去／読み出しを行うことができる。

[0229] 但し、最上層である第3の半導体層 3_c をチャンネルとする第3のメモリストリング（Dummy）がダミーであるため、これが選択されることはない。

[0230] 即ち、書き込み／消去／読み出し時に、セレクトゲート電極 10_c にはバイアスが印加され、セレクトゲート電極 10_a 、 10_b のうちの1つにバイアスが印加されないため、第3の半導体層 3_c に電流が流れることはない。

- ・ 第3のレイヤー選択トランジスタ T_c を省略する場合

この場合、第1の実施例で説明した動作と同じ動作により、書き込み／消去／読み出しを行うことができる。

[0232] 但し、第3のレイヤー選択トランジスタ T_c が存在しないため、第1の実施例で説明した動作のうちセレクトゲート電極 10_c に関する部分は省略される。

[0233] E. 図11の構造を製造する方法

図14A乃至図14Eは、図11の構造を製造する方法を示している。

[0234] まず、図14Aに示すように、例えば、面方位（100）及び比抵抗 $10 \sim 20 \Omega \text{ cm}$ を有する第1の導電型（例えば、p型）半導体基板（例えば、シリコン）1を用意する。この半導体基板1上に第1の絶縁層（例えば、酸化シリコン）2を形成し、続けて、第1の絶縁層2上に第1の半導体層（例

えば、シリコン) 3 a 及び第 2 の絶縁層 (例えば、酸化シリコン) 4 a を順次形成する。

[0235] P E P により、第 2 の絶縁層 4 a 上にレジストパターンを形成し、このレジストパターンをマスクにして R I E を行い、第 2 の絶縁層 4 a 及び第 1 の半導体層 3 a をパターンニングする。

[0236] その結果、第 2 の絶縁層 4 a の第 2 の方向におけるエッジの位置が決定される。第 2 の絶縁層 4 a の第 2 の方向におけるエッジの位置は、構造の項目で説明した条件に従う。この後、レジストパターンは、除去される。

[0237] また、第 2 の絶縁層 4 a 上に第 2 の半導体層 (例えば、シリコン) 3 b 及び第 3 の絶縁層 (例えば、酸化シリコン) 4 b を順次形成する。

[0238] P E P により、第 3 の絶縁層 4 b 上にレジストパターンを形成し、このレジストパターンをマスクにして R I E を行い、第 3 の絶縁層 4 b 及び第 2 の半導体層 3 b をパターンニングする。

[0239] その結果、第 3 の絶縁層 4 b の第 2 の方向におけるエッジの位置が決定される。第 3 の絶縁層 4 b の第 2 の方向におけるエッジの位置は、構造の項目で説明した条件に従う。この後、レジストパターンは、除去される。

[0240] また、第 3 の絶縁層 4 b 上に第 3 の半導体層 (例えば、シリコン) 3 c 及び第 4 の絶縁層 (例えば、酸化シリコン) 5 を順次形成する。

[0241] P E P により、第 4 の絶縁層 5 上にレジストパターンを形成し、このレジストパターンをマスクにして R I E を行い、第 4 の絶縁層 5 及び第 3 の半導体層 3 c をパターンニングする。

[0242] その結果、第 4 の絶縁層 5 の第 2 の方向におけるエッジの位置が決定される。最上層としての第 4 の絶縁層 5 の第 2 の方向におけるエッジの位置は、構造の項目で説明したように、特に制限されることはない。

[0243] この後、レジストパターンは、除去される。

[0244] ここで、本例では、第 2 及び第 3 の絶縁層 4 a, 4 b の第 1 方向における厚さは、後述するイオン注入 (一括インプラ) を考慮すると、互いに等しいことが望ましい。

- [0245] 第4の絶縁層5の第1方向における厚さは、第2及び第3の絶縁層4a, 4bの第1方向における厚さと等しくてもよいし、第2及び第3の絶縁層4a, 4bの第1方向における厚さよりも厚くてもよい。
- [0246] 次に、図14Bに示すように、イオン注入を行う。このイオン注入では、加速エネルギー及びドーズ量を制御することにより、第1乃至第3の半導体層3(3a, 3b, 3c)内に不純物領域13a, 13b, 13cが同時に形成される(一括インプラ)。
- [0247] 最上層である第3の半導体層3c内には、そのほぼ全体に、不純物領域13cが形成される。これに対し、第1及び第2の半導体層3a, 3b内には、第2の方向における一端のみに、自己整合的に不純物領域13a, 13bが形成される。これは、第2乃至第4の絶縁層4b, 5がマスクとして機能するためである。
- [0248] 次に、図14Cに示すように、結合半導体層(例えば、シリコン)14を形成し、CMPにより、結合半導体層14の表面を平坦化する。この平坦化は、例えば、ドライエッチングにより行うこともできる。
- [0249] 結合半導体層14は、第1乃至第3の半導体層3(3a, 3b, 3c)を第2の方向における一端において互いに結合する。
- [0250] 次に、図14Dに示すように、PEPにより、第4の絶縁層5上及び結合半導体層14上にレジストパターンを形成し、このレジストパターンをマスクにしてRIEを行い、第4の絶縁層5、第3の半導体層3c、第3の絶縁層4b、第2の半導体層3b、第2の絶縁層4a、第1の半導体層3a、第1の絶縁層2、及び、結合半導体層14を、順次、パターニングする。その結果、フィン型積層構造9が形成される。
- [0251] この後、レジストパターンは、除去される。
- [0252] 次に、図14Eに示すように、CVDやスパッタなどの方法及びRIEなどの異方性エッチング方法を用いて、フィン型積層構造9に跨り、第3の方向に延びるゲート積層構造6(1), 6(2), …6(n)及びセレクトゲート電極10(10a, 10b, 10c)を形成する。

[0253] ここで、ゲート積層構造 6 (1), 6 (2), … 6 (n) は、例えば、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) の第 3 の方向に対向する 2 つの側面においては、第 1 の方向に延びる。同様に、セレクトゲート電極 10 (10 a, 10 b, 10 c) も、例えば、第 1 乃至第 3 の半導体層 3 (3 a, 3 b, 3 c) の第 3 の方向に対向する 2 つの側面においては、第 1 の方向に延びる。

[0254] 以上のステップにより図 11 の構造が完成する。

[0255] F. まとめ

第 2 の実施例によれば、第 2 及び第 3 の絶縁層のドレイン電極側のエッジの位置を調整することにより、選択された 1 つのメモリストリングに電流を流すときに、残りの非選択のメモリストリング（ダミーとしてのメモリストリングを含む）に不必要な電流が流れることがなくなり、読み出し／書き込み／消去を正確に行うことができる。

[0256] (3) 第 3 の実施例

A. 構造

図 15 は、第 3 の実施例の構造を示している。図 16 は、図 15 の XVI-XVI 線に沿う断面図、図 17 は、図 15 の XVII-XVII 線に沿う断面図である。図 18 は、電荷蓄積層の構造を詳細に示す部分図である。

[0257] ここでは、第 1 の実施例（図 1 乃至図 3）と同じ要素には同じ符号を付すことにより詳細な説明については省略する。

[0258] 第 3 の実施例の特徴は、第 1 乃至第 3 のメモリストリング NANDa, NANDb, NANDc を構成するメモリセルの電荷蓄積層 6 (1) b, 6 (2) b, 6 (3) b がそれぞれ独立していることにある。

[0259] 電荷蓄積層 6 (1) b, 6 (2) b, 6 (3) b が独立しているとは、電荷蓄積層 6 (1) b, 6 (2) b, 6 (3) b がそれを構成する材料とは異なる材料（絶縁層やエアギャップなど）により物理的に切り離されていることを意味する。

[0260] 電荷蓄積層 6 (1) b, 6 (2) b, 6 (3) b をメモリセルごとに独立

させることにより、三次元積層型半導体メモリの書き込み／消去特性とサイクリング耐性の改善を図ることができる。

[0261] 本例では、電荷蓄積層がメモリセルごとに独立した構造を有するため、例えば、シリコンリッチSiNを電荷蓄積層とするSONOS型メモリセルの他、電氣的にフローティング状態のフローティングゲートとしての導電体を電荷蓄積層とするフローティングゲート型メモリセルにも適用可能である。

[0262] その他の構成については、第1の実施例と同じである。

[0263] B. 材料例

第3の実施例（図15乃至図18）においても、第1の実施例の材料例で説明した材料を用いて、三次元積層型半導体メモリを製造することができる。

[0264] C. 応用例

第3の実施例（図15乃至図18）においても、第1の実施例における第1乃至第3の応用例（図5乃至図7）と同じ応用が可能である。

[0265] D. 動作

第3の実施例（図15乃至図18）においても、第1の実施例で説明した動作と同じ動作により、書き込み／消去／読み出しを行うことができる。

[0266] E. 図15の構造を製造する方法

図19A乃至図19Lは、図15の構造を製造する方法を示している。

これらの図において、（a）は、平面図、（b）は、b-b線に沿う断面図、（c）は、c-c線に沿う断面図である。

[0267] まず、図19Aに示すように、例えば、面方位（100）及び比抵抗 $10 \sim 20 \Omega \text{ cm}$ を有する第1の導電型（例えば、p型）半導体基板（例えば、シリコン）1を用意する。この半導体基板1上に第1の絶縁層（例えば、酸化シリコン）2を形成し、続けて、第1の絶縁層2上に第1の半導体層（例えば、シリコン）3a及び第2の絶縁層（例えば、酸化シリコン）4aを順次形成する。

[0268] PEPにより、第2の絶縁層4a上にレジストパターンを形成し、このレ

ジストパターンをマスクにしてR I Eを行い、第2の絶縁層4 a及び第1の半導体層3 aをパターンニングする。

[0269] その結果、第2の絶縁層4 aの第2の方向におけるエッジの位置が決定される。第2の絶縁層4 aの第2の方向におけるエッジの位置は、構造の項目で説明した条件に従う。この後、レジストパターンは、除去される。

[0270] また、第2の絶縁層4 a上に第2の半導体層（例えば、シリコン）3 b及び第3の絶縁層（例えば、酸化シリコン）4 bを順次形成する。

[0271] P E Pにより、第3の絶縁層4 b上にレジストパターンを形成し、このレジストパターンをマスクにしてR I Eを行い、第3の絶縁層4 b及び第2の半導体層3 bをパターンニングする。

[0272] その結果、第3の絶縁層4 bの第2の方向におけるエッジの位置が決定される。第3の絶縁層4 bの第2の方向におけるエッジの位置は、構造の項目で説明した条件に従う。この後、レジストパターンは、除去される。

[0273] また、第3の絶縁層4 b上に第3の半導体層（例えば、シリコン）3 c及び第4の絶縁層（例えば、酸化シリコン）5を順次形成する。

[0274] P E Pにより、第4の絶縁層5上にレジストパターンを形成し、このレジストパターンをマスクにしてR I Eを行い、第4の絶縁層5及び第3の半導体層3 cをパターンニングする。

[0275] その結果、第4の絶縁層5の第2の方向におけるエッジの位置が決定される。最上層としての第4の絶縁層5の第2の方向におけるエッジの位置は、構造の項目で説明したように、特に制限されることはない。

[0276] この後、レジストパターンは、除去される。

[0277] ここで、本例では、第2乃至第4の絶縁層4 a, 4 b, 5の第1方向における厚さは、後述するイオン注入（一括インプラ）を考慮すると、互いに等しいことが望ましい。

[0278] 次に、P E Pにより、第4の絶縁層5上にレジストパターン15を形成し、このレジストパターン15をマスクにしてイオン注入を行う。

[0279] このイオン注入では、加速エネルギー及びドーズ量を制御することにより

、第1乃至第3の半導体層3（3a，3b，3c）内に不純物領域13a，13b，13cが同時に形成される（一括インプラ）。

[0280] また、不純物領域13a，13b，13cは、第2乃至第4の絶縁層4a，4b，5がマスクとして機能するため、自己整合的に、第1乃至第3の半導体層3（3a，3b，3c）の一端のみに形成される。

[0281] この後、レジストパターン15は、除去される。

[0282] 次に、結合半導体層（例えば、シリコン）14を形成し、CMPにより、結合半導体層14の表面を平坦化する。この平坦化は、例えば、ドライエッチングにより行うこともできる。

[0283] 結合半導体層14は、第1乃至第3の半導体層3（3a，3b，3c）を第2の方向における一端において互いに結合する。

[0284] 次に、PEPにより、第4の絶縁層5上及び結合半導体層14上にレジストパターンを形成し、このレジストパターンをマスクにしてRIEを行い、第4の絶縁層5、第3の半導体層3c、第3の絶縁層4b、第2の半導体層3b、第2の絶縁層4a、第1の半導体層3a、第1の絶縁層2、及び、結合半導体層14を、順次、パターニングする。その結果、フィン型積層構造9が形成される。

[0285] この後、レジストパターンは、除去される。

[0286] 次に、図19Bに示すように、等方性ドライエッチングにより、第3の方向における第1乃至第3の半導体層3a～3cの側面を第3の方向に選択的にエッチングする。その結果、第1乃至第3の半導体層3a～3cの第3の方向の側面は後退し、第2の方向に延びる第1乃至第3の凹部21a～21cが形成される。

[0287] 次に、図19Cに示すように、熱酸化により、第1乃至第3の半導体層3a～3cの第3の方向の側面を酸化し、第1乃至第3の半導体層3a～3cの第3の方向の側面側にそれぞれ第1のゲート絶縁層（例えば、酸化シリコン）6aを形成する。

[0288] 次に、図19Dに示すように、フィン型積層構造9を覆う電荷蓄積層6b

を形成する。電荷蓄積層 6 b としては、例えば、窒化シリコン、導電性ポリシリコンなどの材料を用いることができる。

[0289] 次に、図 1 9 E に示すように、異方性ドライエッチングにより、電荷蓄積層 6 b を選択的にエッチングする。その結果、電荷蓄積層 6 b は、第 1 乃至第 3 の半導体層 3 a ~ 3 c の第 3 の方向の側面側において、第 1 乃至第 3 の凹部 2 1 a ~ 2 1 c 内のみに残存する。

[0290] 即ち、最上部の電荷蓄積層 6 b が除去されると、第 4 の絶縁層 5 が露出するため、さらに続けて、第 4 の絶縁層 5 をマスクに電荷蓄積層 6 b をエッチングすると、第 1 乃至第 3 の凹部 2 1 a ~ 2 1 c 内にそれぞれ第 1 乃至第 3 の電荷蓄積層 6 b が形成される。

[0291] ここで、第 4 の絶縁層 5 は、電荷蓄積層 6 b をエッチングするときのマスクとして機能するため、第 4 の絶縁層 5 の第 1 の方向の幅は、第 1 乃至第 3 の絶縁層 2, 4 a, 4 b の第 1 の方向の幅より大きくしてもよい。

[0292] また、第 4 の絶縁層 5 は、マスクとしての機能を重視し、第 1 乃至第 3 の絶縁層 2, 4 a, 4 b とは異なる方法又は異なる材料（例えば、異なる複数の絶縁層による積層構造など）により構成してもよい。

[0293] この時点で、第 1 乃至第 3 の電荷蓄積層 6 b は、第 1 の方向に切り離される。

[0294] 次に、図 1 9 F に示すように、フィン型積層構造（第 1 乃至第 3 の電荷蓄積層 6 b を含む）9 を覆う第 2 のゲート絶縁層 6 c 及びコントロールゲート電極 6 d を形成する。第 2 のゲート絶縁層 6 c としては、例えば、酸化アルミニウムなどの材料、コントロールゲート電極 6 d としては、例えば、ニッケルシリサイドなどの材料を用いることができる。

[0295] 次に、図 1 9 G に示すように、PEP 及び異方性ドライエッチングにより、第 2 のゲート絶縁層 6 c 及びコントロールゲート電極 6 d を加工し、複数のコントロールゲート電極（ワード線）6 d, …を形成する。複数のコントロールゲート電極（ワード線）6 d, …は、それぞれ、第 4 の絶縁層 5 の第 1 の方向側において第 3 の方向に延び、第 1 乃至第 3 の電荷蓄積層 6 b の第

3の方向側において第1の方向に延びる。

[0296] このように、メモリストリングにおいてゲート積層構造6(1)が形成されると同時に、メモリストリングの第2の方向の一端では、レイヤー選択トランジスタ T_a , T_b , T_c のセレクトゲート電極 10_a , 10_b , 10_c が形成される。

[0297] 次に、図19Hに示すように、異方性ドライエッチングにより、第4の絶縁層5を選択的にエッチングする。この時、複数のコントロールゲート電極 6_d , ...は、異方性ドライエッチングのマスクとして機能する。従って、複数のコントロールゲート電極 6_d , ...により覆われていない部分において、第4の絶縁層5が選択的に除去され、第3の半導体層 3_c 、第3の電荷蓄積層 6_b 及び第3のゲート絶縁層 6_a の第1の方向の側面がそれぞれ露出する。

[0298] 続けて、図19Iに示すように、異方性ドライエッチングにより、第3の電荷蓄積層 6_b を選択的にエッチングする。この時、複数のコントロールゲート電極 6_d , ...及び第3の半導体層 3_c は、それぞれ異方性ドライエッチングのマスクとして機能する。なお、このエッチングで第1のゲート絶縁層 6_a も合わせて除去され得る。

[0299] 従って、複数のコントロールゲート電極 6_d , ...により覆われていない部分の第3の電荷蓄積層 6_b が選択的に除去されるため、第3の半導体層 3_c の第3の方向側には、第2の方向に切り離された複数の第3の電荷蓄積層 6_b , ...及び第3のゲート絶縁層 6_a が形成される。

[0300] さらに続けて、図19Jに示すように、異方性ドライエッチングにより、第3の絶縁層 4_b を選択的にエッチングする。この時、複数のコントロールゲート電極 6_d , ...及び第3の半導体層 3_c は、それぞれ異方性ドライエッチングのマスクとして機能する。

[0301] 従って、複数のコントロールゲート電極 6_d , ...及び第3の半導体層 3_c により覆われていない部分において、第3の絶縁層 4_b が選択的に除去され、第2の電荷蓄積層 6_b 及び第2のゲート絶縁層 6_a の第1の方向の側面が

それぞれ露出する。

[0302] 続けて、図 19 K に示すように、異方性ドライエッチングにより、第 2 の電荷蓄積層 6 b を選択的にエッチングする。この時、複数のコントロールゲート電極 6 d、…及び第 3 の半導体層 3 c は、それぞれ異方性ドライエッチングのマスクとして機能する。なお、このエッチングで第 1 のゲート絶縁層 6 a も合わせて除去され得る。

[0303] 従って、複数のコントロールゲート電極 6 d、…により覆われていない部分の第 2 の電荷蓄積層 6 b が選択的に除去されるため、第 2 の半導体層 3 b の第 3 の方向側には、第 2 の方向に切り離された複数の第 2 の電荷蓄積層 6 b、…及び第 2 のゲート絶縁層 6 a が形成される。

[0304] 同様にして、第 1 の半導体層 3 a の第 3 の方向側に、第 2 の方向に切り離された複数の第 1 の電荷蓄積層 6 b、…及び第 1 のゲート絶縁層 6 a を形成する。

[0305] 以上の工程により、図 19 L に示すように、メモリセルごとに物理的に切り離された複数の電荷蓄積層 6 b、…が形成される。これにより、第 1 乃至第 3 の電荷蓄積層 6 b、…において、ある電荷蓄積層内の電荷が他の電荷蓄積層に移動する、という事態が発生することはなく、良好なデータ保持特性を得ることができる。

[0306] F. まとめ

第 3 の実施例によれば、第 2 及び第 3 の絶縁層のドレイン電極側のエッジの位置を調整することにより、選択された 1 つのメモリストリングに電流を流すときに、残りの非選択のメモリストリングに不必要な電流が流れることがなくなり、読み出し／書き込み／消去を正確に行うことができる。

[0307] 3. カットオフ特性の検証

本発明の構造によるカットオフ特性の向上をコンベンショナルな構造によるそれと比較して説明する。

[0308] 図 20 は、本発明のシミュレーションモデルを示している。

[0309] 条件は、以下の通りである。

第1乃至第3の半導体層3a, 3b, 3c及び結合半導体層14は、 $1 \times 10^{17} \text{ atoms/cm}^3$ のp型不純物を含むp型半導体層とし、不純物領域13a, 13b, 13cは、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、ここでは、 $5 \times 10^{18} \text{ atoms/cm}^3$ のn型不純物を含むn型不純物領域とする。

[0310] 第1乃至第3の半導体層3a, 3b, 3cの第1方向の幅は、32nmとし、第1乃至第4の絶縁層2, 4a, 4b, 5の第1方向の幅も、32nmとする。フィン型積層構造の第3方向の幅、即ち、第1乃至第3の半導体層3a, 3b, 3c及び第1乃至第4の絶縁層2, 4a, 4b, 5の第3方向の幅は、20nmとする。

[0311] コントロールゲート電極CG1, CG2, CG3及びセレクトゲート電極SG1, SG2, SG3の第2方向の幅（ライン幅）Lは、32nmとし、それらの間のスペースSも、32nmとする。即ち、ゲート間隔（ピッチ）は、32nmとする。

[0312] ドレイン電極7の電位Vdは、0.05Vとし、第1乃至第3の半導体層3a, 3b, 3cのソース端は、電流計16a, 16b, 16cを介して接地点に接続する。

[0313] コントロールゲート電極CG1, CG2, CG3及びセレクトゲート電極SG2, SG3の電位は、それぞれ、5Vとする。

[0314] このような条件の下で、セレクトゲート電極SG1の電位Vsg1を、-5Vから5Vまで変化させることにより、レイヤー選択トランジスタTa, Tb, Tcのカットオフ特性を検証する。

[0315] 上記条件では、第1のメモリストリングNANDaが選択され、第2及び第3のメモリストリングNANDb, NANDcが非選択となる。このため、セレクトゲート電極SG1の電位Vsg1が0V（第2及び第3の半導体層3b, 3cにおける第1のレイヤー選択トランジスタTaがオフ）のときに、電流計16b, 16cにより検出される電流値が小さいほどカットオフ特性が良いということになる。

[0316] 図21は、図20のシミュレーション結果を示している。

- [0317] この結果によれば、セレクトゲート電極SG1の電位 V_{sg1} が0Vのときに、第1のメモリストリングNANDaには、 1×10^{-7} A程度の電流が流れるのに対し、第2及び第3のメモリストリングNANDb, NANDcには、電流がほとんど流れない（ 1×10^{-11} A未満）。
- [0318] 従って、本発明の構造によれば、レイヤー選択トランジスタのカットオフ特性を向上させることができる。
- [0319] 図22は、コンベンショナルな技術のシミュレーションモデルを示している。
- [0320] このコンベンショナルな技術は、先願としてのPCT/JP2009/060803の図13に開示される構造に対応する。
- [0321] コンベンショナルな技術が本発明の構造と異なる点は、第2及び第3の絶縁層4a, 4bのドレイン端が短くなっていることにある。即ち、不純物領域13a, 13b上に第2及び第3の絶縁層4a, 4bが存在しない。
- [0322] その他の条件については、本発明の構造（図20）と同じとする。
- [0323] このような条件の下で、セレクトゲート電極SG1の電位 V_{sg1} を、-5Vから5Vまで変化させることにより、レイヤー選択トランジスタTa, Tb, Tcのカットオフ特性を検証する。
- [0324] 上記条件では、第1のメモリストリングNANDaが選択され、第2及び第3のメモリストリングNANDb, NANDcが非選択となる。このため、セレクトゲート電極SG1の電位 V_{sg1} が0V（第2及び第3の半導体層3b, 3cにおける第1のレイヤー選択トランジスタTaがオフ）のときに、電流計16b, 16cにより検出される電流値が小さいほどカットオフ特性が良いということになる。
- [0325] 図23は、図22のシミュレーション結果を示している。
- [0326] この結果によれば、セレクトゲート電極SG1の電位 V_{sg1} が0Vのときに、第1のメモリストリングNANDaには、 1×10^{-7} A程度の電流が流れるのに対し、第2及び第3のメモリストリングNANDb, NANDcにも、 1×10^{-8} A程度の電流が流れる。

[0327] これは、図 22 において太い矢印で示す電流パスが存在することに起因する。本発明の構造では、このような電流パスは存在しない。

[0328] 従って、コンベンショナルな技術によれば、レイヤー選択トランジスタのカットオフ特性が不十分である。

[0329] 以上のように、本発明の構造によれば、高い集積度を保ちつつ、コンベンショナルな技術よりもカットオフ特性を向上させることができる。

[0330] 4. その他

直列接続される複数のメモリセルと複数の選択トランジスタ（レイヤー選択トランジスタ及びソース側選択トランジスタ）とから構成される直列接続体に関し、各トランジスタ間に拡散層を形成しても、しなくても、どちらでもよい。

[0331] ゲート間隔（コントロールゲート電極のピッチ）が30nm以下となる場合には、各トランジスタ間に拡散層を形成しなくても、半導体層（チャネル）に電流パスを形成することが可能である（例えば、Chang-Hyum Lee, et al, VLSI Technology Digest of Technical Papers, pp118-119, 2008を参照）。

[0332] 5. むすび

本発明によれば、高い集積度と良好なカットオフ特性とを両立する三次元積層型半導体メモリを実現できる。

[0333] 本発明の例は、上述の実施例に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施例に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施例に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施例の構成要素を適宜組み合わせてもよい。

産業上の利用可能性

[0334] 本発明は、高速ランダム書き込み可能なファイルメモリ、高速ダウンロード可能な携帯端末、高速ダウンロード可能な携帯プレーヤー、放送機器用半導体メモリ、ドライブレコーダ、ホームビデオ、通信用大容量バッファメモリ、防犯カメラ用半導体メモリなどに対して産業上のメリットは多大である

。

符号の説明

[0335] 1 : 半導体基板、 2, 4 a, 4 b, 5 : 絶縁層、 3 a, 3 b, 3 c : 半導体層、 6 (1), 6 (2), 6 (3), … : ゲート積層構造、 7 : ドレイン電極、 8 : ソース電極、 9 : フィン型積層構造、 10 a, 10 b, 10 c, 11 : セレクトゲート電極、 T a, T b, T c : レイヤー選択トランジスタ（ドレイン側選択トランジスタ）、 T s : ソース側選択トランジスタ、 B L : ビット線、 S L : ソース線。

請求の範囲

[請求項1] 半導体基板と、前記半導体基板の表面に対して垂直な第1の方向に、第1の絶縁層、第1の半導体層、…第 n の絶縁層、第 n の半導体層、第 $(n+1)$ の絶縁層（ n は2以上の自然数）の順に積み重ねられ、前記半導体基板の表面に平行な第2の方向に延びるフィン型積層構造と、前記第1乃至第 n の半導体層をチャネルとする第1乃至第 n のメモリストリングと、前記第1乃至第 n のメモリストリングの前記第2の方向の一端において前記第1乃至第 n の半導体層を結合する結合半導体層と、前記結合半導体層に接続されるドレイン電極と、前記第1乃至第 n のメモリストリングの前記第2の方向の他端において前記第1乃至第 n の半導体層に接続されるソース電極と、前記第1乃至第 n のメモリストリングと前記ドレイン電極との間の前記結合半導体層において前記ドレイン電極側から前記第1乃至第 n のメモリストリングに向かって順に並ぶ第1乃至第 n のレイヤー選択トランジスタとを具備し、

前記第1乃至第 n のレイヤー選択トランジスタは、前記第1乃至第 n の半導体層に跨って前記第1の方向に延びる第1乃至第 n のセレクトゲート電極を有し、

前記第1乃至第 $(n+1)$ の絶縁層のうち第 i の絶縁層（ i は、 $2 \sim n$ のうちの1つ）の前記ドレイン電極側のエッジは、第 $(i-1)$ のセレクトゲート電極の前記第1乃至第 n のメモリストリング側のエッジと同じ又はそれよりも前記ドレイン電極側に位置し、

前記第1乃至第 n のレイヤー選択トランジスタのうち第 j のレイヤー選択トランジスタ（ j は、 $1 \sim n$ のうちの1つ）は、第 j の半導体層で常にオン状態である

ことを特徴とする不揮発性半導体記憶装置。

[請求項2] 前記第 i の絶縁層の前記ドレイン電極側のエッジは、第 $(i+1)$ の絶縁層の前記ドレイン電極側のエッジよりも前記ドレイン電極側に

位置することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項3] 前記第 1 乃至第 $(n + 1)$ の絶縁層のうち第 $(i + 1)$ の絶縁層の前記ドレイン電極側のエッジは、第 $(i - 1)$ のセレクトゲート電極の前記第 1 乃至第 n のメモリストリング側のエッジと同じ又はそれよりも前記第 1 乃至第 n のメモリストリング側に位置することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項4] 前記常にオン状態は、前記第 1 乃至第 n の半導体層内に形成される不純物濃度が $1 \times 10^{16} \text{ atoms/cm}^3$ 以上の不純物領域により実現することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項5] 前記第 1 乃至第 n のメモリストリングは、前記第 1 乃至第 n の半導体層に跨って前記第 1 の方向に延びる電荷蓄積層及びコントロールゲート電極の積層構造を有することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項6] 前記第 1 乃至第 n のメモリストリングは、前記第 1 乃至第 n の半導体層に独立に設けられる第 1 乃至第 n の電荷蓄積層と、前記第 1 乃至第 n の電荷蓄積層を覆い、前記第 1 の方向に延びるコントロールゲート電極とを有することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項7] 前記第 1 乃至第 n のセレクトゲート電極は、前記第 1 乃至第 n の半導体層の前記第 1 及び第 2 の方向に直交する第 3 の方向に対向する 2 つの側面を覆うことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項8] 前記第 1 乃至第 n のセレクトゲート電極は、前記第 1 乃至第 n の半導体層の前記第 1 及び第 2 の方向に直交する第 3 の方向に対向する 2 つの側面のうちの 1 つを覆うことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

[請求項9] 前記結合半導体層内に形成され、前記ドレイン電極を取り囲む拡散層をさらに具備することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

[請求項10] 半導体基板と、前記半導体基板の表面に対して垂直な第1の方向に、第1の絶縁層、第1の半導体層、…第 n の絶縁層、第 n の半導体層、第 $(n+1)$ の絶縁層(n は2以上の自然数)の順に積み重ねられ、前記半導体基板の表面に平行な第2の方向に延びるフィン型積層構造と、前記第1乃至第 n の半導体層をチャネルとする第1乃至第 n のメモリストリングと、前記第1乃至第 n のメモリストリングの前記第2の方向の一端において前記第1乃至第 n の半導体層を結合する結合半導体層と、前記結合半導体層に接続されるドレイン電極と、前記第1乃至第 n のメモリストリングの前記第2の方向の他端において前記第1乃至第 n の半導体層に接続されるソース電極と、前記第1乃至第 n のメモリストリングと前記ドレイン電極との間の前記結合半導体層において前記ドレイン電極側から前記第1乃至第 n のメモリストリングに向かって順に並ぶ第1乃至第 $(n-1)$ のレイヤー選択トランジスタとを具備し、

前記第 n のメモリストリングは、非メモリセルとしてのダミーセルを備え、

前記第1乃至第 $(n-1)$ のレイヤー選択トランジスタは、前記第1乃至第 n の半導体層に跨って前記第1の方向に延びる第1乃至第 $(n-1)$ のセレクトゲート電極を有し、

前記第1乃至第 $(n+1)$ の絶縁層のうち第 i の絶縁層(i は、 $2 \sim n$ のうちの1つ)の前記ドレイン電極側のエッジは、第 $(i-1)$ のセレクトゲート電極の前記第1乃至第 n のメモリストリング側のエッジと同じ又はそれよりも前記ドレイン電極側に位置し、

前記第1乃至第 $(n-1)$ のレイヤー選択トランジスタのうち第 j のレイヤー選択トランジスタ(j は、 $1 \sim (n-1)$ のうちの1つ)

は、第 j の半導体層で常にオン状態である

ことを特徴とする不揮発性半導体記憶装置。

[請求項11] 半導体基板の表面上に当該表面に対して垂直な第 1 の方向に第 1 の絶縁層を形成する工程と、

前記第 1 の絶縁層上に、第 2 の方向の一端が一致し、前記第 1 の方向に第 1 の半導体層及び第 2 の絶縁層の順で積み重ねられる第 1 の積層体を形成する工程と、

前記第 2 の絶縁層上に、前記第 2 の方向の一端が一致しかつ前記第 1 の積層体の前記第 2 の方向の一端よりも前記第 2 方向に後退する、前記第 1 の方向に第 2 の半導体層及び第 3 の絶縁層の順で積み重ねられる第 2 の積層体を形成する工程と、

前記第 3 の絶縁層上に、前記第 2 の方向の一端が前記第 2 の積層体の前記第 2 の方向の一端よりも前記第 2 方向に後退するマスク層を形成する工程と、

前記マスク層及び前記第 3 の絶縁層をマスクにしてイオン注入を行い、前記第 1 及び第 2 の半導体層の前記第 2 の方向の一端に第 1 及び第 2 の不純物領域をそれぞれ形成する工程と、

前記マスク層を除去する工程と、

前記第 1 及び第 2 の半導体層を結合する結合半導体層を形成する工程と、

前記第 3 の絶縁層、前記第 2 の半導体層、前記第 2 の絶縁層、前記第 1 の半導体層及び前記結合半導体層をパターンニングし、前記第 2 の方向に延びるフィン型積層構造を形成する工程と、

前記フィン型積層構造に跨って前記第 1 及び第 2 の方向に直交する第 3 の方向に延びるコントロールゲート電極及びセレクトゲート電極を形成する工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

[請求項12] 半導体基板の表面上に当該表面に対して垂直な第 1 の方向に第 1 の

絶縁層を形成する工程と、

前記第 1 の絶縁層上に、第 2 の方向の一端が一致し、前記第 1 の方向に第 1 の半導体層及び第 2 の絶縁層の順で積み重ねられる第 1 の積層体を形成する工程と、

前記第 2 の絶縁層上に、前記第 2 の方向の一端が一致しかつ前記第 1 の積層体の前記第 2 の方向の一端よりも前記第 2 方向に後退する、前記第 1 の方向に第 2 の半導体層及び第 3 の絶縁層の順で積み重ねられる第 2 の積層体を形成する工程と、

前記第 3 の絶縁層上に、前記第 2 の方向の一端が一致しかつ前記第 2 の積層体の前記第 2 の方向の一端よりも前記第 2 方向に後退する、前記第 1 の方向に第 3 の半導体層及び第 4 の絶縁層の順で積み重ねられる第 3 の積層体を形成する工程と、

前記第 4 の絶縁層及び前記第 3 の絶縁層をマスクにしてイオン注入を行い、前記第 1 及び第 2 の半導体層の前記第 2 の方向の一端に第 1 及び第 2 の不純物領域をそれぞれ形成する工程と、

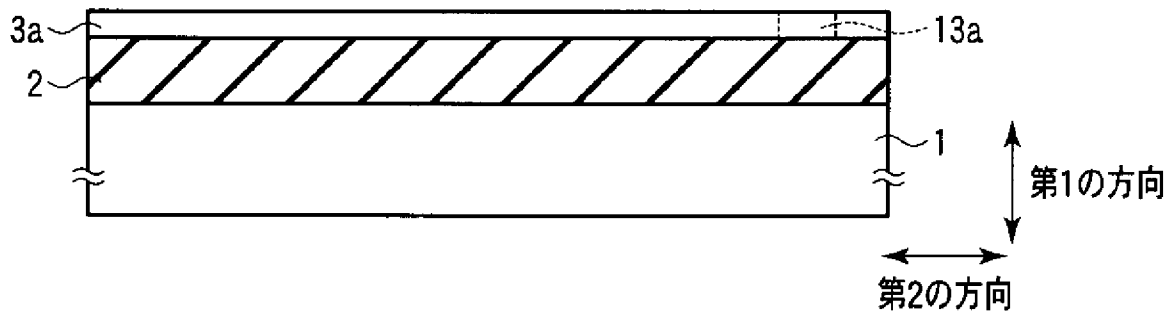
前記第 1 乃至第 3 の半導体層を結合する結合半導体層を形成する工程と、

前記第 4 の絶縁層、前記第 3 の半導体層、前記第 3 の絶縁層、前記第 2 の半導体層、前記第 2 の絶縁層、前記第 1 の半導体層及び前記結合半導体層をパターンニングし、前記第 2 の方向に延びるフィン型積層構造を形成する工程と、

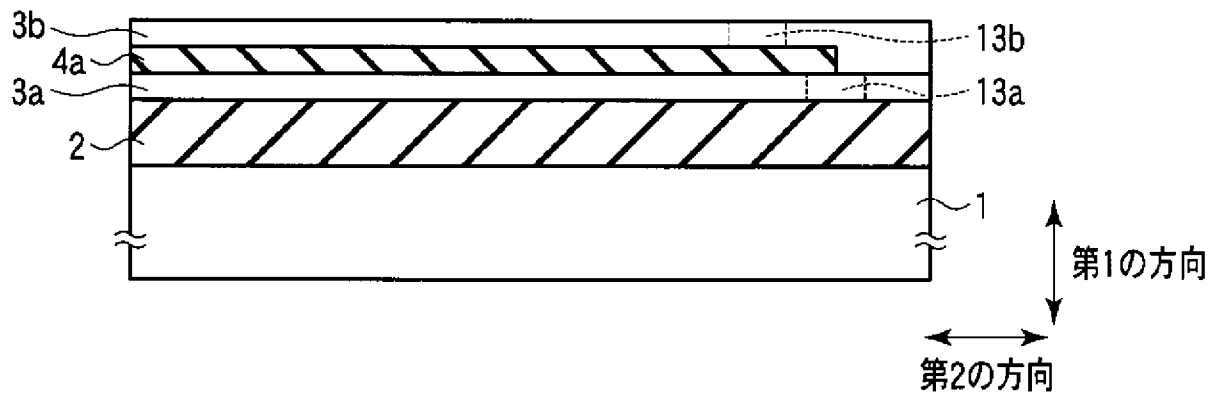
前記フィン型積層構造に跨って前記第 1 及び第 2 の方向に直交する第 3 の方向に延びるコントロールゲート電極及びセレクトゲート電極を形成する工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

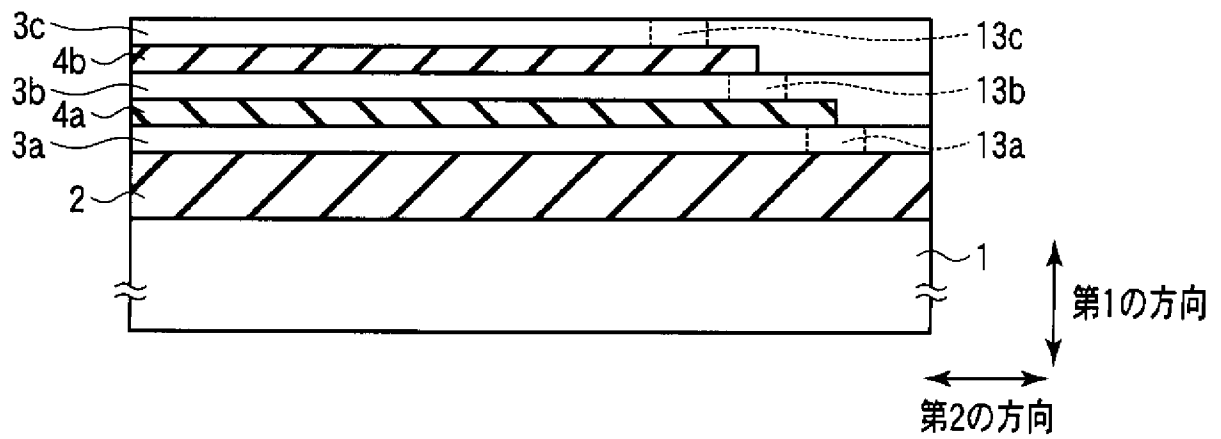
[図8A]



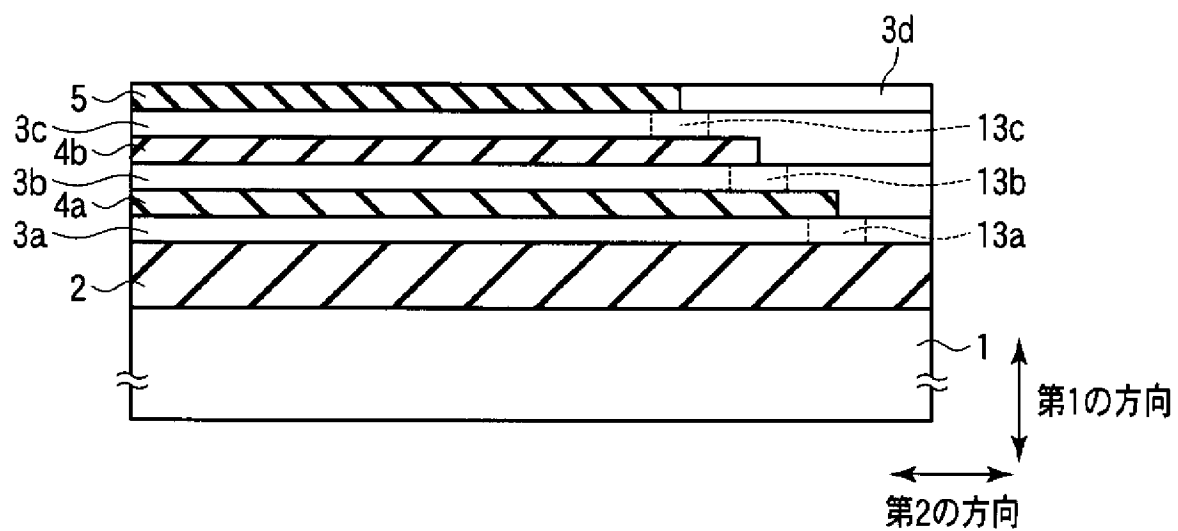
[図8B]



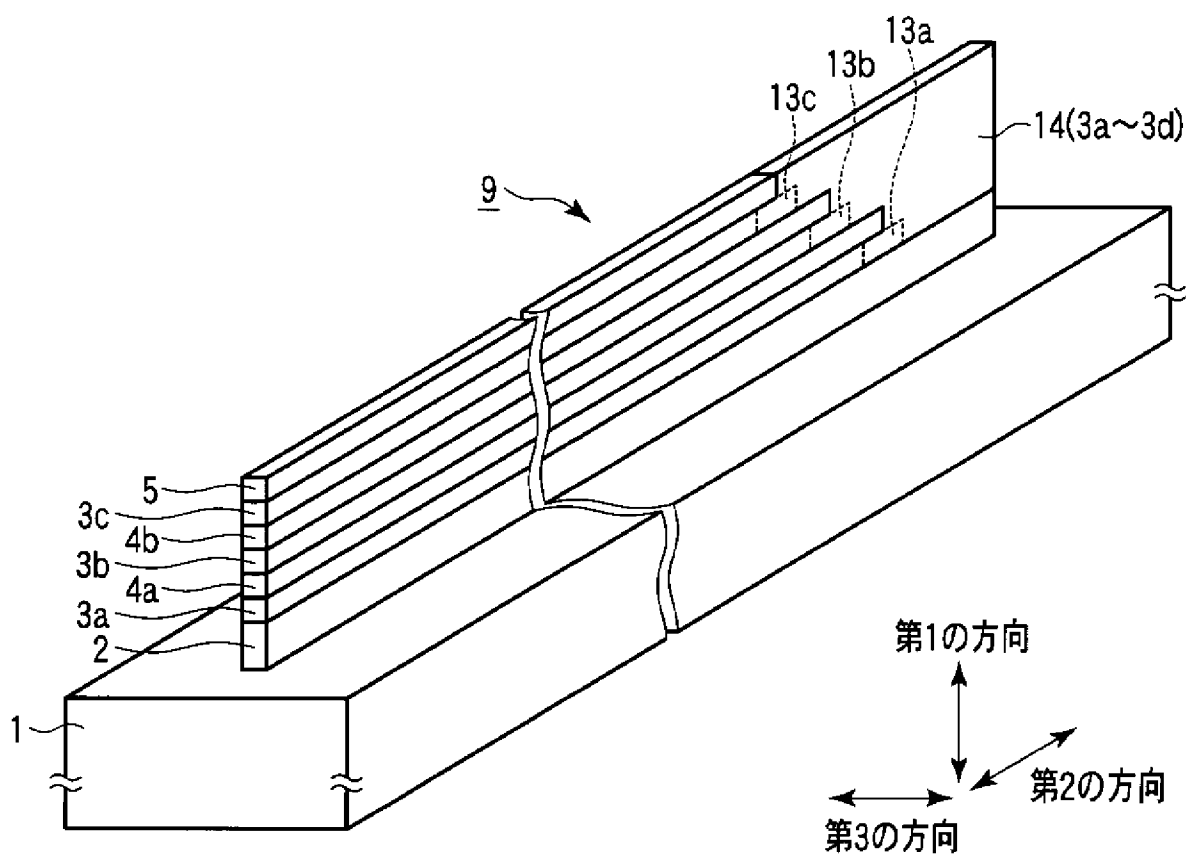
[図8C]



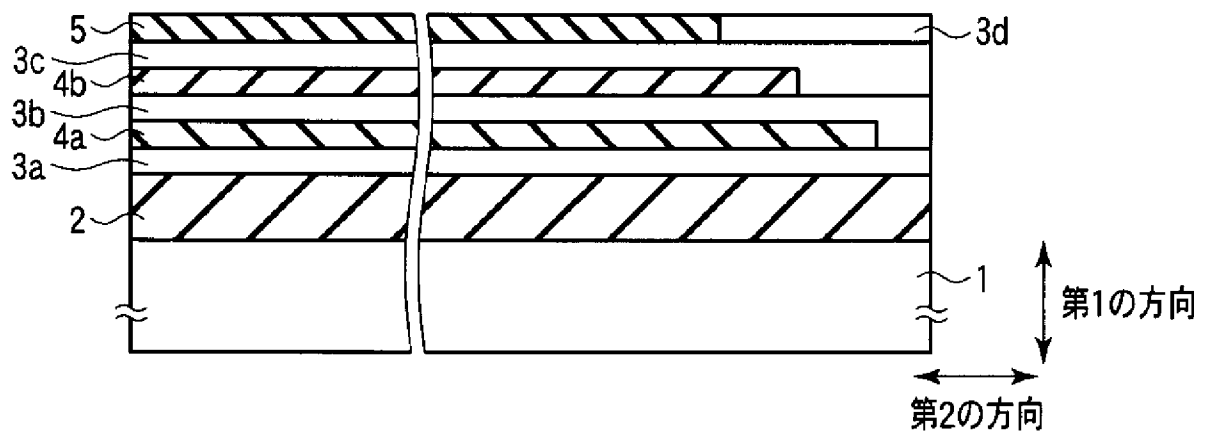
[図8D]



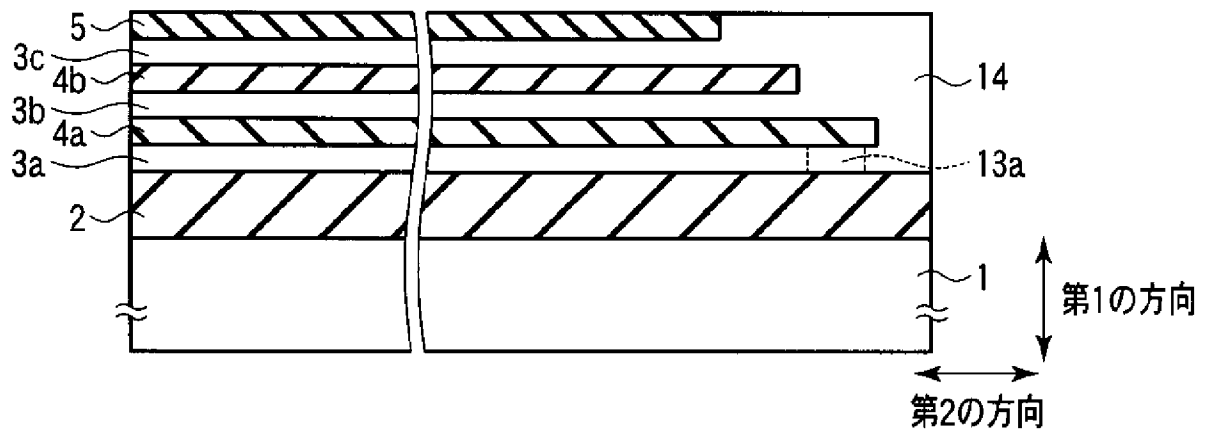
[図8E]



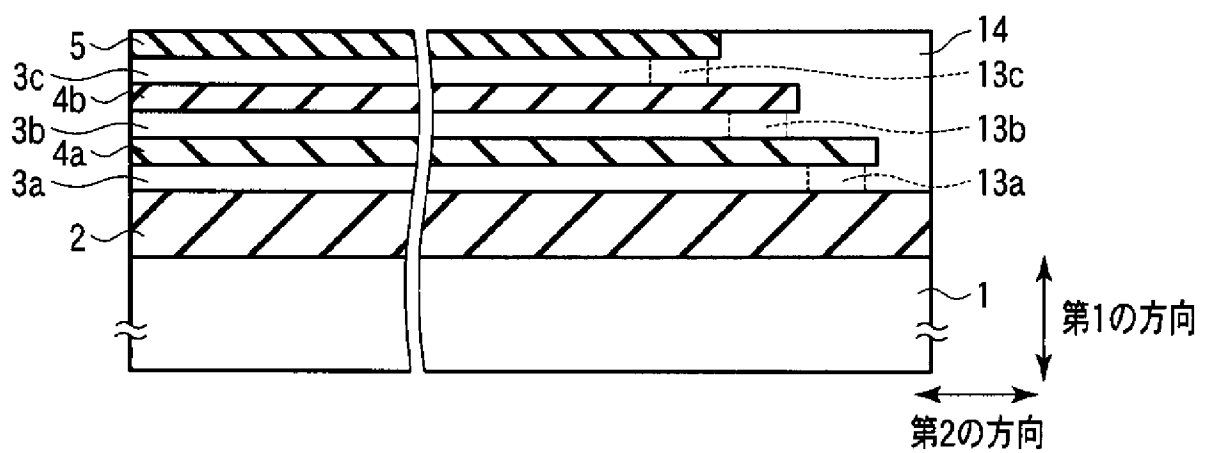
[図9A]



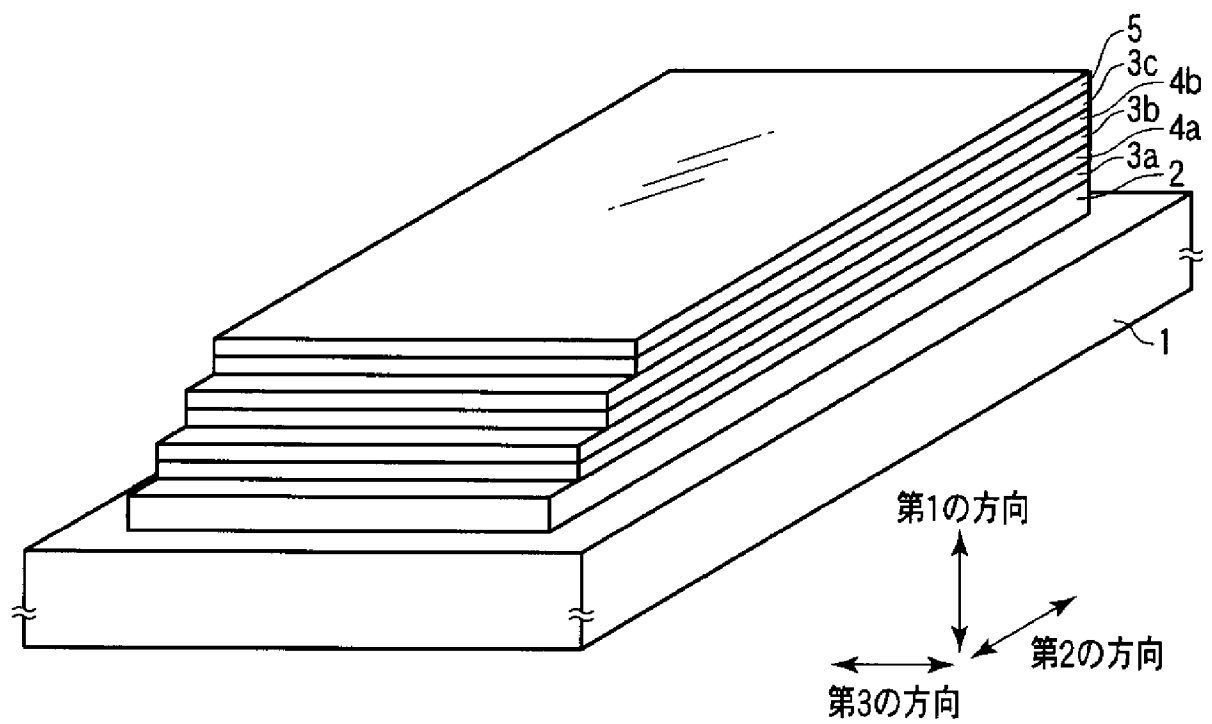
[図9B]



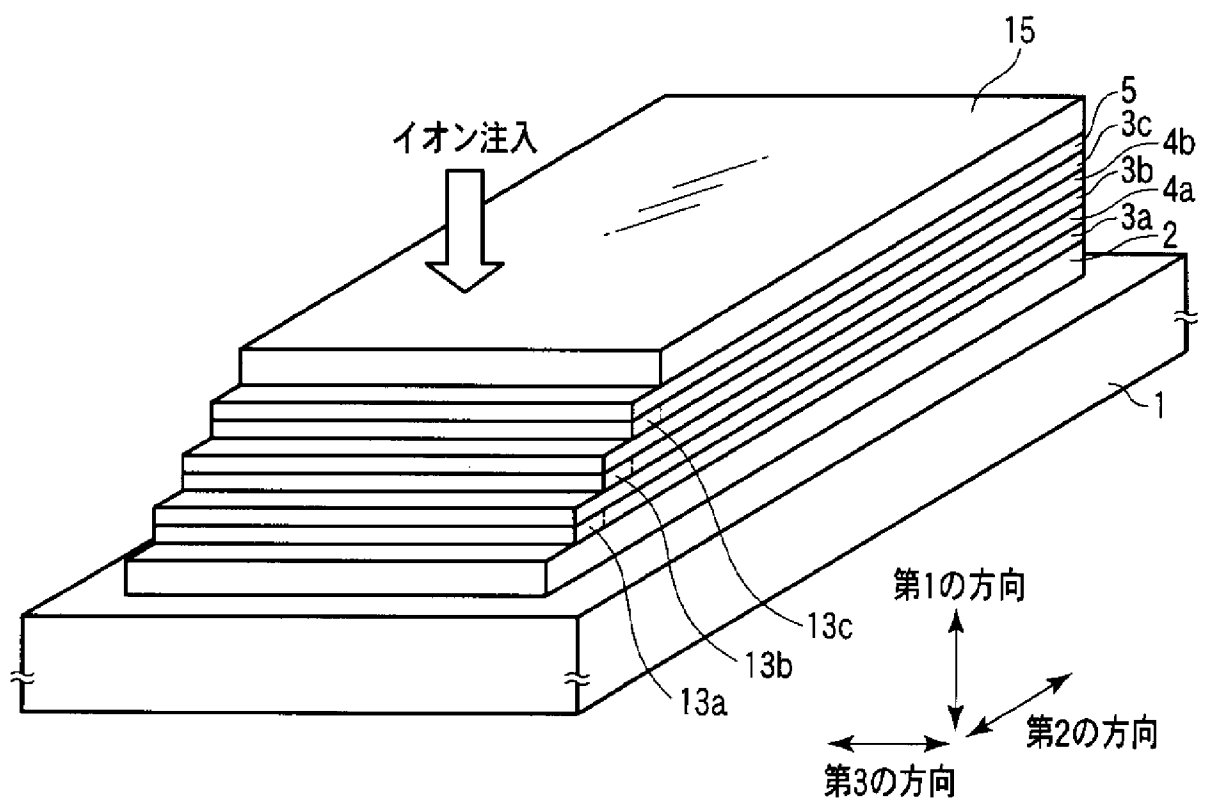
[図9C]



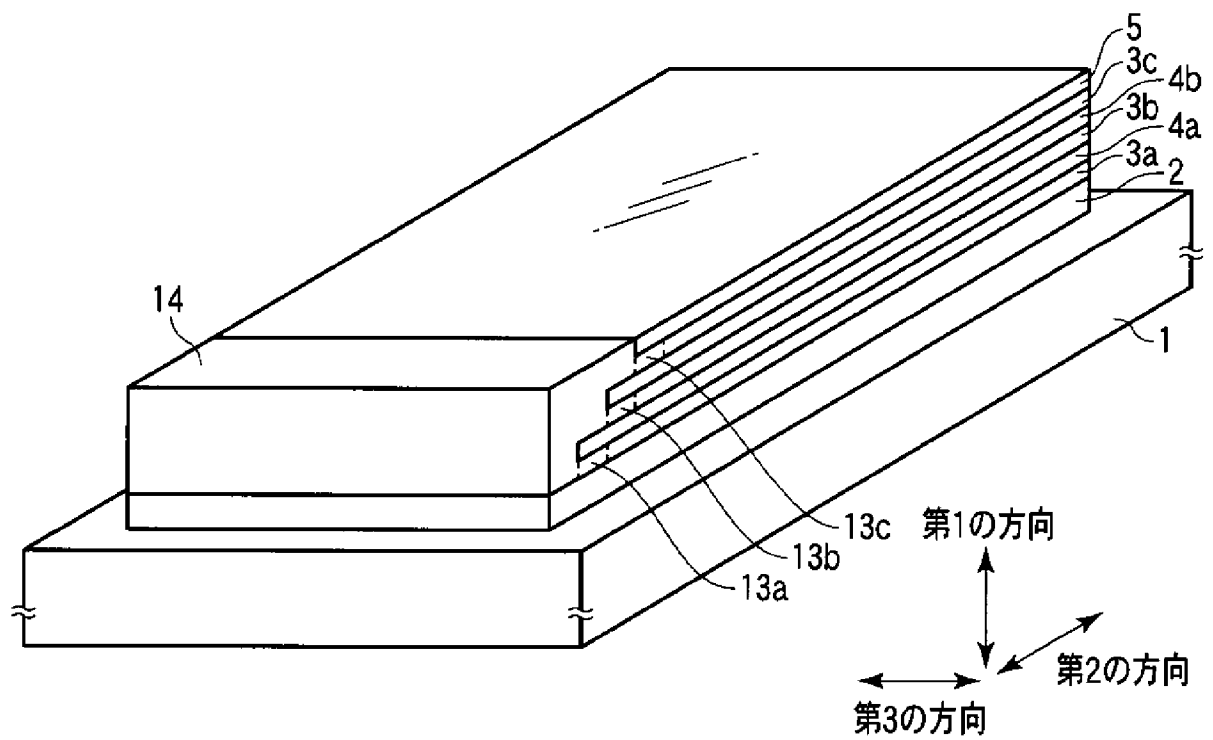
[図10A]



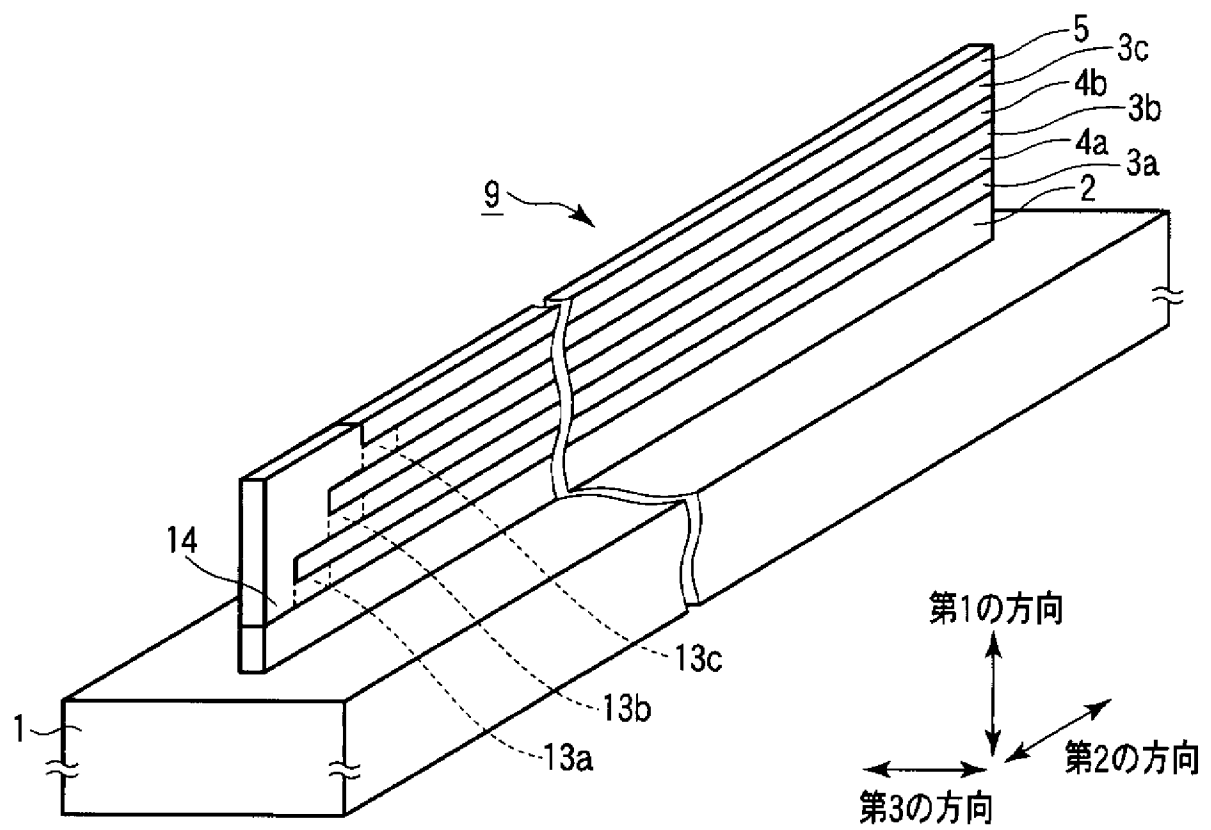
[図10B]

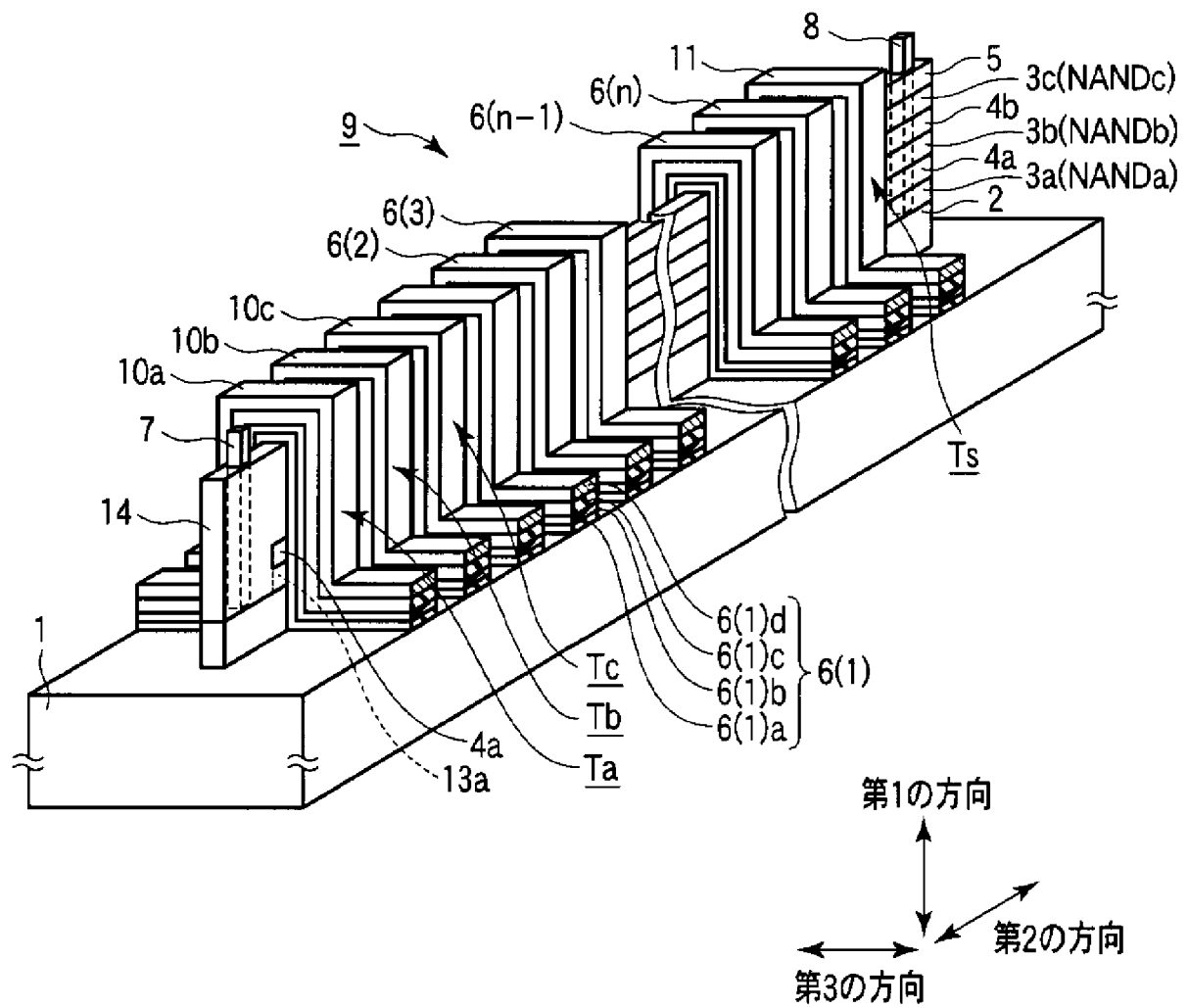


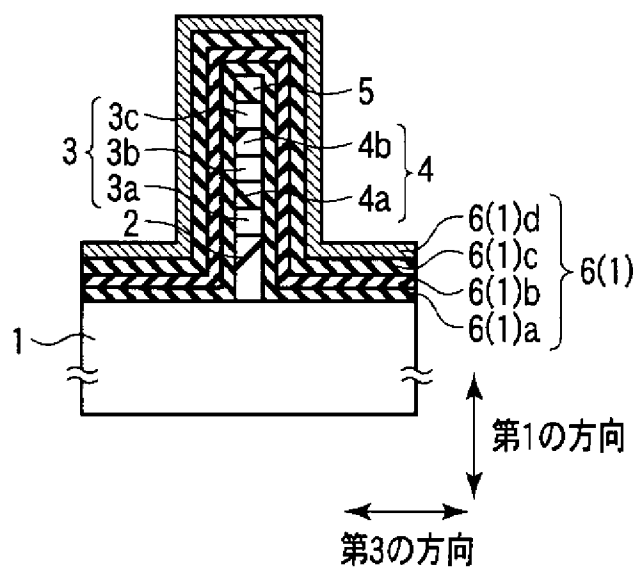
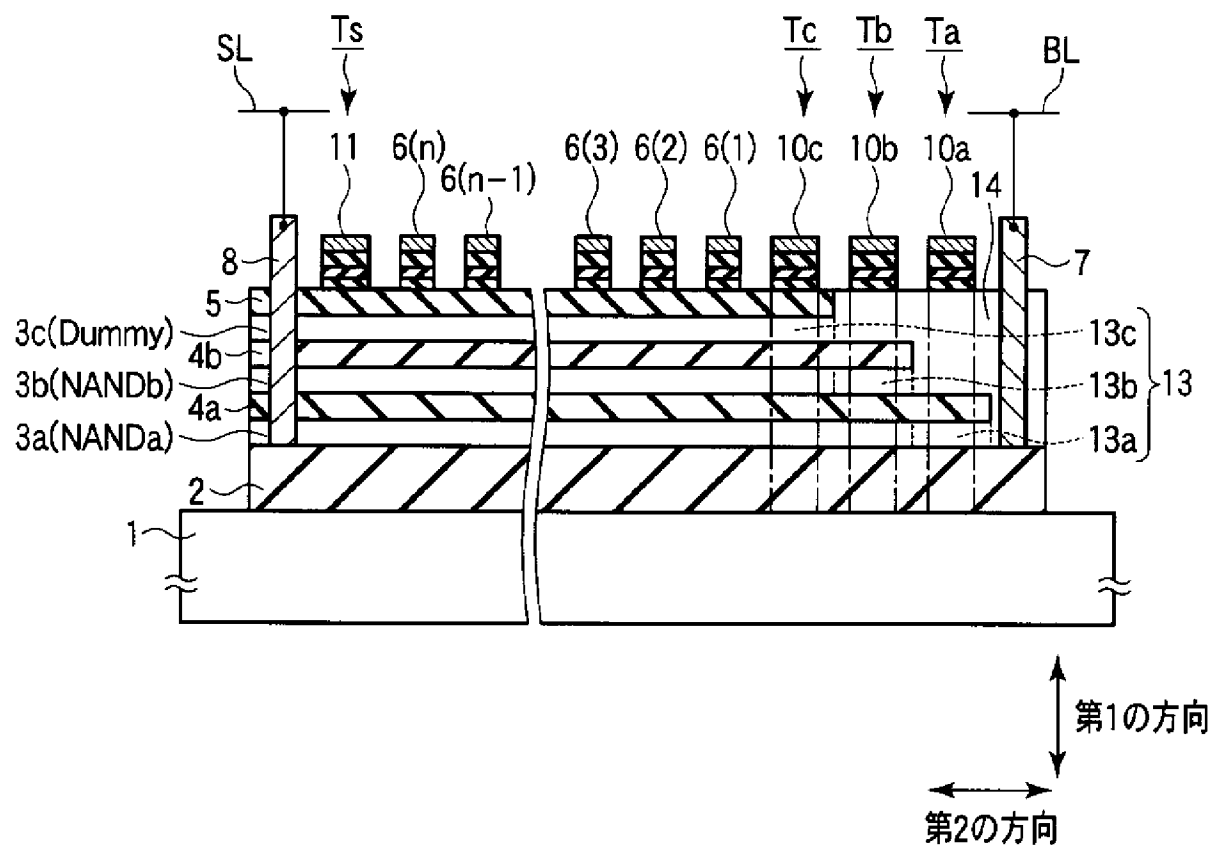
[図10C]



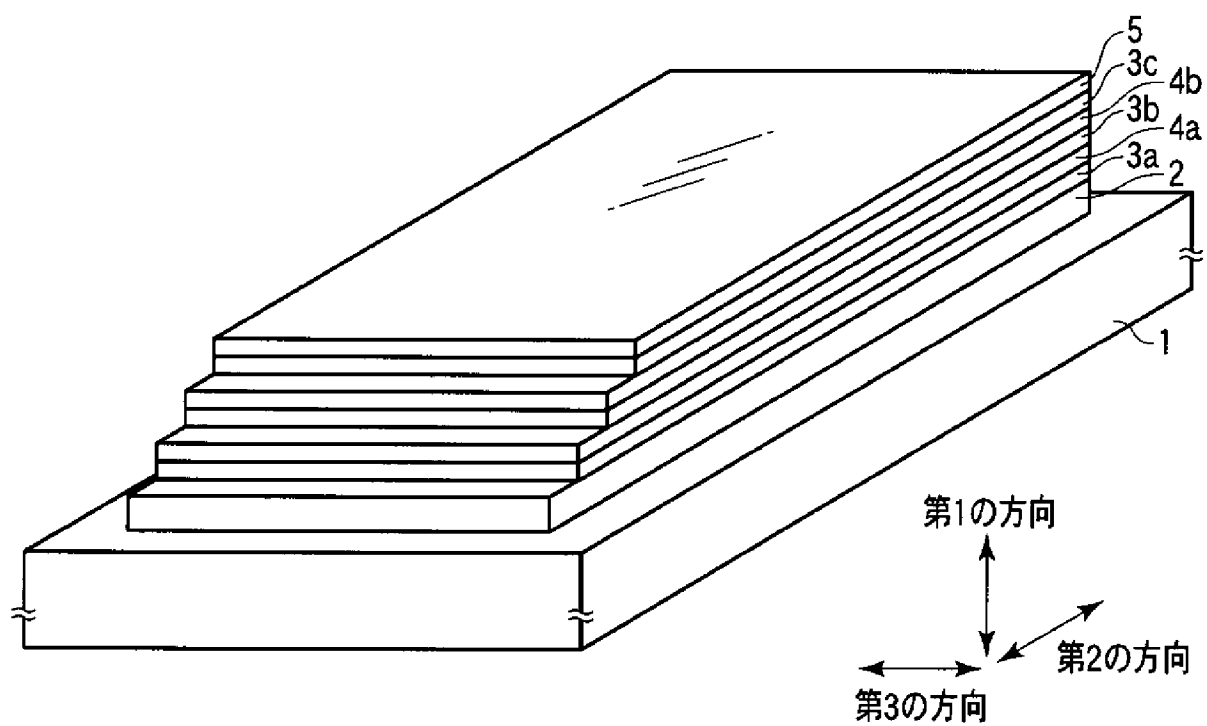
[図10D]



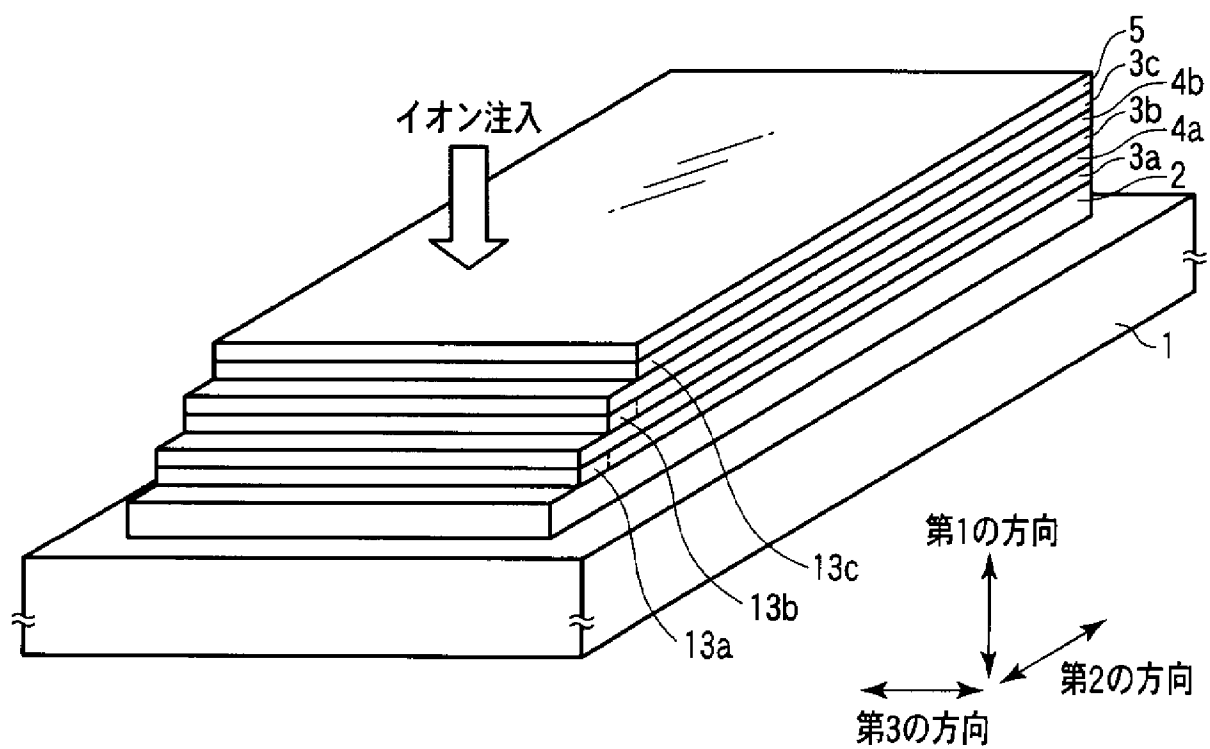




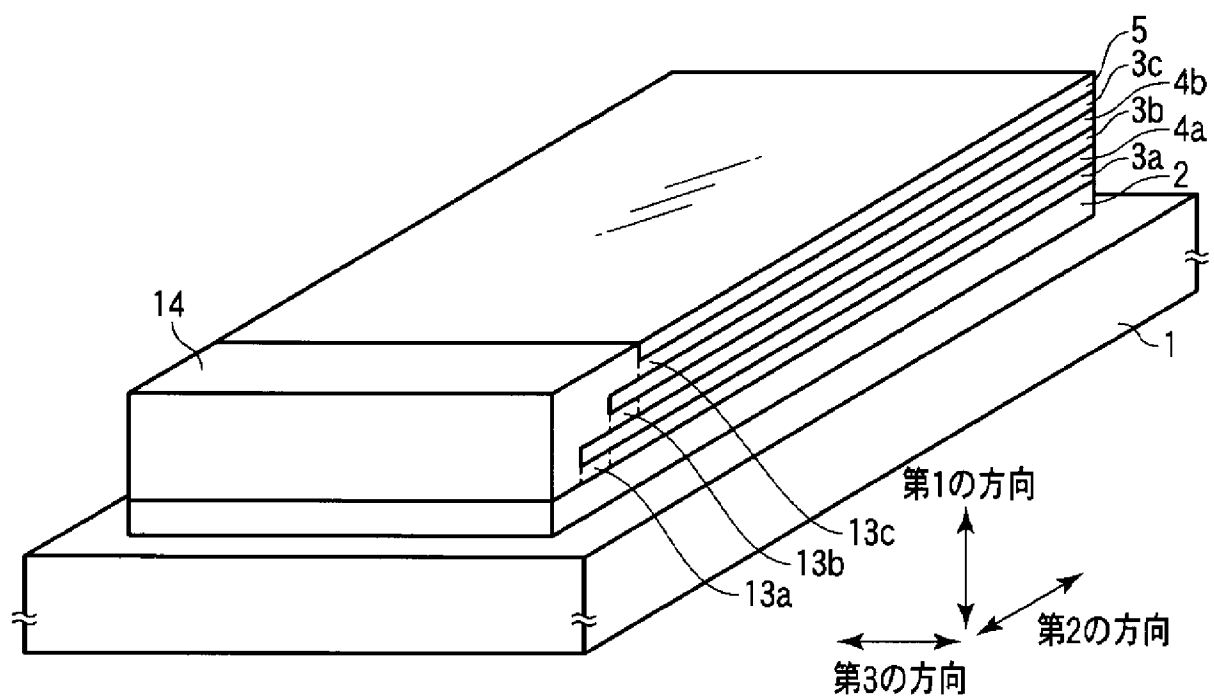
[図14A]



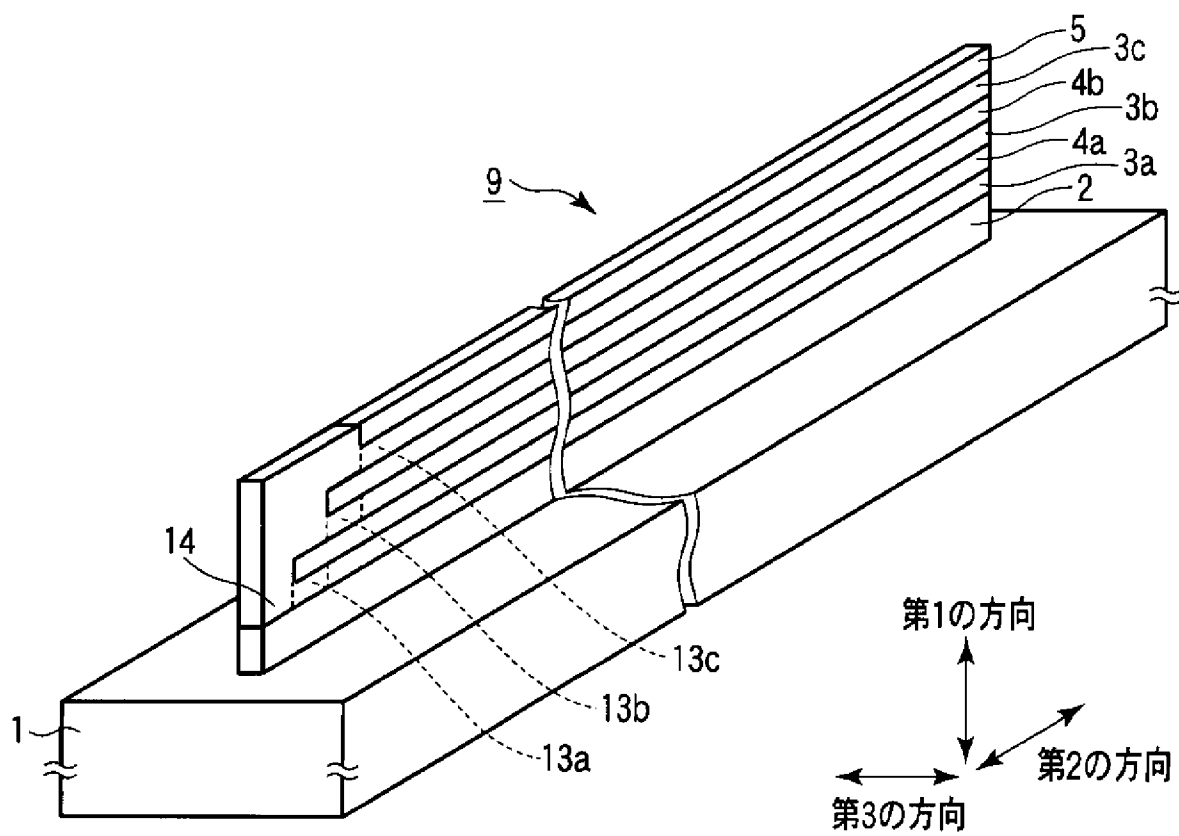
[図14B]



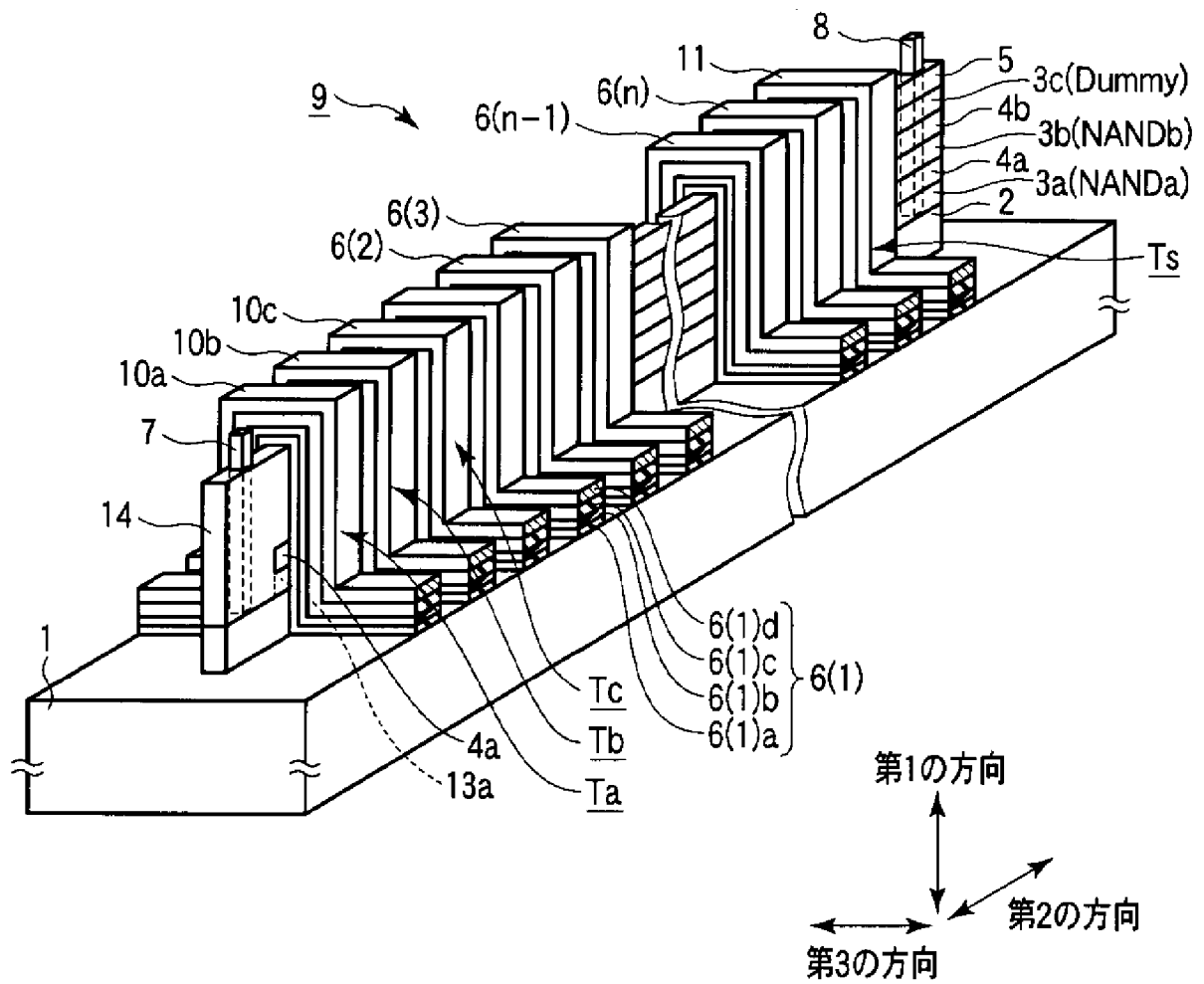
[図14C]



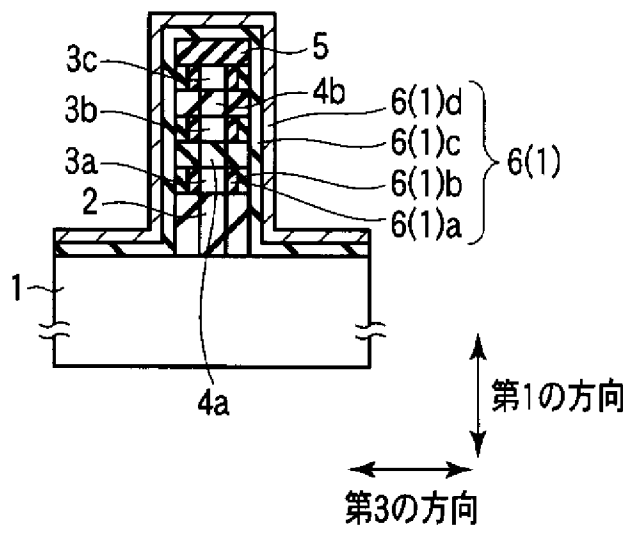
[図14D]



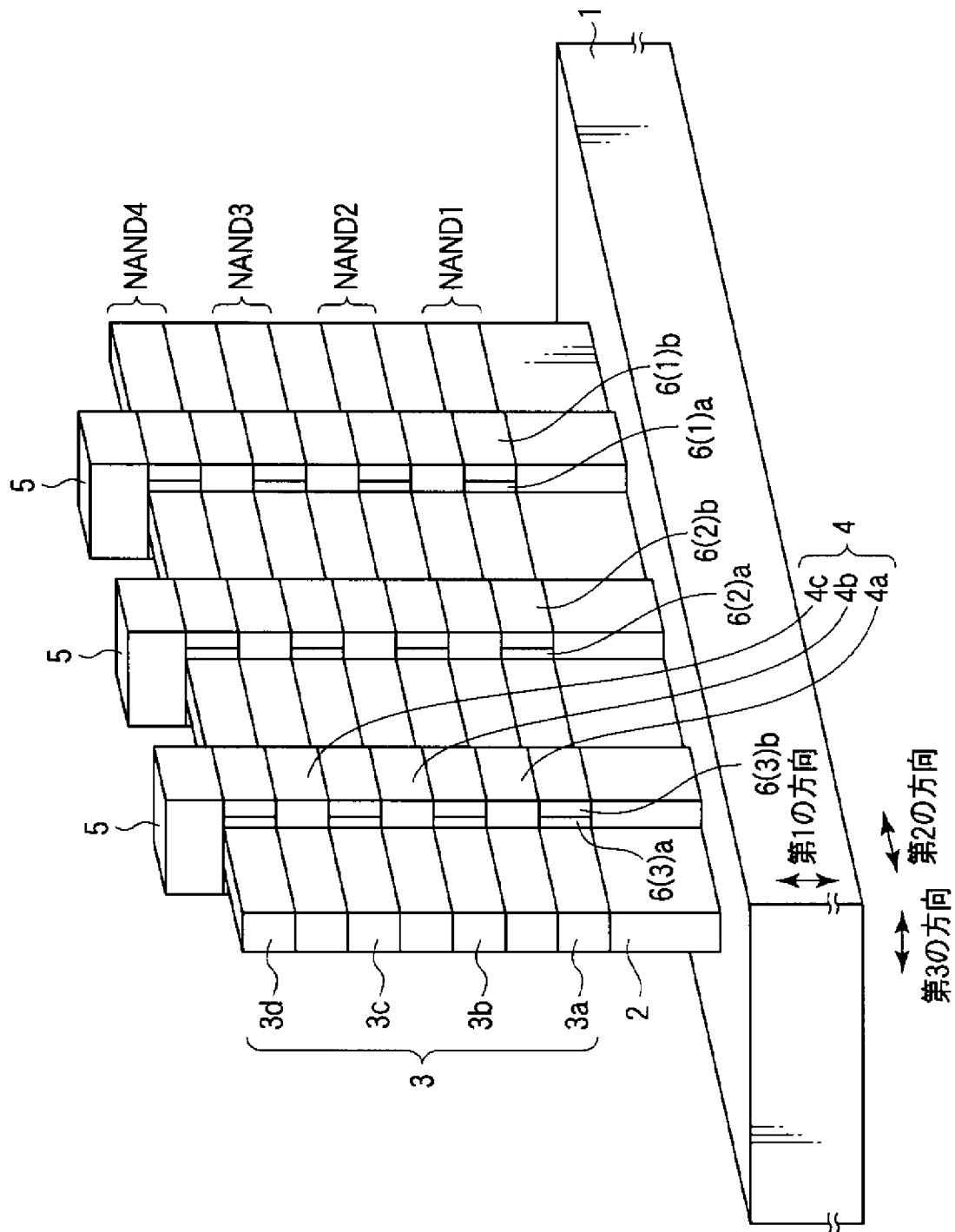
[図14E]



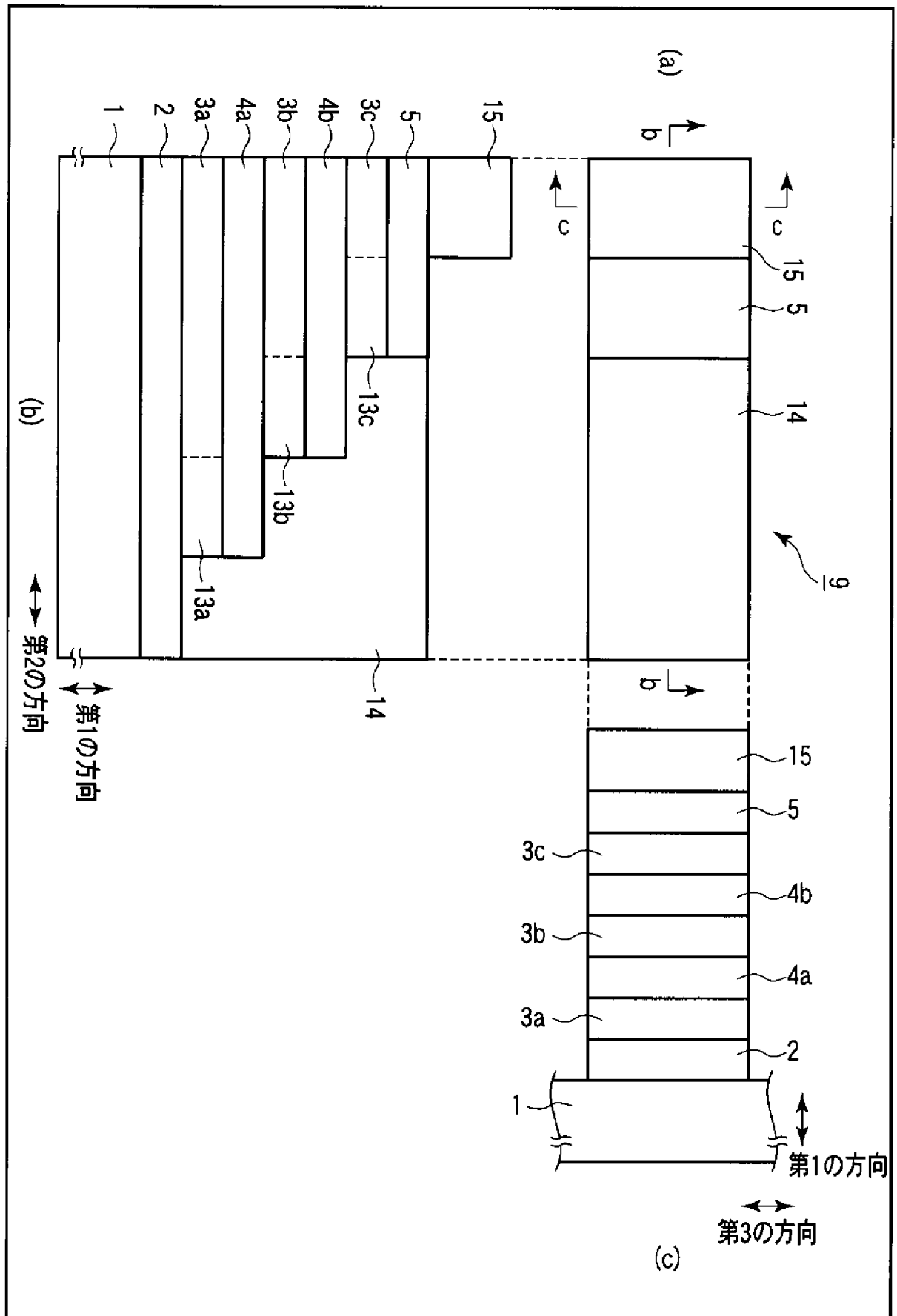
[図17]



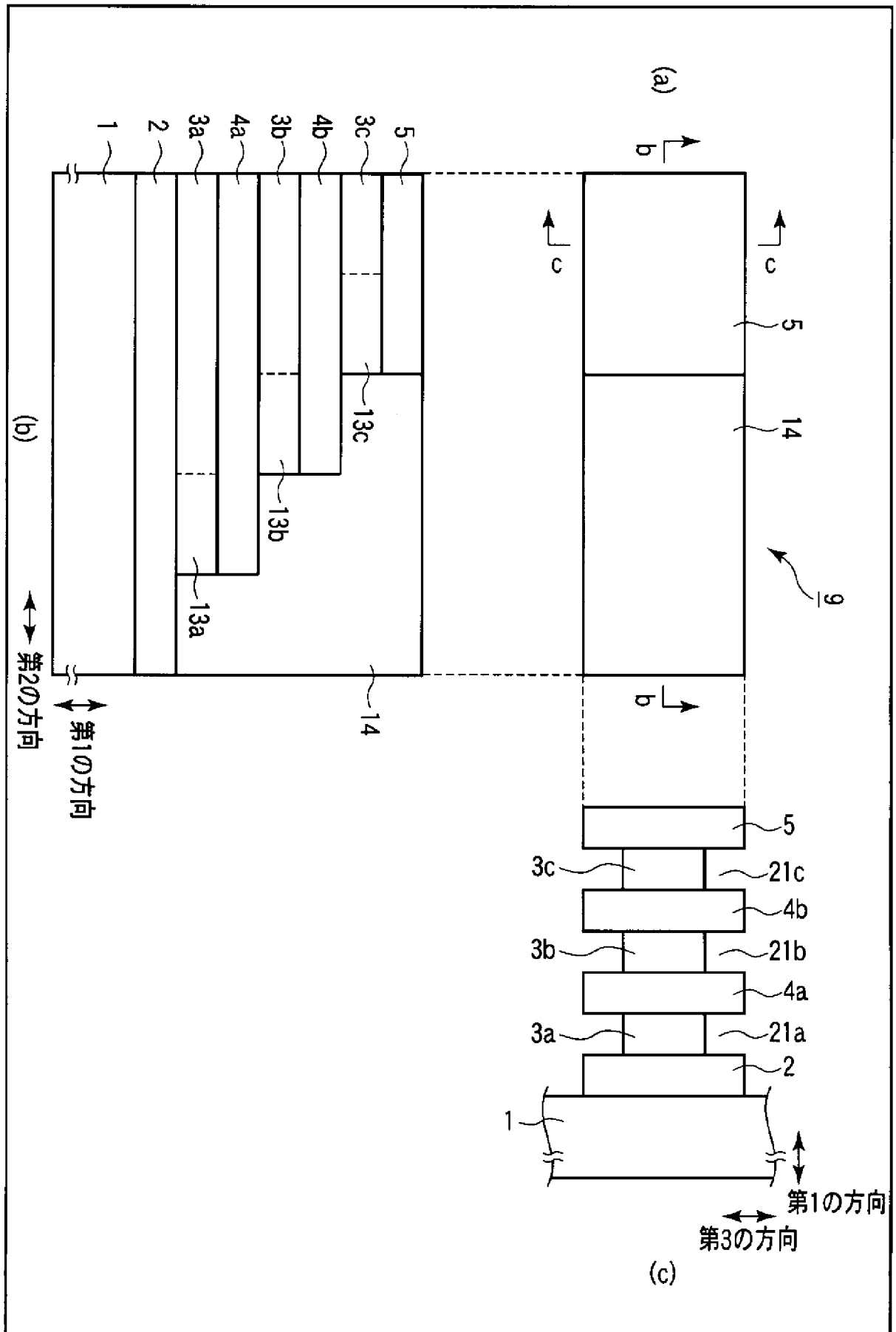
[図18]



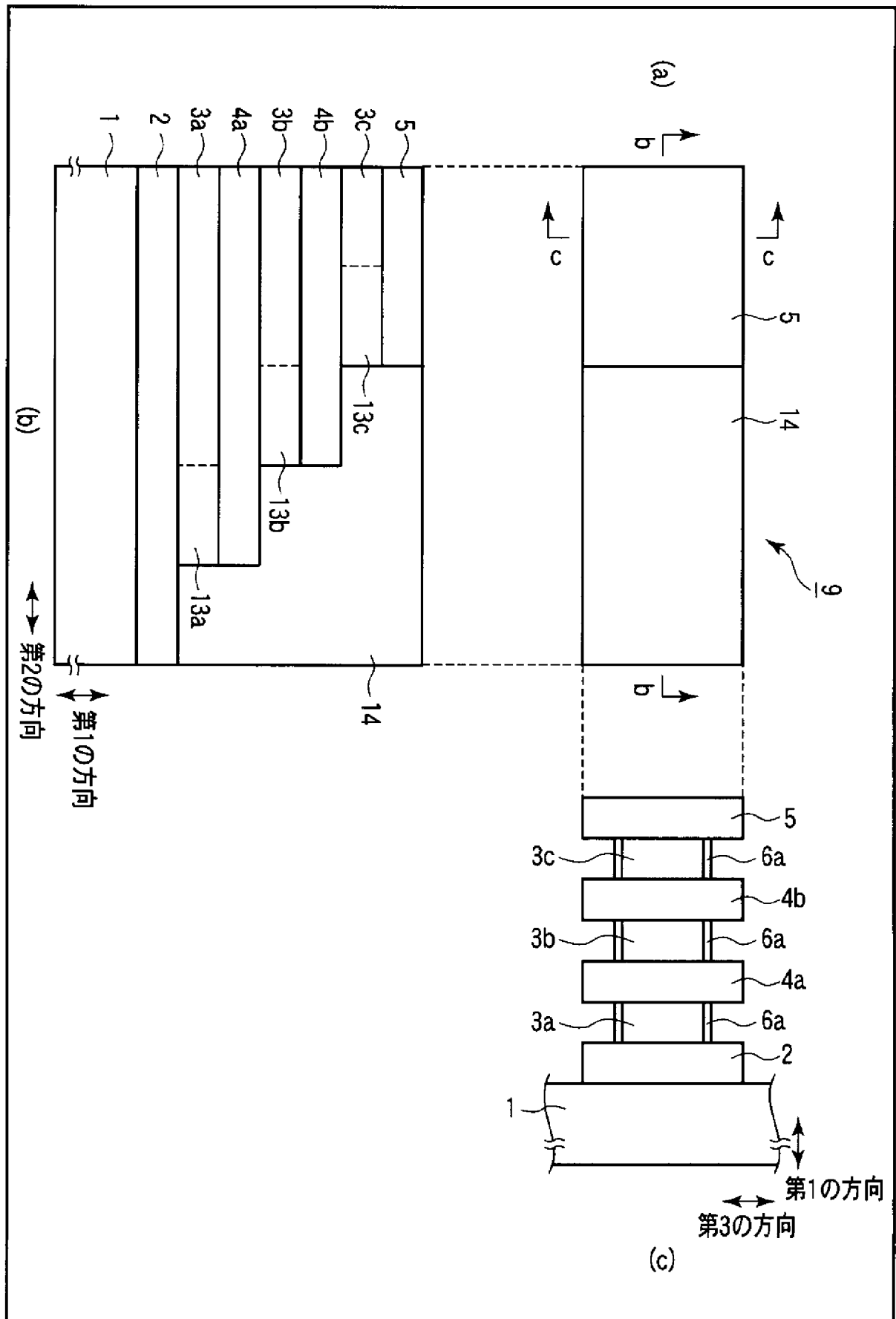
[図19A]



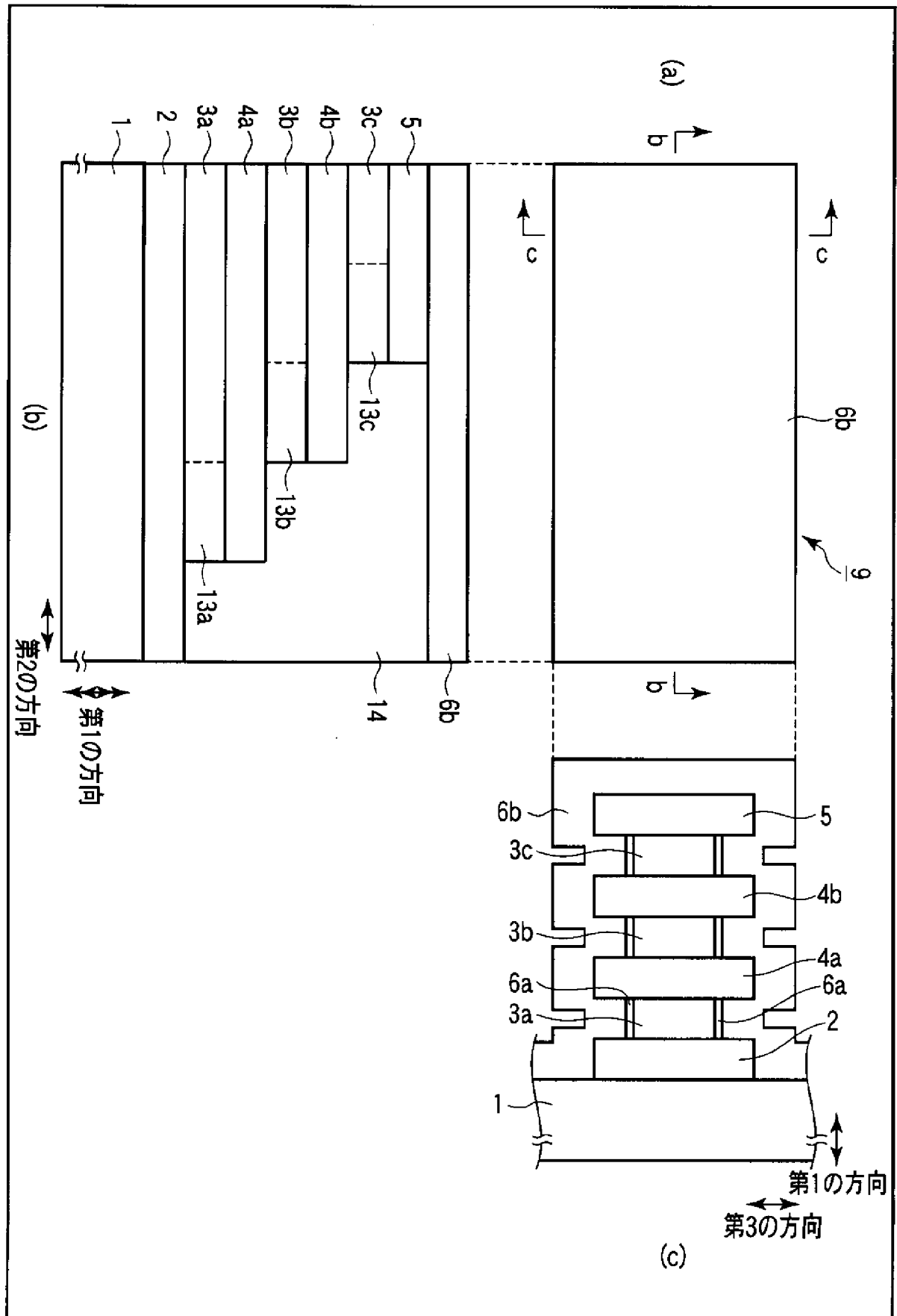
[図19B]



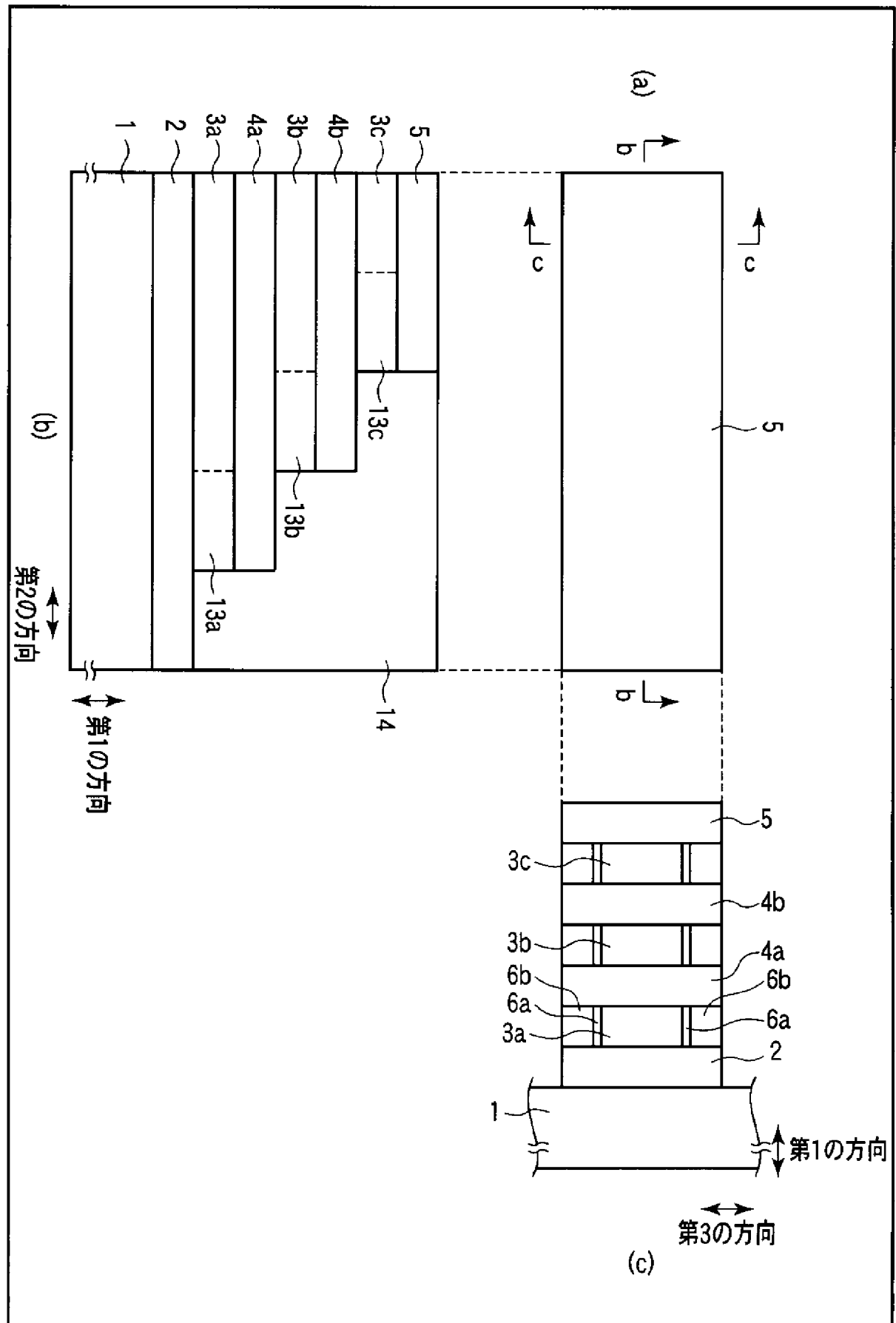
[図19C]



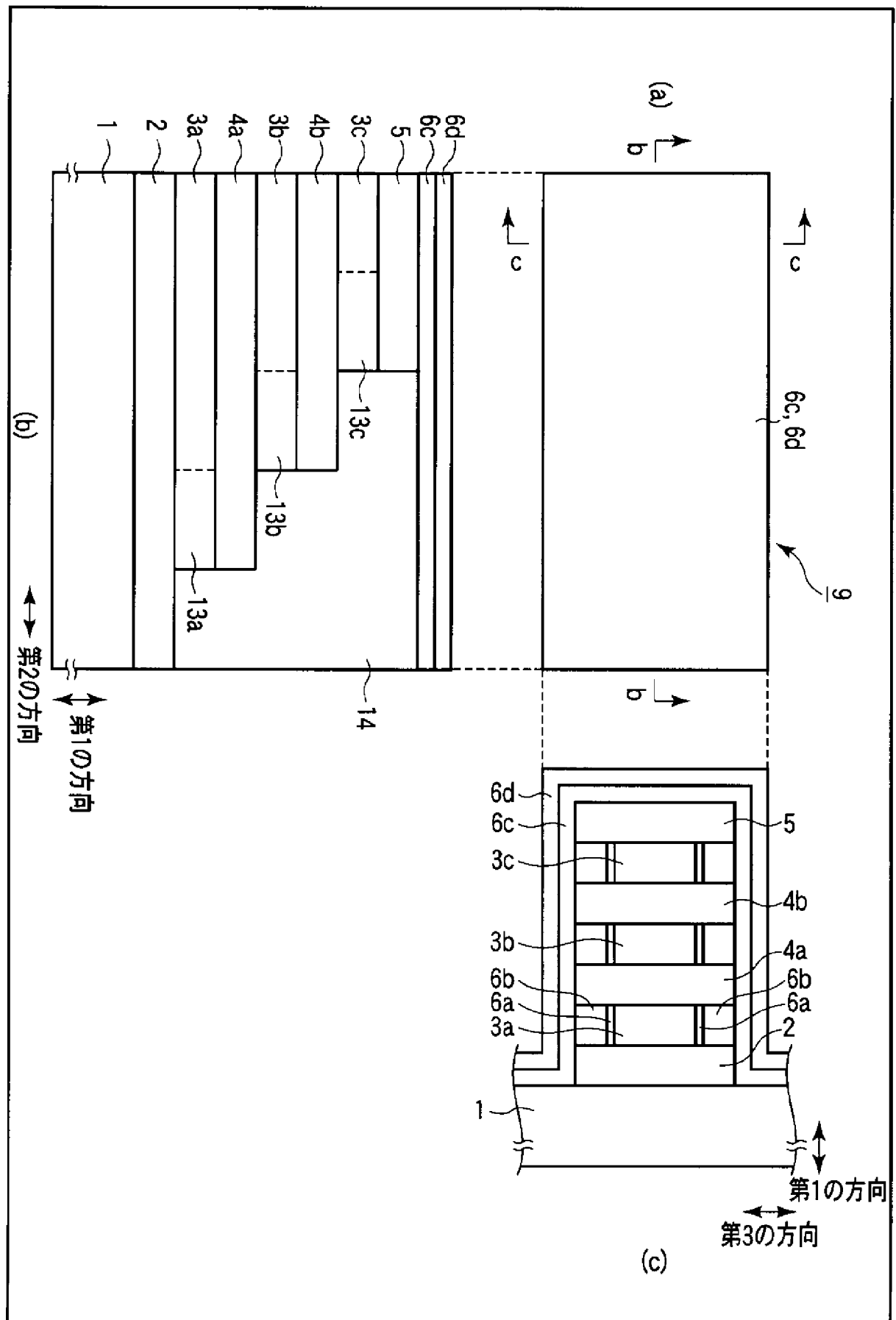
[図19D]



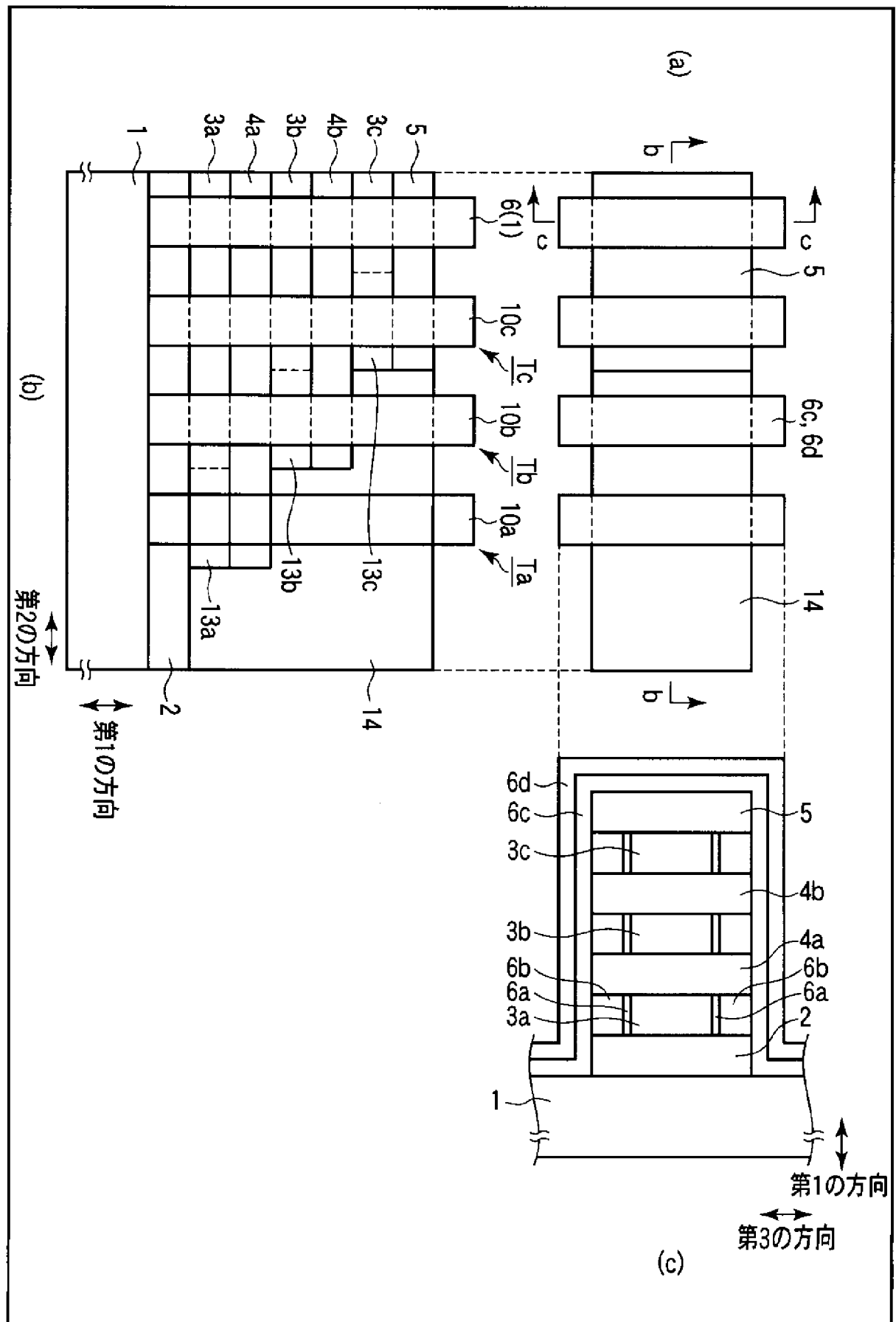
[図19E]



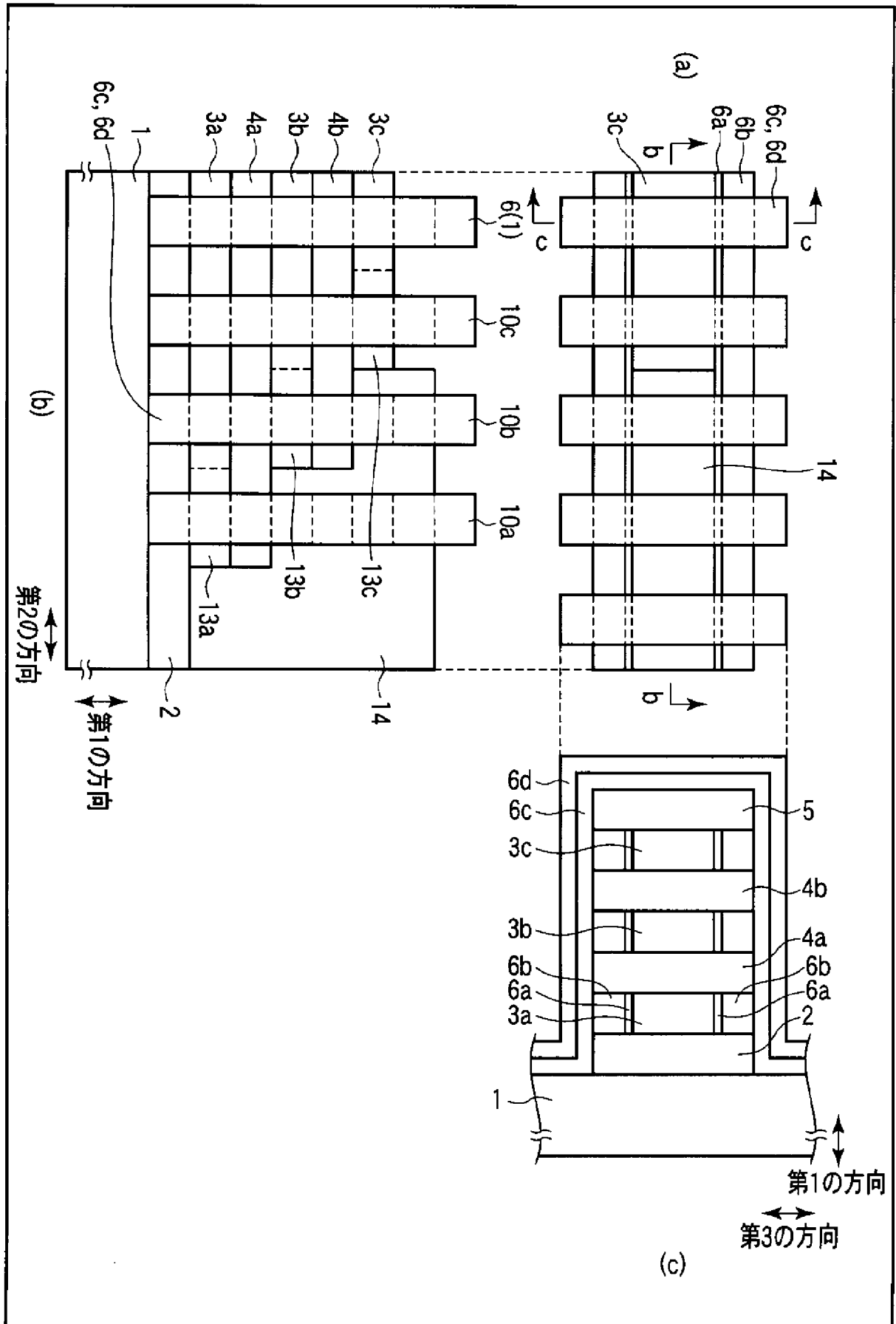
[図19F]



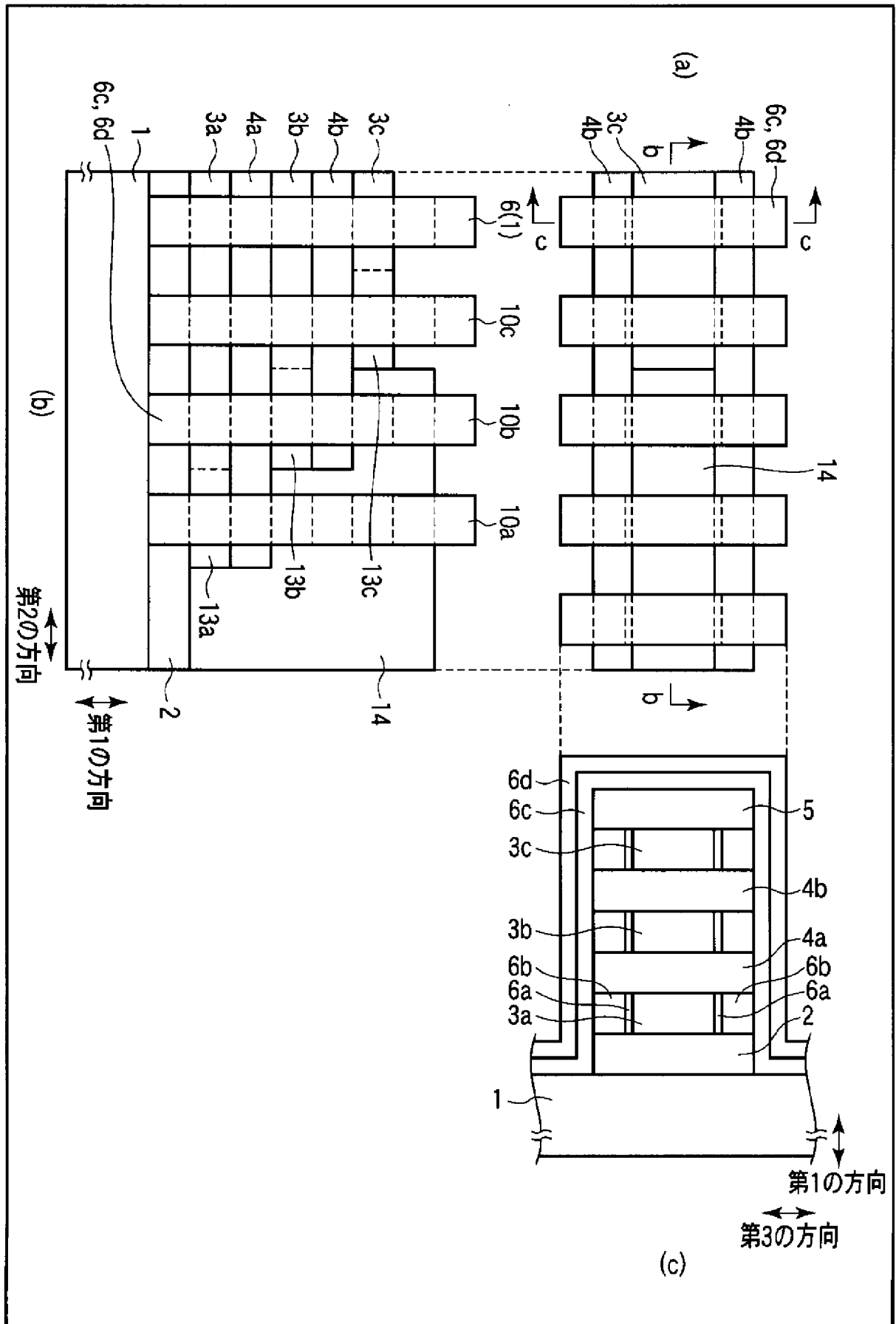
[図19G]



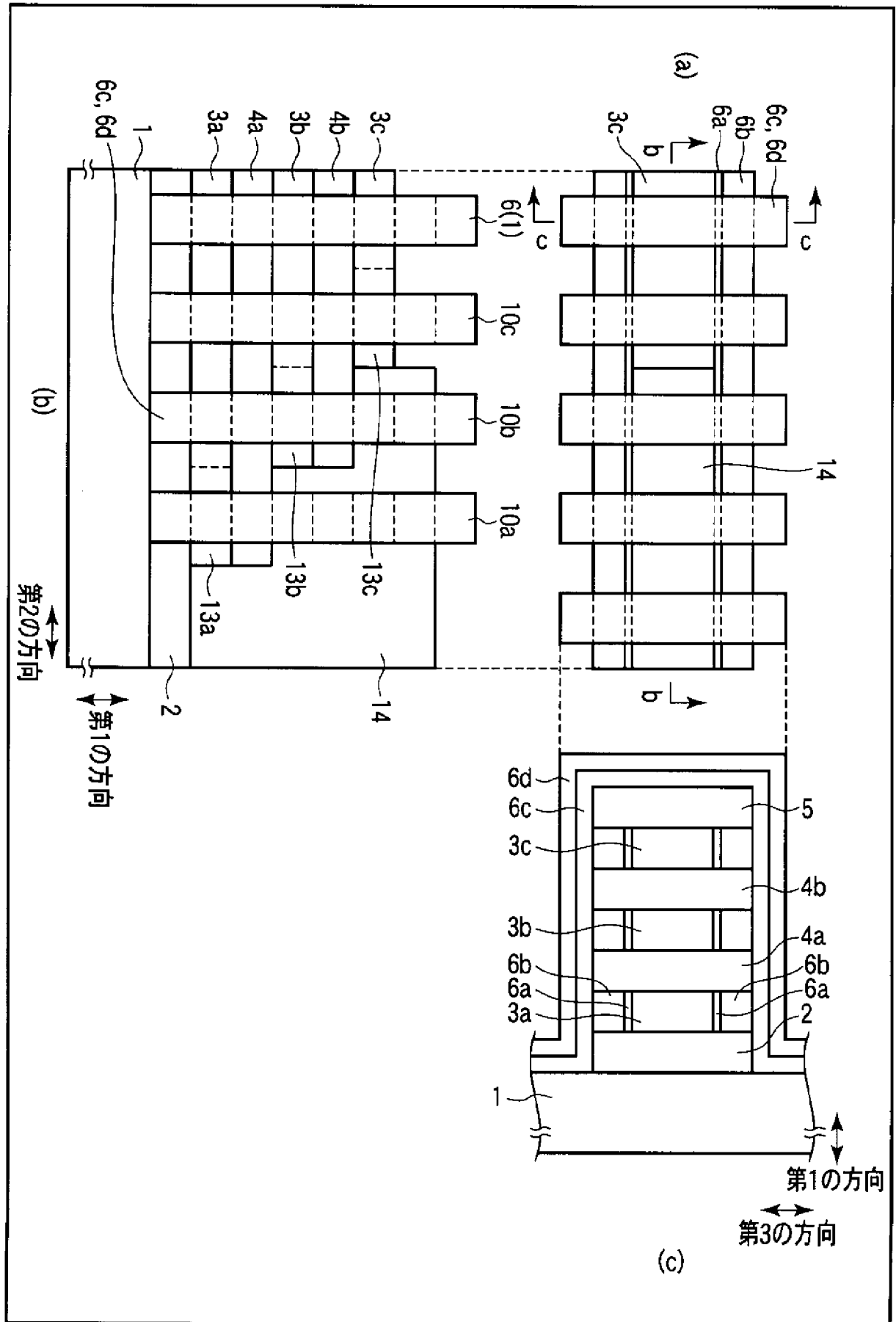
[図19H]



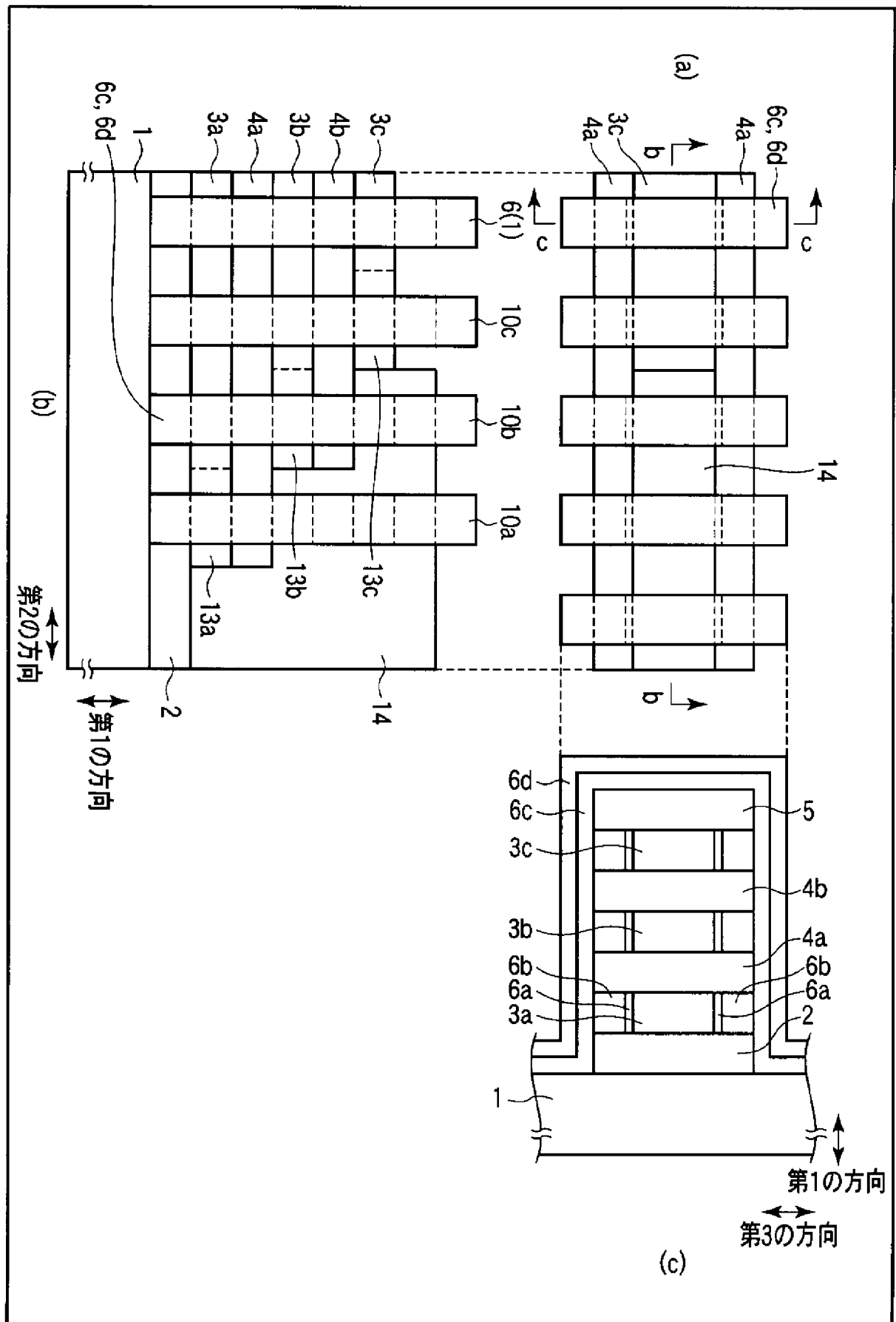
[図19]



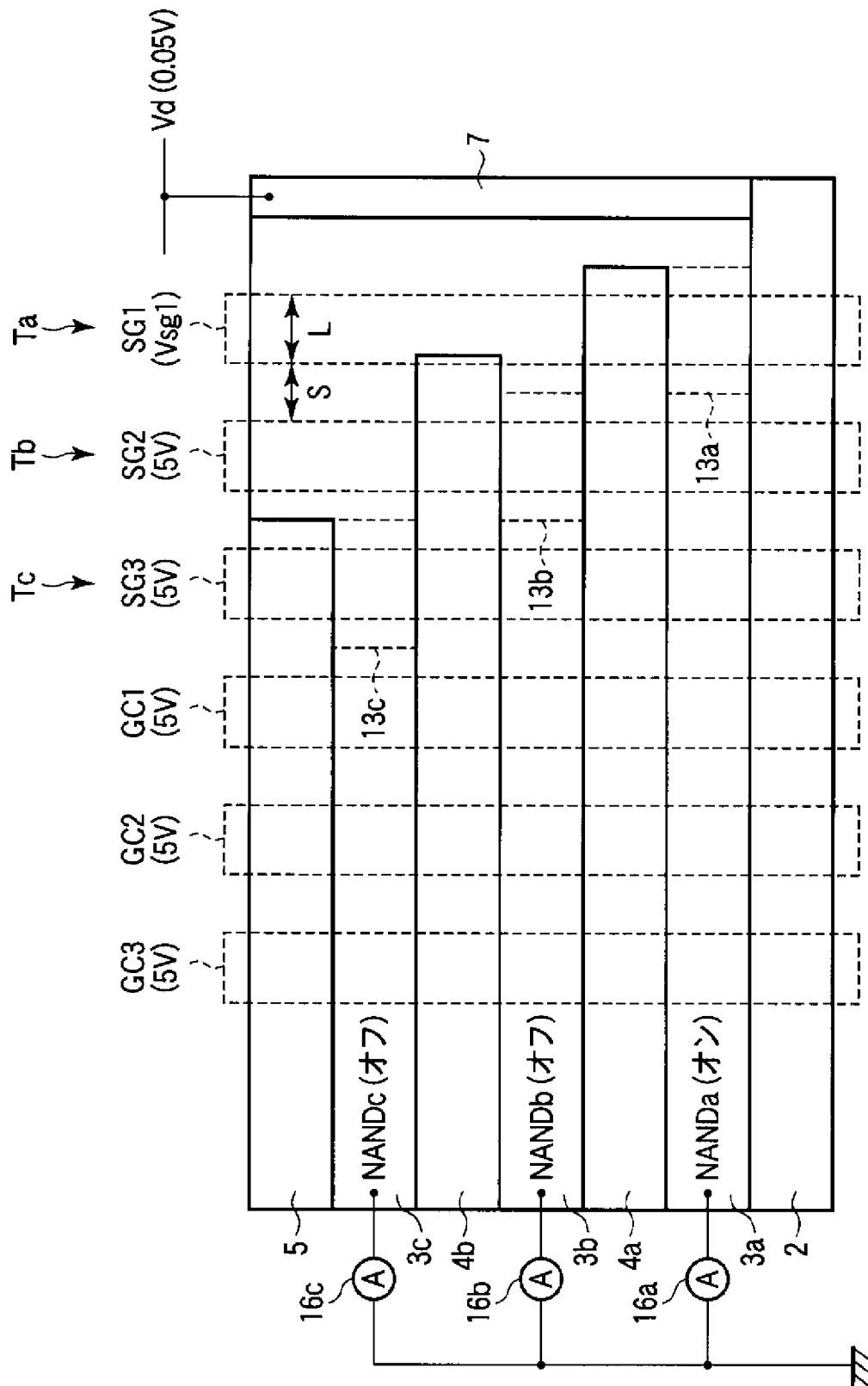
[図19J]



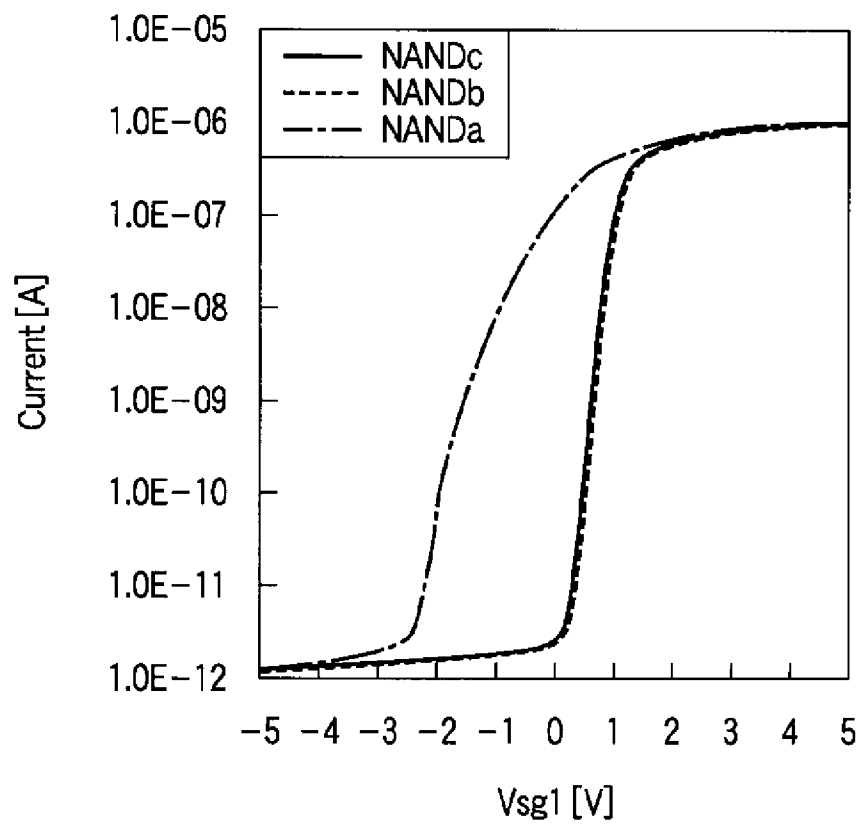
[図19K]



[図20]

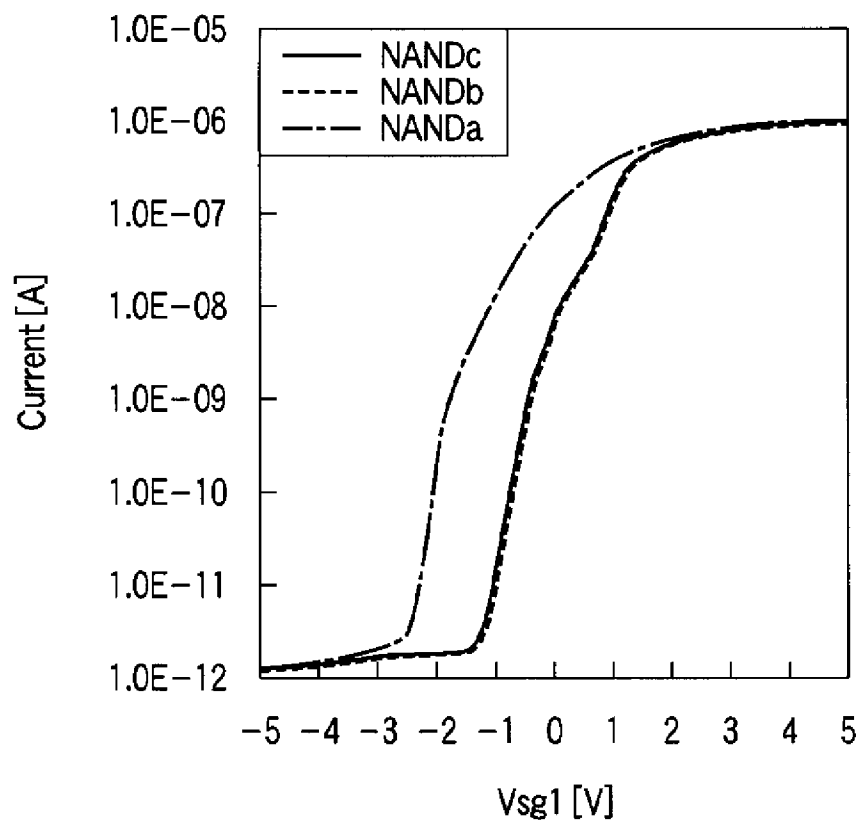


[図21]



[illegible]

[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054772

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01)i, G11C16/04(2006.01)i, H01L27/115(2006.01)i,
H01L29/788(2006.01)i, H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, G11C16/04, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-283799 A (Sharp Corp.), 03 December 2009 (03.12.2009), paragraphs [0027] to [0055], [0063]; fig. 1 to 3 (Family: none)	1, 4, 5, 7-9 6 2, 3, 10-12
X Y A	JP 2006-155750 A (Sony Corp.), 15 June 2006 (15.06.2006), paragraphs [0062] to [0072]; fig. 9 to 12 (Family: none)	1, 4, 5, 7, 8 6 2, 3, 9-12
Y	JP 2004-152893 A (Sony Corp.), 27 May 2004 (27.05.2004), paragraphs [0059] to [0060]; fig. 15 (Family: none)	6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 June, 2010 (09.06.10)

Date of mailing of the international search report
22 June, 2010 (22.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8247(2006.01)i, G11C16/04(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8247, G11C16/04, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2009-283799 A（シャープ株式会社）2009. 12. 03, [0027]-[0055], [0063], 図 1-3（ファミリーなし）	1, 4, 5, 7-9 6 2, 3, 10-12
X Y A	JP 2006-155750 A（ソニー株式会社）2006. 06. 15, [0062]-[0072] , 図 9-12（ファミリーなし）	1, 4, 5, 7, 8 6 2, 3, 9-12

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 6 . 2 0 1 0

国際調査報告の発送日

2 2 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

吉田 安子

4 M

4 4 9 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-152893 A (ソニー株式会社) 2004.05.27, [0059]-[0060], 図 15 (ファミリーなし)	6