(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3827145号
(P3827145)
(45)発行日　平成18年9月27日(2006.9.27)　(24)登録日　平成18年7月14日(2006.7.14)

(51)Int.Cl.　F I
H04N 5/335 (2006.01)　H04N 5/335 E
H04N 5/335 P

請求項の数 4　(全 15 頁)

(21)出願番号　特願2001-201601(P2001-201601)
(22)出願日　平成13年7月3日(2001.7.3)
(65)公開番号　特開2003-18471(P2003-18471A)
(43)公開日　平成15年1月17日(2003.1.17)
審査請求日　平成15年3月12日(2003.3.12)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100089875
弁理士　野田　茂
(72)発明者　馬渕　圭司
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　松田　岳士

(56)参考文献　欧州特許出願公開第０１０９６７９０（ＥＰ，Ａ１）
特開平０９－２４７５３８（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】固体撮像装置

(57)【特許請求の範囲】

【請求項１】

（イ）半導体基板上に１個以上の画素と、画素駆動部と、信号処理回路部とを配し、

（ロ）前記画素は、

フォトダイオード部と、

電荷量に応じた大きさの電圧を生成するフローティングディフュージョン部と、

ソースが前記フォトダイオード部に、ドレインが前記フローティングディフュージョン部にそれぞれ接続されており、制御電極に転送パルスが供給されることにより、チャネル電圧が第１の極性方向へ変化して導通状態になるようにした、電界効果トランジスタである転送トランジスタと、

ソースが前記フローティングディフュージョン部に、ドレインが所定電位点にそれぞれ接続されており、制御電極にリセットパルスが供給されることにより、チャネル電圧が前記第１の極性方向へ変化して導通状態になるようにした、前記転送トランジスタと同一極性の電界効果トランジスタであるリセットトランジスタと、

前記フローティングディフュージョン部の電圧を出力するバッファー手段とを含み、

（ハ）前記画素駆動部は、前記リセットトランジスタの制御電極にリセットパルスを供給した後、前記転送トランジスタの制御電極に転送パルスを供給し、

（ニ）前記信号処理回路部は、

前記リセットパルスが供給される前の前記バッファー手段の出力電圧を、前記フォトダイオード部による第１の光検出電圧として処理し、

前記転送パルスが供給された後の前記バッファー手段の出力電圧を、前記フォトダイオード部による第２の光検出電圧として処理するようにした、
固体撮像装置であって、
前記バッファー手段が前記第１の光検出電圧を出力する期間に、前記転送トランジスタのチャネル電圧に対して、前記リセットトランジスタのチャネル電圧を、前記第１の極性方向へ異ならせている、
ことを特徴とする固体撮像装置。
【請求項２】
前記画素駆動部は、前記バッファー手段が前記第１の光検出電圧を出力する期間における前記リセットトランジスタの制御電極の電圧を、前記バッファー手段が前記第２の光検出手段を出力する期間における前記リセットトランジスタの制御電極の電圧に対して、前記第１の極性方向へ異ならせることを特徴とする請求項１記載の固体撮像装置。
【請求項３】
前記所定電位点の電圧を制御する電圧制御手段を備え、該電圧制御手段は、前記バッファー手段が前記第２の光検出電圧を出力した後、一定の期間、前記所定電位点の電圧を、前記第１の極性方向とは逆方向の第２の極性方向へ変化させることを特徴とする請求項１記載の固体撮像装置。
【請求項４】
前記画素が複数個マトリクス状に配列された画素領域を有し、
前記画素領域の各列ごとに垂直信号線が設けられ、各画素の前記バッファー手段の出力電圧はその画素が対応する前記垂直信号線を通じて出力され、
前記垂直信号線と第２の基準電位点との間に接続され、ロードパルスが供給されたときオンするスイッチング素子を含み、
前記スイッチング素子には、前記第１の光検出電圧の出力の前に終了する第１のロードパルスと、前記第１の光検出電圧の出力より後に開始して前記転送パルス終了から前記第２の光検出電圧の出力までの間に終了する第２のロードパルスとが供給され、
前記バッファー手段は、電界効果トランジスタから成り、該電界効果トランジスタは、制御電極が前記フローティングディフュージョン部に接続されており、少なくとも前記バッファー手段が電圧を出力するときには、ドレインが電源に、ソースが前記垂直信号線にそれぞれ接続された状態とされることを特徴とする請求項１記載の固体撮像装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は固体撮像装置に関し、特に光検出におけるダイナミックレンジの拡大を図った固体撮像装置に関するものである。
【０００２】
【従来の技術】
図９は従来の固体撮像装置を示す構成図、図１０は図９の固体撮像装置を構成する１つの画素部周辺を示す回路図、図１１は図１０に示した回路の動作を示すタイミングチャートである。
図９に示した固体撮像装置１０２は、具体的にはＣＭＯＳ光センサーであり、半導体基板上に形成された画素領域１０４、Ｖ選択手段１０６、Ｈ選択手段１０８、タイミングジェネレータ１１０（ＴＧ）、信号処理部１１２、定電流部１１４Ａなどを含んでいる。画素領域１０４には、多数の画素がマトリクス状に配列され、各画素が光を検出して生成した電気信号が、タイミングジェネレータ１１０からのタイミングパルスにもとづきＶ選択手段１０６およびＨ選択手段１０８により順次選択され、水平信号線１１６から出力部１１８を通じて出力する構成となっている。
【０００３】
画素１２０は、図１０に示したように、フォトダイオード１２２、電荷量に応じた大きさの電圧を生成するフローティングディフュージョン部１２４（ＦＤ部１２４）、転送パル

スが供給されたときフォトダイオード１２２をＦＤ部１２４に接続する転送ゲート１２６と、リセットパルスが供給されたときＦＤ部１２４を電源Ｖｄｄに接続するリセットゲート１２８、ＦＤ部１２４の電圧を出力するバッファー回路１３０を含んで構成されている。

【０００４】

フォトダイオード１２２は、アノードがグランドに接続され、カソードは、転送ゲート１２６を構成するＮ型のＭＯＳＦＥＴ（ＭＯＳ電界効果トランジスター）のソースに接続されている。同ＭＯＳＦＥＴのドレインはＦＤ部１２４に接続され、またゲートにはタイミングジェネレータ１１０より転送パルス１３２が供給される。リセットゲート１２８もＮ型のＭＯＳＦＥＴにより構成され、そのソースはＦＤ部１２４に、ドレインは電源Ｖｄｄにそれぞれ接続され、ゲートにはタイミングジェネレータ１１０よりリセットパルス１３４が供給される。

【０００５】

バッファー回路１３０を構成するＮ型のＭＯＳＦＥＴのゲートはＦＤ部１２４に接続され、ドレインは電源Ｖｄｄに接続されている。バッファー回路１３０と垂直信号線１３６との間には、Ｎ型のＭＯＳＦＥＴから成るアドレスゲート１３８が介在し、そのゲートにはＶ選択手段１０６からアドレスパルス１４０が供給される。そして、バッファー回路１３０のソースはアドレスゲート１３８のドレインに接続され、アドレスゲート１３８のソースは垂直信号線１３６に接続されている。

【０００６】

垂直信号線１３６は、マトリクス状に配列された画素１２０の各列ごとに設けられ、同一の列に属する画素１２０のアドレスゲート１３８のソースはすべて対応する垂直信号線１３６に接続されている。垂直信号線１３６の一端は、画素領域１０４の外に配置された定電流部１１４Ａにおいて定電流源１１４に接続され、垂直信号線１３６に一定の電流が流されている。垂直信号線１３６の他端は、画素領域１０４の外に配置された信号処理部１１２に接続されている。

【０００７】

信号処理部１１２には、各垂直信号線１３６ごとに第１および第２のサンプルホールド回路１４２、１４４、ＣＤＳ（Correlated Double Sampling）回路１４６（第１の演算回路）などが設けられている。第１および第２のサンプルホールド回路１４２、１４４は、タイミングジェネレータ１１０から第１および第２のサンプリングパルス１４８、１５０が供給されて、バッファー回路１３０が垂直信号線１３６に出力した信号電圧を保持する。ＣＤＳ回路１４６は、これら第１および第２のサンプルホールド回路１４２、１４４が保持した電圧の差を算出する。

【０００８】

各垂直信号線１３６ごとのＣＤＳ回路１４６の出力信号は、タイミングジェネレータ１１０からのタイミング信号にもとづいて動作するＨ選択手段１０８により順次選択されて水平信号線１１６に出力され、出力部１１８を通じて出力される。出力部１１８は詳しくは増幅回路、ＡＧＣ回路、Ａ／Ｄ変換器などにより構成されている。

【０００９】

次に、このように構成された固体撮像装置１０２の動作について、図１１をも参照しつつ、画素１２０における動作を中心に説明する。

Ｖ選択手段１０６はタイミングジェネレータ１１０からのタイミングパルスにもとづき動作して、画素領域１０４の行を選択し、選択した行に属する画素１２０に対し、タイミングＴ１でアドレスパルス１４０（ハイレベル）を出力する。このアドレスパルス１４０は、各画素１２０においてアドレスゲート１３８に供給され、その結果、アドレスゲート１３８がオンしてバッファー回路１３０が垂直信号線１３６に接続される。

【００１０】

次に、タイミングジェネレータ１１０はタイミングＴ２においてリセットパルス１３４を出力し、これによりリセットゲート１２８がオンしてＦＤ部１２４は電源Ｖｄｄに接続さ

れ、ＦＤ部１２４に蓄積している電荷（電子）が排除される。そして、このリセット状態のＦＤ部１２４の電圧がバッファー回路１３０により垂直信号線１３６に出力される。なお、バッファー回路１３０は、アドレスゲート１３８がオンしているときは、定電流源１１４とともにソースフォロワー回路を形成するので、ゲート電圧、すなわちＦＤ部１２４の電圧に追従した電圧がバッファー回路１３０から垂直信号線１３６に低インピーダンスで出力される。

【００１１】

つづいて、タイミングＴ３において、タイミングジェネレータ１１０は垂直信号線１３６ごとに設けられた各第１のサンプルホールド回路１４２に第１のサンプリングパルス１４８を出力し、バッファー回路１３０により垂直信号線１３６に出力された電圧を保持させる。

その後、タイミングＴ４において、タイミングジェネレータ１１０は転送パルス１３２を出力し、転送ゲート１２６をオンさせてフォトダイオード１２２がタイミングＴ４までに受光して蓄積した電荷（電子）をＦＤ部１２４に転送させる。ＦＤ部１２４は転送された電荷量に応じた電圧を生成し、バッファー回路１３０はその電圧を、低インピーダンスで垂直信号線１３６に出力する。

【００１２】

そして、タイミングジェネレータ１１０はタイミングＴ５で、垂直信号線１３６ごとに設けられた各第２のサンプルホールド回路１４４に第２のサンプリングパルス１５０を出力し、このときバッファー回路１３０が垂直信号線１３６に出力している電圧を保持させる。これにより、各垂直信号線１３６ごとに設けられたＣＤＳ回路１４６は、第１のサンプルホールド回路１４２が保持しているリセット時の電圧と、第２のサンプルホールド回路１４４が保持している電圧との差を算出して、オフセット分を除去した、フォトダイオード１２２の受光光量に対応する大きさの電圧を出力する。

なお、上記オフセット分は画素１２０ごとに大きさが異なるため、このようにＣＤＳ回路１４６によりオフセット分を除去することで、オフセットのバラツキによるノイズを除去することができる。

【００１３】

各垂直信号線１３６ごとのＣＤＳ回路１４６の出力信号は、タイミングジェネレータ１１０からのタイミングパルスにもとづきＨ選択手段１０８により順次選択されて水平信号線１１６に出力され、出力部１１８を通じ画像信号として出力される。

Ｖ選択手段１０６はタイミングＴ６においてアドレスパルス１４０をローレベルに戻し、その結果、アドレスゲート１３８がオフしてバッファー回路１３０が垂直信号線１３６から切り離され、１行分の画素１２０に関する動作が完了する。

【００１４】

以降、Ｖ選択手段１０６は、タイミングジェネレータ１１０からのタイミングパルスにもとづき動作して、画素部１２０の各行を順次選択する。そして、各行ごとに上述のような動作が行われ、Ｖ選択手段１０６がすべての行を選択したところで、すべての画素部１２０により生成された画像１枚分の画像信号が出力されたことになる。

【００１５】

【発明が解決しようとする課題】

しかし、このような固体撮像装置１０２では、フォトダイオード１２２が生成した電荷がオーバーフローするまでの範囲、すなわちフォトダイオード１２２の飽和レベルまでの範囲の光量しか検出することができなかった。したがって、たとえば被写体の暗い部分に絞りやシャッター速度を合わせた場合には、被写体の明るい部分は、フォトダイオード１２２が飽和してしまうことから、全体がたとえば真っ白に撮影されてしまい、映像を得ることはできなかった。

【００１６】

この問題の解決を図るべく、特開平１１－３１３２５７号公報には、受光光量の対数に対応した信号を出力するようにしてダイナミックレンジを拡大した固体撮像素子が開示され

ている。しかし、この固体撮像素子では、コンデンサーを使用していることから、その充放電に時間がかかり、残像が生じるという欠点がある。そして、構造的に、雑音が少ないという長所を有している埋め込みフォトダイオード（フォトダイオード表面の絶縁膜とフォトダイオードとの間にたとえばＰ＋層が形成されている）を使用できないため、画質が劣るという問題がある。そして、画素回路の構成要素が多いため、小型化が困難である。

【００１７】

また、シャッター速度、したがってフォトダイオード１２２における電荷蓄積時間を変え、フォトダイオード１２２が飽和しないような短い時間と、充分に長い時間とで撮影して、各撮影画像を合成することでダイナミックレンジを拡大するといった手法も知られているが、この方法では、ラインメモリーやフレームメモリーが必要なために装置が大型化し、またコスト高となってしまう。そして、感光期間の異なる２つの信号を合成するので、動く被写体への適用が困難である。さらに、画素領域１０４の隣接行間で電荷蓄積時間を変えることにより、メモリーを不要にする技術も知られているが、この技術では画素の隣接行間での演算処理が必要であるため、装置が大型化し、また構成が複雑となる。さらに、２画素で１つの信号を生成するので解像度が劣化する。

【００１８】

本発明はこのような問題を解決するためになされたもので、その目的は、ダイナミックレンジが広く、かつ高性能で、しかも小型、低コストの固体撮像装置を提供することにある。

【００１９】

【課題を解決するための手段】

本発明は上記目的を達成するため、（イ）半導体基板上に１個以上の画素と、画素駆動部と、信号処理回路部とを配し、（ロ）前記画素は、フォトダイオード部と、電荷量に応じた大きさの電圧を生成するフローティングディフュージョン部と、ソースが前記フォトダイオード部に、ドレインが前記フローティングディフュージョン部にそれぞれ接続されており、制御電極に転送パルスが供給されることにより、チャネル電圧が第１の極性方向へ変化して導通状態になるようにした、電界効果トランジスタである転送トランジスタと、ソースが前記フローティングディフュージョン部に、ドレインが所定電位点にそれぞれ接続されており、制御電極にリセットパルスが供給されることにより、チャネル電圧が前記第１の極性方向へ変化して導通状態になるようにした、前記転送トランジスタと同一極性の電界効果トランジスタであるリセットトランジスタと、前記フローティングディフュージョン部の電圧を出力するバッファー手段とを含み、（ハ）前記画素駆動部は、前記リセットトランジスタの制御電極にリセットパルスを供給した後、前記転送トランジスタの制御電極に転送パルスを供給し、（ニ）前記信号処理回路部は、前記リセットパルスが供給される前の前記バッファー手段の出力電圧を、前記フォトダイオード部による第１の光検出電圧として処理し、前記転送パルスが供給された後の前記バッファー手段の出力電圧を、前記フォトダイオード部による第２の光検出電圧として処理するようにした固体撮像装置であって、前記バッファー手段が前記第１の光検出電圧を出力する期間に、前記転送トランジスタのチャネル電圧に対して、前記リセットトランジスタのチャネル電圧を、前記第１の極性方向へ異ならせていることを特徴とする。

【００２０】

本発明の固体撮像装置では、リセットパルスがリセットゲートに供給される前に、バッファー手段の出力電圧が第２の信号経路に取り込まれる。このリセットパルスがリセットゲートに供給される前の段階では、フォトダイオードに対する入射光量が多い場合、フォトダイオードが生成した電荷はフォトダイオードからオーバーフローしてＦＤ部に流れ込み、さらにＦＤ部でもオーバーフローして所定電位点に流出する。

このとき、ＦＤ部の電圧は、所定電位点に流出する電荷による電流の大きさにより決まるが、電界効果トランジスターによるリセットゲートは、チャネルに流れる電流が小さくサブスレッショルド領域で動作するので、ＦＤ部の電圧は電流値の対数に対応した値となる。そして、ＦＤ部の電圧がバッファー手段を通じて出力され、第２の信号経路に供給され

るので、入射光量が多い場合、第２の信号経路に供給される電圧は、入射光量の対数に対応した値となる。
すなわち、本発明では、フォトダイオードの入射光量が多い場合、入射光量の対数に対応した電圧が第２の信号経路から出力され、よって、ダイナミックレンジの広い固体撮像装置を実現することができる。
【００２１】
【発明の実施の形態】
次に本発明の実施の形態例について図面を参照して説明する。
図１は本発明による固体撮像装置の一例を構成する画素部周辺を示す回路図、図２は実施の形態例の固体撮像装置の全体を示す構成図、図３は主に図１の画素部の動作を示すタイミングチャート、図４は図１の画素部を構成するフォトダイオード周辺のポテンシャル図である。図１、図２において図９、図１０と同一の要素には同一の符号が付されており、それらに関する詳しい説明はここでは省略する。
【００２２】
図１に示したように、実施の形態例の固体撮像装置では、マトリックス状に画素１２０が並べられた画素領域１０４の各列に対して、サンプルホールド回路２、ならびにＣＤＳ回路４（第２の演算回路）が新たに設けられている。サンプルホールド回路２は、タイミングジェネレータ６（図２）からのサンプリングパルス８にもとづいて垂直信号線１３６に出力されている電圧を保持し、ＣＤＳ回路４はサンプルホールド回路２が保持している電圧と、第１のサンプルホールド回路１４２が保持している電圧との差を算出し、オフセット分を除去する。これらの回路はすべて図２に示した信号処理部１０に配置されている。
【００２３】
本実施の形態例では、図２に示したように、信号処理部１０とともにH選択手段１２が新たに設けられ、信号処理部１０のＣＤＳ回路４の出力信号は、H選択手段１２により順次選択され水平信号線１４を通じ出力部１６から出力される。出力部１６は詳しくは増幅回路、ＡＧＣ回路、Ａ／Ｄ変換器などにより構成されている。
タイミングジェネレータ６は、従来同様、画素１２０、Ｖ選択手段１０６、H選択手段１０８、信号処理部１１２にタイミングパルスを供給するとともに、上記信号処理部１０およびH選択手段１２にタイミングパルスを出力する。
【００２４】
次に、本実施の形態例の固体撮像装置１の動作について、図３、図４をも参照しつつ説明する。
図３において、図１１に示したタイミングに相当するタイミングには同じ符号が付されている。図４の（Ａ）は画素１２０におけるフォトダイオード１２２（ＰＤ）、転送ゲート１２６、ＦＤ部１２４、リセットゲート１２８、ならびに電源Ｖｄｄの位置関係を示し、（Ｂ）から（Ｅ）は図３に示した各タイミングにおける各部のポテンシャルの状態を示している。図４の（Ｂ）から（Ｅ）において、下方が正の方向となっている。
【００２５】
Ｖ選択手段１０６はタイミングジェネレータ６からのタイミングパルスにもとづき本発明に係わるタイミングパルス発生手段の一部として動作して、画素領域１０４の行を選択し、選択した行に属する画素１２０に対し、タイミングＴ１でアドレスパルス１４０（ハイレベル）を出力する。このアドレスパルス１４０は、各画素部１２０においてアドレスゲート１３８に供給され、その結果、アドレスゲート１３８がオンしてバッファー回路１３０が垂直信号線１３６に接続される。このとき、バッファー回路１３０は定電流源１１４とともにソースフォロワー回路を形成するので、ゲート電圧、すなわちＦＤ部１２４の電圧に追従した電圧がバッファー回路１３０から垂直信号線１３６に低インピーダンスで出力される。
【００２６】
その後、タイミングジェネレータ６はタイミングＴ１ａで、サンプルホールド回路２に対してサンプリングパルス８を出力し、バッファー回路１３０を通じて垂直信号線１３６に

出力されているＦＤ部１２４の電圧を保持させる。なお、ここで保持した電圧がどのような電圧であるかについては、後に図４を参照して詳しく説明する。

【００２７】

次に、タイミングジェネレータ６はタイミングＴ２においてリセットパルス１３４を出力し、これによりリセットゲート１２８がオンしてＦＤ部１２４は電源Ｖｄｄに接続され、ＦＤ部１２４に蓄積している電荷が排除される。そして、このリセット状態のＦＤ部１２４の電圧がバッファー回路１３０により垂直信号線１３６に出力される。

【００２８】

つづいて、タイミングＴ３において、タイミングジェネレータ６は垂直信号線１３６ごとに設けられた各第１のサンプルホールド回路１４２に第１のサンプリングパルス１４８を出力し、バッファー回路１３０により垂直信号線１３６に出力された電圧を保持させる。その後、タイミングＴ４において、タイミングジェネレータ６は転送パルス１３２を出力し、転送ゲート１２６をオンさせてフォトダイオード１２２がタイミングＴ４までに受光して蓄積した電荷をＦＤ部１２４に転送させる。ＦＤ部１２４は転送された電荷量に応じた電圧を生成し、バッファー回路１３０はその電圧を低インピーダンスで垂直信号線１３６に出力する。

【００２９】

そして、タイミングジェネレータ６はタイミングＴ５で、垂直信号線１３６ごとに設けられた各第２のサンプルホールド回路１４４に第２のサンプリングパルス１５０を出力し、このときバッファー回路１３０が垂直信号線１３６に出力している電圧を保持させる。これにより、信号処理部１１２では、各垂直信号線１３６ごとに設けられたＣＤＳ回路１４６が、第１および第２のサンプルホールド回路１４２、１４４が保持している電圧の差を算出して、オフセット分を除去し、フォトダイオード１２２の受光光量に対応する大きさの電圧を出力する。各垂直信号線１３６ごとのＣＤＳ回路１４６の出力信号は、タイミングジェネレータ６からのタイミングパルスにもとづきＨ選択手段１０８により順次選択されて水平信号線１１６に出力され、出力部１１８を通じ画像信号として出力される。

【００３０】

一方、信号処理部１０では、各垂直信号線１３６ごとに設けられたＣＤＳ回路４が、サンプルホールド回路２が保持している電圧、および第１のサンプルホールド回路１４２（信号処理部１１２）が保持しているリセット時の電圧の差を算出し、オフセット分を除去して、フォトダイオード１２２の受光光量に対応する大きさの電圧を出力する。各垂直信号線１３６ごとのＣＤＳ回路４の出力信号は、タイミングジェネレータ６からのタイミングパルスにもとづきＨ選択手段１２により順次選択されて水平信号線１４に出力され、出力部１６を通じ画像信号として出力される。

【００３１】

タイミングジェネレータ６は、次のサイクルに備えるべくタイミングＴ５ａにおいて再度リセットパルス１３４を出力する。これによりリセットゲート１２８がオンしてＦＤ部１２４は電源Ｖｄｄに接続され、ＦＤ部１２４に蓄積している電荷が排除される。

Ｖ選択手段１０６はタイミングＴ６においてアドレスパルス１４０をローレベルに戻し、その結果、アドレスゲート１３８がオフしてバッファー回路１３０が垂直信号線１３６から切り離され、１行分の画素部１２０に関する動作が完了する。

【００３２】

以降、Ｖ選択手段１０６は、タイミングジェネレータ６からのタイミングパルスにもとづき動作して、画素部１２０の各行を順次選択する。そして、各行ごとに上述のような動作が行われ、Ｖ選択手段１０６がすべての行を選択したところで、すべての画素部１２０により生成された１枚分の画像信号が出力されたことになる。

【００３３】

次に、フォトダイオード１２２への入射光量が多い場合の各部のポテンシャルを示す図４を参照してさらに詳しく説明する。図４の（Ｂ）は図３のタイミングＴ１ａにおける状態を示し、図４の（Ｃ）、（Ｄ）、（Ｅ）はそれぞれタイミングＴ３、Ｔ５、Ｔ６の状態を

示している。
【００３４】
フォトダイオード１２２への入射光量が多い場合、図４の（Ｂ）に示したように、フォトダイオード１２２が受光して生成した電荷２０は転送ゲート１２６を越えてＦＤ部１２４へと溢れ、さらに入射光量が多い場合はＦＤ部１２４も溢れて電荷２０はリセットゲート１２８を越えて電源Ｖｄｄへと流れ込む。
このとき、ＦＤ部１２４の電圧は、電源Ｖｄｄに流出する電荷による電流の大きさにより決まるが、フォトダイオード１２２が生成する電荷量は小さく、ＭＯＳＦＥＴによるリセットゲート１２８のチャネルに流れる電流はナノアンペア以下のオーダーの弱い電流であり、リセットゲート１２８はサブスレッショルド領域で動作するので、ＦＤ部１２４の電圧は電流値の対数に対応した値となる。そして、このＦＤ部１２４の電圧がバッファー回路１３０を通じて出力され、サンプルホールド回路２に供給されるので、入射光量が多い場合、タイミングＴ１ａでサンプルホールド回路２が保持する電圧は、入射光量の対数に対応した値となる。
【００３５】
なお、入射光量が、フォトダイオード１２２からＦＤ部１２４へ電荷が溢れるるものの、ＦＤ部１２４から電源へは溢れない程度であった場合には、ＦＤ部１２４はフォトダイオード１２２から溢れた電荷に対応する電圧を生成するので、サンプルホールド回路２が保持する電圧は、フォトダイオード１２２から溢れた電荷量に比例した電圧となる。
【００３６】
その後、タイミングＴ２でＦＤ部１２４がリセットされ、各部のポテンシャルは図４の（Ｃ）のようになり、そしてリセット直後のＦＤ部１２４の電圧がバッファーを通じて出力され、第１のサンプルホールド回路１４２に保持される（タイミングＴ３）。
【００３７】
上述のように、ＣＤＳ回路４はサンプルホールド回路２が保持している電圧と、第１のサンプルホールドが保持しているリセットレベルの電圧（オフセット分）との差を算出するので、その出力電圧は、入射光量が多い場合のオフセット調整が行われた電圧となる。
【００３８】
次に、タイミングＴ４で転送ゲート１２６がオンすることから、図４の（Ｄ）に示したように、フォトダイオード１２２に蓄積されていた電荷２０がＦＤ部１２４に転送されＦＤ部１２４に蓄積する。そして、タイミングＴ５で、この電荷量に対応する電圧が、第２のサンプルホールド回路１４４に保持される。この電圧は、入射光量がフォトダイオード１２２を飽和させない程度のものであれば、入射光量に対応した電圧となるが、今のように入射光量が多い場合には、フォトダイオード１２２が飽和した状態に対応する電圧となる。
そして、信号処理部１１２のＣＤＳ回路１４６は、上述のように第１および第２のサンプルホールド回路１４２、１４４が保持している電圧の差を算出する。
【００３９】
その後、タイミングＴ５ａでＦＤ部１２４が再度リセットされるので、ポテンシャルは図４の（Ｅ）に示したように、いずれの箇所にも電荷が蓄積していない状態となる。そして、これ以降、フォトダイオード１２２が受光して生成した電荷はフォトダイオード１２２の箇所に除々に蓄積し、次のサイクルのタイミングＴ１ａで、それまでに蓄積した電荷に対応する電圧が上述のようにして取得されることになる。
【００４０】
このように、本実施の形態例の固体撮像装置１では、フォトダイオード１２２の入射光量が多い場合でも、入射光量の対数に対応した電圧がサンプルホールド回路２、したがって出力部１６から出力される。
そのため、被写体における標準的な明るさ（フォトダイオード１２２が飽和しない明るさ）の箇所では、従来どおり明るさに比例して信号レベルが変化する出力部１１８の出力を用い、それ以上の明るさの箇所では、出力部１６の対数出力を用いることができる。これ

により、たとえば従来の１万倍という広いダイナミックレンジを備えた固体撮像装置も実現することが可能となる。

【００４１】

また、本実施の形態例では、上述のように出力部１１８および出力部１６から同時に信号を出力できるので、必要に応じて両出力を用いるか、一方のみを用いるといった選択が可能であり、後段の信号処理における自由度が高い。

また、対数変換にコンデンサーなどは使用しないので、残像の問題がなく、また、雑音の少ない埋め込みフォトダイオード１２２を使用できるため、良好な画質が得られる。

そして、ラインメモリー、フレームメモリーを用いたり、画素領域１０４の行間での演算処理を行ったりする必要がないので、構成および処理内容が簡素であり、装置の小型化に有利であり、製造コストが特に上昇することもない。

さらに、画素部１２０の構成は従来と同じであるから、画素部１２０のサイズが大きくなることがなく、この点でも固体撮像装置の小型化に有利である。

【００４２】

ここで、リセットゲート１２８を構成するＭＯＳＦＥＴのチャネル電圧について説明する。ＦＤ部１２４の電圧をサンプリングする図４の（Ｂ）および（Ｅ）の状態（タイミングＴ１ａ、Ｔ６）では、チャネル電圧Ｖｒ１は、フォトダイオード１２２を飽和させる光量のたとえば１万倍などの大光量に対しても、ＦＤ部１２４の電圧が光量の対数に対応する値となり、かつバッファー回路１３０の入力レンジに収まる電圧となるように設定する。このようなチャネル電圧Ｖｒ１は多くの場合、ポテンシャルの下限を決定する。

なお、チャネル電圧の設定は、具体的にはＭＯＳＦＥＴのゲート下のイオンインプランテーションやゲート電圧の調整などにより行うことができる。

【００４３】

一方、図４の（Ｃ）、（Ｄ）の状態（タイミングＴ３、Ｔ５）では、チャネル電圧Ｖｒ２は、フォトダイオード１２２から溢れた電荷をＦＤ部１２４がすべて受け取ることができるような値に設定する。このようなチャネル電圧Ｖｒ２は多くの場合、ポテンシャルの上限を決定する。

【００４４】

このような条件で設定するチャネル電圧Ｖｒ１、Ｖｒ２は、互いに同一の電圧でもよいが、Ｖｒ１＞Ｖｒ２とすることが好ましい。たとえば、電源Ｖｄｄの電圧が２．５Ｖなら、チャネル電圧を、電流が１ｎＡとなるときのソース電圧と定義した場合に、Ｖｒ１＝１．７Ｖ、Ｖｒ２＝１．０Ｖとすることができる。なお、このような異なるチャネル電圧は、リセットゲート１２８を構成するＭＯＳＦＥＴのゲートに、タイミングにより異なる電圧を印加することで設定することができる。

【００４５】

本実施の形態例では、信号処理部１０にもＣＤＳ回路４を設けるとしたが、サンプルホールド回路２により保持した電圧に対してはオフセット分の除去を行わない構成とすることも可能である。すなわち、サンプルホールド回路２が出力する信号は入射光量が多い場合の信号であり、その信号レベルは大きい。したがって、画素部１２０ごとのオフセット分のバラツキ成分が信号に含まれていたとしても、その影響は小さく、よってＣＤＳ回路４を用いない構成としてもよい。

【００４６】

また、本実施の形態例では、ＦＤ部１２４をリセットする場合、ＦＤ部１２４をリセットゲート１２８を通じて電源Ｖｄｄに接続し、ＦＤ部１２４の電圧を電源Ｖｄｄの電圧としたが、リセット後のＦＤ部１２４の電圧は、これに限らず電源電圧より低い電圧としてもよく、その場合にも、同様の作用効果が得られる。

そして、本実施の形態例では、電子がキャリアであるとしたが、各ゲートなどを構成するＭＯＳＦＥＴとしてＰ型のＭＯＳＦＥＴを用い、正孔をキャリアとした場合にも、基本的な動作は変わらず、同様の作用効果が得られる。

また、ここではタイミングジェネレータを内蔵した場合の形態例を示したが、タイミング

ジェネレータは外付けでも本発明には影響しない。また、信号処理部は並列に配した２つのサンプルホールド回路を用いる形態例を挙げたが、２つの信号の差を取り、保持する回路であってもよい。さらに、垂直信号線に直接バッファーを接続して、外部に出力することも可能であり、垂直信号線以降の信号処理は種々の形態で実施することができる。

【００４７】

次に、本発明の第２の実施の形態例について説明する。

図５は第２の実施の形態例の固体撮像装置を構成する画素とその周辺を示す回路図、図６は図５の画素部の動作を示すタイミングチャートである。図５において図１と同一の要素には同一の符号が付されており、それらに関する説明はここでは省略する。また、図６において図３と同一のタイミングには同一の符号が付されている。

図５に示した画素部２２が図１の画素部１２０と異なるのは、リセットゲート１２８を構成するトランジスターのドレインを、電源ライン２４に接続し、電圧制御回路２６より電源ライン２４に電圧を印加する構成とした点である。

【００４８】

そして、電圧制御回路２６は、図６に示したように、常時は電源Ｖｄｄと同じ電圧を電源ライン２４に出力するが、タイミングＴ６でアドレスゲート１３８をオフさせた後、次のサイクルのタイミングＴ１ａでサンプルホールド回路２にサンプリングパルス８を供給する前に、タイミングＴ７で電源Ｖｄｄの電圧のたとえば半分の電圧に一時的に低下させる。これにより、ＦＤ部１２４は電荷により満たされた状態となる。したがって、以降、入射光量が大きく、フォトダイオード１２２から溢れてきた電荷は、ただちに電源ライン２４側に溢れる。その結果、第２の実施の形態例では、入射光量が大きく、フォトダイオード１２２で電荷が溢れた場合には、最初から入射光量の対数に対応した大きさの電圧がバッファー回路１３０に入力され、よって入射光量とバッファー回路１３０の出力電圧との関係は、上記実施の形態例の場合のような途中のリニアな領域はなく、最初から対数の関係となる。

【００４９】

なお、タイミングＴ７で電源ライン２４の電圧を低くし過ぎた場合には、フォトダイオード１２２にまで電荷が注入されるため好ましくない。ただし、タイミングＴ７の後、フォトダイオード１２２に蓄積している電荷のリセットも行う場合には、グランド電位とすることも可能である。

【００５０】

次に、本発明の第３の実施の形態例について説明する。

図７は第３の実施の形態例の固体撮像装置を構成する画素部およびその周辺を示す回路図、図８は図７の画素部の動作を示すタイミングチャートである。図７において図１と同一の要素には同一の符号が付されており、それらに関する説明はここでは省略する。

【００５１】

第３の実施の形態例の固体撮像装置は、上記実施の形態例で各垂直信号線１３６に接続されていた定電流源１１４に変えてスイッチング素子が設けられている点、および上記タイミングジェネレータ６に相当するタイミングジェネレータ（図示せず）が同スイッチング素子をも制御する点で最初の実施の形態例の固体撮像装置と異なっている。

【００５２】

図７に示したように、上記スイッチング素子は、トランジスター２８（Ｎ型のＭＯＳＦＥＴ）から成り、トランジスター２８のゲートにはタイミングジェネレータからロードパルス３０が入力され、トランジスター２８のソースはグランドに、ドレインは垂直信号線１３６に接続されている。

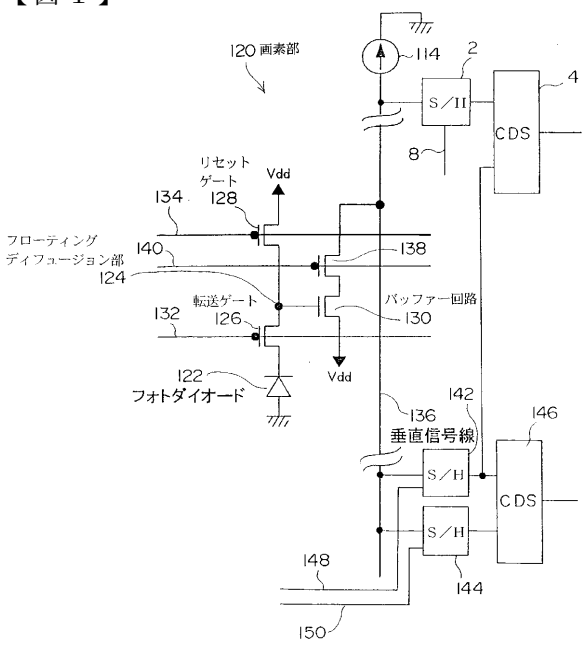
【００５３】

このような構成において、第３の実施の形態例の固体撮像装置を構成するタイミングジェネレータは、図８に示したように、タイミングＴ１ａ、Ｔ３、Ｔ５で各サンプルホールド回路にサンプリングパルスを供給するのに先だって、タイミングＴ１ｂ、Ｔ２ａ、Ｔ４ａにおいてそれぞれロードパルス３０をトランジスター２８に出力し、一定の期間、トラン

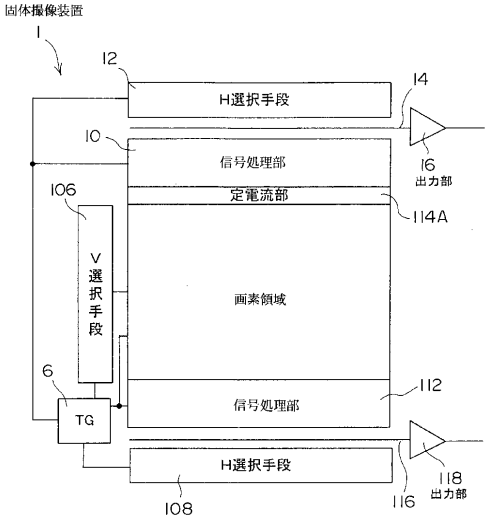
ジスター２８をオンさせて垂直信号線１３６をグランドに接続する。
【００５４】
したがって、この固体撮像装置では、垂直信号線１３６にバッファー回路１３０から出力される電圧を各サンプルホールド回路２に取り込む前に、垂直信号線１３６に係わる寄生容量に蓄積している電荷が放電され、その後、垂直信号線１３６はグランドから切り離される。そして、垂直信号線１３６がグランドから切り離された直後から、垂直信号線１３６の電圧は、バッファー回路１３０の出力電圧、すなわちＦＤ部１２４の電圧を反映した電圧に漸近して、タイミングＴ１ａ、Ｔ３、Ｔ５までには同電圧に一致し、これらのタイミングでサンプルホールド回路２、第１および第２のサンプルホールド回路１４２、１４４は、固体撮像装置１の場合と同様に垂直信号線１３６の電圧を保持する。
【００５５】
この第３の実施の形態例では、トランジスター２８は常時は動作している必要がないので、定電流源１１４として動作させる場合のようにトランジスター２８のソース・ドレイン間に一定値以上の電圧が印加された状態に保つ必要がない。よって、バッファー回路１３０に入力できる電圧の最小値はトランジスタのしきい値程度となり、リセットゲート１２８のチャネル電圧Ｖｒ１、Ｖｒ２を低くしても画素部１２０は動作可能となる。そのため、チャネル電圧Ｖｒ１、Ｖｒ２の選択において自由度が増す。たとえば電源Ｖｄｄの電圧が２．５Ｖの場合、リセットゲート１２８のチャネル電圧を、電流１ｎＡで定義したときに、チャネル電圧Ｖｒ１、Ｖｒ２はともに１．０Ｖとしてもよい。
【００５６】
【発明の効果】
以上説明したように本発明の固体撮像装置では、リセットパルスがリセットゲートに供給される前に、バッファー手段の出力電圧が第２の信号経路に取り込まれる。このリセットパルスがリセットゲートに供給される前の段階では、フォトダイオードに対する入射光量が多い場合、フォトダイオードが生成した電荷はフォトダイオードからオーバーフローしてＦＤ部に流れ込み、さらにＦＤ部でもオーバーフローして所定電位点に流出する。
このとき、ＦＤ部の電圧は、所定電位点に流出する電荷による電流の大きさにより決まるが、電界効果トランジスターによるリセットゲートは、チャネルに流れる電流が小さくサブスレッショルド領域で動作するので、ＦＤ部の電圧は電流値の対数に対応した値となる。そして、ＦＤ部の電圧がバッファー手段を通じて出力され、第２の信号経路に供給されるので、入射光量が多い場合、第２の信号経路に供給される電圧は、入射光量の対数に対応した値となる。
すなわち、本発明では、フォトダイオードの入射光量が多い場合、入射光量の対数に対応した電圧が第２の信号経路から出力され、よって、ダイナミックレンジの広い固体撮像装置を実現することができる。
【００５７】
また、本発明では、対数変換にコンデンサーなどは使用しないので、残像の問題がなく、また、雑音の少ない埋め込みフォトダイオードを使用できるため、良好な画質が得られる。
そして、ラインメモリー、フレームメモリーを用いたり、画素部の行間での演算処理を行ったりする必要がないので、構成および処理内容が簡素であり、装置の小型化に有利であり、特に製造コストが上昇することもない。
さらに、画素部は基本的に従来と同じ構成とできるので、画素部のサイズが大きくなることがなく、この点でも固体撮像装置の小型化に有利である。
また、明るい部分の信号と暗い部分の信号とで、感光期間がずれるということがなく、解像度も劣化しない。
【図面の簡単な説明】
【図１】本発明による固体撮像装置の一例を構成する画素部周辺を示す回路図である。
【図２】実施の形態例の固体撮像装置の全体を示す構成図である。
【図３】図１の画素部周辺の動作を示すタイミングチャートである。

【図４】図１の画素部を構成するフォトダイオード周辺のポテンシャル図である。
【図５】第２の実施の形態例の固体撮像装置を構成する画素部周辺を示す回路図である。
【図６】図５の画素部の動作を示すタイミングチャートである。
【図７】第３の実施の形態例の固体撮像装置を構成する画素部およびその周辺を示す回路図である。
【図８】図７の画素部の動作を示すタイミングチャートである。
【図９】従来の固体撮像装置を示す構成図である。
【図１０】図９の固体撮像装置を構成する１つの画素部周辺を示す回路図である。
【図１１】図１０に示した回路の動作を示すタイミングチャートである。
【符号の説明】
１……固体撮像装置、２……サンプルホールド回路、４……ＣＤＳ回路、６……タイミングジェネレータ、８……サンプリングパルス、１０……信号処理部、１２……Ｈ選択手段、１４……水平信号線、１６……出力部、２０……電荷、２２……画素部、２４……電源ライン、２６……電圧制御回路、２８……トランジスター、３０……ロードパルス。

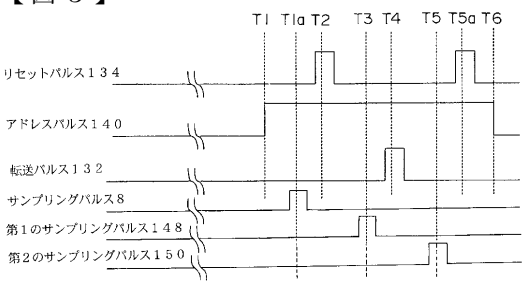
【図１】



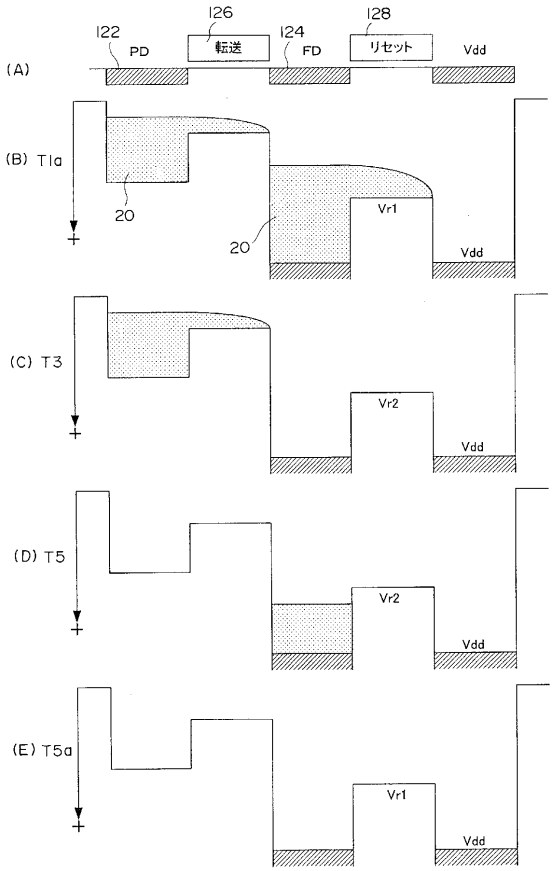
【図２】



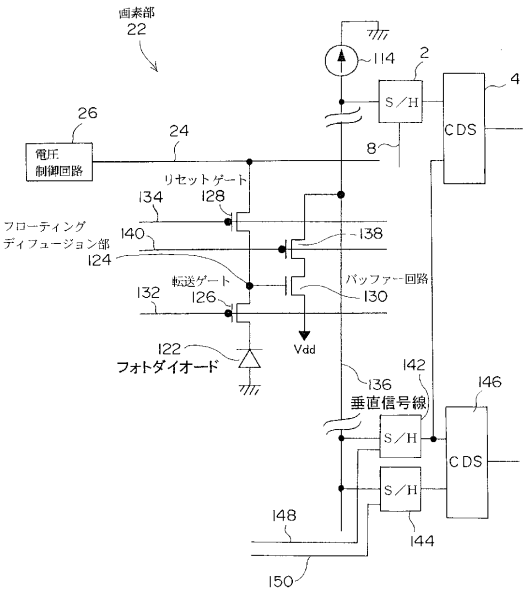
【図３】



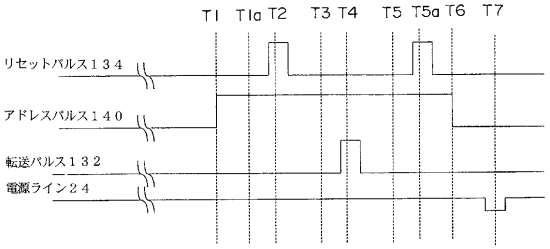
【図４】



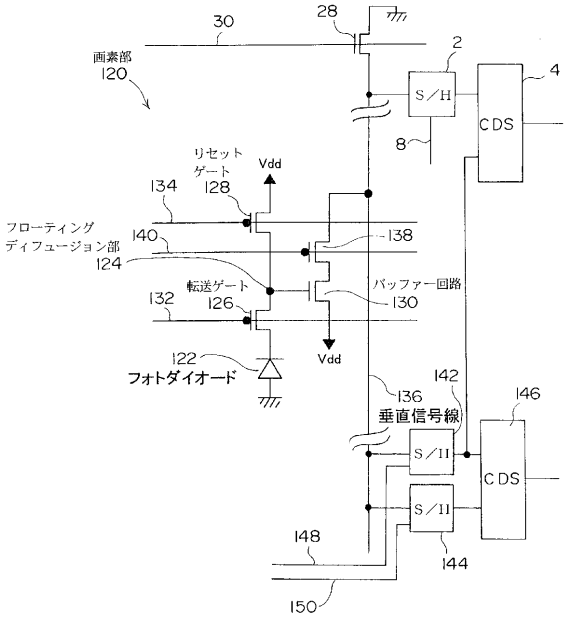
【図５】



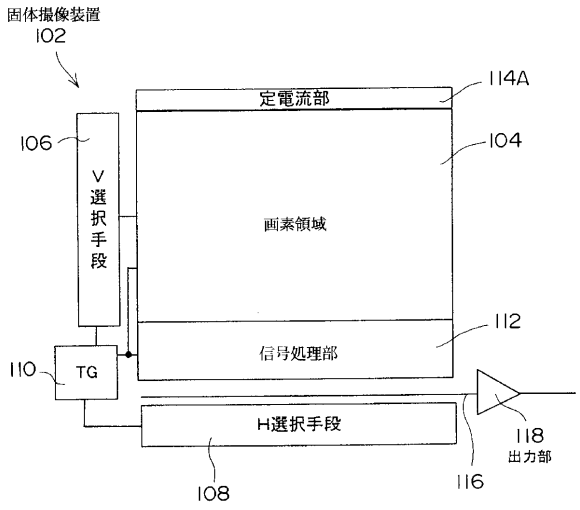
【図６】



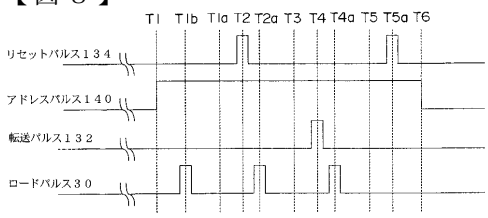
【図７】



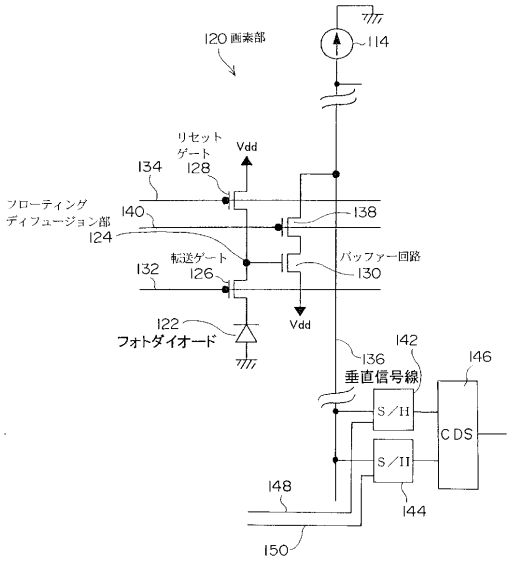
【図９】



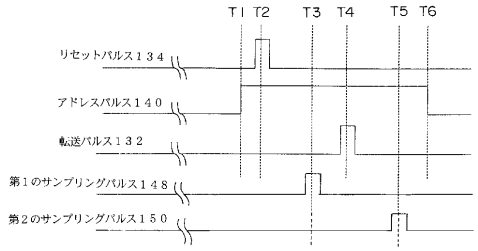
【図８】



【図１０】


120 画素部
114
リセット
ゲート
Vdd
134
128
フローティング
ディフュージョン部
140
138
124
転送ゲート
バッファー回路
132
126
130
122
フォトダイオード
Vdd
136
142
146
垂直信号線
S/H
CDS
S/H
148
144
150

【図１１】


T1 T2 T3 T4 T5 T6
リセットパルス１３４
アドレスパルス１４０
転送パルス１３２
第１のサンプリングパルス１４８
第２のサンプリングパルス１５０

フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)
H04N 5/335