



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년10월01일

(11) 등록번호 10-1446251

(24) 등록일자 2014년09월24일

(51) 국제특허분류(Int. C1.)

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

(21) 출원번호 10-2010-7005019

(22) 출원일자(국제) 2008년07월31일

심사청구일자 2013년07월26일

(85) 번역문제출일자 2010년03월05일

(65) 공개번호 10-2010-0049106

(43) 공개일자 2010년05월11일

(86) 국제출원번호 PCT/JP2008/064173

(87) 국제공개번호 WO 2009/020168

국제공개일자 2009년02월12일

(30) 우선권주장

JP-P-2007-205615 2007년08월07일 일본(JP)

(56) 선행기술조사문헌

US5796116 A

US20040188685 A1

전체 청구항 수 : 총 26 항

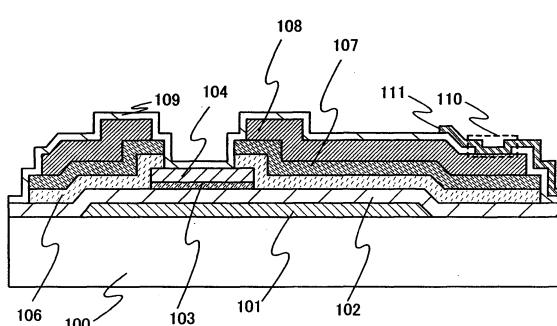
심사관 : 신창우

(54) 발명의 명칭 표시 장치, 이 표시 장치를 구비한 전자기기 및 그 제조 방법

(57) 요 약

본 발명은 전기 특성이 높고, 오프 전류의 저감을 도모할 수 있는 박막 트랜지스터를 구비하는 표시 장치를 제공하는 것을 과제로 한다.

기판과, 기판 위에 형성된 게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 전극 위에 게이트 절연막을 통하여 형성된 미결정 반도체막과, 미결정 반도체막 위에 접하여 형성된 채널 보호층과, 게이트 절연막 위이며, 또한, 미결정 반도체막 및 채널 보호층의 측면에 형성된 비정질 반도체막과, 비정질 반도체막 위에 형성된 불순물 반도체층과, 불순물 반도체층 위에 접하여 형성된 소스 전극 및 드레인 전극을 가지고, 비정질 반도체막의 막 두께는 미결정 반도체막의 막 두께보다 큰 박막 트랜지스터를 가진다.

대 표 도 - 도4

(72) 발명자

모리야 요시타카

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

쿠로카와 요시유키

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

카와에 다이스케

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

기판 위에 제공된 게이트 전극과;

상기 게이트 전극 위에 제공된 게이트 절연막과;

상기 게이트 전극 위에 상기 게이트 절연막을 개재하여 제공된 미결정 반도체막과;

상기 미결정 반도체막 위에, 상기 미결정 반도체막과 접하여 제공된 채널 보호층과;

상기 게이트 절연막 위에, 그리고 상기 미결정 반도체막 및 상기 채널 보호층의 측면에 제공된 비정질 반도체막과;

상기 비정질 반도체막 위에 제공된 불순물 반도체층; 및

상기 불순물 반도체층 위에 접하여 제공된 소스 전극 및 드레인 전극을 포함하고,

상기 비정질 반도체막의 두께는 상기 미결정 반도체막의 두께보다 큰, 박막 트랜지스터를 가지는 표시 장치.

청구항 2

기판 위에 제공된 게이트 전극과;

상기 게이트 전극 위에 제공된 게이트 절연막과;

상기 미결정 반도체막 위에, 상기 미결정 반도체막과 접하여 제공된 채널 보호층과;

상기 게이트 절연막 위에, 그리고 상기 미결정 반도체막 및 상기 채널 보호층의 측면에 제공된 비정질 반도체막과;

상기 비정질 반도체막 위에 제공된 불순물 반도체층, 및

상기 불순물 반도체층 위에 접하여 제공된 소스 전극 및 드레인 전극을 포함하고,

상기 비정질 반도체막의 두께는 상기 미결정 반도체막의 두께보다 크고,

상기 소스 전극 및 드레인 전극의 외측에, 상기 불순물 반도체층의 일부, 및 상기 비정질 반도체막의 일부가 노출되어 있고,

상기 불순물 반도체층의 단부 중 하나와, 상기 비정질 반도체막의 단부 중 하나는 상기 게이트 전극 위에서 서로 일치하는, 박막 트랜지스터를 가지는 표시 장치.

청구항 3

기판 위에 제공된 게이트 전극과;

상기 게이트 전극 위에 제공된 게이트 절연막과;

상기 게이트 전극 위에 상기 게이트 절연막을 개재하여 제공된 미결정 반도체막과;

상기 미결정 반도체막 위에, 상기 미결정 반도체막과 접하여 제공된 채널 보호층과;

상기 게이트 절연막 위에서, 그리고 상기 미결정 반도체막 및 상기 채널 보호층의 측면에 제공된 비정질 반도체막과;

상기 비정질 반도체막 위에 제공된 불순물 반도체층과;

상기 불순물 반도체층 위에 접하여 제공된 소스 전극 및 드레인 전극과;

상기 소스 전극 및 드레인 전극, 상기 불순물 반도체층, 및 상기 비정질 반도체막에 접하는 절연막; 및

상기 절연막 위에 제공되고, 상기 절연막에 형성되는 콘택트홀에 있어서, 상기 소스 전극 또는 드레인 전극

중의 하나에 접속되는 화소 전극을 포함하고,

상기 비정질 반도체막의 두께는 상기 미결정 반도체막의 두께보다 큰, 박막 트랜지스터를 가지는 표시 장치.

청구항 4

기판 위에 제공된 게이트 전극과;

상기 게이트 전극 위에 제공된 게이트 절연막과;

상기 게이트 전극 위에 상기 게이트 절연막을 개재하여 제공된 미결정 반도체막과;

상기 미결정 반도체막 위에, 상기 미결정 반도체막과 접하여 제공된 채널 보호층과;

상기 게이트 절연막 위에서, 그리고 상기 미결정 반도체막 및 상기 채널 보호층의 측면에 제공된 비정질 반도체막과;

상기 비정질 반도체막 위에 제공된 불순물 반도체층과;

상기 불순물 반도체층 위에 접하여 제공된 소스 전극 및 드레인 전극과;

상기 소스 전극, 상기 드레인 전극, 상기 불순물 반도체층, 및 상기 비정질 반도체막에 접하는 절연막; 및

상기 절연막 위에 제공되고, 상기 절연막에 형성되는 콘택트홀에 있어서, 상기 소스 전극 또는 드레인 전극 중 하나에 접속되는 화소 전극을 포함하고,

상기 비정질 반도체막의 두께는 상기 미결정 반도체막의 두께보다 크고,

상기 불순물 반도체층의 일부 및 상기 비정질 반도체막의 일부가 상기 소스 전극 및 상기 드레인 전극의 외측에 노출되어 있고,

상기 불순물 반도체층의 단부 중 하나와, 상기 비정질 반도체막의 단부 중 하나는 상기 게이트 전극 위에서 서로 일치하는, 박막 트랜지스터를 가지는 표시 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 채널 보호층은 질화규소막 및 질화산화규소막 중 하나인, 박막 트랜지스터를 가지는 표시 장치.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 기재된 표시 장치를 포함하는 전자기기.

청구항 7

기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 전극 상에 상기 게이트 절연막을 개재하여 미결정 반도체층을 형성하는 단계;

상기 미결정 반도체층 상에 접하여 절연층을 형성하는 단계;

상기 미결정 반도체층 및 상기 절연층을 마스크를 사용하여 에칭하여 미결정 반도체 섬과 채널 보호층을 형성하는 단계;

상기 게이트 절연막 위에, 상기 미결정 반도체 섬과 상기 채널 보호층의 측면에 비정질 반도체막을 형성하는 단계;

상기 비정질 반도체막 상에 불순물 반도체층을 형성하는 단계;

상기 불순물 반도체층 상에 도전층을 형성하는 단계; 및

상기 도전층, 상기 불순물 반도체층, 및 상기 비정질 반도체막을 에칭하여 소스 전극과 드레인 전극을 형성하는 단계를 포함하는, 표시 장치를 제작하는 방법.

청구항 8

기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 전극 상에 상기 게이트 절연막을 개재하여 미결정 반도체층을 형성하는 단계;

상기 미결정 반도체층 상에 접하여 절연층을 형성하는 단계;

상기 미결정 반도체층 및 상기 절연층을 마스크를 사용하여 에칭하여 미결정 반도체 섬과 채널 보호층을 형성하는 단계;

상기 게이트 절연막 위에, 상기 미결정 반도체 섬과 상기 채널 보호층의 측면에 비정질 반도체막을 형성하는 단계;

상기 비정질 반도체막 상에 불순물 반도체층을 형성하는 단계;

상기 불순물 반도체층 상에 도전층을 형성하는 단계;

상기 도전층, 상기 불순물 반도체층, 및 상기 비정질 반도체막을 에칭하여 소스 전극과 드레인 전극을 형성하는 단계;

상기 소스 전극, 상기 드레인 전극, 상기 불순물 반도체층, 및 상기 비정질 반도체막과 접하여 절연막을 형성하는 단계; 및

상기 절연막에 형성되어 있는 콘택트홀에 상기 소스 전극 및 상기 드레인 전극 중 하나에 연결된 화소 전극을 상기 절연막 위에 형성하는 단계를 포함하는, 표시 장치를 제작하는 방법.

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 비정질 반도체막의 두께는 상기 미결정 반도체층의 두께보다 큰, 표시 장치를 제작하는 방법.

청구항 10

제 7 항 또는 제 8 항에 있어서,

상기 불순물 반도체층의 단부 중 하나와, 상기 비정질 반도체막의 단부 중 하나는 상기 게이트 전극 위에서 서로 일치하는, 표시 장치를 제작하는 방법.

청구항 11

기판 위의 게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 전극 위에, 상기 게이트 절연막을 개재하는 제1 반도체막;

상기 제1 반도체막 위에, 상기 제1 반도체막과 접하는 채널 보호층;

상기 게이트 절연막 위에, 상기 제1 반도체막의 제1 측면 및 상기 채널 보호층의 제1 측면에 접하는 제2 반도체막;

상기 게이트 절연막 위에, 상기 제1 반도체막의 제2 측면 및 상기 채널 보호층의 제2 측면에 접하는 제3 반도체막;

상기 제2 반도체막 위의 제1 불순물 반도체층;

상기 제3 반도체막 위의 제2 불순물 반도체층; 및

상기 제1 불순물 반도체층 및 상기 제2 불순물 반도체층 위에서 상기 제1 불순물 반도체층 및 상기 제2 불순물 반도체층과 각각 접하는 소스 전극 및 드레인 전극을 포함하고,

상기 제2 반도체막의 두께는 상기 제1 반도체막의 두께보다 큼, 반도체 장치.

청구항 12

기판 위의 게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 전극 위에, 상기 게이트 절연막을 개재하는 제1 반도체막;

상기 제1 반도체막 위에, 상기 제1 반도체막과 접하는 채널 보호층;

상기 게이트 절연막 위에, 상기 제1 반도체막의 제1 측면 및 상기 채널 보호층의 제1 측면에 접하는 제2 반도체막;

상기 게이트 절연막 위에, 상기 제1 반도체막의 제2 측면 및 상기 채널 보호층의 제2 측면에 접하는 제3 반도체막;

상기 제2 반도체막 위의 제1 불순물 반도체층;

상기 제3 반도체막 위의 제2 불순물 반도체층; 및

상기 제1 불순물 반도체층 및 상기 제2 불순물 반도체층 위에서 상기 제1 불순물 반도체층 및 상기 제2 불순물 반도체층과 각각 접하는 소스 전극 및 드레인 전극을 포함하고,

상기 제1 불순물 반도체층의 일부, 상기 제2 불순물 반도체층의 일부, 상기 제2 반도체막의 일부, 및 상기 제3 반도체막의 일부는 상기 소스 전극 및 상기 드레인 전극의 외측에 노출되어 있는, 반도체 장치.

청구항 13

기판 위의 게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 전극 위에, 상기 게이트 절연막을 개재하는 제1 반도체막;

상기 제1 반도체막 위에, 상기 제1 반도체막과 접하는 채널 보호층;

상기 게이트 절연막 위에, 상기 제1 반도체막의 제1 측면 및 상기 채널 보호층의 제1 측면에 접하는 제2 반도체막;

상기 게이트 절연막 위에, 상기 제1 반도체막의 제2 측면 및 상기 채널 보호층의 제2 측면에 접하는 제3 반도체막;

상기 제2 반도체막 위의 제1 불순물 반도체층;

상기 제3 반도체막 위의 제2 불순물 반도체층; 및

상기 제1 불순물 반도체층 및 상기 제2 불순물 반도체층 위에서 상기 제1 불순물 반도체층 및 상기 제2 불순물 반도체층과 각각 접하는 소스 전극 및 드레인 전극을 포함하고,

상기 제2 반도체막의 단부 중 하나와 상기 제1 불순물 반도체층의 단부는 상기 게이트 전극 위에서 서로 일치하는, 반도체 장치.

청구항 14

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 제1 반도체막은 미결정 반도체를 포함하는, 반도체 장치.

청구항 15

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 제2 반도체막은 비정질 반도체를 포함하는, 반도체 장치.

청구항 16

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,
상기 채널 보호층은 질화규소막 및 질화산화규소막 중 하나인, 반도체 장치.

청구항 17

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,
상기 소스 전극, 상기 드레인 전극, 상기 제1 불순물 반도체층, 상기 제2 불순물 반도체층, 상기 제2 반도체 막, 및 상기 제3 반도체막과 접하는 절연막; 및
상기 절연막 위에, 상기 절연막에 형성되는 콘택트홀을 통해 상기 소스 전극 및 상기 드레인 전극 중 하나에 연결된 배선을 더 포함하는, 반도체 장치.

청구항 18

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,
상기 게이트 전극의 폭은 상기 제1 반도체막의 폭보다 큰, 반도체 장치.

청구항 19

제 11 항 내지 제 13 항 중 어느 한 항에 기재된 반도체 장치를 포함하는 전자기기.

청구항 20

기판 위에 게이트 전극을 형성하는 단계;
상기 게이트 전극 상에 게이트 절연막을 형성하는 단계;
상기 게이트 절연막 상에 제1 반도체막을 형성하는 단계;
상기 제1 반도체막 상에 접하여 절연막을 형성하는 단계;
상기 제1 반도체막과 상기 절연막을 마스크를 사용하여 에칭하여 반도체 섬과 채널 보호층을 형성하는 단계;
상기 게이트 절연막 위에, 그리고 상기 반도체 섬의 측면과 상기 채널 보호층의 측면에 제2 반도체막을 형성하는 단계;
상기 제2 반도체막 상에 불순물 반도체층을 형성하는 단계;
상기 불순물 반도체층 상에 도전층을 형성하는 단계; 및
상기 도전층, 상기 불순물 반도체층, 및 상기 제2 반도체막을 에칭하여, 소스 전극과 드레인 전극을 형성하는 단계를 포함하는, 반도체 장치를 제작하는 방법.

청구항 21

제 20 항에 있어서,
상기 반도체 섬은 미결정 반도체를 포함하는, 반도체 장치를 제작하는 방법.

청구항 22

제 20 항에 있어서,
상기 제2 반도체막은 비정질 반도체를 포함하는, 반도체 장치를 제작하는 방법.

청구항 23

제 20 항에 있어서,
상기 제2 반도체막의 두께는 상기 제1 반도체막의 두께보다 큰, 반도체 장치를 제작하는 방법.

청구항 24

제 20 항에 있어서,

상기 에칭된 불순물 반도체층의 단부 중 하나와 상기 에칭된 제2 반도체막의 단부 중 하나는 상기 게이트 전극 위에서 서로 일치하는, 반도체 장치를 제작하는 방법.

청구항 25

제 20 항에 있어서,

상기 게이트 전극의 폭은 상기 반도체 섬의 폭보다 큰, 반도체 장치를 제작하는 방법.

청구항 26

제 20 항에 있어서,

상기 소스 전극, 상기 드레인 전극, 상기 불순물 반도체층, 및 상기 제2 반도체막과 접하는 제2 절연막을 형성하는 단계; 및

상기 제2 절연막 위에, 상기 제2 절연막에 형성된 콘택트홀을 통해 상기 소스 전극 및 상기 드레인 전극 중 하나에 연결된 배선을 형성하는 단계를 더 포함하는, 반도체 장치를 제작하는 방법.

명세서**기술 분야**

[0001]

본 발명은, 표시 장치 및 이 표시 장치를 이용한 전자기기에 관한 것이다. 특히, 화소부에 박막 트랜지스터를 이용한 표시 장치 및 이 표시 장치를 이용한 전자기기에 관한 것이다.

배경기술

[0002]

근년, 절연 표면을 가지는 기판 위에 형성된 반도체 박막(두께 수 nm~수백 nm 정도)을 이용하여 박막 트랜지스터를 구성하는 기술이 많은 전자기기에서 실용화되고 있다. 박막 트랜지스터는, 특히, 표시 장치의 화소부에서의 스위칭 소자로서 실용화가 진행되어, 더욱 더 연구개발이 진행되고 있다.

[0003]

액정 표시 장치의 스위칭 소자로서는, 대형의 패널에서는 비정질 반도체막을 이용한 박막 트랜지스터, 소형의 패널에서는 다결정 반도체막을 이용한 박막 트랜지스터가 이용되고 있다. 다결정 반도체막의 형성 방법으로서는, 웨尔斯 발진의 액시머 레이저 범을 광학계에 의해 선상으로 가공하고, 비정질 반도체막에 대하여 선상 범을 주사시키면서 조사하여 결정화하는 기술이 알려져 있다.

[0004]

또한, 화상 표시 장치의 스위칭 소자로서, 미결정 반도체막을 이용한 박막 트랜지스터가 이용되고 있다(특허 문헌 1 내지 3). 또한, 비정질 반도체막의 특성의 향상을 목적으로 한 박막 트랜지스터의 제작 방법으로서, 게이트 절연막 위에 비정질 실리콘막을 성막한 후, 그 상면에 금속막을 형성하고, 이 금속막에 다이오드 레이저를 조사하여, 비정질 실리콘막을 미결정 실리콘막으로 개질하는 것이 알려져 있다(비특허문헌 1). 이 방법에 의하면, 비정질 실리콘막 위에 형성한 금속막은, 다이오드 레이저의 광 에너지를 열에너지로 변환하기 위한 것이며, 박막 트랜지스터의 완성을 위해서는 그 후 제거되어야 한다. 즉, 금속막으로부터의 전도 가열에 의해서만 비정질 실리콘막이 가열되어, 미결정 반도체막인 미결정 실리콘막을 형성하는 방법이다.

선행기술문헌**특허문헌**

[0005]

(특허문헌 0001) 일본특개평4-242724호 공보

(특허문헌 0002) 일본특개2005-49832호 공보

(특허문현 0003) 미국특허제5591987호

비특허문현

- [0006] (비특허문현 0001) 토시아키 아라이(Toshiaki Arai) 외, 에스아이디 07 다이제스트(SID 07 DIGEST), 2007, p. 1370~1373

발명의 내용

해결하려는 과제

- [0007] 다결정 반도체막을 이용한 박막 트랜지스터는, 비정질 반도체막을 이용한 박막 트랜지스터에 비해 이동도가 2 자리수 이상 높고, 표시 장치의 화소부와 그 주변의 구동 회로를 동일 기판 위에 일체 형성할 수 있다는 이점 을 가지고 있다. 그러나, 비정질 반도체막을 이용한 경우에 비해, 반도체막의 결정화를 위한 공정이 복잡화 되기 때문에, 그만큼 수율이 저하되어, 비용이 높아진다는 문제가 있다.

- [0008] 또한, 미결정 반도체막의 표면은 산화되기 쉽다는 문제가 있다. 이 때문에, 채널 형성 영역의 결정립이 산화 되면, 결정립의 표면에 산화막이 형성되게 되고, 이 산화막이 캐리어의 이동에 장애가 되어, 박막 트랜지스터 의 전기 특성이 저하된다는 문제가 있다. 또한, 미결정 반도체막은 비정질 반도체막 및 다결정 반도체막에 비하여, 막 두께를 크게 하는 것이 어렵고, 게이트 전극과, 소스 전극 또는 드레인 전극과의 사이에 생기는 기생 용량의 증가를 초래한다는 문제가 있다.

- [0009] 또한, 제조가 용이하다는 점에서, 표시 장치의 화소부에 형성되는 스위칭 소자로서 역스태거 구조의 박막 트 랜지스터가 유망하다. 화소의 개구율 향상의 관점에서, 역스태거 구조의 박막 트랜지스터의 고성능화 및 소 형화가 바람직한 한편, 박막 트랜지스터가 오프 상태일 때의 소스 영역과 드레인 영역 사이를 흐르는 리크 전 류(오프 전류라고도 함)의 증가의 문제가 있다. 따라서, 박막 트랜지스터의 사이즈를 소형화하는 것이 어렵 고, 보유 용량의 소형화 및 소비 전력의 저감을 도모하는 것이 어렵다는 문제가 있다.

- [0010] 상술한 문제를 감안하여, 본 발명은 수율의 저하를 억제하면서, 기생 용량의 증가 및 제조 비용의 증가를 억 제하고, 더하여, 전기 특성이 높고, 오프 전류의 저감을 도모할 수 있는 박막 트랜지스터를 구비하는 표시 장 치를 제공하는 것을 과제로 한다.

과제의 해결 수단

- [0011] 본 발명의 하나는, 기판 위에 형성된 게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 전극 위에 게이트 절연막을 통하여 형성된 미결정 반도체막과, 미결정 반도체막 위에서, 미결정 반도체막과 접하여 형성된 채널 보호층과, 게이트 절연막 위이며, 또한, 미결정 반도체막 및 채널 보호층의 측면에 형성된 비정 질 반도체막과, 비정질 반도체막 위에 형성된 불순물 반도체층과, 불순물 반도체층 위에 접하여 형성된 소스 전극 및 드레인 전극을 가지고, 비정질 반도체막의 막 두께는, 미결정 반도체막의 막 두께보다 큰 박막 트랜 지스터를 가지는 표시 장치이다.

- [0012] 또한, 본 발명의 다른 하나는, 기판 위에 형성된 게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 전극 위에 게이트 절연막을 통하여 형성된 미결정 반도체막과, 미결정 반도체막 위에서, 미결정 반도 체막과 접하여 형성된 채널 보호층과, 게이트 절연막 위이며, 또한, 미결정 반도체막 및 채널 보호층의 측면에 형성된 비정질 반도체막과, 비정질 반도체막 위에 형성된 불순물 반도체층과, 불순물 반도체층 위에 접하여 형성된 소스 전극 및 드레인 전극을 가지고, 비정질 반도체막의 막 두께는, 미결정 반도체막의 막 두께보다 크고, 소스 전극 및 드레인 전극의 외측에 있어서, 불순물 반도체층의 일부, 및 비정질 반도체막의 일부가 노출되어 있고, 게이트 전극 위에 형성되는 불순물 반도체층의 단부와, 비정질 반도체막의 단부는 일치하고 있는 박막 트랜지스터를 가지는 표시 장치이다.

- [0013] 또한, 본 발명의 다른 하나는, 기판 위에 형성된 게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 전극 위에 게이트 절연막을 통하여 형성된 미결정 반도체막과, 미결정 반도체막 위에서, 미결정 반도

체막과 접하여 형성된 채널 보호층과, 게이트 절연막 위이며, 또한, 미결정 반도체막 및 채널 보호층의 측면에 형성된 비정질 반도체막과, 비정질 반도체막 위에 형성된 불순물 반도체층과, 불순물 반도체층 위에 접하여 형성된 소스 전극 및 드레인 전극과, 소스 전극 및 드레인 전극, 불순물 반도체층, 및 비정질 반도체막에 접하는 절연막과, 절연막 위에 형성되고, 절연막에 형성되는 콘택트홀에 있어서, 소스 전극 또는 드레인 전극에 접속하는 화소 전극을 가지고, 비정질 반도체막의 막 두께는, 미결정 반도체막의 막 두께보다 큰 박막 트랜지스터를 가지는 표시 장치이다.

[0014] 또한, 본 발명의 다른 하나는, 기판 위에 형성된 게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 전극 위에 게이트 절연막을 통하여 형성된 미결정 반도체막과, 미결정 반도체막 위에서, 미결정 반도체막과 접하여 형성된 채널 보호층과, 게이트 절연막 위이며, 또한, 미결정 반도체막 및 채널 보호층의 측면에 형성된 비정질 반도체막과, 비정질 반도체막 위에 형성된 불순물 반도체층과, 불순물 반도체층 위에 접하여 형성된 소스 전극 및 드레인 전극과, 소스 전극 및 드레인 전극, 불순물 반도체층, 및 비정질 반도체막에 접하는 절연막과, 절연막 위에 형성되고, 절연막에 형성되는 콘택트홀에 있어서, 소스 전극 또는 드레인 전극에 접속하는 화소 전극을 가지고, 비정질 반도체막의 막 두께는, 미결정 반도체막의 막 두께보다 크고, 소스 전극 및 드레인 전극의 외측에 있어서, 불순물 반도체층의 일부, 및 비정질 반도체막의 일부가 노출되어 있고, 게이트 전극 위에 형성되는 불순물 반도체층의 단부와, 비정질 반도체막의 단부는 일치하고 있는 박막 트랜지스터를 가지는 표시 장치이다.

[0015] 또한, 본 발명의 표시 장치에 있어서, 채널 보호층은 질화규소막 또는 질화산화규소막이어도 좋다.

[0016] 소스 전극 및 드레인 전극의 단부와, 불순물 반도체층의 단부가 일치하지 않고, 소스 전극 및 드레인 전극의 단부의 외측에 불순물 반도체층의 단부가 형성되는 것에 의해, 소스 전극 및 드레인 전극의 단부의 거리가 떨어지기 때문에, 소스 전극 및 드레인 전극간의 리크 전류나 쇼트를 방지할 수 있다. 또한, 소스 전극 및 드레인 전극 및 불순물 반도체층의 단부에 전계가 집중하지 않고, 게이트 전극과, 소스 전극 및 드레인 전극과의 사이에서의 리크 전류를 방지할 수 있다.

[0017] 또한, 비정질 반도체층은, 미결정 반도체막 및 채널 보호층의 측면에 형성되어 있다. 비정질 반도체층이 형성됨으로써, 소스 영역 및 드레인 영역 사이가 되는 불순물 반도체층간의 거리를 길게 할 수 있어, 불순물 반도체층의 사이에 흐르는 리크 전류를 저감할 수 있다. 또한, 비정질 반도체층을 형성함으로써, 게이트 전극과, 소스 전극 및 드레인 전극과의 사이의 막 두께를 두껍게 설정할 수 있기 때문에, 게이트 전극과, 소스 전극 및 드레인 전극과의 사이에 생기는 기생 용량을 저감할 수 있다.

[0018] 또한, 미결정 반도체막 위에서, 미결정 반도체막과 접하여 채널 보호층이 형성되어 있다. 그리고 미결정 반도체막은 채널 형성 영역으로서 기능한다. 채널 보호층은, 미결정 반도체막의 산화를 방지함과 동시에, 박막 트랜지스터 제작 공정에서 애칭 스톱퍼로서 기능한다. 미결정 반도체막에 접하여 채널 보호층이 형성됨으로써, 미결정 반도체막의 막 두께를 작게 할 수 있고, 또한, 미결정 반도체막에 포함되는 결정립의 산화를 방지할 수 있기 때문에, 이동도가 높고, 또한, 리크 전류가 적고, 내압이 높은 박막 트랜지스터를 얻을 수 있다.

[0019] 미결정 반도체막은, 다결정 반도체막과 달리, 미결정 반도체막으로서 직접 기판 위에 성막할 수 있다. 구체적으로는, 수소화규소를 원료 가스로 하여, 플라즈마 CVD 장치를 이용하여 성막할 수 있다. 상기 방법을 이용하여 제작된 미결정 반도체막은, 0.5 nm~20 nm의 결정립을 비정질 반도체 중에 포함하는 미결정 반도체막도 포함하고 있다. 따라서, 다결정 반도체막을 이용하는 경우와 달리, 반도체막의 성막 후에 결정화의 공정을 제공할 필요가 없다. 박막 트랜지스터의 제작에서의 공정수를 줄일 수 있고, 표시 장치의 수율을 높여, 비용을 억제할 수 있다. 또한, 주파수가 1 GHz 이상의 마이크로파를 이용한 플라즈마는 전자 밀도가 높고, 원료 가스인 수소화규소의 해리가 용이하게 된다. 따라서, 주파수가 수십 MHz~수백 MHz의 마이크로파 플라즈마 CVD법과 비교하여, 미결정 반도체막을 용이하게 제작하는 것이 가능하고, 성막 속도를 높이는 것이 가능하다. 따라서, 표시 장치의 양산성을 높이는 것이 가능하다.

[0020] 또한, 미결정 반도체막을 이용하여, 박막 트랜지스터(TFT)를 제작하고, 이 박막 트랜지스터를 화소부, 또한, 구동 회로에 이용하여 표시 장치를 제작한다. 미결정 반도체막을 이용한 박막 트랜지스터는, 그 이동도가 1 ~20 cm²/V·sec로, 비정질 반도체막을 이용한 박막 트랜지스터의 2~20배의 이동도를 가지고 있으므로, 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체 형성하여, 시스템 온 패널(system-on-panel)을 형성할 수 있다.

[0021] 또한, 표시 장치는 액정 소자 또는 발광 소자(총칭하여, 표시 소자라고도 함)를 포함한다. 또한, 표시 장치

는, 표시 소자가 봉지된 상태에 있는 패널과, 이 패널에 콘트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 본 발명은, 이 표시 장치를 제작하는 과정에서 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관한 것이고, 이 소자 기판은 전압을 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태이어도 좋고, 화소 전극이 되는 도전막을 성막한 후로서, 예칭하여 화소 전극을 형성하기 전 상태이어도 좋고, 모든 형태가 적합하다.

[0022] 또한, 본 명세서 중에서의 표시 장치란, 화상 표시 디바이스, 혹은 광원(조명 장치 포함함)을 가리킨다. 또한, 커넥터, 예를 들면, FPC(Flexible Printed Circuit) 혹은 TAB(Tape Automated Bonding) 테이프 혹은 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

발명의 효과

[0023] 본 발명에 의해, 수율의 저하를 억제하면서, 기생 용량의 증가 및 제조 비용의 증가를 억제하고, 더욱이, 전기 특성이 높고, 오프 전류의 저감을 도모할 수 있는 박막 트랜ジ스터를 구비한 표시 장치를 제공할 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 표시 장치의 제작 방법을 설명한 단면도이다.

도 2는 본 발명의 표시 장치의 제작 방법을 설명한 단면도이다.

도 3은 본 발명의 표시 장치의 제작 방법을 설명한 단면도이다.

도 4는 본 발명의 표시 장치의 제작 방법을 설명한 단면도이다.

도 5는 본 발명의 표시 장치를 설명한 상면도이다.

도 6은 마이크로파 플라즈마 CVD 장치를 설명한 상면도이다.

도 7은 본 발명의 표시 장치를 설명한 도면이다.

도 8은 본 발명의 표시 장치를 설명한 도면이다.

도 9는 본 발명의 표시 장치를 설명한 도면이다.

도 10은 본 발명의 표시 장치를 설명한 도면이다.

도 11은 본 발명의 표시 장치를 구비한 전자기기를 설명한 도면이다.

도 12는 본 발명의 표시 장치를 구비한 전자기기를 설명한 도면이다.

도 13은 본 발명의 표시 장치가 구비한 박막 트랜ジ스터를 설명한 단면도이다.

도 14는 본 발명의 표시 장치가 구비한 박막 트랜ジ스터를 설명한 단면도이다.

도 15는 시뮬레이션 계산을 행한 트랜ジ스터의 단면 구조를 설명한 도면이다.

도 16은 실시형태 8에 나타낸 트랜ジ스터 구조의 전류-전압 특성에 대하여 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 본 발명의 실시형태에 대하여 도면을 참조하면서 설명한다. 단, 본 발명은 많은 다른 양태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0026] [실시형태 1]

[0027] 본 실시형태에서는, 표시 장치에 이용되는 박막 트랜지스터의 제작 공정에 대하여, 도 1 내지 도 5를 이용하여 설명한다. 도 1 내지 도 4는 박막 트랜지스터의 제작 공정을 나타내는 단면도이며, 도 5는 표시 장치의 일 화소에서의 박막 트랜지스터 및 화소 전극의 접속 영역의 상면도이다.

[0028] 미결정 반도체막을 가지는 박막 트랜지스터는, p형보다 n형이 이동도가 높기 때문에 구동 회로에 이용하기에 보다 적합하다. 동일한 기판 위에 형성하는 박막 트랜지스터를 모두 같은 극성으로 해 두는 것이, 공정수를 억제하기 위해서도 바람직하다. 여기에서는, n 채널형의 박막 트랜지스터를 이용하여 설명한다.

[0029] 도 1(A)에 나타낸 바와 같이, 기판(100) 위에 게이트 전극(101)을 형성한다. 기판(100)은, 바륨 붕규산 유리, 알루미노 붕규산 유리, 혹은 알루미노 실리케이트 유리 등, 퓨전법이나 플로트법으로 제작되는 무알칼리 유리 기판, 세라믹 기판 외에, 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판 등을 이용할 수 있다. 또한, 스테인리스 스틸 합금 등의 금속 기판의 표면에 절연막을 형성한 기판을 적용해도 좋다. 기판(100)이 마더 유리인 경우, 기판의 크기는, 제1 세대($320\text{ mm} \times 400\text{ mm}$), 제2 세대($400\text{ mm} \times 500\text{ mm}$), 제3 세대($550\text{ mm} \times 650\text{ mm}$), 제4 세대($680\text{ mm} \times 880\text{ mm}$, 또는 $730\text{ mm} \times 920\text{ mm}$), 제5 세대($1000\text{ mm} \times 1200\text{ mm}$ 또는 $1100\text{ mm} \times 1250\text{ mm}$), 제6 세대($1500\text{ mm} \times 1800\text{ mm}$), 제7 세대($1900\text{ mm} \times 2200\text{ mm}$), 제8 세대($2160\text{ mm} \times 2460\text{ mm}$), 제9 세대($2400\text{ mm} \times 2800\text{ mm}$, $2450\text{ mm} \times 3050\text{ mm}$), 제10 세대($2950\text{ mm} \times 3400\text{ mm}$) 등을 이용할 수 있다.

[0030] 게이트 전극(101)은, 티탄, 몰리브덴, 크롬, 탄탈, 텉스텐, 알루미늄 등의 금속 재료 또는 그 합금 재료를 이용하여 형성한다. 게이트 전극(101)은, 스퍼터링법이나 진공 증착법으로 기판(100) 위에 도전막을 형성하고, 이 도전막 위에 포토리소그래피 기술 또는 잉크젯법에 의해 마스크를 형성하고, 이 마스크를 이용하여 도전막을 에칭함으로써, 형성할 수 있다. 또한, 게이트 전극(101)의 밀착성 향상과 하지로의 확산을 막는 배리어 메탈로서, 상기 금속 재료의 질화물막을 기판(100) 및 게이트 전극(101)의 사이에 형성해도 좋다. 여기에서는, 제1 포토마스크를 이용하여 형성한 레지스트 마스크를 이용하여 기판(100) 위에 형성된 도전막을 에칭하여 게이트 전극을 형성한다.

[0031] 또한, 게이트 전극(101) 위에는 반도체막이나 배선을 형성하므로, 단(段)이 끊어지는 것을 방지하기 위해 단부를 테이퍼 형상이 되도록 가공하는 것이 바람직하다. 또한, 도시하지 않았지만 이 공정에서 게이트 전극에 접속하는 배선도 동시에 형성할 수 있다.

[0032] 다음에, 게이트 전극(101) 위에, 게이트 절연막(102), 미결정 반도체막(103), 채널 보호층(104)을 순차로 형성한다. 다음에, 채널 보호층(104) 위에 레지스트(151)를 도포한다. 또한, 적어도, 게이트 절연막(102), 미결정 반도체막(103), 및 채널 보호층(104)을 연속적으로 형성하는 것이 바람직하다. 게이트 절연막(102), 미결정 반도체막(103), 및 채널 보호층(104)을 대기애에 접하게 하는 일 없이 연속 성막함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되는 일 없이 각 적층계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 편차를 저감할 수 있다.

[0033] 게이트 절연막(102)은, CVD법이나 스퍼터링법 등을 이용해, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 또한, 게이트 절연막(102)으로서, 게이트 절연막을 단층으로 하지 않고, 산화규소막 또는 산화질화규소막과, 질화규소막 또는 질화산화규소막의 순으로 2층을 적층하여 형성할 수 있다. 또한, 게이트 절연막을 2층으로 하지 않고, 기판측으로부터 질화규소막 또는 질화산화규소막과, 산화규소막 또는 산화질화규소막과, 질화규소막 또는 질화산화규소막의 순으로 3층 적층하여 형성할 수 있다.

[0034] 여기에서는, 산화질화규소막이란, 그 조성으로서, 질소보다 산소의 함유량이 많은 것으로서, 농도 범위로서 산소가 55~65 원자%, 질소가 1~20 원자%, Si가 25~35 원자%, 수소가 0.1~10 원자%의 범위에서 포함되는 것을 말한다. 또한, 질화산화규소막이란, 그 조성으로서, 산소보다 질소의 함유량이 많은 것으로서, 농도 범위로서 산소가 15~30 원자%, 질소가 20~35 원자%, Si가 25~35 원자%, 수소가 15~25 원자%의 범위에서 포함되는 것을 말한다.

[0035] 미결정 반도체막(103)은, 비정질과 결정 구조(단결정, 다결정을 포함함)의 중간적인 구조의 반도체를 포함하는 막이다. 이 반도체는, 자유 에너지적으로 안정적인 제3 상태를 가지는 반도체이며, 단거리 질서를 가지고 격자 변형을 가지는 결정질의 것으로서, 입경이 $0.5\text{ }\mu\text{m}$ 의 주상(柱狀) 또는 침상(針狀) 결정이 기판 표면에 대해 법선 방향으로 성장하고 있다. 또한, 미결정 반도체와 비단결정 반도체가 혼재하고 있다. 미결정 반도체의 대표예인 미결정 실리콘은, 그 라만 스펙트럼이 단결정 실리콘을 나타내는 521 cm^{-1} 보다 저파수 측으

로 시프트하고 있다. 즉, 단결정 실리콘을 나타내는 521 cm^{-1} 과 아몰퍼스(amorphous) 실리콘을 나타내는 480 cm^{-1} 의 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(랭글링 본드)를 종단하기 위해 수소 또는 할로겐을 적어도 1 원자% 또는 그 이상 포함하게 하고 있다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희가스 원소를 포함시켜 격자 변형을 더욱 조장시킴으로써, 안정성이 증가되어 양호한 미결정 반도체막을 얻어진다. 이러한 미결정 반도체막에 관한 기술은, 예를 들면, 미국 특허 4,409,134호에 개시되어 있다.

[0036] 이 미결정 반도체막은, 주파수가 수십 MHz~수백 MHz의 고주파 플라즈마 CVD법, 또는 주파수가 1 GHz 이상의 마이크로파 플라즈마 CVD 장치에 의해 형성할 수 있다. 대표적으로는, SiH_4 , Si_2H_6 등의 수소화규소를 수소로 희석하여 형성할 수 있다. 또한, 수소화규소 및 수소에 더하여, 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 일종 또는 복수종의 희가스 원소로 희석하여 미결정 반도체막을 형성할 수 있다. 이 때의 수소화규소에 대하여 수소의 유량비를 50배 이상 1000배 이하, 바람직하게는 50배 이상 200배 이하, 더욱 바람직하게는 100배로 한다. 또한, 수소화규소 대신에, SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 이용할 수 있다.

[0037] 또한, 미결정 반도체막은, 원자가 전자 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않을 때에 약한 n형의 전기 전도성을 나타내므로, 박막 트랜지스터의 채널 형성 영역으로서 기능하는 미결정 반도체막에 대해서는, p형을 부여하는 불순물 원소를 성막과 동시에, 혹은 성막 후에 첨가함으로써, 스레시홀드값 제어를 하는 것이 가능하게 된다. p형을 부여하는 불순물 원소로서는, 대표적으로는 붕소이며, B_2H_6 , BF_3 등의 불순물 기체를 1 ppm~1000 ppm, 바람직하게는 1 ppm~100 ppm의 비율로 수소화규소에 혼입시키면 좋다. 그리고 붕소의 농도를, 예를 들면, $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ 로 하면 좋다.

[0038] 또한, 미결정 반도체막의 산소 농도를, $5 \times 10^{19} \text{ cm}^{-3}$ 이하, $1 \times 10^{19} \text{ cm}^{-3}$ 이하, 질소 및 탄소의 농도 각각을 $3 \times 10^{18} \text{ cm}^{-3}$ 이하로 하는 것이 바람직하다. 산소, 질소, 및 탄소가 미결정 반도체막에 혼입하는 농도를 저감함으로써, 미결정 반도체막이 n형화가 되는 것을 방지할 수 있다.

[0039] 미결정 반도체막(103)은, 1 nm 이상 50 nm 이하, 바람직하게는 5 nm 이상 20 nm로 형성한다. 미결정 반도체막(103)은 후에 형성되는 박막 트랜지스터의 채널 형성 영역으로서 기능한다. 미결정 반도체막(103)의 두께를 5 nm 이상 50 nm로 함으로서, 후에 형성되는 박막 트랜지스터는, 완전 공핍형이 된다. 또한, 미결정 반도체막(103)은 성막 속도가 비정질 반도체막의 성막 속도의 1/10~1/100로 늦기 때문에, 막 두께를 얇게 함으로써 스루풋을 향상시킬 수 있다. 미결정 반도체막은 미결정으로 구성되어 있기 때문에, 비정질 반도체막과 비교해 저항이 낮다. 이 때문에, 미결정 반도체막을 이용한 박막 트랜지스터는, 전류 전압 특성을 나타내는 곡선의 상승 부분(rising portion)의 기울기가 급준하게 되어, 스위칭 소자로서의 응답성이 뛰어나, 고속 동작이 가능하게 된다. 또한, 박막 트랜지스터의 채널 형성 영역에 미결정 반도체막을 이용함으로써, 박막 트랜지스터의 스레시홀드값의 변동을 억제하는 것이 가능하다. 따라서, 전기 특성의 편차가 적은 표시 장치를 제작할 수 있다.

[0040] 또한, 미결정 반도체막은 비정질 반도체막과 비교하여 이동도가 높다. 따라서, 표시 소자인 액정 소자의 스위칭으로서, 채널 형성 영역이 미결정 반도체막으로 형성되는 박막 트랜지스터를 이용함으로써, 채널 형성 영역의 면적, 즉 박막 트랜지스터의 면적을 축소하는 것이 가능하다. 따라서, 일 화소당 나타내는 박막 트랜지스터의 면적이 작아져, 화소의 개구율을 높이는 것이 가능하다.

[0041] 또한, 미결정 반도체막의 전기적 특성의 향상을 목적으로 하여, 게이트 절연막 위에 미결정 반도체의 표면측으로부터 레이저광을 조사해도 좋다. 레이저광은, 미결정 반도체막이 용해하지 않는 에너지 밀도로 조사한다. 즉, 미결정 반도체막에 대한 레이저 처리는, 복사 가열에 의해 미결정 반도체막을 용해시키지 않고 행하는 고상 결정 성장에 의한 것이다. 즉, 퇴적된 미결정 반도체막이 액상(液相)이 되지 않는 임계 영역을 이용하는 것이고, 그 의미에서 「임계 성장」이라고도 할 수 있다.

[0042] 레이저광은 미결정 반도체막과 게이트 절연막의 계면에까지 작용시킬 수 있다. 그것에 의해, 미결정 반도체막의 표면측에 있어서의 결정을 종(種)으로서, 이 표면으로부터 게이트 절연막의 계면을 향하여 고상 결정 성장이 진행되고 대략 주상(柱狀)의 결정이 성장한다. 레이저 처리에 의한 고상 결정 성장은, 결정립경을 확대시키는 것은 아니고, 오히려 막의 두께 방향에서의 결정성을 개선하는 것이다. 레이저 처리는 직사각형 장체상으로 집광(선상 레이저 빔)함으로써, 예를 들면, 730 mm×920 mm의 유리 기판 위의 미결정 반도체막을 1회의 레이저 빔 스캔으로 처리할 수 있다. 이 경우, 선상 레이저 빔을 중첩시키는 비율(오버랩율)을 0~90%(바람직하게는 0~67%)로 하여 행한다. 이것에 의해, 기판 1장당의 처리 시간이 단축되어 생산성을 향상시킬 수

있다. 레이저 빔의 형상은 선상으로 한정되는 것은 아니고, 면상으로 하여도 마찬가지로 처리할 수 있다. 또한, 본 레이저 처리는 상기 유리 기판의 사이즈에 한정되지 않고, 다양한 것에 적용할 수 있다. 레이저 처리에 의해, 게이트 절연막 계면 영역의 결정성이 개선되어, 보텀 게이트 구조를 가지는 트랜지스터의 전기적 특성을 향상시키는 작용을 얻을 수 있다. 이와 같은 임계 성장에서는, 종래의 저온 다결정 실리콘에서 보여졌던 표면의 요철(릿지(ridge)라고 불리는 볼록 형상체)이 형성되지 않고, 레이저 처리 후의 반도체막 표면은 평활성이 유지되고 있는 것도 특징이다. 본 형태에서와 같이, 성막 후의 미결정 반도체막에 직접적으로 레이저 광을 작용시켜 얻어지는 결정성의 반도체막은, 퇴적된 채의 미결정 반도체막, 전도 가열에 의해 개질된 미결정 반도체막(비특허문헌 1의 것)과는 그 성장 메커니즘 및 막질이 분명하게 다르다. 본 명세서에서는, 성막 후의 미결정 반도체막(Semi Amorphous Semiconductor: SAS)에 레이저 처리(Laser Process, 이하 「LP」라고도 함)를 행하여 얻어지는 것을 총칭하여 LPSAS(Laser Process Semi Amorphous Semiconductor)라고 부르기로 한다.

[0043] 채널 보호층(104)은, 질화규소막 또는 질화산화규소막을 400 nm 이하, 바람직하게는 50 nm 이상 200 nm 이하로 형성한다. 예를 들면, 질화규소막은 SiH₄와 NH₃를 소스 가스로 하여 플라즈마 CVD법으로 형성한다. 질화산화규소막은 SiH₄, N₂O 및 NH₃를 이용하여 플라즈마 CVD법으로 형성한다. 채널 보호층(104)은 미결정 반도체막 위에 접하여 형성되기 때문에, 질화규소막 또는 질화산화규소막으로 형성됨으로써, 미결정 반도체막으로의 불순물의 확산 방지의 효과가 얻어지는 것 외에, 미결정 반도체막에 포함되는 결정립의 표면의 산화를 방지할 수 있다. 또한, 채널 보호층(104)을 형성함으로써 미결정 반도체막 표면의 산화를 방지할 수 있기 때문에, 미결정 반도체막의 막 두께를 박막화할 수 있다. 따라서, 본 실시형태에서의 박막 트랜지스터는, 완전 공핍형의 트랜지스터로서 동작시키는 것이 가능하게 되기 때문에, 트랜지스터를 오프로 했을 때의 리크 전류를 작게 할 수 있다.

[0044] 여기서, 게이트 절연막(102)으로부터 채널 보호층(104)을 연속 성막하는 것이 가능한 플라즈마 CVD 장치에 대하여, 도 6을 이용하여 나타낸다. 도 6은 플라즈마 CVD 장치 상단면을 나타낸 모식도이며, 공통실(1020)의 주위에, 로드실(1010), 언로드실(1015), 반응실(1)(1011), 반응실(2)(1012), 반응실(3)(1013)을 구비한 구성으로 되어 있다. 공통실(1020)과 각 실의 사이에는 게이트 벨브(1022), 게이트 벨브(1023), 게이트 벨브(1024), 게이트 벨브(1025), 게이트 벨브(1026)가 구비되고, 각 실에서 행해지는 처리가 서로 간섭하지 않도록 구성되어 있다. 기판은 로드실(1010), 언로드실(1015)의 카세트(1028), 카세트(1029)에 장전되어, 공통실(1020)의 반송 수단(1021)에 의해 반응실(1)(1011)~반응실(3)(1013)로 운반된다. 이 장치에서는, 퇴적막 종마다 반응실을 할당하는 것이 가능하고, 복수의 다른 피막을 대기에 접하게 하는 일 없이 연속하여 형성할 수 있다. 일례로서는, 반응실(1)(1011)에서 게이트 절연막(102), 반응실(2)(1012)에서 미결정 반도체막(103)을 형성하고, 반응실(3)(1013)은 채널 보호층(104)을 형성하는 구성이 있을 수 있다.

[0045] 이와 같이, 복수의 체임버가 접속된 마이크로파 플라즈마 CVD 장치로, 동시에 게이트 절연막(102), 미결정 반도체막(103), 및 채널 보호층(104)을 성막할 수 있기 때문에, 양산성을 높일 수 있다. 또한, 어느 반응실이 메인트너스나 클리닝을 행하고 있어도, 나머지 반응실에서 성막 처리가 가능하게 되어, 성막의 택트를 향상시킬 수 있다. 또한, 대기 성분이나 대기중에 부유하는 오염 불순물 원소에 오염되는 일 없이 각 적층 계면을 형성할 수 있으므로, 트랜지스터 특성의 편차를 저감할 수 있다.

[0046] 또한, 도 6에 나타내는 플라즈마 CVD 장치에는, 로드실 및 언로드실이 따로 따로 형성되어 있지만, 하나로 하여 로드/언로드실로 하여도 좋다. 또한, 플라즈마 CVD 장치에 복수의 예비실을 형성해도 좋다. 예비실에서 기판을 예비 가열함으로써, 각 반응실에서 성막까지의 가열 시간을 단축하는 것이 가능하기 때문에, 스루풋을 향상시킬 수 있다.

[0047] 도 1(A)의 설명으로 돌아온다. 도 1(A)에서의 레지스트(151)는, 포지티브형 레지스트 또는 네가티브형 레지스트를 이용할 수 있다. 본 실시형태에서는 포지티브형 레지스트를 이용하여 나타낸다. 그리고 제2 포토마스크를 이용하여, 도 1(A)에 나타낸 바와 같이 레지스트(151)가 가공된 레지스트 마스크가 형성된다. 그리고 도 1(B)에 나타낸 바와 같이, 채널 보호층 위에 형성된 레지스트 마스크에 의해, 미결정 반도체막(103) 및 채널 보호층(104)을 에칭하여, 게이트 전극(101) 위에, 섬 형상 미결정 반도체막(105)을 형성한다. 또한, 도 1(B)은 도 5(A)의 A-B에서의 단면도에 상당한다(단, 레지스트(151), 게이트 절연막(102)은 제외함). 또한, 본 명세서에서, 섬 형상 결정성 반도체막은, 미결정 반도체막과 채널 보호층이 적층하여 형성되어 있는 것으로서 설명한다. 또한, 도 5(A)에 나타내는 도면에서는 주사선(501)을 나타내고, 주사선(501)과 게이트 전극(101)은 전기적으로 접속되는 것이다.

[0048]

또한, 섬 형상 미결정 반도체막(105)의 단부 측면을 경사시킴으로써, 섬 형상 미결정 반도체막 측면에 형성되는 비정질 반도체막과, 섬 형상 미결정 반도체막(105)의 바닥부에 있는 미결정 반도체막과의 사이에 양호한 전기적 접속을 얻을 수 있다. 섬 형상 미결정 반도체막(105)의 단부 측면의 경사 각도는, $30^\circ \sim 90^\circ$, 바람직하게는 $45^\circ \sim 80^\circ$ 이다. 이러한 각도로 함으로써, 단차 형상에 의한 소스 전극 또는 드레인 전극의 단절을 방지할 수 있다.

[0049]

다음에 도 1(C)에 나타낸 바와 같이, 섬 형상 미결정 반도체막(105)을 덮도록 비정질 반도체막(106), 비정질 반도체막(106) 위에 불순물 반도체층(107), 불순물 반도체층(107) 위에 도전막(108)을 형성한다. 또한, 도전막(108)은, 형상을 가공함으로써, 소스 전극 및 드레인 전극 및 신호선의 배선이 된다. 레지스트(152)는 포지티브형 레지스트 또는 네가티브형 레지스트를 이용할 수 있다. 본 실시형태에서는 포지티브형 레지스트를 이용하여 나타낸다. 그리고 제3 포토마스크를 이용하여 레지스트 마스크를 형성한다. 본 실시형태에서는, 일례로서, 도 2(A)에 나타낸 바와 같이, 레지스트 마스크에 형성된 구멍부(171)로부터 등방성의 에칭인 웨트 에칭을 행한다. 웨트 에칭을 행하는 것에 의해, 구멍부(171) 아래의 도전막(108)은, 도 2(B)에 나타낸 바와 같이, 구멍부(171)의 지름보다 큰 구멍부(172)가 형성된다. 계속하여, 레지스트 마스크에 형성된 구멍부(171)로부터, 이방성의 에칭인 드라이 에칭을 행한다. 드라이 에칭을 행하는 것에 의해, 구멍부(171) 아래의 불순물 반도체층(107) 및 비정질 반도체막(106)은, 레지스트 마스크에 형성된 구멍부(171)와 동일한 정도의 구멍부(173)가 형성된다. 그 결과, 도 3(A)에 나타낸 바와 같이, 후의 소스 전극 및 드레인 전극이 되는 도전막(108)의 단부와, 불순물 반도체층(107)의 단부는 일치하지 않고 어긋나 있고(도 3(A)에서의 폭(174)), 도전막(108)의 단부의 외측에, 불순물 반도체층(107)의 단부가 형성된다. 도 3(A)에 나타낸 바와 같이, 후의 소스 전극 및 드레인 전극이 되는 도전막(108)의 단부와, 불순물 반도체층(107)의 단부는 일치하지 않고 어긋난 형상인 폭(174)을 가짐으로써, 소스 전극 및 드레인 전극간의 리크 전류나 쇼트를 방지할 수 있다. 또한, 후의 소스 전극 및 드레인 전극이 되는 도전막(108)의 단부와, 불순물 반도체층(107)의 단부는 일치하지 않고 어긋난 형상인 폭(174)을 가짐으로써, 도전막(108) 및 불순물 반도체층(107)의 단부에 전계가 집중하지 않고, 게이트 전극(101)과 도전막(108)과의 사이에서의 리크 전류를 방지할 수 있다. 이 때문에, 신뢰성이 높고, 또한, 내압이 높은 박막 트랜지스터를 제작할 수 있다. 이후, 레지스트 마스크는 제거되고, 도 3(A)에 나타낸 바와 같은 개구부를 얻을 수 있다. 또한, 도 3(A)은 도 5(B)의 A-B에서의 단면도에 상당한다(단, 게이트 절연막(102)을 제외). 또한, 도 5(B)에 나타낸 도면에서는 신호선(502), 소스 전극(108a), 드레인 전극(108b)을 나타내고, 신호선(502)과 소스 전극(108a)은 전기적으로 접속되는 것이다.

[0050]

또한, 트랜지스터의 소스 전극과 드레인 전극은, 트랜지스터의 동작 조건 등에 의해 바뀌기 때문에, 어느 것이 소스 전극 또는 드레인 전극이라고 부르는지를 한정하는 것이 곤란하다. 따라서, 본 실시형태에서는, 신호선(502)에 접속된 전극을 소스 전극(108a)으로 하고, 후에 화소 전극에 접속되는 전극을 드레인 전극(108b)으로서 표기하기로 한다.

[0051]

또한, 도 5(B)에 나타낸 바와 같이, 불순물 반도체층(107)의 단부는, 소스 전극(108a) 및 드레인 전극(108b)의 단부의 외측에 위치하는 것을 알 수 있다. 또한, 소스 전극(108a), 드레인 전극(108b)의 한쪽은 소스 전극(108a), 드레인 전극(108b)의 다른 한쪽을 둘러싸는 형상(구체적으로는, U자형, C자형)이다. 이 때문에, 캐리어가 이동하는 영역의 면적을 증가시키는 것이 가능하기 때문에, 전류량을 늘리는 것이 가능하고, 박막 트랜지스터의 면적을 축소할 수 있다. 또한, 게이트 전극(101) 위에서, 미결정 반도체막(103), 비정질 반도체막(106), 불순물 반도체층(107), 소스 전극(108a) 및 드레인 전극(108b)이 중첩되어 있기 때문에, 게이트 전극(101)의 요철의 영향이 적고, 피복율의 저감 및 리크 전류의 발생을 억제할 수 있다.

[0052]

또한, 도 3(A)에 나타낸 바와 같이 본 실시형태에 나타내는 박막 트랜지스터에 있어서는, 섬 형상 미결정 반도체막의 측면에 비정질 반도체막이 형성되어 있다. 비정질 반도체막은 먼저 형성된 미결정 반도체막보다 막 두께를 크게 형성함으로써, 소스 전극 및 드레인 전극과 게이트 전극과의 사이에 발생하는 기생 용량을 작게 할 수 있다. 대표적으로는, 비정질 반도체막의 막 두께는, 200 nm 이상 400 nm 이하의 두께로 형성하는 것이 바람직하다. 또한, 박막 트랜지스터의 소스와 드레인의 사이에 흐르는 캐리어(전자나 공공)는, 게이트 전극 근방의 게이트 절연막과의 계면에 해당하는 미결정 반도체막을 경유하여 소스와 드레인의 사이를 흐른다. 박막 트랜지스터는, 캐리어가 흐르는 미결정 반도체막의 채널 길이 방향의 거리보다, 캐리어가 흐르는 비정질 반도체막의 막 두께 방향의 거리가 크다. 그 때문에, 본 발명의 박막 트랜지스터를 구비하는 표시 장치에서는, 미결정 반도체막의 장점을 살리면서, 소스 전극 및 드레인 전극과, 게이트 전극과의 사이에 발생하는 기생 용량을 저감할 수 있다. 또한, 게이트 전극에 대한 인가 전압이 높은(예를 들면, 15 V 정도) 표시 장치에

있어서, 비정질 반도체막의 막 두께를 미결정 반도체막보다 두껍게 형성하면, 게이트와, 소스 또는 드레인 사이의 내압이 높아져, 박막 트랜지스터가 열화하는 것을 억제할 수 있다.

[0053] 비정질 반도체막(106)은, SiH_4 , Si_2H_6 등의 수소화규소를 이용하여, 플라즈마 CVD법에 의해 형성할 수 있다. 또한, 상기 수소화규소에, 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 일종 또는 복수종의 희가스 원소로 희석하여 비정질 반도체막을 형성할 수 있다. 수소화규소의 유량의 1배 이상 20배 이하, 바람직하게는 1배 이상 10배 이하, 더욱 바람직하게는 1배 이상 5배 이하의 유량의 수소를 이용하여, 수소를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 상기 수소화규소와 질소 또는 암모니아를 이용함으로써, 질소를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 상기 수소화규소와, 불소, 염소, 브롬, 또는 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF , HCl , HBr , HI 등)를 이용함으로써, 불소, 염소, 브롬, 또는 요오드를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 수소화규소 대신에, SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 이용할 수 있다.

[0054] 또한, 비정질 반도체막(106)은, 에너지 캡이 미결정 반도체막(103)에 비해 크고(비정질 반도체막의 에너지 캡은 1.6~1.8 eV, 미결정 반도체막의 에너지 캡은 1.1~1.5 eV), 또한, 저항이 높고, 이동도가 낮고, 미결정 반도체막과의 1/5~1/10이다. 이 때문에, 후에 형성되는 박막 트랜지스터에서, 소스 영역 및 드레인 영역과 미결정 반도체막과의 사이에 형성되는 비정질 반도체막(106)은 일부 채널 형성 영역으로서 기능하지만 대부분은 고저항 영역으로서 기능하고, 미결정 반도체막은 전체가 채널 형성 영역으로서 기능한다. 이 때문에, 박막 트랜지스터의 오프 전류를 저감할 수 있다.

[0055] 일 도전형을 부여하는 불순물이 첨가된 불순물 반도체층(107)은, n 채널형의 박막 트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 인을 첨가하면 좋고, 수소화규소에 PH_3 등의 불순물 기체를 첨가하면 좋다. 또한, p 채널형의 박막 트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 봉소를 첨가하면 좋고, 수소화규소에 B_2H_6 등의 불순물 기체를 첨가하면 좋다. 일 도전형을 부여하는 불순물이 첨가된 불순물 반도체층(107)은, 미결정 반도체막, 또는 비정질 반도체로 형성할 수 있다. 또한, 일 도전형을 부여하는 불순물이 첨가된 불순물 반도체층(107)을 일 도전형을 부여하는 불순물이 첨가된 비정질 반도체막과, 일 도전형을 부여하는 불순물이 첨가된 미결정 반도체막과의 적층으로 형성해도 좋다. 일 도전형을 부여하는 불순물이 첨가된 불순물 반도체층(107)은 2 nm 이상 50 nm 이하의 두께로 형성한다. 일 도전형을 부여하는 불순물이 첨가된 반도체막의 막 두께를 얇게 함으로써 스루풋(throughput)을 향상시킬 수 있다.

[0056] 도전막(108)은, 알루미늄, 혹은 구리, 실리콘, 티탄, 네오디뮴, 스칸듐, 몰리브덴 등의 내열성 향상 원소 혹은 헬록 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성하는 것이 바람직하다. 또한, 도전성 반도체막과 접하는 층의 막을, 티탄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물로 형성하고, 그 위에 알루미늄 또는 알루미늄 합금을 형성한 적층 구조로 해도 좋다. 또한, 알루미늄 또는 알루미늄 합금의 상면 및 하면을 티탄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물로 끼운 적층 구조로 해도 좋다. 여기에서는, 도전막(108)으로서는, 도전막이 3층 적층한 구조의 도전막을 들 수 있고, 알루미늄막을 몰리브덴막으로 협지하는 적층 도전막이나, 알루미늄막을 티탄막으로 협지하는 적층 도전막이 그 일례이다. 도전막은, 스퍼터링법이나 진공 증착법으로 형성한다.

[0057] 또한, 상술한 미결정 반도체막에 대한 원자가 전자 제어를 목적으로 한 불순물 원소의 첨가는, 미결정 반도체막 상부의 비정질 반도체막(106), 불순물 반도체층(107), 및 도전막(108)의 예칭 공정을 실시한 후에, 채널 보호층(104)을 통하여 도핑하도록 행하여도 좋다. 미결정 반도체막 상부의 비정질 반도체막(106), 불순물 반도체층(107), 및 도전막(108)의 예칭 공정을 행한 후에, 채널 보호층(104)을 통하여 도핑함으로써, 채널 형성 영역이 되는 셀 형상 미결정 반도체막(105)에 대한 선택적인 불순물 원소의 첨가를 행할 수 있다.

[0058] 이상의 공정에 의해, 박막 트랜지스터를 형성할 수 있다. 또한, 3장의 포토마스크를 이용하여 박막 트랜지스터를 형성할 수 있다.

[0059] 다음에, 도 3(B)에 나타낸 바와 같이, 도전막(108), 불순물 반도체층(107), 비정질 반도체막(106), 셀 형상 미결정 반도체막(105), 및 게이트 절연막(102) 위에 절연막(109)을 형성한다. 절연막(109)은 게이트 절연막(102)과 마찬가지로 형성할 수 있다. 또한, 절연막(109)은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것이며, 치밀한 막이 바람직하다.

[0060] 다음에, 도 3(C)에 나타낸 바와 같이 절연막(109)에 콘택트홀(110)을 형성한다. 그리고, 도 4에 나타낸 바와 같이, 콘택트홀(110)에 있어서 도전막(108)에서의 드레인 전극(108b)에 접하는 화소 전극(111)을 형성한다.

또한, 도 4는 도 5(C)의 A-B의 단면도에 상당한다.

[0061] 화소 전극(111)은, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용할 수 있다.

[0062] 또한, 화소 전극(111)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 조성물을 이용하여 형성한 화소 전극은, 시트 저항이 10000 Ω / □ 이하, 파장 550 nm에서의 광의 투과율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1 Ω · cm 이하인 것이 바람직하다.

[0063] 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0064] 이상에 의해 표시 장치에 이용하는 것이 가능한 박막 트랜지스터를 얻을 수 있다. 특히, 본 실시형태에 의해 얻어지는 박막 트랜지스터는, 수율의 저하를 억제하면서, 기생 용량의 증가 및 제조 비용의 증가를 억제하고, 더하여, 전기 특성이 높고, 오프 전류의 저감을 도모할 수 있기 때문에, 전기 특성의 신뢰성이 높은 박막 트랜지스터로 구동하는 표시 장치를 얻을 수 있다.

[0065] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0066] [실시형태 2]

[0067] 본 실시형태에서는, 표시 장치에 이용되는 박막 트랜지스터에 대하여, 실시형태 1과 다른 구성에 대하여, 도 13을 이용하여 설명한다. 도 13은, 박막 트랜지스터의 단면도이다. 또한, 본 실시형태에 있어서, 실시형태 1과 같은 개소의 설명에 대해서는, 같은 부호를 붙이고, 실시형태 1의 설명을 참조하여 이하에 설명하기로 한다.

[0068] 또한, 본 실시형태에 설명하는 박막 트랜지스터는 실시형태 1과 마찬가지로 n 채널형의 박막 트랜지스터를 이용하여 설명한다.

[0069] 먼저, 기판(100) 위에 게이트 전극(101), 게이트 절연막(102), 미결정 반도체막(103), 채널 보호층(104)을 형성하고, 레지스트 마스크 및 에칭 공정에 의해, 실시형태 1의 도 1(B)에 나타낸 상태를 얻는다. 기판(100), 게이트 전극(101), 게이트 절연막(102), 미결정 반도체막(103), 및 채널 보호층(104)은 실시형태 1과 같은 것을 이용하는 것으로 한다.

[0070] 다음에, 도 13에 나타내는 바와 같이 약한 p형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1301a), 진성(眞性) 반도체가 되는 비정질 반도체막(1301b)을 성막한다. 진성 반도체가 되는 비정질 반도체막(1301b) 위에는 실시형태 1과 마찬가지로, 불순물 반도체층(107) 및 도전막(108)을 성막한다. 또한, 약한 p형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1301a), 진성 반도체가 되는 비정질 반도체막(1301b)을 성막한 후에는, 실시형태 1에 나타낸 비정질 반도체막(106)과 마찬가지로, 불순물 반도체층(107) 및 도전막(108)을 형성하여, 레지스트 마스크의 형성 및 에칭 공정을 행한다. 그리고 도 13에 나타내는 바와 같이 박막 트랜지스터를 얻을 수 있다. 또한, 얻어진 박막 트랜지스터에는, 실시형태 1과 마찬가지로, 박막 트랜지스터를 덮도록 절연막(109)을 형성하여, 콘택트홀(110)에 의해, 화소 전극(111)과 전기적인 접속을 취할 수 있다.

[0071] 본 실시형태에 나타낸 박막 트랜지스터의 소스와 드레인과의 사이를 흐르는 전기적인 캐리어는, 도전막(108) (소스 전극 또는 드레인 전극), 불순물 반도체층(107), 진성 반도체가 되는 비정질 반도체막(1301b), 약한 p형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1301a), 미결정 반도체막(103), 약한 p형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1301a), 진성 반도체가 되는 비정질 반도체막(1301b), 불순물 반도체층(107), 도전막(108)(소스 전극 또는 드레인 전극)의 순으로 흐르는 것이 된다. 즉, 본 실시형태에 나타낸 박막 트랜지스터의 소스와 드레인과의 사이를 흐르는 전기적인 캐리어에 있어서, 고저항 영역이 되는 약한 p형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1301a), 진성 반도체가 되는 비정질 반도체막(1301b)을 통과한다. 그 때문에, 본 실시형태에 나타낸 박막 트랜지스터는, 소스와 드레인의 사이에 흐르는 리크 전류를 저감할 수 있다. 그 때문에, 본 실시형태에 나타낸 박막 트랜지스터는, 상기 실시형태 1에 나타

낸 뛰어난 전기적 특성에 더하여, 리크 전류의 저감과 같은 효과를 얻을 수 있다.

[0072] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0073] [실시형태 3]

[0074] 본 실시형태에서는, 표시 장치에 이용되는 박막 트랜지스터에 대하여, 실시형태 1 및 실시형태 2와 다른 구성에 대하여, 도 14를 이용하여 설명한다. 도 14는, 박막 트랜지스터의 단면도이다. 또한, 본 실시형태에 있어서, 실시형태 1과 같은 개소의 설명에 대해서는, 같은 부호를 붙이고, 실시형태 1의 설명을 참조하여 이하에 설명하기로 한다.

[0075] 또한, 본 실시형태에 설명하는 박막 트랜지스터는 실시형태 1과 마찬가지로 n 채널형의 박막 트랜지스터를 이용하여 설명한다.

[0076] 먼저, 기판(100) 위에 게이트 전극(101), 게이트 절연막(102), 미결정 반도체막(103), 채널 보호층(104)을 형성하여, 레지스트 마스크 및 에칭 공정에 의해, 실시형태 1의 도 1(B)에 나타낸 상태를 얻는다. 기판(100), 게이트 전극(101), 게이트 절연막(102), 미결정 반도체막(103), 및 채널 보호층(104)은 실시형태 1과 같은 것을 이용하기로 한다.

[0077] 다음에, 도 14에 나타낸 바와 같이 진성 반도체가 되는 비정질 반도체막(1401a), 약한 n형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1401b)을 성막한다. 약한 n형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1401b) 위에는 실시형태 1과 마찬가지로, 불순물 반도체층(107) 및 도전막(108)을 성막한다. 또한, 진성 반도체가 되는 비정질 반도체막(1401a), 약한 n형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1401b)을 성막한 후에는, 실시형태 1에 나타낸 비정질 반도체막(106)과 마찬가지로, 불순물 반도체층(107) 및 도전막(108)을 형성하여, 레지스트 마스크의 형성 및 에칭 공정을 행한다. 그리고 도 14에 나타내는 바와 같이 박막 트랜지스터를 얻을 수 있다. 또한, 얻어진 박막 트랜지스터에는, 실시형태 1과 마찬가지로, 박막 트랜지스터를 덮도록 절연막(109)을 형성하고, 콘택트홀(110)에 의해, 화소 전극(111)과 전기적인 접속을 취할 수 있다.

[0078] 본 실시형태에 나타낸 박막 트랜지스터의 소스와 드레인과의 사이를 흐르는 전기적인 캐리어는, 도전막(108)(소스 전극 또는 드레인 전극), 불순물 반도체층(107), 약한 n형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1401b), 진성 반도체가 되는 비정질 반도체막(1401a), 미결정 반도체막(103), 진성 반도체가 되는 비정질 반도체막(1401a), 약한 n형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1401b), 불순물 반도체층(107), 도전막(108)(소스 전극 또는 드레인 전극)의 순으로 흐르는 것이 된다. 즉, 본 실시형태에 나타낸 박막 트랜지스터의 소스와 드레인과의 사이를 흐르는 전기적인 캐리어에 있어서, 불순물 반도체층(107), 약한 n형을 부여하는 불순물 원소를 포함하는 비정질 반도체막(1401b), 진성 반도체가 되는 비정질 반도체막(1401a)과 단계적으로 고저항 영역이 되도록 반도체막을 적층하는 것에 의한 리크 전류의 저감에 더하여, 단계적으로 저항값을 크게 함으로써 급격한 전압의 변화에 따른 전자의 가속에 의한 박막 트랜지스터의 열화를 저감할 수 있다. 그 때문에 본 실시형태에서는, 소스와 드레인의 사이에 흐르는 리크 전류의 저감 및 박막 트랜지스터의 장수명화를 도모할 수 있다. 그 때문에, 본 실시형태에 나타낸 박막 트랜지스터는, 상기 실시형태 1에 나타낸 뛰어난 전기적 특성에 더하여, 리크 전류의 저감과 같은 효과를 얻을 수 있다.

[0079] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0080] [실시형태 4]

[0081] 본 실시형태에서는, 실시형태 1에 나타낸 박막 트랜지스터를 가지는 표시 장치에 대하여, 이하에 나타낸다. 본 실시형태에 나타낸 표시 장치로서는, 액정 표시 장치를 예로 들어 설명한다.

[0082] 액정 표시 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 7을 이용하여 설명한다. 도 7은, 제1 기판(4001) 위에 형성된 미결정 반도체막을 가지는 박막 트랜지스터(4010) 및 액정 소자(4013)를, 제2 기판(4006)과의 사이에 시일재(4005)에 의해 봉지한 패널의 상면도이며, 도 7(B)은 도 7(A)의 M-N에서의 단면도에 상당한다.

[0083] 제1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여, 시일재(4005)가 형

성되어 있다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 제2 기판(4006)이 형성되어 있다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)는 제1 기판(4001)과 시일재(4005)와 제2 기판(4006)에 의해, 액정(4008)과 함께 봉지되어 있다. 또한, 제1 기판(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 또한, 본 실시형태에서는 다결정 반도체막을 이용한 박막 트랜지스터를 가지는 신호선 구동 회로를 제1 기판(4001)에 부착시키는 예에 대하여 설명하였지만, 단결정 반도체를 이용한 트랜지스터로 신호선 구동 회로를 형성하여 부착하도록 해도 좋다. 도 7에서는, 신호선 구동 회로(4003)에 포함되는 다결정 반도체막으로 형성된 박막 트랜지스터(4009)를 예시한다.

[0084] 또한, 제1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는, 박막 트랜지스터를 복수 가지고 있고, 도 7(B)에서는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)를 예시하고 있다. 박막 트랜지스터(4010)는 미결정 반도체막을 이용한 박막 트랜지스터에 상당하고, 실시형태 1에 나타낸 공정과 같이 제작할 수 있다.

[0085] 또한, 액정(4008)에 면하는 화소 전극(4030)은, 박막 트랜지스터(4010)와 배선(4040)을 통하여 전기적으로 접속되어 있다. 그리고 액정 소자(4013)의 대향 전극(4031)은 제2 기판(4006) 위에 형성되어 있다. 화소 전극(4030)과 대향 전극(4031)과 액정(4008)이 중첩되는 부분이 액정 소자(4013)에 상당한다.

[0086] 또한, 제1 기판(4001), 제2 기판(4006)으로서는, 유리, 금속(대표적으로는 스테인리스 스틸), 세라믹, 플라스틱을 이용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다. 또한, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 이용할 수도 있다.

[0087] 또한, 부호 4035는 구상(球狀)의 스페이서이며, 화소 전극(4030)과 대향 전극(4031)과의 사이의 거리(셀 갭)를 제어하기 위해 형성되어 있다. 또한, 절연막을 선택적으로 에칭함으로서 얻어지는 스페이서를 이용하여도 좋다.

[0088] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 부여되는 각종 신호 및 전위는, 배선(4014, 4015)을 통하여, FPC(4018)로부터 공급되고 있다.

[0089] 본 실시형태에서는, 접속 단자(4016)가, 액정 소자(4013)가 가지는 화소 전극(4030)과 같은 도전막으로 형성되어 있다. 또한, 배선(4014, 4015)은 배선(4040)과 같은 도전막으로 형성되어 있다.

[0090] 접속 단자(4016)는, FPC(4018)가 가지는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.

[0091] 또한, 도시하지 않았지만, 본 실시형태에 나타낸 액정 표시 장치는 배향막, 편광판을 가지고, 또한, 컬러 필터나 차폐막을 가지고 있어도 좋다.

[0092] 또한, 도 7에 대하여, 신호선 구동 회로(4003)를 별도 형성하여, 제1 기판(4001)에 실장하고 있는 예를 나타내고 있지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.

[0093] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[실시형태 5]

[0095] 본 실시형태에서는, 실시형태 1에 나타낸 박막 트랜지스터를 가지는 표시 장치에 대하여, 이하에 나타낸다. 본 실시형태에 나타내는 표시 장치로서는, 발광 소자를 구비하는 발광 장치를 예로 들어 설명한다.

[0096] 발광 장치의 일 형태에 상당하는 발광 표시 패널의 외관 및 단면에 대하여, 도 8을 이용하여 설명한다. 도 8은, 제1 기판 위에 형성된 미결정 반도체막을 이용한 박막 트랜지스터 및 발광 소자를 제2 기판과의 사이에 시일재에 의해 봉지한 패널의 상면도이며, 도 8(B)은 도 8(A)의 E-F에서의 단면도에 상당한다.

[0097] 제1 기판(4501) 위에 형성된 화소부(4502)와 주사선 구동 회로(4504)를 둘러싸도록 하여, 시일재(4505)가 형성되어 있다. 또한, 화소부(4502)와 주사선 구동 회로(4504)의 위에 제2 기판(4506)이 형성되어 있다. 따라서 화소부(4502)와 주사선 구동 회로(4504)는 제1 기판(4501)과 시일재(4505)와 제2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 또한, 제1 기판(4501) 위의 시일재(4505)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 다결정 반도체막으로 형성된 신호선 구동 회로(4503)가 실장되어 있다.

또한, 본 실시형태에서는, 다결정 반도체막을 이용한 박막 트랜지스터를 가지는 신호선 구동 회로를 제1 기판(4501)에 부착시키는 예에 대하여 설명하였지만, 단결정 반도체를 이용한 트랜지스터로 신호선 구동 회로를 형성하여, 부착하도록 해도 좋다. 도 8에서는, 신호선 구동 회로(4503)에 포함되는 다결정 반도체막으로 형성된 박막 트랜지스터(4509)를 예시한다.

[0098] 또한, 제1 기판(4501) 위에 형성된 화소부(4502)와, 주사선 구동 회로(4504)는 박막 트랜지스터를 복수 가지고 있고, 도 8(A)에서는 화소부(4502)에 포함되는 박막 트랜지스터(4510)를 예시하고 있다. 또한, 본 실시형태에서는, 박막 트랜지스터(4510)가 구동용 TFT라고 가정하지만, 박막 트랜지스터(4510)는 전류 제어용 TFT여도 좋고, 소거용 TFT여도 좋다. 박막 트랜지스터(4510)는 미결정 반도체막을 이용한 박막 트랜지스터에 상당하고, 실시형태 1에 나타내는 공정에서와 마찬가지로 제작할 수 있다.

[0099] 또한, 부호 4511은 발광 소자에 상당하고, 발광 소자(4511)가 가지는 화소 전극은, 박막 트랜지스터(4510)의 소스 전극 또는 드레인 전극과 배선(4517)을 통하여 전기적으로 접속되어 있다. 그리고 본 실시형태에서는, 발광 소자(4511)의 공통 전극과 투광성을 가지는 도전성 재료(4512)가 전기적으로 접속되어 있다. 또한, 발광 소자(4511)의 구성은, 본 실시형태에 나타낸 구성에 한정되지 않는다. 발광 소자(4511)로부터 취출하는 광의 방향이나, 박막 트랜지스터(4510)의 극성 등에 맞추어, 발광 소자(4511)의 구성은 적절히 바꿀 수 있다.

[0100] 또한, 별도 형성된 신호선 구동 회로(4503)와 주사선 구동 회로(4504) 또는 화소부(4502)에 부여되는 각종 신호 및 전위는, 도 8(B)에 나타낸 단면도에서는 도시하지 않았지만, 배선(4514) 및 배선(4515)을 통하여, FPC(4518)로부터 공급된다.

[0101] 본 실시형태에서는, 발광 소자(4511)가 가지는 화소 전극과 같은 도전막으로 접속 단자(4516)가 형성되어 있다. 또한, 배선(4514, 4515)은 배선(4517)과 같은 도전막으로 형성되어 있다.

[0102] 접속 단자(4516)는, FPC(4518)가 가지는 단자와, 이방성 도전막(4519)을 통하여 전기적으로 접속되어 있다.

[0103] 발광 소자(4511)로부터의 광의 취출 방향에 위치하는 기판에는, 제2 기판은 투명해야 한다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 가지는 재료를 이용한다.

[0104] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성인 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있고, PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌비닐아세테이트)를 이용할 수 있다. 본 실시형태는 충전재로서 질소를 이용했다.

[0105] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판(π / 4판, π / 2판), 컬러 필터 등의 광학 필름을 적절히 형성해도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성해도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여, 비침을 저감할 수 있는 앤티글레어(anti-glare) 처리를 할 수 있다.

[0106] 또한, 도 8에서는, 신호선 구동 회로(4503)를 별도 형성하여, 제1 기판(4501)에 실장하고 있는 예를 나타내었지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.

[0107] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[실시형태 6]

[0109] 본 발명의 표시 장치의 일 형태인 표시 패널의 구성에 대하여, 이하에 나타낸다.

[0110] 도 9(A)에, 신호선 구동 회로(6013)만을 별도 형성하여, 기판(6011) 위에 형성된 화소부(6012)와 접속되어 있는 표시 패널의 형태를 나타낸다. 화소부(6012) 및 주사선 구동 회로(6014)는, 미결정 반도체막을 이용한 박막 트랜지스터를 이용하여 형성한다. 미결정 반도체막을 이용한 박막 트랜지스터보다 높은 이동도를 얻을 수 있는 트랜지스터로 신호선 구동 회로를 형성함으로써, 주사선 구동 회로보다 높은 구동 주파수가 요구되는 신호선 구동 회로의 동작을 안정시킬 수 있다. 또한, 신호선 구동 회로(6013)는, 단결정의 반도체를 이용한 트랜지스터, 다결정의 반도체를 이용한 박막 트랜지스터, 또는 SOI 기판을 이용하여 형성된 트랜지스터이어도 좋다. 화소부(6012), 신호선 구동 회로(6013), 주사선 구동 회로(6014)에, 각각 전원의 전위, 각종 신호 등이 FPC(6015)를 통하여 공급된다.

[0111] 또한, 신호선 구동 회로 및 주사선 구동 회로를 모두 화소부와 같은 기판 위에 형성해도 좋다.

- [0112] 또한, 구동 회로를 별도 형성하는 경우, 반드시 구동 회로가 형성된 기판을 화소부가 형성된 기판 위에 부착시킬 필요는 없고, 예를 들면, FPC 위에 부착하도록 해도 좋다. 도 9(B)에, 신호선 구동 회로(6023)만을 별도 형성하여, 기판(6021) 위에 형성된 화소부(6022) 및 주사선 구동 회로(6024)와 접속되어 있는 액정 표시 패널의 형태를 나타낸다. 화소부(6022) 및 주사선 구동 회로(6024)는, 미결정 반도체막을 이용한 박막 트랜지스터를 이용하여 형성한다. 신호선 구동 회로(6023)는, FPC(6025)를 통하여 화소부(6022)와 접속되어 있다. 화소부(6022), 신호선 구동 회로(6023), 주사선 구동 회로(6024)에, 각각 전원의 전위, 각종 신호 등이 FPC(6025)를 통하여 공급된다.
- [0113] 또한, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을, 미결정 반도체막을 이용한 박막 트랜지스터를 이용하여 화소부와 같은 기판 위에 형성하고, 나머지를 별도 형성하여 화소부와 전기적으로 접속하도록 해도 좋다. 도 9(C)에, 신호선 구동 회로가 가지는 아날로그 스위치(6033a)를 화소부(6032), 주사선 구동 회로(6034)와 같은 기판(6031) 위에 형성하고, 신호선 구동 회로가 가지는 시프트 레지스터(6033b)를 별도의 다른 기판에 형성하여 부착시키는 액정 표시 패널의 형태를 나타낸다. 화소부(6032) 및 주사선 구동 회로(6034)는, 미결정 반도체막을 이용한 박막 트랜지스터를 이용하여 형성한다. 신호선 구동 회로가 가지는 시프트 레지스터(6033b)는 FPC(6035)를 통하여 화소부(6032)와 접속되어 있다. 화소부(6032), 신호선 구동 회로, 주사선 구동 회로(6034)에, 각각 전원의 전위, 각종 신호 등이 FPC(6035)를 통하여 공급된다.
- [0114] 도 9(A) 내지 도 9(C)에 나타낸 바와 같이, 본 발명의 표시 장치는, 구동 회로의 일부 또는 전부를 화소부와 같은 기판 위에, 미결정 반도체막을 이용한 박막 트랜지스터를 이용하여 형성할 수 있다.
- [0115] 또한, 별도 형성한 기판의 접속 방법은 특별히 한정되는 것은 아니고, 공지의 COG 방법, 와이어 본딩 방법, 혹은 TAB 방법 등을 이용할 수 있다. 또한, 접속하는 위치는, 전기적인 접속이 가능하다면, 도 9(A) 내지 도 9(C)에 나타낸 위치에 한정되지 않는다. 또한, 콘트롤러, CPU, 메모리 등을 별도 형성하여, 접속하도록 해도 좋다.
- [0116] 또한, 본 발명에 이용하는 신호선 구동 회로는, 시프트 레지스터와 아날로그 스위치만을 가지는 형태에 한정되지 않는다. 시프트 레지스터와 아날로그 스위치에 더하여, 버퍼, 레벨 시프터, 소스 팔로워 등, 다른 회로를 가지고 있어도 좋다. 또한, 시프트 레지스터와 아날로그 스위치는 반드시 형성할 필요는 없고, 예를 들면, 시프트 레지스터 대신에 디코더 회로와 같은 신호선의 선택을 할 수 있는 다른 회로를 이용해도 좋고, 아날로그 스위치 대신에 래치 등을 이용해도 좋다.
- [0117] 도 10에 본 발명의 액정 표시 장치의 블럭도를 나타낸다. 도 10에 나타내는 액정 표시 장치는, 액정 소자를 구비한 화소를 복수 가지는 화소부(551)와, 각 화소를 선택하는 주사선 구동 회로(552)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(553)를 가진다.
- [0118] 도 10에서, 신호선 구동 회로(553)는 시프트 레지스터(554), 아날로그 스위치(555)를 가지고 있다. 시프트 레지스터(554)에는, 클록 신호(CLK), 스타트 펄스 신호(SP)가 입력되어 있다. 클록 신호(CLK)와 스타트 펄스 신호(SP)가 입력되면, 시프트 레지스터(554)에서 타이밍 신호가 생성되어, 아날로그 스위치(555)에 입력된다.
- [0119] 또한, 아날로그 스위치(555)에는, 비디오 신호(video signal)가 부여되어 있다. 아날로그 스위치(555)는 입력되는 타이밍 신호에 따라 비디오 신호를 샘플링하여, 후단의 신호선에 공급한다.
- [0120] 다음에, 주사선 구동 회로(552)의 구성에 대하여 설명한다. 주사선 구동 회로(552)는 시프트 레지스터(556), 버퍼(557)를 가지고 있다. 또한, 경우에 따라서는, 레벨 시프터를 가지고 있어도 좋다. 주사선 구동 회로(552)에 있어서, 시프트 레지스터(556)에 클록 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼(557)에서 완충 증폭되어, 대응하는 주사선에 공급된다. 주사선에는, 1 라인분의 화소의 트랜지스터의 게이트가 접속되어 있다. 그리고 1 라인분의 화소의 트랜지스터를 일제히 ON으로 하지 않으면 안 되기 때문에, 버퍼(557)는 큰 전류를 흘리는 것이 가능한 것이 이용된다.
- [0121] 풀 컬러의 액정 표시 장치에서, R(적), G(녹), B(청)에 대응하는 비디오 신호를 순차로 샘플링하여 대응하는 신호선에 공급하는 경우, 시프트 레지스터(554)와 아날로그 스위치(555)를 접속하기 위한 단자수가, 아날로그 스위치(555)와 화소부(551)의 신호선을 접속하기 위한 단자수의 1/3 정도에 상당한다. 따라서, 아날로그 스위치(555)를 화소부(551)와 같은 기판 위에 형성함으로써, 아날로그 스위치(555)를 화소부(551)와 다른 기판 위에 형성한 경우에 비해, 별도 형성한 기판의 접속에 이용하는 단자의 수를 억제할 수 있어, 접속 불량의 발생 확률을 억제하여 수율을 높일 수 있다.
- [0122] 또한, 도 10의 주사선 구동 회로(552)는, 시프트 레지스터(556), 및 버퍼(557)를 가지지만, 시프트 레지스터

(556)와 주사선 구동 회로(552)를 구성해도 좋다.

[0123] 또한, 도 10에 나타낸 구성은, 본 발명의 표시 장치의 일 형태를 나타내는 것에 지나지 않고, 신호선 구동 회로와 주사선 구동 회로의 구성은 이것에 한정되지 않는다.

[0124] 본 실시형태는, 다른 실시형태에 기재한 구성과 조합하여 실시하는 것이 가능하다.

[0125] [실시형태 7]

[0126] 본 발명에 의해 얻어지는 표시 장치에 의해, 액티브 매트릭스형 액정 모듈에 이용할 수 있다. 즉, 그것들을 표시부에 짜넣은 전자기기 모두에 본 발명을 실시할 수 있다.

[0127] 그와 같은 전자기기로서는, 비디오 카메라, 디지털 카메라, 헤드 마운트 디스플레이(고글형 디스플레이), 카내비게이션, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대전화 또는 전자 서적 등) 등을 들 수 있다. 그들의 일례를 도 11에 나타낸다.

[0128] 도 11(A)는 텔레비전 장치이다. 표시 모듈을 도 11(A)에 나타낸 바와 같이 케이스에 짜넣어, 텔레비전 장치를 완성시킬 수 있다. FPC까지 장착된 표시 패널을 표시 모듈이라고도 부른다. 표시 모듈에 의해 주화면(2003)이 형성되고, 그 외 부속 설비로서 스피커부(2009), 조작 스위치 등이 구비되어 있다. 이와 같이, 텔레비전 장치를 완성시킬 수 있다.

[0129] 도 11(A)에 나타낸 바와 같이, 케이스(2001)에 액정 소자를 이용한 표시용 패널(2002)이 짜넣어지고, 수신기(2005)에 의해 일반 텔레비전 방송의 수신을 비롯하여, 모뎀(2004)을 통해 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간)의 정보통신을 할 수도 있다. 텔레비전 장치의 조작은, 케이스에 짜넣어진 스위치 또는 별개의 리모콘 조작기(2006)에 의해 행하는 것이 가능하고, 이 리모콘 장치에도 출력하는 정보를 표시하는 표시부(2007)가 형성되어 있어도 좋다.

[0130] 또한, 텔레비전 장치에도, 주화면(2003) 외에 서브 화면(2008)을 제2 표시용 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어 있어도 좋다. 이 구성에 있어서, 주화면(2003)을 시야각이 뛰어난 액정 표시 패널로 형성하고, 서브 화면을 저소비 전력으로 표시 가능한 액정 표시 패널로 형성해도 좋다. 또한, 저소비 전력화를 우선시키기 위해서는, 주화면(2003)을 액정 표시 패널로 형성하고, 서브 화면을 액정 표시 패널로 형성하고, 서브 화면은 접면 가능하게 하는 구성으로 해도 좋다.

[0131] 도 12는 텔레비전 장치의 주요한構성을 나타내는 블럭도를 나타내고 있다. 표시 패널(900)에는, 화소부(921)가 형성되어 있다. 신호선 구동 회로(922)와 주사선 구동 회로(923)는, 표시 패널(900)에 COG 방식에 의해 실장되어 있어도 좋다.

[0132] 그 외의 외부 회로의 구성으로서, 영상 신호의 입력측에서는, 튜너(924)로 수신한 신호 중, 영상 신호를 증폭하는 영상 신호 증폭 회로(925)와, 거기로부터 출력되는 신호를 적, 녹, 청의 각 색에 대응한 색신호로 변환하는 영상 신호 처리 회로(926)와, 그 영상 신호를 드라이버 IC의 입력 사양으로 변환하기 위한 컨트롤 회로(927) 등을 가지고 있다. 컨트롤 회로(927)는 주사선측과 신호선측에 각각 신호가 출력된다. 디지털 구동하는 경우에는, 신호선측에 신호 분할 회로(928)를 형성하여, 입력 디지털 신호를 m개로 분할하여 공급하는 구성으로 해도 좋다.

[0133] 튜너(924)로 수신한 신호 중, 음성 신호는, 음성 신호 증폭 회로(929)에 보내지고, 그 출력은 음성 신호 처리 회로(930)를 거쳐 스피커(933)에 공급된다. 제어 회로(931)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(932)로부터 받아, 튜너(924)나 음성 신호 처리 회로(930)에 신호를 송출한다.

[0134] 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 컴퓨터의 모니터를 비롯하여, 철도의 역이나 공항 등의 정보 표시판이나, 가두(街頭)의 광고 표시판 등 대면적의 표시 매체로서도 다양한 용도에 적용할 수 있다.

[0135] 도 11(B)은 휴대전화기(2301)의 일례를 나타내고 있다. 이 휴대전화기(2301)는 표시부(2302), 조작부(2303) 등을 포함하여 구성되어 있다. 표시부(2302)에서는, 상기 실시형태에 설명한 표시 장치를 적용함으로써, 양산성을 높일 수 있다.

[0136] 또한, 도 11(C)에 나타낸 휴대형 컴퓨터는, 본체(2401), 표시부(2402) 등을 포함하고 있다. 표시부(2402)에, 상기 실시형태에 나타내는 표시 장치를 적용함으로써, 양산성을 높일 수 있다.

- [0137] 본 실시형태는, 다른 실시형태에 기재한 구성과 조합하여 실시하는 것이 가능하다.
- [0138] [실시형태 8]
- [0139] 본 실시형태에서는 상기 실시형태에 설명한 본 발명의 트랜지스터의 구성에 대하여, 디바이스 시뮬레이션의 결과에 대하여 나타낸다. 도 15에는, 디바이스 시뮬레이션에 이용한 트랜지스터의 구조에 대하여 나타내고, 도 16에는 도 15에 나타낸 트랜지스터 구조의 전류-전압 특성에 대하여 나타내고 있다. 또한, 디바이스 시뮬레이션에는, Silvaco사제 디바이스 시뮬레이터 "ATLAS"를 이용했다.
- [0140] 도 15에 나타낸 트랜지스터 구조의 적층 구조에 대하여 설명한다. 도 15에 나타낸 구조는, 기판(1500), 게이트 전극(1501), 게이트 절연막(1502), 미결정 반도체막(1503), 채널 보호층(1504), 비정질 반도체막(1506), 불순물 반도체층(1507), 도전막(1508)(소스 전극, 드레인 전극)을 순차 형성한 것이다. 또한, 제작 방법에 대해서는 실시형태 1에 설명한 바와 같다. 적층되는 각 막으로서는, 기판(1500)으로서 유리 기판을 두께 100 nm, 게이트 전극(1501)으로서 몰리브덴막(Mo)을 막 두께 150 nm, 게이트 절연막(1502)으로서 질화규소막 (Si_3N_4)을 막 두께 300 nm, 미결정 반도체막(1503)으로서 미결정 상태의 규소막을 막 두께 10 nm, 채널 보호층(1504)으로서 질화규소막(Si_3N_4)을 90 nm, 비정질 반도체막(1506)으로서 비정질 상태의 규소막 200 nm, 불순물 반도체층(1507)으로서 인이 첨가된 비정질 규소막을 막 두께 50 nm, 도전막(1508)으로서는 몰리브덴막(Mo)을 막 두께 150 nm을 예로 들어 설명한다. 또한, 미결정 반도체막(1503) 및 채널 보호층(1504)의 채널 길이 방향의 길이는 10 μm , 채널 보호층(1504) 위의 단부에 중첩하여 형성되는 비정질 반도체막(1506)의 길이는 200 nm로 하고 있다. 또한, 디바이스 시뮬레이션에 대해서는, 적층된 각 막의 물리적 특성에 기초하여 행하였다.
- [0141] 또한, 비정질 반도체막(1506)을 구성하는 비정질의 반도체막의 디바이스 시뮬레이션에서의 파라미터를 이하에 나타내는 수치로 설정했다.
- [0142] 억셉터 타입 결합 준위(테일상 분포)의 전도대단(傳導帶端)에서의 상태 밀도($nta = 3.0E21[\text{cm}^3 \text{ eV}]$), 도너 타입 결합 준위(테일상 분포)의 원자가 전자대단(電子帶端)에서의 상태 밀도($ntd = 4.0E20[\text{cm}^3 \text{ eV}]$), 억셉터 타입 결합 준위(테일상 분포) 상태 밀도의 감쇠 계수($wta = 0.025[\text{eV}]$), 도너 타입 결합 준위(테일상 분포) 상태 밀도의 감쇠 계수($wtd = 0.05[\text{eV}]$), 억셉터 타입 결합 준위(범프상 분포)의 피크 위치에서의 상태 밀도($nga = 5.0E17[\text{cm}^3 \text{ eV}]$), 도너 타입 결합 준위(범프상 분포)의 피크 위치에서의 상태 밀도($ngd = 5.0E17[\text{cm}^3 \text{ eV}]$), 억셉터 타입 결합 준위(범프상 분포)의 피크 위치($ega = 0.28[\text{eV}]$), 도너 타입 결합 준위(범프상 분포)의 피크 위치($egd = 0.79[\text{eV}]$), 억셉터 타입 결합 준위(범프상 분포) 상태 밀도의 감쇠 계수($wga = 0.1[\text{eV}]$), 도너 타입 결합 준위(범프상 분포) 상태 밀도의 감쇠 계수($wgd = 0.2[\text{eV}]$), 억셉터 준위의 완만부에서의 전자의 포획 단면적($sigtae = 3.0E-15[\text{cm}^2]$), 억셉터 준위의 완만부에서의 홀의 포획 단면적($sigtah = 3.0E-13[\text{cm}^2]$), 도너 준위의 완만부에서의 전자의 포획 단면적($sigtde = 3.0E-13[\text{cm}^2]$), 도너 준위의 완만부에서의 홀의 포획 단면적($sigtdh = 3.0E-15[\text{cm}^2]$), 억셉터의 가우스 분포에서의 전자의 포획 단면적($siggae = 3.0E-15[\text{cm}^2]$), 억셉터의 가우스 분포에서의 홀의 포획 단면적($siggah = 3.0E-13[\text{cm}^2]$), 도너의 가우스 분포에서의 전자의 포획 단면적($siggde = 3.0E-13[\text{cm}^2]$), 도너의 가우스 분포에서의 홀의 포획 단면적($siggdh = 3.0E-15[\text{cm}^2]$)으로 했다.
- [0143] 또한, 미결정 반도체막(1503)을 구성하는 미결정 상태의 규소막의 파라미터를 이하에 나타내는 수치로 설정했다. 또한, 미결정 상태의 규소막의 결합 밀도를 비정질 상태의 규소막의 10분의 1로 했다.
- [0144] 억셉터 타입 결합 준위(테일상 분포)의 전도대단에서의 상태 밀도($nta = 2.0E21[\text{cm}^3 \text{ eV}]$), 도너 타입 결합 준위(테일상 분포)의 원자가 전자대단에서의 상태 밀도($ntd = 4.0E19[\text{cm}^3 \text{ eV}]$), 억셉터 타입 결합 준위(범프상 분포)의 피크 위치에서의 상태 밀도($nga = 9.0E17[\text{cm}^3 \text{ eV}]$), 도너 타입 결합 준위(범프상 분포)의 피크 위치에서의 상태 밀도($ngd = 5.0E17[\text{cm}^3 \text{ eV}]$)로 한다. 그 외의 파라미터는, 아몰퍼스 실리콘막의 파라미터와 마찬가지로 했다.
- [0145] 도 16에는, 도 15에 나타낸 트랜지스터의 디바이스 시뮬레이션의 결과에 대하여 나타낸다. 도 16의 곡선

(1601)은 도 15에 나타낸 트랜지스터의 소스 전극에 0 V, 드레인 전극에 14 V를 인가했을 때의 게이트 전극에 인가하는 전압(Vg)에 따른 드레인 전극에 흐르는 전류(Id)의 변화에 대하여 나타낸 것이다. 또한, 도 16의 곡선(1602)은 도 15에서의 채널 보호층(1504)의 영역이 비정질 규소막인 경우에, 소스 전극에 0 V, 드레인 전극에 14 V를 인가했을 때의 게이트 전극에 인가하는 전압(Vg)에 따른 드레인 전극에 흐르는 전류(Id)의 변화에 대하여 나타낸 것이다. 또한, 도 16의 곡선(1603)은, 도 15에 나타낸 트랜지스터의 소스 전극에 0 V, 드레인 전극에 1 V를 인가했을 때의 게이트 전극에 인가하는 전압(Vg)에 따른 드레인 전극에 흐르는 전류(Id)의 변화에 대하여 나타낸 것이다. 또한, 도 16의 곡선(1604)은, 도 15에서의 채널 보호층(1504)의 영역이 비정질 규소막인 경우에, 소스 전극에 0 V, 드레인 전극에 1 V를 인가했을 때의 게이트 전극에 인가하는 전압(Vg)에 따른 드레인 전극에 흐르는 전류(Id)의 변화에 대하여 나타낸 것이다.

[0146] 도 16에 나타낸 트랜지스터의 전류-전압 특성을 보면 알 수 있는 바와 같이, 본 발명의 트랜지스터 구조는, 소스와 드레인의 사이의 전압에 의존하지 않고, 트랜지스터가 온이 되었을 때의 전류량을 변화시키지 않고, 트랜지스터가 오프가 되었을 때의 전류량을 감소시킬 수 있다. 또한, 도 16으로부터 Vg에 대한 Id의 특성인 S값이 향상하고 있는 것을 알 수 있다. 이 트랜지스터의 특성의 향상은, 트랜지스터의 채널 형성 영역의 막 두께가 얇아지므로 완전 공핍형의 트랜지스터와 마찬가지로 S값을 개선하는 것, 및 채널 형성 영역의 상부를 절연막으로 함으로써, 생성 전류 및 재결합 전류가 발생하지 않게 되어, 트랜지스터는 오프가 되었을 때의 전류량을 감소시킬 수 있는 것에 의한 것이다. 상술한 바와 같이, 본 발명에 의해, 전기 특성이 높고, 오프 전류의 저감을 도모할 수 있는 박막 트랜지스터를 구비한 표시 장치를 제공할 수 있고, 또한, 상술한 바와 같이, 수율의 저하를 억제하면서, 기생 용량의 증가 및 제조 비용의 증가를 억제할 수 있다.

부호의 설명

[0147] 100: 기판

101: 게이트 전극

102: 게이트 절연막

103: 미결정 반도체막

104: 채널 보호층

105: 섬 형상미결정 반도체막

106: 비정질 반도체막

107: 불순물 반도체층

108: 도전막

108a: 소스 전극

108b: 드레인 전극

109: 절연막

110: 콘택트홀

111: 화소 전극

151: 레지스트

152: 레지스트

171: 구멍부

172: 구멍부

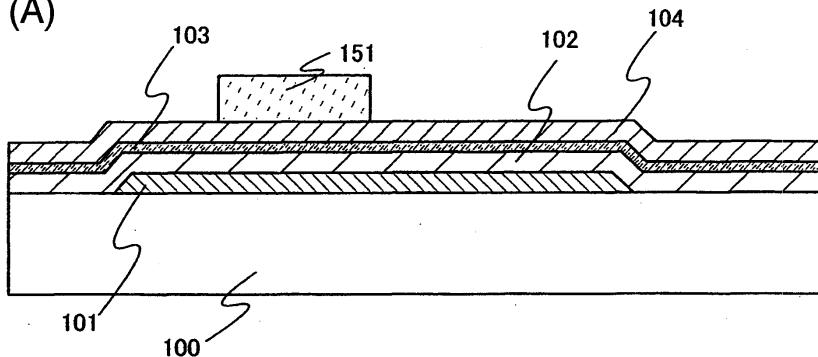
173: 구멍부

174: 폭

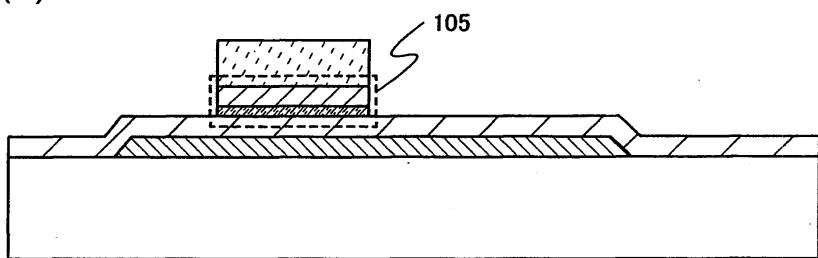
도면

도면1

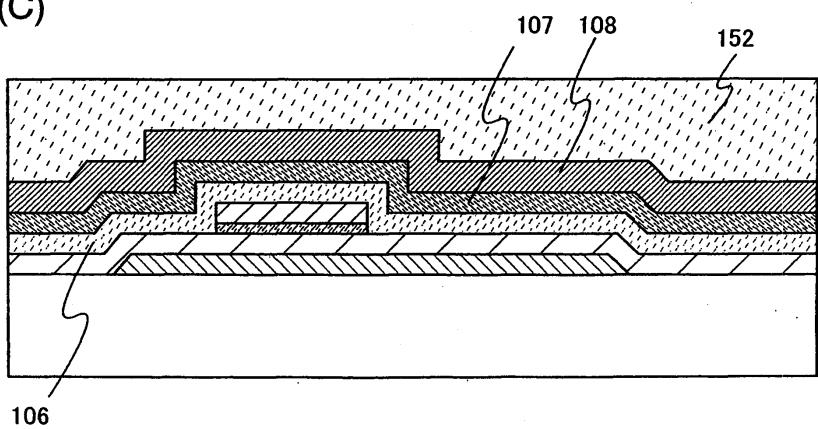
(A)



(B)

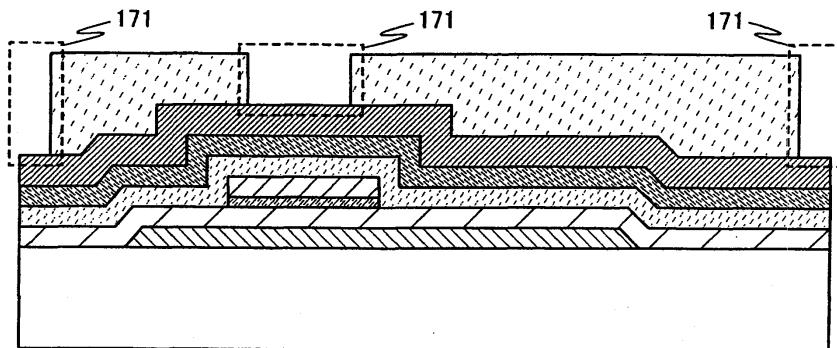


(C)

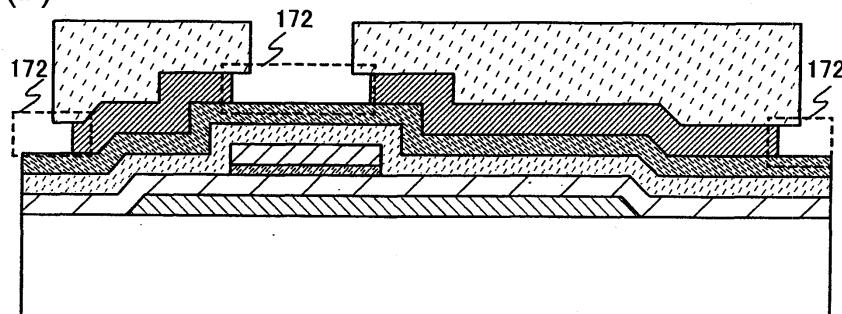


도면2

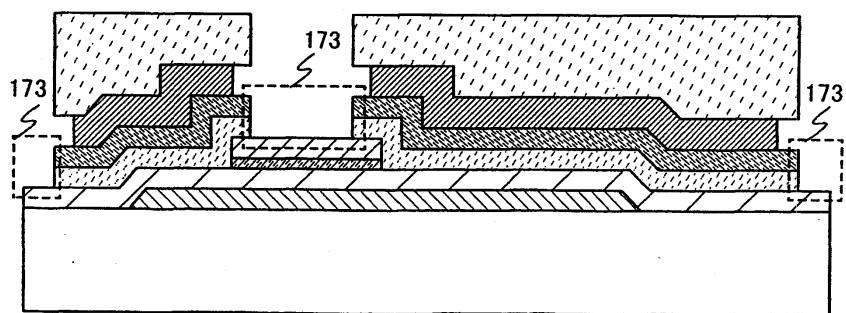
(A)



(B)

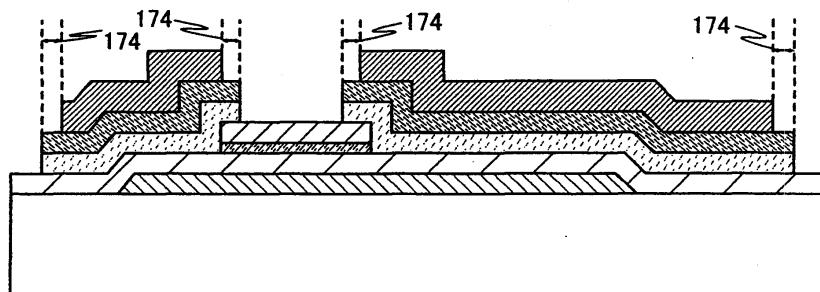


(C)

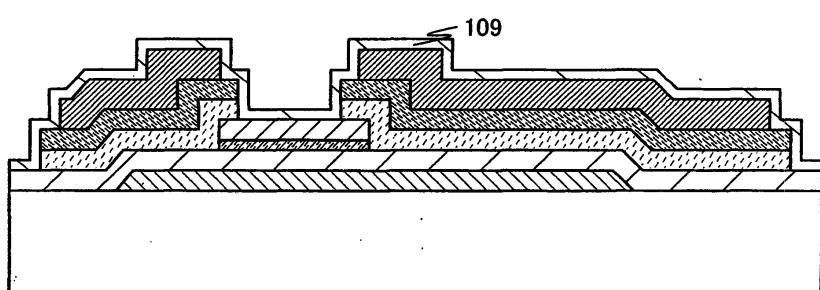


도면3

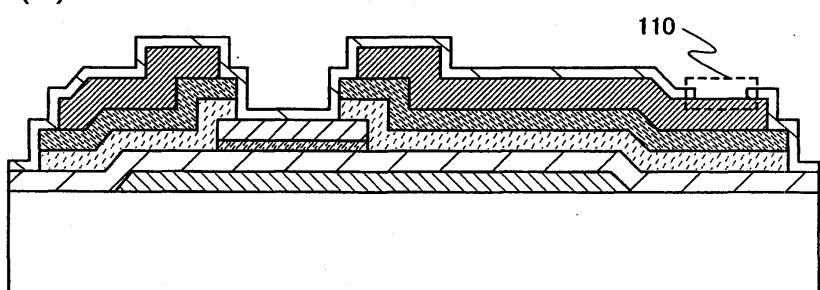
(A)



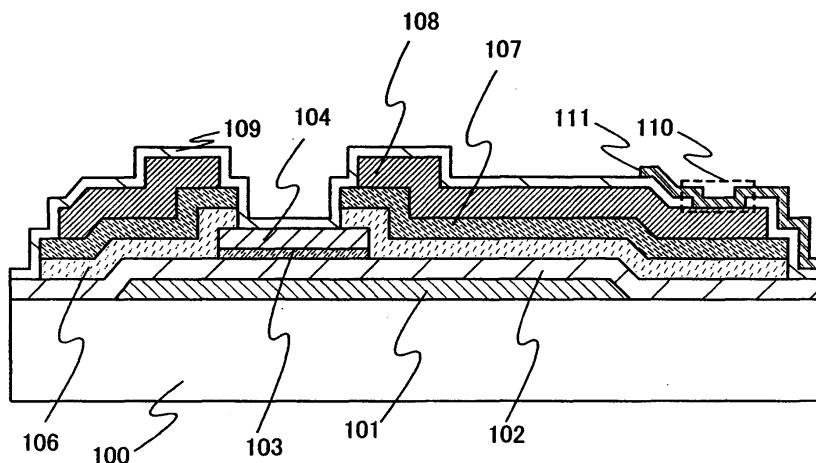
(B)



(C)

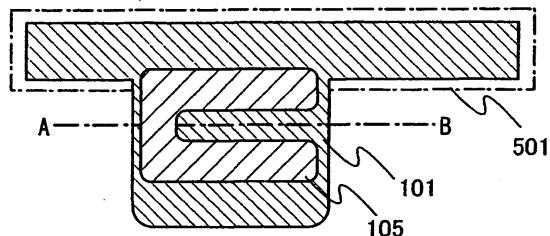


도면4

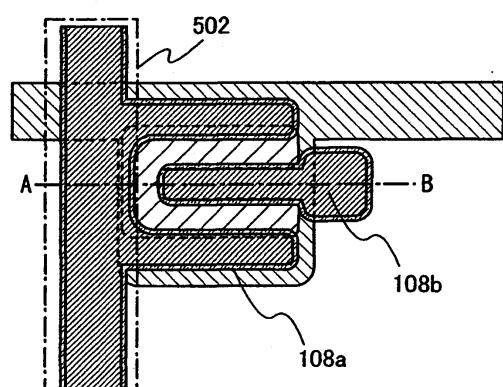


도면5

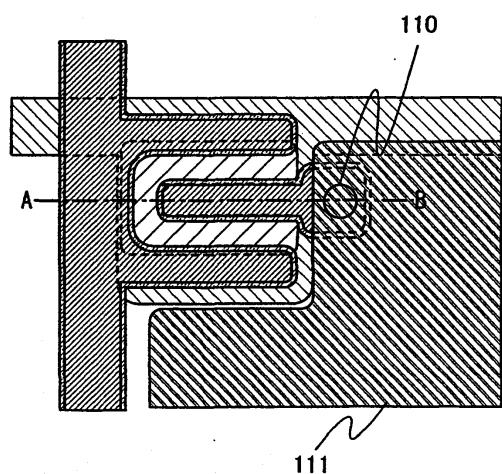
(A)



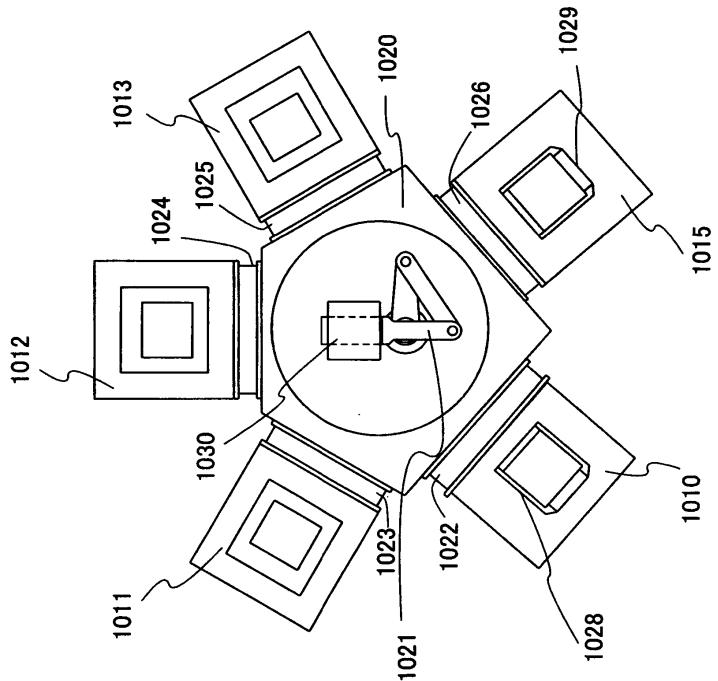
(B)



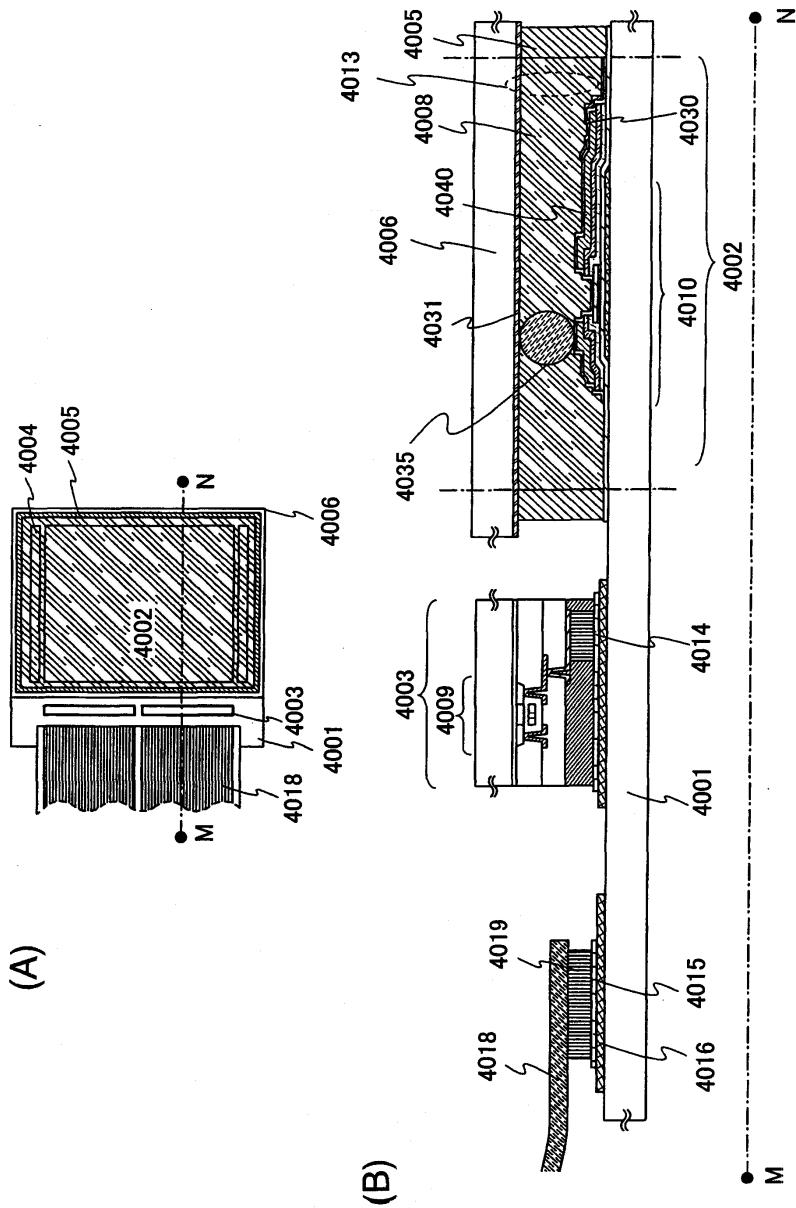
(C)



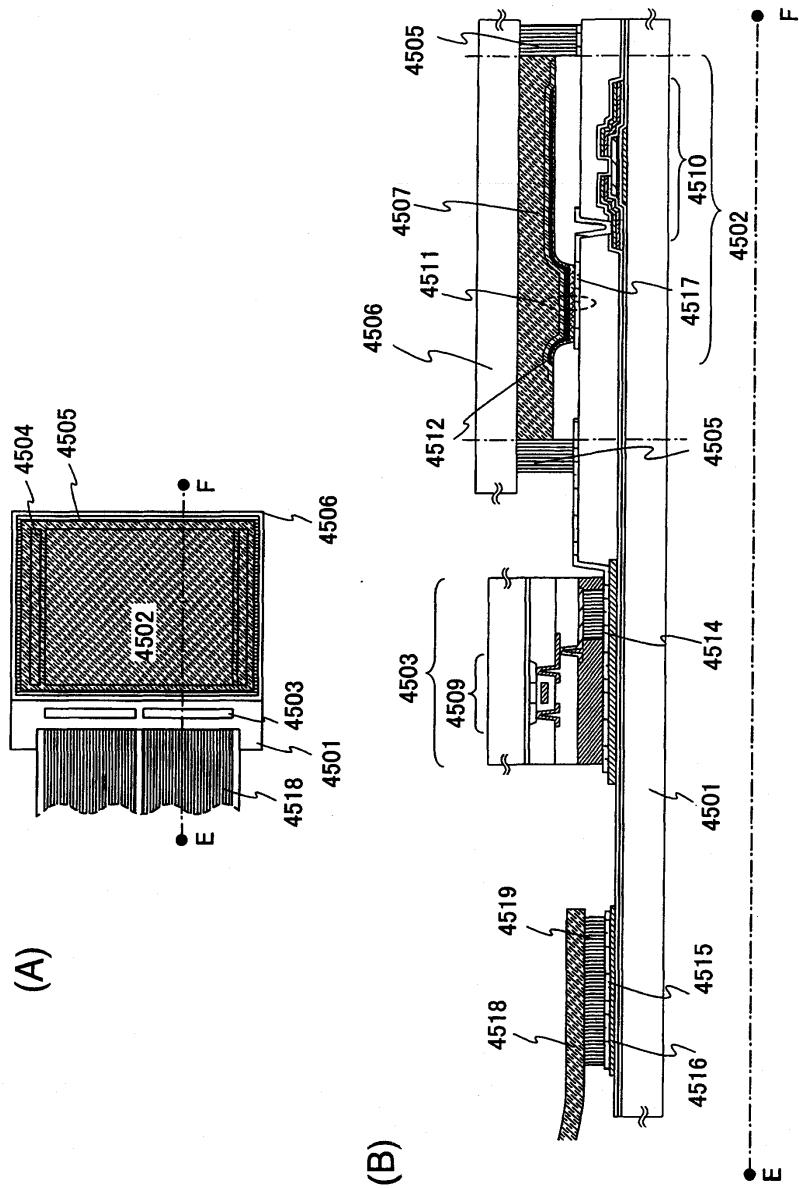
도면6



도면7

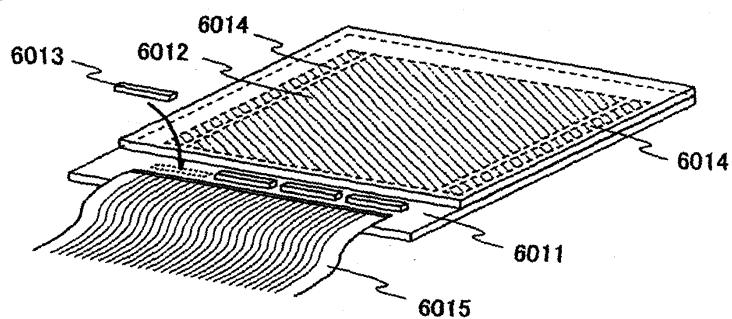


도면8

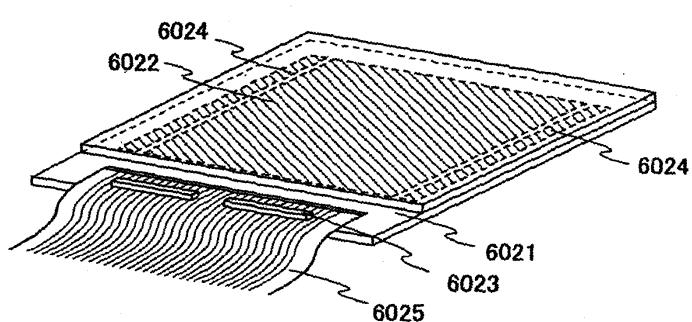


도면9

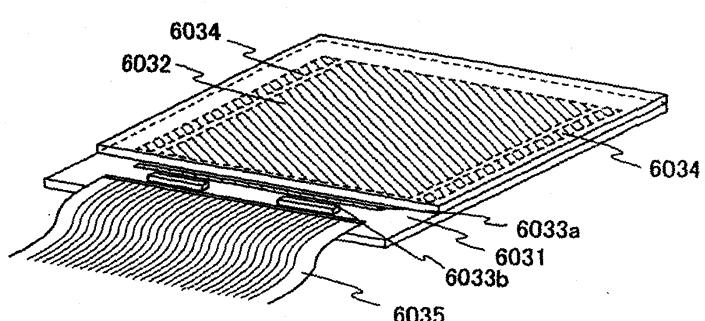
(A)



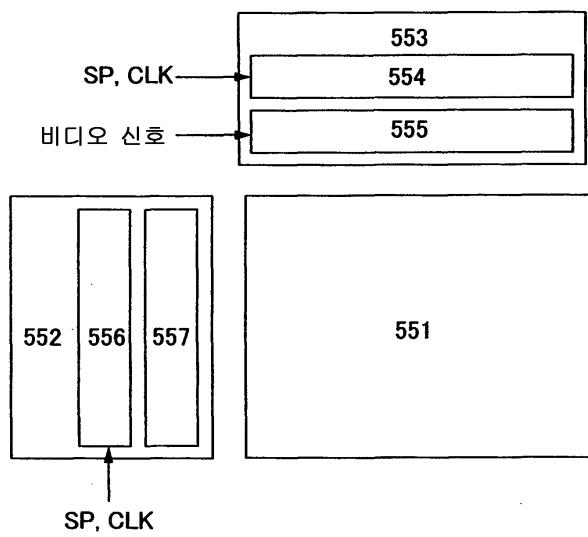
(B)



(C)

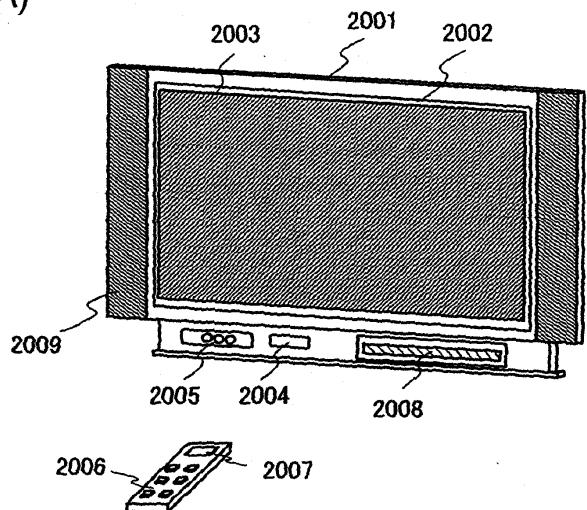


도면10

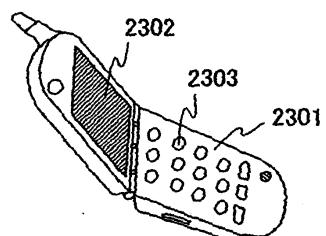


도면11

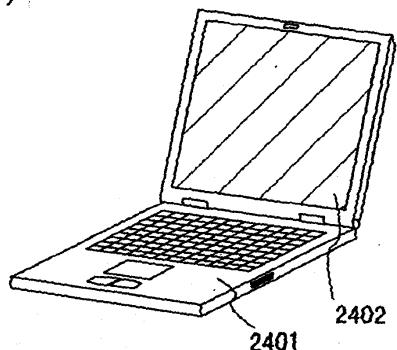
(A)



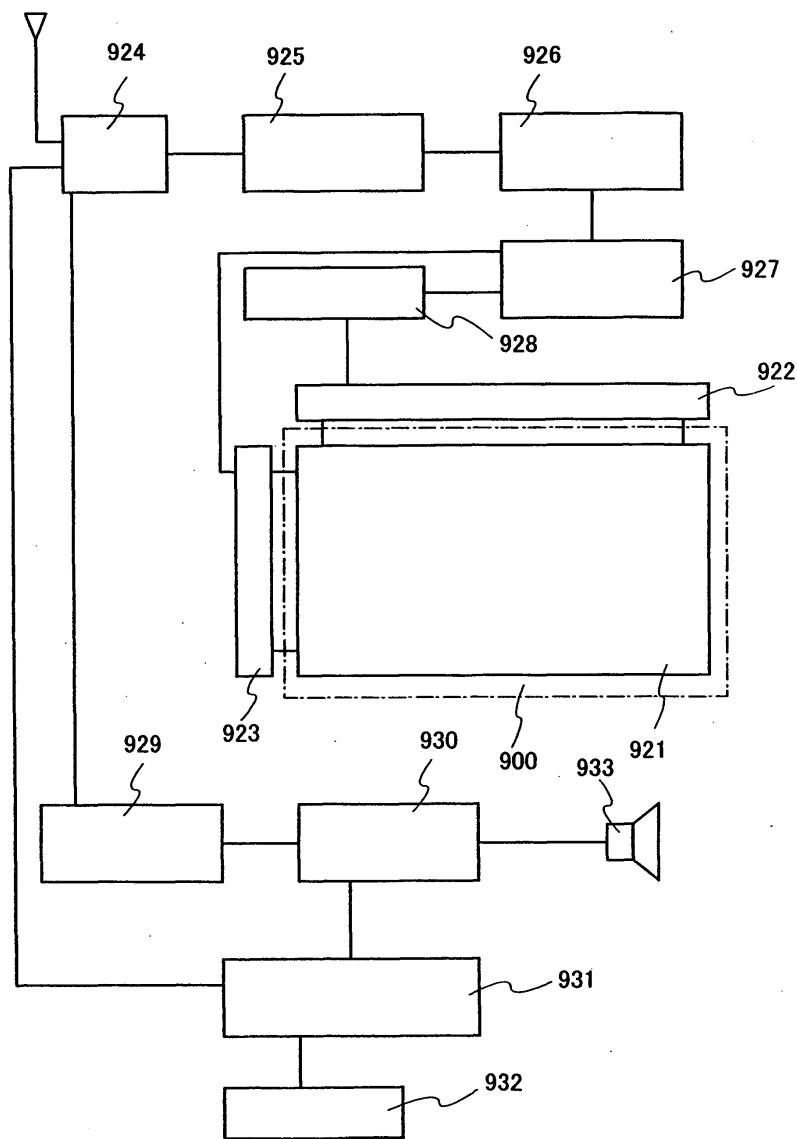
(B)



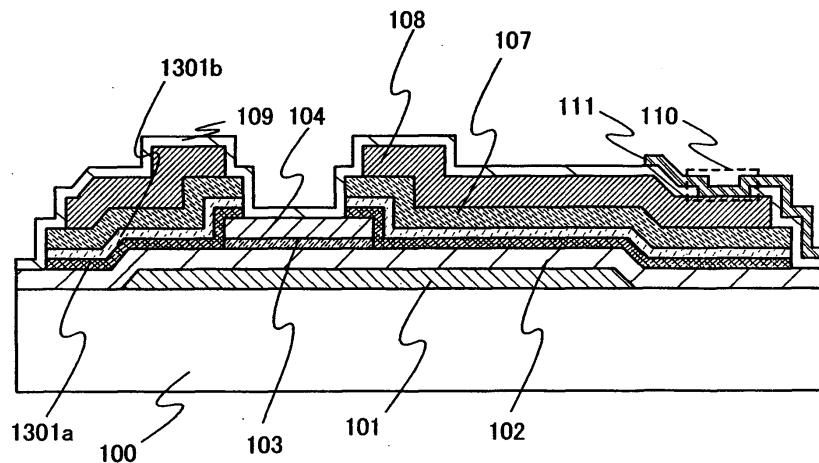
(C)



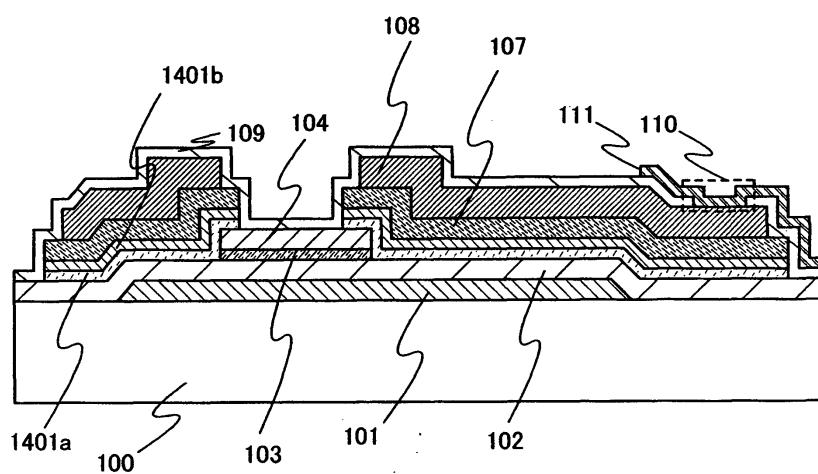
도면12



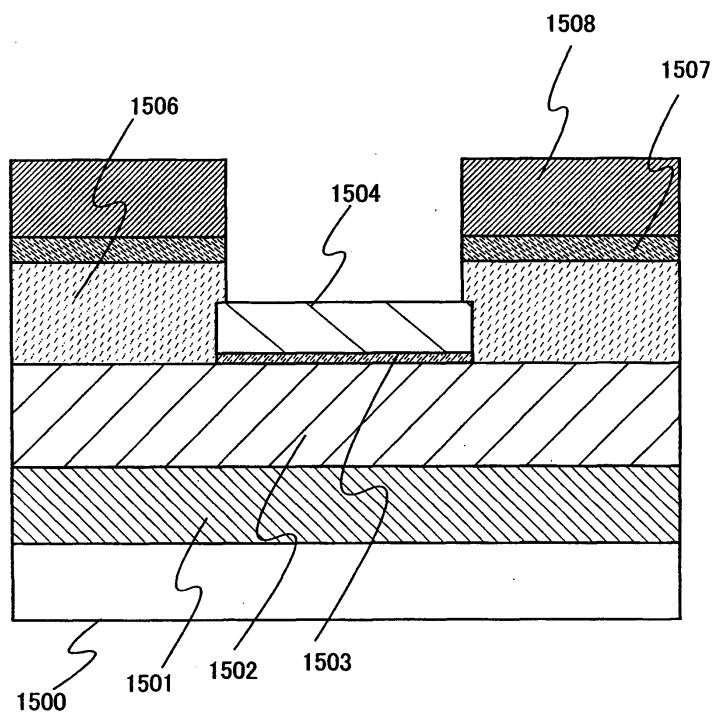
도면13



도면14



도면15



도면16

