

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4829792号  
(P4829792)

(45) 発行日 平成23年12月7日 (2011. 12. 7)

(24) 登録日 平成23年9月22日 (2011. 9. 22)

(51) Int. Cl. F I  
 H O 1 L 27/04 (2006. 01) H O 1 L 27/04 C  
 H O 1 L 21/822 (2006. 01)

請求項の数 14 (全 20 頁)

(21) 出願番号	特願2006-534156 (P2006-534156)	(73) 特許権者	390009531
(86) (22) 出願日	平成16年9月30日 (2004. 9. 30)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2007-521661 (P2007-521661A)		I N T E R N A T I O N A L B U S I N E S S M A S C H I N E S C O R P O R A T I O N
(43) 公表日	平成19年8月2日 (2007. 8. 2)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2004/032405		
(87) 国際公開番号	W02005/034201		
(87) 国際公開日	平成17年4月14日 (2005. 4. 14)	(74) 代理人	100108501
審査請求日	平成19年9月21日 (2007. 9. 21)		弁理士 上野 剛史
(31) 優先権主張番号	10/605, 444	(74) 代理人	100112690
(32) 優先日	平成15年9月30日 (2003. 9. 30)		弁理士 太佐 種一
(33) 優先権主張国	米国 (US)	(74) 代理人	100091568
			弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 電子デバイス及びこれを製造する方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に形成された層間誘電体層と、  
 前記層間誘電体層内に形成され、該層間誘電体層の上面より下方に凹まされた上面を有する銅製下部電極と、  
前記銅製下部電極の上面と直接接し、上面が前記層間誘電体層の前記上面と同一平面にある第1導電性拡散障壁と、  
前記第1導電性拡散障壁の上面と直接接触する第2導電性拡散障壁と、  
前記第2導電性拡散障壁の上面と直接接するMIM誘電体と、  
 前記MIM誘電体の上面と直接接する上部電極と  
 を備える電子デバイス。

【請求項 2】

前記第2導電性拡散障壁が、前記下部電極の少なくとも2つの側部を超えて前記層間誘電体層の前記上面の一部にまで延び、前記MIM誘電体が、前記下部電極の少なくとも2つの側部を超えて延びる、請求項1に記載の電子デバイス。

【請求項 3】

前記上部電極が、前記下部電極の少なくとも2つの側部を超えて延びる、請求項1又は請求項2に記載の電子デバイス。

【請求項 4】

前記第1及び第2導電性拡散障壁は、5nmから200nmまでの厚さのW、Ta、T

a N、W N、T a S i N、P t、I r O<sub>2</sub>、又はR u O<sub>2</sub>、或いはそれらの組み合わせを含む、請求項 1 に記載の電子デバイス。

【請求項 5】

前記M I M誘電体は、2 n mから2 0 n mまでの厚さのS i O<sub>2</sub>、S i<sub>3</sub> N<sub>4</sub>又はS i C、T a<sub>2</sub> O<sub>5</sub>、B a T i O<sub>3</sub>、H f O<sub>2</sub>、Z r O<sub>2</sub>又はA l<sub>2</sub> O<sub>3</sub>、或いはこれらの組み合わせを含む、請求項 1 に記載の電子デバイス。

【請求項 6】

前記上部電極は、前記M I M誘電体に直接接する下部導体、該下部導体に直接接するコア導体及び該コア導体に直接接する上部導体を有する、請求項 1 に記載の電子デバイス。

【請求項 7】

前記下部導体及び前記上部導体は、T i N又はT a Nを含み、前記コア導体は、A l又はWを含む、請求項 6 に記載の電子デバイス。

【請求項 8】

電子デバイスを製造する方法であって、

( a ) 半導体基板を準備するステップと、

( b ) 前記半導体基板上に第 1 層間誘電体層を形成するステップと、

( c ) 前記第 1 層間誘電体層内に、該第 1 層間誘電体層の上面より下方に凹まされた上面を有する銅製下部電極を形成するステップと、

( d ) 前記銅製下部電極の上面と直接接し、上面が前記第 1 層間誘電体層の前記上面と同一平面にある第 1 導電性拡散障壁を前記第 1 層間誘電体層に形成するステップと、

( e ) 前記第 1 導電性拡散障壁の上面と直接接触する第 2 導電性拡散障壁を形成するステップと、

( f ) 前記第 2 導電性拡散障壁の前記上面と直接接するようにM I M誘電体を形成するステップと、

( g ) 前記M I M誘電体の上面と直接接するように上部電極を形成するステップとを含む方法。

【請求項 9】

ステップ( g )の後に、

( h ) 少なくとも前記上部電極及び前記第 1 層間誘電体層の全ての露出された面の上に、反応性イオン・エッチング停止層を付着させるステップと、

( i ) 前記反応性イオン・エッチング停止層に直接接するように、第 2 層間誘電体層を形成するステップと、

( j ) 前記上部電極を露出するビアを前記第 2 層間誘電体層に形成するステップと、

( k ) 前記ビア内に導体を形成するステップとをさらに含む、請求項 8 に記載の方法。

【請求項 10】

前記第 2 導電性拡散障壁が、前記下部電極の少なくとも 2 つの側部を超えて前記層間誘電体層の前記上面の一部にまで延び、前記M I M誘電体が、前記下部電極の少なくとも 2 つの側部を超えて延びる、請求項 8 に記載の方法。

【請求項 11】

前記上部電極が、前記下部電極の少なくとも 2 つの側部を超えて延びる、請求項 10 に記載の方法。

【請求項 12】

前記第 1 及び第 2 導電性拡散障壁は、5 n mから2 0 0 n mまでの厚さのW、T a、T a N、W N、T a S i N、P t、I r O<sub>2</sub>、又はR u O<sub>2</sub>、或いはそれらの組み合わせを含む、請求項 8 に記載の方法。

【請求項 13】

前記M I M誘電体は、2 n mから2 0 n mまでの厚さのS i O<sub>2</sub>、S i<sub>3</sub> N<sub>4</sub>又はS i C、T a<sub>2</sub> O<sub>5</sub>、B a T i O<sub>3</sub>、H f O<sub>2</sub>、Z r O<sub>2</sub>又はA l<sub>2</sub> O<sub>3</sub>、或いはこれらの組み合わせを含む、請求項 8 に記載の方法。

【請求項 14】

10

20

30

40

50

前記上部電極は、前記M I M誘電体に直接接する下部導体、該下部導体に直接接するコア導体及び該コア導体に直接接する上部導体を有する、請求項8に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体構造体及び処理の分野に関し、より具体的には、高k誘電体材料及び製銅と両立性のある金属・絶縁体・金属(M I M)キャパシタ及びM I Mの製造方法に関する。

【背景技術】

【0002】

10

集積回路、特に無線周波数(R F)及び他の高周波の用途に用いられる集積回路においては、M I Mキャパシタが、ますます用いられている。常に高周波数の用途と両立性のある高性能のキャパシタに対する要求は、業界が、M I Mキャパシタ内の絶縁体のために高k誘電体材料を使用することを促進した。しかしながら、銅の相互接続を有する集積回路に用いられるとき、高k誘電体は重大な欠点を有し、最も著しくは、銅の拡散に対する耐性が弱く、このことが、歩留まり又は信頼性の問題をもたらすことがある。

【発明の開示】

【発明が解決しようとする課題】

【0003】

したがって、銅相互接続技術と両立性があるM I M構造体及びその製造方法に対する必要性がある。

20

【課題を解決するための手段】

【0004】

本発明の第1の態様は、半導体基板上に形成された層間誘電体層と、層間誘電体層内に形成され、上面が層間誘電体層の上面と同一平面にある銅製下部電極と、該下部電極の上面と直接接する導電性拡散障壁と、導電性拡散障壁の上面と直接接するM I M誘電体と、M I M誘電体の上面と直接接する上部電極とを含む電子デバイスである。

【0005】

本発明の第2の態様は、半導体基板上に形成された層間誘電体層と、層間誘電体層内に形成された銅製下部電極と、層間誘電体層の上面より下方に凹まされた該下部電極の上面と直接接し、上面が層間誘電体層の上面と同一平面にある導電性拡散障壁と、導電性拡散障壁の上面と直接接するM I M誘電体と、M I M誘電体の上面と直接接する上部電極とを含む電子デバイスである。

30

【0006】

本発明の第3の態様は、(a)半導体基板を準備することと、(b)半導体基板上に層間誘電体層を形成することと、(c)上面が層間誘電体層の上面と同一平面となるように銅製下部電極を層間誘電体層内に形成することと、(d)該下部電極の上面と直接接するように導電性拡散障壁を形成することと、(e)導電性拡散障壁の上面と直接接するようにM I M誘電体を形成することと、(f)M I M誘電体の上面と直接接するように上部電極を形成することとを含む電子デバイスを製造する方法である。

40

【0007】

本発明の第4の態様は、(a)半導体基板を準備することと、(b)半導体基板上に層間誘電体層を形成することと、(c)層間誘電体層内に銅製下部電極を形成することと、(d)層間誘電体層の上面より下方に凹まされた該下部電極の上面と直接接し、上面が層間誘電体層の上面と同一平面にある導電性拡散障壁を形成することと、(e)導電性拡散障壁の上面と直接接するようにM I M誘電体を形成することと、(f)M I M誘電体の上面と直接接するように上部電極を形成するステップとを含む電子デバイスを製造する方法である。

【発明を実施するための最良の形態】

【0008】

50

本発明の特徴が、添付の特許請求の範囲に述べられている。しかしながら、本発明自体は、添付の図面と併せて読むときに、例証となる実施形態についての次の詳細な説明を参照することによって、最も良く理解されるであろう。

#### 【0009】

図1は、本発明による例示的なMIMキャパシタ100の断面図である。図1において、MIMキャパシタ100は、銅コア導体110及び導電性ライナ115を含む下部電極105を含む。MIMキャパシタ100は、下部電極105の上面125上に形成された導電性拡散障壁120、該導電性拡散障壁120の上面135上に形成された誘電体層130、及びMIM誘電体130の上面145上に形成された上部電極140をさらに含む。拡散障壁120は、下部電極105からの銅の拡散を防止し、かつ、MIM誘電体130が酸化物を含むときに銅コア導体110が該MIM誘電体130と反応することによってCuOが形成されることも防止するように意図される。上部電極140は、コア導体155、任意の下部導体160、及び任意の上部導体165を含む。図1において、導電性拡散障壁120は、下部電極105の側壁150を超えて延びるが、本発明のありとあらゆる実施形態においてこの特徴が生じるわけではない。下部電極105、導電性拡散障壁120、誘電体130、及び上部電極140の間の幾何学的関係については、本発明の種々の実施形態の各々との関係において下記に説明される。

10

#### 【0010】

一例において、導電性ライナ115は、Ta、Ta<sub>2</sub>N<sub>5</sub>、又はそれらの層の組み合わせを含む。一例において、導電性拡散障壁120は、W、Ta、又はTa<sub>2</sub>N<sub>5</sub>のような高融点金属、WN、Ta<sub>2</sub>N<sub>5</sub>、TaSiN<sub>3</sub>、Pt、IrO<sub>2</sub>、又はRuO<sub>2</sub>のような導電性材料、或いはこれらの層の組み合わせでできた約5nmから200nmまでの厚さの層を含む。一例において、MIM誘電体130は、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>又はSiC、Ta<sub>2</sub>O<sub>5</sub>、BaTiO<sub>3</sub>、HfO<sub>2</sub>、ZrO<sub>2</sub>、又はAl<sub>2</sub>O<sub>3</sub>のような高k誘電体、或いはこれらの層の組み合わせでできた約2nmから20nmまでの厚さの層を含む。一例において、上部電極140は、約50nmから300nmまでの厚さを有し、上部電極140のコア導体155は、Al又はWを含み、下部導体160及び上部導体165は、TiN又はTa<sub>2</sub>N<sub>5</sub>を含む。MIMキャパシタにおいて、本発明の全ての実施形態が、これらの材料を用いる。

20

#### 【0011】

図2は、本発明によるMIMキャパシタを組み込む相互接続構造体の平面図であり、図3は、図2の線1C-1Cを通る断面図である。図2及び図3は、ダマシン配線レベルの集積回路デバイスに本発明のMIMキャパシタを統合する例示的なものである。例示的な層間誘電体(ILD)スタック170が、半導体基板180の上面175上に形成される。ILDスタック170は、基板180の上面175上に形成された第1のILD185と、第1のILD185の上面195上に形成された第2のILD190とを含む。下部電極105が、第1のILD185内に形成される。下部電極105は、MIMへの電気配線接続としても働く。導電性拡散障壁120、誘電体130、及び上部電極140が、第2のILD190内に形成される。ビア205を通して、MIMキャパシタの上部プレート140に電氣的に接続させるための導体200も、第2のILD195内に形成される。導体200及びビア205は、銅コア210及び導電性ライナ215を含む。

30

40

#### 【0012】

2つのILDレベルが図3に示されているが、集積回路デバイスにおいて、如何なる数のILDレベルを用いることもでき、いずれの2つの隣接するILDレベル内にMIMキャパシタを物理的に配置することができ、下部電極は、2つのILDレベルの下部内にあり、MIM誘電体及び上部電極は、該2つのILDレベルの上部にある。導電性拡散障壁は、上部ILDレベル又は下部ILDレベルのいずれか、或いはその両方内に配置することができる。ILD材料の例は、テトラエトキシシラン(TEOS)、フッ素化酸化シリコン・ガラス(FSG)、及び他の化学気相成長(CVD)酸化物のような付着された酸化物を含む。

50

## 【 0 0 1 3 】

図 4 乃至図 9 は、本発明の第 1 の実施形態による M I M キャパシタの製造を示す断面図である。図 4 において、I L D 2 2 0 が、半導体基板 2 2 4 の上面 2 2 2 上に形成される。下部電極 2 2 6 A 及び導体 2 2 6 B が、I L D 2 2 0 内に形成される。下部電極 2 2 6 A は、銅コア導体 2 2 8 A 及び導電性ライナ 2 3 0 A を含む。導体 2 2 6 B は、銅コア導体 2 2 8 B 及び導電性ライナ 2 3 0 B を含む。導電性ライナ及び I L D 材料については、上に説明された。下部電極 2 2 6 A 及び導体 2 2 6 B は、ダマシン法によって形成される。ダマシン法において、I L D の上に適用されるマスク層を光リソグラフィによりパターン加工し、I L D の反応性イオン・エッチング ( R I E ) を行い、マスク層を取り除き、導電性ライナを付着させ、銅シード層の付着物を付着させ、銅めっきしてトレンチを充填し、化学機械研磨 ( C M P ) プロセスを行い、銅、導電性ライナ、及び I L D の上面を同一平面にすることによって、トレンチが形成される。下部電極 2 2 6 A は、M I M キャパシタの下部電極になり、導体 2 2 6 B は、一般的な相互接続導体である。

10

## 【 0 0 1 4 】

図 5 において、導電性拡散障壁層が付着され、光リソグラフィによりパターン加工され、R I E プロセスが行われ、I L D 2 2 0 の上面 2 3 4 上に、導電性拡散障壁 2 3 2 A 及び 2 3 2 B、抵抗体 2 3 2 C、並びに位置合わせマーク 2 3 2 D を形成する。導電性拡散障壁 2 3 2 A 及び 2 3 2 B は、それぞれ第 1 の導体 2 2 6 A 及び第 2 の導体 2 2 6 B と重なることに留意されたい。導電性拡散障壁の材料及び厚さについては、上に説明された。

20

## 【 0 0 1 5 】

図 6 において、ブランケット M I M 誘電体層 2 3 6 が付着される。M I M 誘電体の材料及び厚さについては、上に説明された。

## 【 0 0 1 6 】

図 7 において、導体が付着され、光リソグラフィによりパターン加工され、R I E エッチングされ、M I M 誘電体層 2 3 6 の上面 2 4 0 上に上部電極 2 3 8 を形成する。上部電極 2 3 8 が、導電性拡散障壁 2 3 2 A 及び下部電極 2 2 6 A の上に位置合わせされる。上部電極 2 3 8 は、導電性拡散障壁 2 3 2 A と消極的に重なる ( すなわち、該導電性拡散障壁 2 3 2 A より小さい ) 。上部電極の材料及び厚さについては、上に説明された。

## 【 0 0 1 7 】

図 8 において、任意の R I E 停止層 2 4 2 が、M I M 誘電体層 2 3 6 の上面 2 4 0 上、並びに上部電極 2 3 8 の上面 2 4 6 及び側壁 2 4 8 上に付着される。一例において、R I E 停止層 2 4 2 は、約 5 n m から 5 0 n m までの厚さを有し、 $S i_3 N_4$  を含む。

30

## 【 0 0 1 8 】

図 9 において、第 2 の I L D 層 2 5 0 が、R I E 停止層 2 4 2 の上面 2 5 2 上に付着される。R I E 停止層 2 4 2 を通して、上部電極 2 3 8、導体 2 2 6 B、及び抵抗体 2 3 2 C と電氣的に接触するように、それぞれ一体のビア 2 5 6 A を有する導体 2 5 4 A、一体のビア 2 5 6 B を有する導体 2 5 4 B、及び一体のビア 2 5 6 C を有する導体 2 5 4 C が形成される。導体 2 5 4 A、2 5 4 B、及び 2 5 4 C は、デュアル・ダマシン法によって形成される。デュアル・ダマシン法においては、I L D の上に適用される第 1 のマスク層を光リソグラフィによりパターン加工し、I L D の R I E を行い、I L D 内にトレンチをエッチングし、第 1 のマスク層を取り除き、I L D 及びトレンチの上に適用される第 2 のマスク層を光リソグラフィによりパターン加工し、I L D の R I E を行い、トレンチの下部内にビアをエッチングし、第 2 のマスク層を取り除き、導電性ライナを付着させ、銅シード層の付着物を付着させ、銅めっきしてトレンチを充填し、C M P プロセスを行い、銅、導電性ライナ、及び I L D の上面を同一平面にすることによって、I L D 内に導体が形成される。

40

## 【 0 0 1 9 】

2 つの I L D レベルが図 9 に示されているが、集積回路デバイスにおいて、如何なる数の I L D レベルを用いることもでき、いずれの 2 つの隣接する I L D レベル内に M I M キャパシタを物理的に配置することができ、下部電極は、2 つの I L D レベルの下部内にあ

50

り、導電性拡散障壁、MIM誘電体、及び上部電極は、該2つのILDレベルの上部内にある。

【0020】

図10は、本発明による抵抗体232Cへのコンタクトの平面図であり、図11は、図10の線3B-3Bを通る断面図である。第1の導体254C1は、抵抗体232Cの第1端部256Aと電氣的に接触し、第2の導体254C2は、該抵抗体の第2端部256Bと電氣的に接触する。ビア256C1及び256C2は、それぞれ端部256A及び256B、並びに抵抗体232Cの両端部に隣接する側部258A及び258Bの一部と重なる。

【0021】

図12乃至図16は、本発明の第2の実施形態によるMIMキャパシタの製造を示す断面図である。図12において、ILD320が、半導体基板324の上面332上に形成される。下部電極326A及び導体326Bが、ILD320内に形成される。下部電極326Aは、銅コア導体328A及び導電性ライナ330Aを含む。導体326Bは、銅コア導体328B及び導電性ライナ330Bを含む。導電性ライナ及びILDの材料については、上に説明された。上述のように、下部電極326A及び導体326Bは、ダマシン法によって形成される。下部電極326Aは、MIMキャパシタの下部電極になり、導体326Bは、一般的な相互接続導体である。

【0022】

図13において、乾式プロセス又はRIEプロセスによって、コア導体328A及び328Bが凹まされる。ILD320上に、コア・エッチング・プロセスによって形成された凹部を充填するのに十分な厚さの導電性拡散障壁層が付着され、CMPを行い、凹まれた導電性拡散障壁332A及び332Bを形成し、該導電性拡散障壁をILD320の上面334と同一平面にする。拡散障壁の材料については、上に説明された。

【0023】

図14において、MIM誘電体336及び上部電極338（該MIM誘電体の上面上の）が、MIM誘電体層をILD320の上面334上、及び、導電性拡散障壁326A及び326Bの上に付着させ、導電性層を該MIM誘電体層の上面上に付着させ、該導電性層の上に適用されるマスク層を光リソグラフィによりパターン加工し、該MIM誘電体336及び上部電極338の範囲を画定し、該MIM誘電体層及び該導電性層のRIEを行い、マスク層を取り除くことによって形成される。上部電極338が、凹まれた導電性拡散障壁332A及び下部電極326Aの上に位置合わせされる。上部電極338は、凹まれた導電性拡散障壁332Aと積極的に重なる（すなわち、該導電性拡散障壁332Aより大きい）。導電性拡散障壁の材料及び厚さ、MIM誘電体の材料及び厚さ、並びに上部電極の材料及び厚さについては、上に説明された。

【0024】

図15において、任意のRIE停止層342が、上部電極338の上面346及び側壁338、ILD320の露出された上面334、並びに凹まれた導電性拡散障壁332Bの上面343上に付着される。一例において、RIE停止層342は、約5nmから50nmまでの厚さを有し、 $\text{Si}_3\text{N}_4$ を含む。

【0025】

図16において、第2のILD層350が、RIE停止層342の上面352上に付着される。RIE停止層342を通して、上部電極338及び凹まれた導電性拡散障壁332Bと電氣的に接触するように、それぞれ一体のビア356Aを有する導体354A及び一体のビア356Bを有する導体354Bが形成される。上述のように、デュアル・ダマシン法によって、導体354A及び354Bが形成される。

【0026】

2つのILDレベルが図16に示されているが、集積回路デバイスにおいて、如何なる数のILDレベルを用いることもでき、いずれの2つの隣接するILDレベル内にMIMキャパシタを物理的に配置することができ、下部電極は、2つのILDレベルの下部内に

10

20

30

40

50

あり、導電性拡散障壁、MIM誘電体、及び上部電極は、該2つのILDレベルの上部内にある。

【0027】

図17乃至図22は、本発明の第3の実施形態によるMIMキャパシタの製造を示す断面図である。図17において、ILD420が、半導体基板424の上面432上に形成される。下部電極426A及び導体426Bが、ILD420内に形成される。下部電極426Aは、銅コア導体428A及び導電性ライナ430Aを含む。導体426Bは、銅コア導体428B及び導電性ライナ430Bを含む。導電性ライナ及びILDの材料については、上に説明された。上述のように、下部電極426A及び導体426Bは、ダマシン法によって形成される。下部電極426Aは、MIMキャパシタの下部電極になり、導体426Bは、一般的な相互接続導体である。

10

【0028】

図18において、乾式プロセス又はRIEプロセスによって、コア導体428A及び428Bが凹まされる。ILD420上に、エッチング・プロセスによって形成された凹部を充填するのに十分な厚さの第1の導電性拡散障壁層が付着され、CMPプロセスを行い、凹まされた導電性拡散障壁432A及び432Bを形成し、該凹まされた導電性拡散障壁をILD420の上面434と同一平面にする。導電性拡散障壁の材料及び厚さについては、上に説明された。

【0029】

図19において、上部導電性拡散障壁435A、抵抗体435B、MIM誘電体436A、上部電極438A1（該MIM誘電体の上面440上の）、及びキャップ438Bが、次のように形成される。すなわち、第1に、第2の導電性拡散障壁層が、ILD420の上面434上、及び、凹まされた導電性拡散障壁432A及び432Bの上に付着される。第2に、MIM誘電体層が第2の導電性拡散障壁層の上面上に付着され、導電性層が該第2の導電性拡散障壁層の上面上に付着される。第3に、導電性層の上に適用されるマスク層が、光リソグラフィによりパターン加工され、MIM誘電体436Aの範囲、上部導電性拡散障壁435A及び抵抗体435Bの範囲、上部電極438A1の初期範囲、及びキャップ438Bの範囲を画定する。第4に、MIM誘電体層、第2の導電性拡散障壁層、及び導電性層のRIEが行われ、マスク層が取り除かれる。導電性拡散障壁の材料及び厚さについては、上に説明された。

20

30

【0030】

図20において、適用されるマスク層が光リソグラフィによりパターン加工され、RIEが行われ、上部電極438A2の最終範囲を画定し、キャップ438B（図19を参照されたい）をMIM誘電体436Bの上から取り除く。次に、マスク層が取り除かれる。上部電極438A2が、凹まされた導電性拡散障壁432A、上部導電性拡散障壁435A、及び下部電極426Aの上に位置合わせされる。上部電極438A2は、上部導電性拡散障壁435Aと消極的に重なる（すなわち、該上部導電性拡散障壁435Aより小さい）。上部導電性拡散障壁435Aは、凹まされた導電性拡散障壁432Aと積極的に重なる（すなわち、該凹まされた導電性拡散障壁432Aより大きい）。MIM誘電体の材料及び厚さ、並びに上部電極の材料及び厚さについては、上に説明された。

40

【0031】

図21において、任意のRIE停止層442が、上部電極438A2の上面443及び側壁444、MIM誘電体436A／上部導電性拡散障壁435Aの上面445A及び側壁446A、MIM誘電体436B／抵抗体435Bの上面445B及び側壁446B、ILD420の露出された上面434、並びに凹まされた導電性拡散障壁432Bの上面447上に付着される。一例において、RIE停止層442は、約5nmから50nmまでの厚さを有し、Si<sub>3</sub>N<sub>4</sub>を含む。

【0032】

図22において、第2のILD層450が、RIE停止層442の上面452上に付着される。RIE停止層442を通して、上部電極438A2、凹まされた導電性拡散障壁

50

4 3 2 B、及び抵抗体 4 3 5 B と電氣的に接触するように、それぞれ一体のビア 4 5 6 A を有する導体 4 5 4 A、一体のビア 4 5 6 B を有する導体 4 5 4 B、及び一体のビア 4 5 6 C を有する導体 4 5 4 C が形成される。上述のように、デュアル・ダマシン法によって、導体 4 5 4 A 及び 4 5 4 B が形成される。2 つの I L D レベルが図 2 2 に示されているが、集積回路デバイスにおいて、如何なる数の I L D レベルを用いることもでき、いずれの 2 つの隣接する I L D レベル内に M I M キャパシタを物理的に配置することができ、下部電極は、2 つの I L D レベルの下部内にあり、導電性拡散障壁、M I M 誘電体、及び上部電極は、該 2 つの I L D レベルの上部内にある。

【 0 0 3 3 】

図 2 3 乃至図 2 8 は、本発明の第 4 の実施形態による M I M キャパシタの製造を示す断面図である。図 2 3 において、I L D 5 2 0 が、半導体基板 5 2 4 の上面 5 2 2 上に形成される。下部電極 5 2 6 A 及び導体 5 2 6 B が、I L D 5 2 0 内に形成される。下部電極 5 2 6 A は、銅コア導体 5 2 8 A 及び導電性ライナ 5 3 0 A を含む。導体 5 2 6 B は、銅コア導体 5 2 8 B 及び導電性ライナ 5 3 0 B を含む。導電性ライナ及び I L D の材料については、上に説明された。上述のように、ダマシン法によって、下部電極 5 2 6 A 及び導体 5 2 6 B が形成される。下部電極 5 2 6 A は、M I M キャパシタの下部電極になり、導体 5 2 6 B は、一般的な相互接続導体である。

【 0 0 3 4 】

図 2 4 において、付着によって、I L D 5 2 0、下部電極 5 2 6 A、及び導体 5 2 6 B の上部に、誘電体拡散障壁層 5 3 1 が形成される。誘電体拡散障壁層 5 3 1 についての適切な材料の例は、 $\text{Si}_3\text{N}_4$ 、 $\text{SiC}$ 、 $\text{Si}_3\text{N}_4$  の上の  $\text{SiO}_2$ 、及び  $\text{Si}_3\text{N}_4$  の上の F S G を含み、約 5 nm から 5 0 nm までの厚さを有する。

【 0 0 3 5 】

図 2 5 において、上述のように、ダマシン法によって、導電性拡散障壁 5 3 2 A が、下部電極 5 2 6 A の上に形成され、(かつ I L D 5 2 0 と重なっており)、抵抗体 5 3 2 B が、I L D 5 2 0 の上面 5 3 4 上に形成される。拡散障壁の材料及び厚さについては、上に説明された。

【 0 0 3 6 】

図 2 6 において、最初に M I M 誘電体層が、次に導電性層が付着され、光リソグラフィによりパターン加工され、R I E エッチングされ、上部電極 5 3 8 を M I M 誘電体 5 3 6 の上面 5 4 0 上に形成する。上部電極 5 3 8 は、導電性拡散障壁 5 3 2 A 及び下部電極 5 2 6 A の上に位置合わせされる。上部電極 5 3 8 は、導電性拡散障壁 5 3 2 A と積極的に重なる(すなわち、該導電性拡散障壁 5 3 2 A より大きい)。導電性拡散障壁 5 3 2 A は、下部電極 5 2 6 A と積極的に重なる(すなわち、該下部電極 5 2 6 A より大きい)。M I M 誘電体の材料及び厚さ、並びに上部電極の材料及び厚さについては、上に説明された。

【 0 0 3 7 】

図 2 7 において、任意の R I E 停止層 5 4 2 が、上部電極 5 3 8 の上面 5 4 4、上部電極 5 3 8 / M I M 誘電体 5 3 6 の側壁 5 4 5、抵抗体 5 3 2 B の上面 5 4 6、及び誘電体拡散障壁 5 3 1 の上面 5 4 7 上に付着される。一例において、R I E 停止層 5 4 2 は、約 5 nm から 5 0 nm までの厚さを有し、 $\text{Si}_3\text{N}_4$  を含む。

【 0 0 3 8 】

図 2 8 において、第 2 の I L D 層 5 5 0 が、R I E 停止層 5 4 2 の上面 5 5 2 上に付着される。R I E 停止層 5 4 2 を通して、上部電極 5 3 8、導体 5 2 6 B、及び抵抗体 5 3 2 B と電氣的に接触するように、それぞれ一体のビア 5 5 6 A を有する導体 5 5 4 A、一体のビア 5 5 6 B を有する導体 5 5 4 B、及び一体のビア 5 5 6 C を有する導体 5 5 4 C が形成される。上述のように、デュアル・ダマシン法によって、導体 5 5 4 A、5 5 4 B、及び 5 5 4 C が形成される。

【 0 0 3 9 】

2 つの I L D レベルが図 2 8 に示されているが、集積回路デバイスにおいて、如何なる

10

20

30

40

50



数のＩＬＤレベルを用いることもでき、いずれの２つの隣接するＩＬＤレベル内にＭＩＭキャパシタを物理的に配置することができ、下部電極は、２つのＩＬＤレベルの下部内にあり、導電性拡散障壁、ＭＩＭ誘電体、及び上部電極は、該２つのＩＬＤレベルの上部内にある。

#### 【００４０】

図２９乃至図３４は、本発明の第５の実施形態によるＭＩＭキャパシタの製造を示す断面図である。図２９において、ＩＬＤ６２０が、半導体基板６２４の上面６２２上に形成される。下部電極６２６Ａ、導体６２６Ｂ、及び抵抗体コンタクト６２６Ｃが、ＩＬＤ６２０内に形成される。下部電極６２６Ａは、銅コア導体６２８Ａ及び導電性ライナ６３０Ａを含む。導体６２６Ｂは、銅コア導体６２８Ｂ及び導電性ライナ６３０Ｂを含む。抵抗体コンタクト６２６Ｃは、銅コア導体６２８Ｃ及び導電性ライナ６３０Ｃを含む。導電性ライナ及びＩＬＤの材料については、上に説明された。上述のように、ダマシン法によって、下部電極６２６Ａ、導体６２６Ｂ、及び抵抗体コンタクト６２６Ｃが形成される。下部電極６２６Ａは、ＭＩＭの下部電極になり、導体６２６Ｂは、一般的な相互接続導体である。

10

#### 【００４１】

図３０において、乾式プロセス又はＲＩＥプロセスによって、コア導体６２８Ａ、６２８Ｂ、及び６２８Ｃが凹まされ、ＩＬＤ６２０上に、エッチング・プロセスによって形成された凹部を充填するのに十分な厚さの第１の導電性拡散障壁層が付着され、ＣＭＰプロセスを行い、凹まされた導電性拡散障壁６３２Ａ、６３２Ｂ、及び６３２Ｃを形成し、該凹まされた導電性拡散障壁をＩＬＤ６２０の上面６３４と同一平面にする。導電性拡散障壁の材料及び厚さについては、上に説明された。

20

#### 【００４２】

図３１において、導電性拡散障壁層をＩＬＤ６２０の上面６３４上に付着させ、該導電性拡散障壁層に適用されるマスク層を光リソグラフィによりパターン加工し、ＲＩＥプロセスを行い、該マスク層を取り除くことによって、上部導電性拡散障壁６３５Ａ、抵抗体６３５Ｂ、及び位置合わせマーク６３５Ｃが形成される。導電性拡散障壁の材料及び厚さについては、上に説明された。

#### 【００４３】

図３２において、上部導電性拡散障壁６３５Ａを覆うＭＩＭ誘電体６３６Ａ、ＭＩＭ誘電体６３６Ａを覆う上部電極６３８Ａ、抵抗体６３５Ｂを覆う誘電体キャップ６３６Ｂ、誘電体キャップ６３６Ｂを覆う導電性キャップ６３８Ｂが、次のように形成される。すなわち、第１に、ＭＩＭ誘電体層が、導電性拡散障壁６３５Ａ、抵抗体６３５Ｂ、位置合わせマーク６３５Ｃ、及びＩＬＤ６２０の露出された上面６３４の上に付着される。第２に、マスク層がＭＩＭ誘電体層の上に適用され、光リソグラフィによりパターン加工され、ＭＩＭ誘電体６３５Ａ及び６３６Ｂの範囲を画定し、ＭＩＭ誘電体層のＲＩＥが行われ、マスク層が取り除かれる。第３に、導電性層が、ＭＩＭ誘電体６３６Ａ及び６３６Ｂ、位置合わせマーク６３５Ｃ、並びにＩＬＤ６２０の露出された上面６３４の上に付着される。第４に、マスク層が導電性層の上に適用され、上部電極６３８Ａ及び導電性キャップ６３６Ｂの範囲を画定し、該導電性層のＲＩＥが行われ、マスク層が取り除かれる。上部電極６３８は、ＭＩＭ誘電体６３６Ａの上に位置合わせされ、ＭＩＭ誘電体は、上部導電性拡散障壁６３５Ａ及び下部電極６２６Ａの上に位置合わせされる。上部電極６３８Ａは、ＭＩＭ誘電体６３６Ａと積極的に重なり（すなわち、該ＭＩＭ誘電体６３６Ａより大きく）、ＭＩＭ誘電体６３６Ａは、上部導電性拡散障壁６３５Ａと積極的に重なる（すなわち、該上部導電性拡散障壁６３５Ａより大きい）。ＭＩＭ誘電体の材料及び厚さ、並びに上部電極の材料及び厚さについては、上に説明された。

30

40

#### 【００４４】

図３３において、任意のＲＩＥ停止層６４２が、上部電極６３８Ａの上面６４３及び側壁６４４、導電性キャップ６３６Ｂの上面６４５及び側壁６４６、ＩＬＤ６２０の露出された上面６３４、凹まされた導電性拡散障壁６３２Ｂの上面６４７上、並びに位置合わせ

50

マーク 6 3 5 C の上に付着される。一例において、R I E 停止層 6 4 2 は、約 5 n m から 5 0 n m までの厚さを有し、S i <sub>3</sub> N<sub>4</sub> を含む。

【 0 0 4 5 】

図 3 4 において、第 2 の I L D 層 6 5 0 が、R I E 停止層 6 4 2 の上面 6 5 2 上に付着される。R I E 停止層 6 4 2 を通して、上部電極 6 3 8 A 及び凹まされた導電性拡散障壁 6 3 2 B と電氣的に接触するように、それぞれ一体のビア 6 5 6 A を有する導体 6 5 4 A 及び一体のビア 6 5 6 B を有する導体 6 5 4 B が形成される。上述のように、デュアル・ダマシン法によって、導体 6 5 4 A 及び 6 5 4 B が形成される。

【 0 0 4 6 】

2 つの I L D レベルが図 3 4 に示されているが、集積回路デバイスにおいて、如何なる数の I L D レベルを用いてもよく、いずれの 2 つの隣接する I L D レベル内に M I M キャパシタを物理的に配置することができ、下部電極は、2 つの I L D レベルの下部内にあり、導電性拡散障壁、M I M 誘電体、及び上部電極は、該 2 つの I L D レベルの上部内にある。

10

【 0 0 4 7 】

このように、本発明は、銅相互接続技術と両立性があり、抵抗体及び位置合わせマーク構造体とも両立性がある M I M 構造体及びその製造方法を提供するものである。

【 0 0 4 8 】

本発明の理解のために、本発明の実施形態の説明が上に与えられる。本発明は、ここに説明される特定の実施形態に制限されるものでなく、本発明の範囲から逸脱することなく、ここで当業者には明らかになるような種々の修正、再構成、及び置換えが可能であることが理解されるであろう。したがって、上記の特許請求の範囲は、本発明の真の精神及び範囲内に含まれるような、こうした全ての修正及び変更を網羅することが意図される。

20

【図面の簡単な説明】

【 0 0 4 9 】

【図 1】本発明による例示的な M I M キャパシタの断面図である。

【図 2】本発明による M I M キャパシタを組み込む相互接続構造体の平面図である。

【図 3】図 2 の線 1 C - 1 C を通る断面図である。

【図 4】本発明の第 1 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 5】本発明の第 1 の実施形態による M I M キャパシタの製造を示す断面図である。

30

【図 6】本発明の第 1 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 7】本発明の第 1 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 8】本発明の第 1 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 9】本発明の第 1 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 10】本発明による抵抗体へのコンタクトの平面図である。

【図 11】図 10 の線 3 B - 3 B を通る断面図である。

【図 12】本発明の第 2 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 13】本発明の第 2 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 14】本発明の第 2 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 15】本発明の第 2 の実施形態による M I M キャパシタの製造を示す断面図である。

40

【図 16】本発明の第 2 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 17】本発明の第 3 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 18】本発明の第 3 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 19】本発明の第 3 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 20】本発明の第 3 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 21】本発明の第 3 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 22】本発明の第 3 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 23】本発明の第 4 の実施形態による M I M キャパシタの製造を示す断面図である。

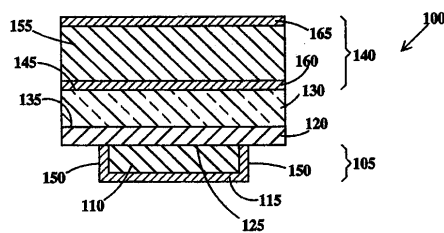
【図 24】本発明の第 4 の実施形態による M I M キャパシタの製造を示す断面図である。

【図 25】本発明の第 4 の実施形態による M I M キャパシタの製造を示す断面図である。

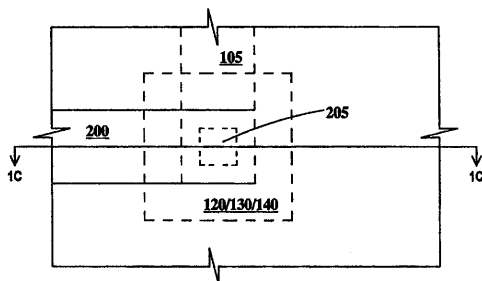
50

- 【図 2 6】本発明の第 4 の実施形態による M I M キャパシタの製造を示す断面図である。  
 【図 2 7】本発明の第 4 の実施形態による M I M キャパシタの製造を示す断面図である。  
 【図 2 8】本発明の第 4 の実施形態による M I M キャパシタの製造を示す断面図である。  
 【図 2 9】本発明の第 5 の実施形態による M I M キャパシタの製造を示す断面図である。  
 【図 3 0】本発明の第 5 の実施形態による M I M キャパシタの製造を示す断面図である。  
 【図 3 1】本発明の第 5 の実施形態による M I M キャパシタの製造を示す断面図である。  
 【図 3 2】本発明の第 5 の実施形態による M I M キャパシタの製造を示す断面図である。  
 【図 3 3】本発明の第 5 の実施形態による M I M キャパシタの製造を示す断面図である。  
 【図 3 4】本発明の第 5 の実施形態による M I M キャパシタの製造を示す断面図である。

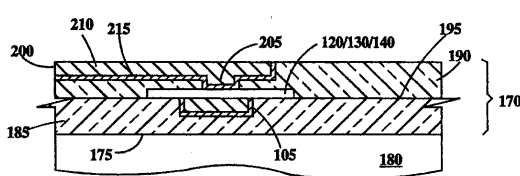
【図 1】



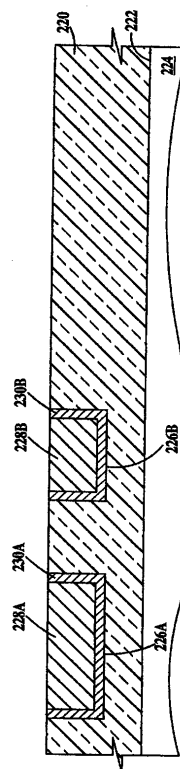
【図 2】



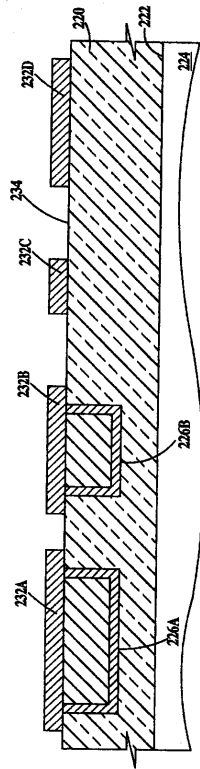
【図 3】



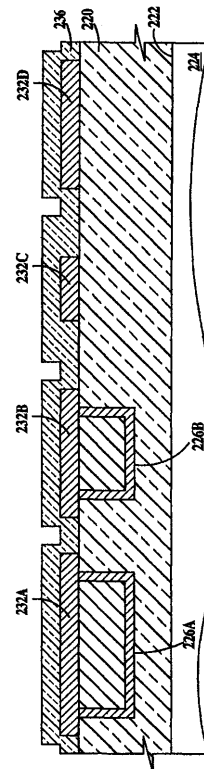
【図 4】



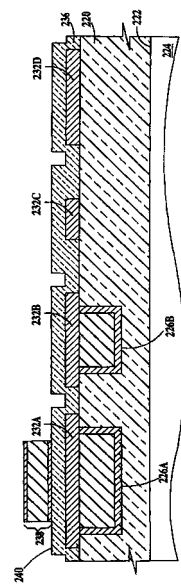
【 図 5 】



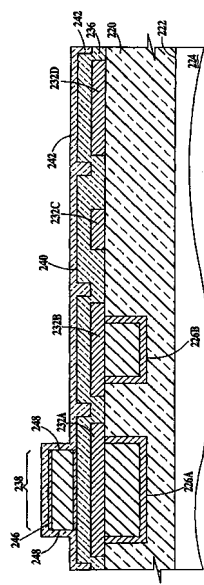
【 図 6 】



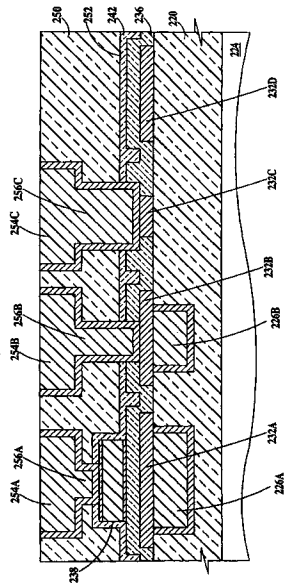
【圖 7】



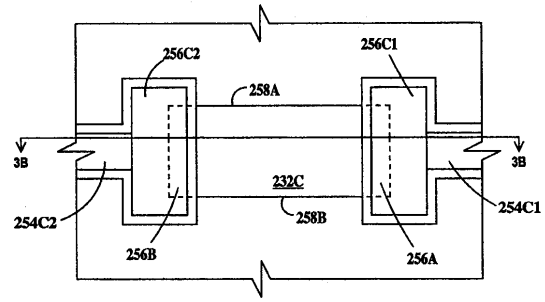
【 図 8 】



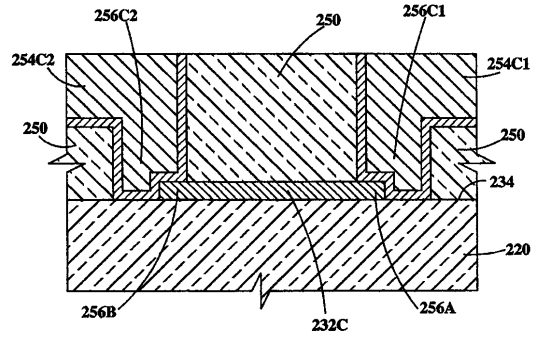
【図 9】



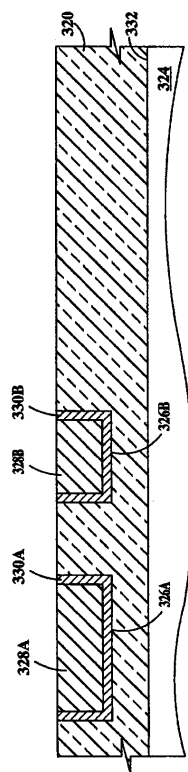
【図 10】



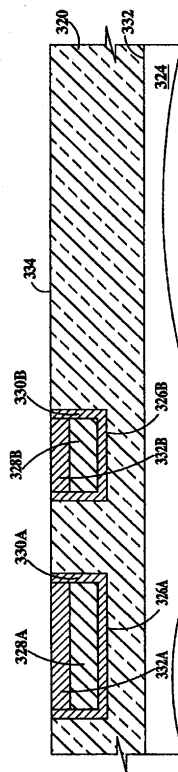
【図 11】



【図 12】

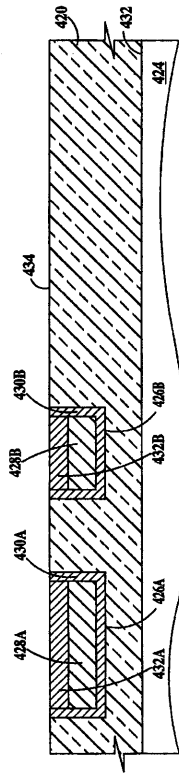


【図 13】

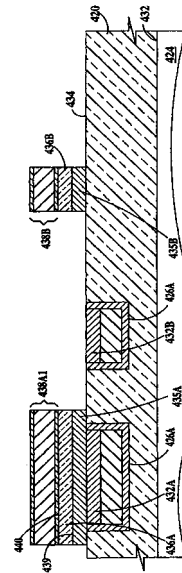




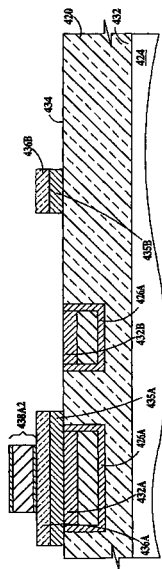
【図 18】



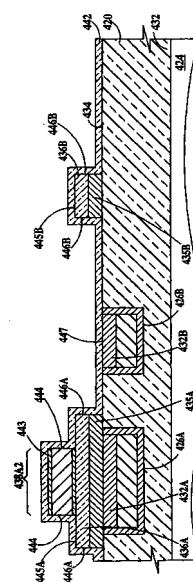
【図 19】



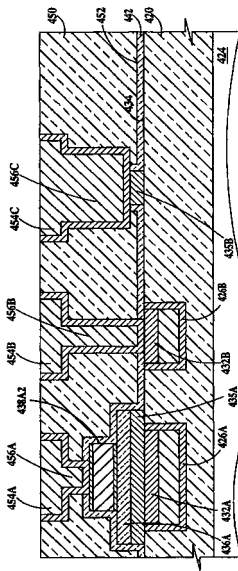
【図 20】



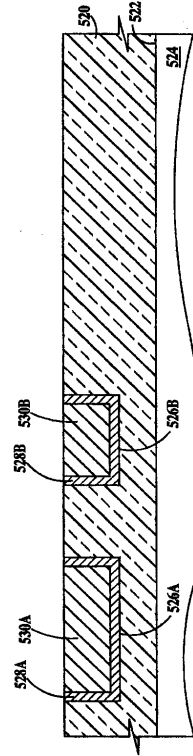
【図 21】



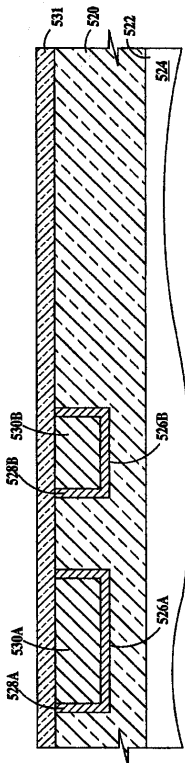
【 図 2 2 】



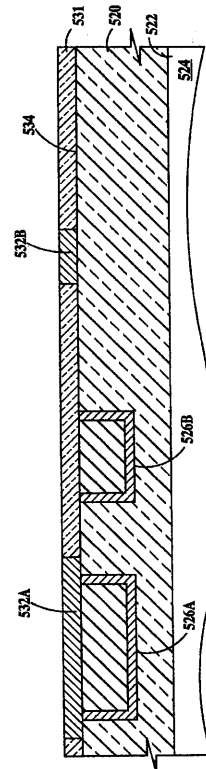
【 図 2 3 】



【 図 2 4 】

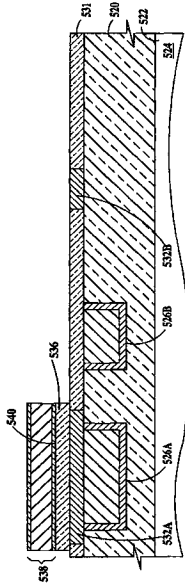


【 図 2 5 】

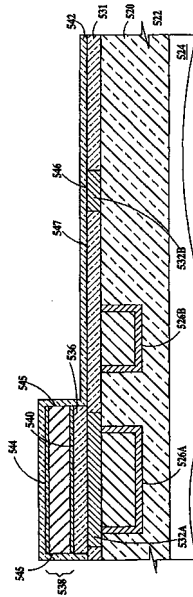




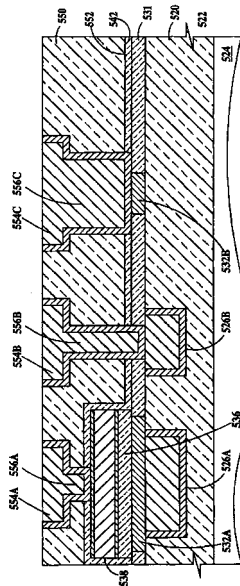
【図 26】



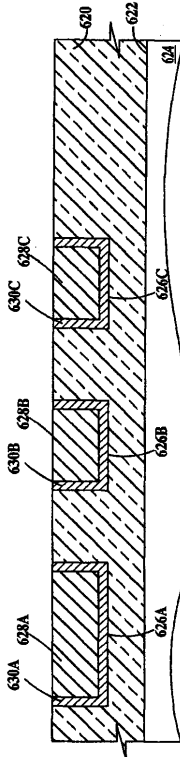
【図 27】



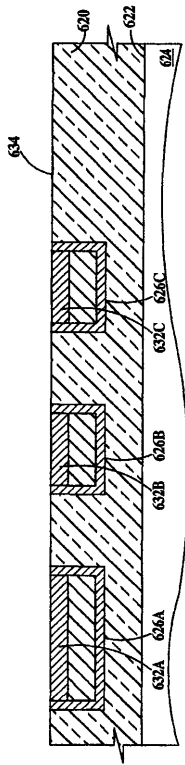
【図 28】



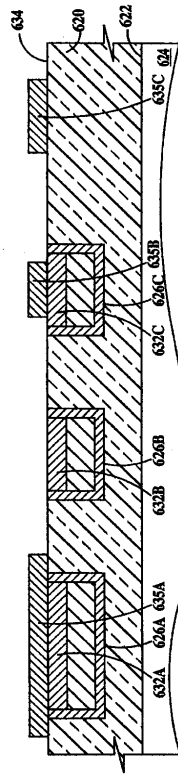
【図 29】



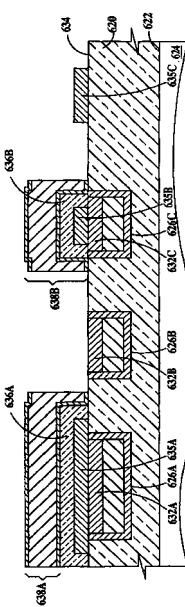
【図 30】



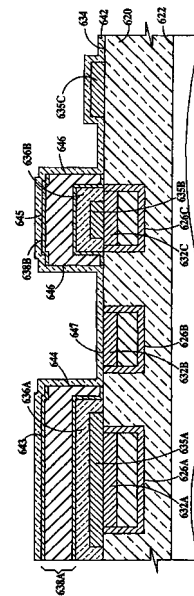
【図 31】



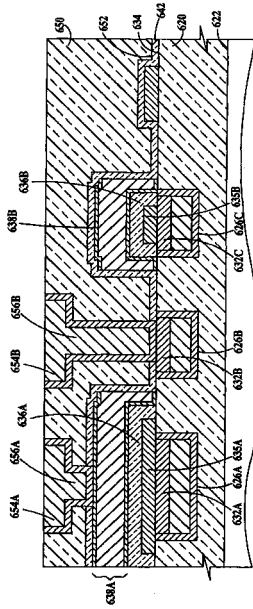
【図 32】



【図 33】



【 3 4 】



## フロントページの続き

- (74)代理人 100086243  
弁理士 坂口 博
- (72)発明者 クールバウフ、ダグラス、ディー  
アメリカ合衆国 05452 バーモント州 エセックス・ジャンクション セージ・サークル  
21
- (72)発明者 エーシュン、エベンザー、イー  
アメリカ合衆国 05452 バーモント州 エセックス・ジャンクション パール・ストリート  
96 #5
- (72)発明者 ガンビーノ、ジェフリー、ピー  
アメリカ合衆国 05494 バーモント州 ウェストフォードハントレイ・ロード 98
- (72)発明者 ホー、チョン、シャン  
アメリカ合衆国 05452 バーモント州 エセックス・ジャンクション タ馬拉ック・ドライ  
ブ 25
- (72)発明者 ラマチャンドラン、ヴェーダ  
アメリカ合衆国 10562 ニューヨーク州 オシニング スプリング・ストリート 80 #  
3A

審査官 大嶋 洋一

- (56)参考文献 特開2003-060081(JP,A)  
特開2003-051501(JP,A)  
特表2002-026018(JP,A)  
特開2001-313372(JP,A)  
特開2001-308280(JP,A)  
特開2001-237375(JP,A)  
特開2000-332203(JP,A)  
特開平07-307338(JP,A)  
国際公開第2003/021661(WO,A1)  
米国特許第06583491(US,B1)  
米国特許第06338999(US,B1)  
米国特許出願公開第2003/0072899(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 27/04