



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201735355 A

(43)公開日：中華民國 106 (2017) 年 10 月 01 日

(21)申請案號：106112788

(22)申請日：中華民國 102 (2013) 年 11 月 04 日

(51)Int. Cl. : H01L29/06 (2006.01)

H01L29/24 (2006.01)

H01L29/786 (2006.01)

G02F1/1362 (2006.01)

(30)優先權：2012/11/16 日本

2012-251794

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：佐藤貴洋 SATO, TAKAHIRO (JP)；中澤安孝 NAKAZAWA, YASUTAKA (JP)；
長隆之 CHO, TAKAYUKI (JP)；越岡俊介 KOSHIOKA, SHUNSUKE (JP)；德永
肇 TOKUNAGA, HAJIME (JP)；神長正美 JINTYOU, MASAMI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：15 項 圖式數：32 共 134 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

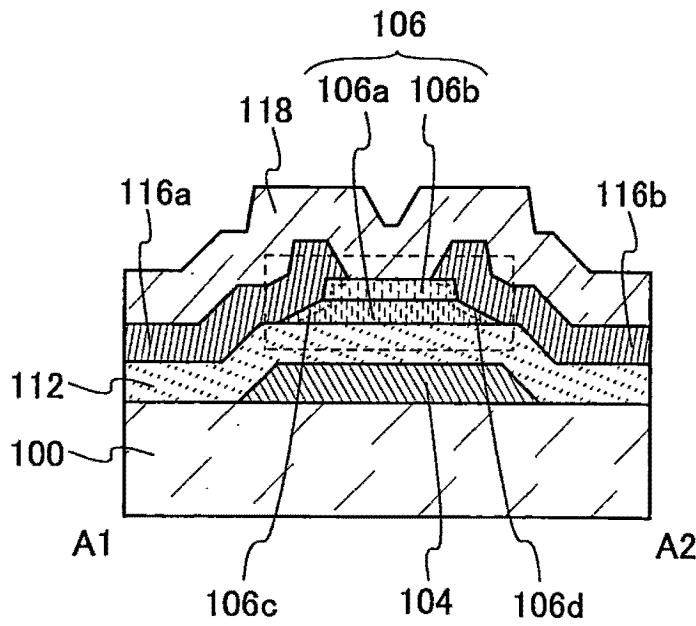
(57)摘要

本發明係關於一種半導體裝置及其製造方法，賦予使用氧化物半導體膜的電晶體穩定的電氣特性。另外，賦予使用氧化物半導體膜的電晶體具有優良的電氣特性。另外，本發明提供一種具有該電晶體的高可靠性的半導體裝置。關於具有層疊有氧化物半導體膜及氧化物膜的多層膜、閘極電極以及閘極絕緣膜的電晶體，多層膜經由閘極絕緣膜而重疊於所述閘極電極地設置，多層膜是具有由氧化物半導體膜的下表面與氧化物半導體膜的側面所呈的第一角度、以及由氧化物膜的下表面與氧化物膜的側面所呈的第二角度的形狀，並且，第一角度小於第二角度且被設為銳角。另外，藉由使用該電晶體來製造半導體裝置。

A transistor includes a multilayer film in which an oxide semiconductor film and an oxide film are stacked, a gate electrode, and a gate insulating film. The multilayer film overlaps with the gate electrode with the gate insulating film interposed therebetween. The multilayer film has a shape having a first angle between a bottom surface of the oxide semiconductor film and a side surface of the oxide semiconductor film and a second angle between a bottom surface of the oxide film and a side surface of the oxide film. The first angle is acute and smaller than the second angle. Further, a semiconductor device including such a transistor is manufactured.

指定代表圖：

圖 1B



符號簡單說明：

100 . . . 基板

104 . . . 閘極電極

106 . . . 多層膜

106a . . . 氧化物半導體膜

106b . . . 氧化物膜

106c . . . 低電阻區

106d . . . 低電阻區

112 . . . 閘極絕緣膜

116a . . . 源極電極

116b . . . 汲極電極

118 . . . 保護絕緣膜

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本發明係關於一種半導體裝置及其製造方法。

[0002] 此外，在本說明書中半導體裝置是指能夠藉由利用半導體特性而發揮功能的所有裝置，電光裝置、半導體電路以及電子裝置等都是半導體裝置。

【先前技術】

[0003] 使用形成在具有絕緣表面的基板上的半導體膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路或顯示裝置等的半導體裝置。作為可應用於電晶體的半導體膜，已知矽膜。

[0004] 關於用於電晶體的半導體膜的矽膜，根據用途分別使用非晶體矽膜或多晶矽膜。例如，當應用於構成大型的顯示裝置的電晶體時，較佳為使用已確立了向大面積基板上進行成膜的技術的非晶體矽膜。另一方面，當應用於構成一體地形成有驅動電路的高功能的顯示裝置的電晶體時，較佳為使用可以製造具有高場效移動率的電晶體

的多晶矽膜。關於多晶矽膜，已知藉由對非晶體矽膜進行高溫下的加熱處理或雷射處理來形成的方法。

[0005] 進一步地，近年來氧化物半導體膜受到關注。例如，公開了一種使用載子密度低於 $10^{18}/\text{cm}^3$ 的包含銮、鎵及鋅的氧化物半導體膜的電晶體（參照專利文獻 1）。

[0006] 氧化物半導體膜可以利用濺射法形成，所以可以應用於構成大型的顯示裝置的電晶體。另外，使用氧化物半導體膜的電晶體具有高場效移動率，因而可以實現一起形成有驅動電路的高功能的顯示裝置。另外，因為可以改良使用非晶體矽膜的電晶體的生產裝置的一部分而利用，所以在可以抑制設備投資的方面上優勢。

[0007] 並且，已知使用氧化物半導體膜的電晶體在截止狀態下，其洩漏電流（也稱為關態電流（off-state current））極小。例如，公開了一種應用了使用氧化物半導體膜的電晶體的低洩漏特性的低耗電的 CPU 等（參照專利文獻 2）。

[0008]

[專利文獻 1]日本專利申請公開第 2006-165528 號公報

[專利文獻 2]美國專利申請公開第 2012/0032730 號說明書

[0009] 使用氧化物半導體膜的電晶體由於在氧化物半導體膜中產生的缺陷、以及氧化物半導體膜與所接觸的

絕緣膜之間的介面處產生的缺陷，電晶體的電氣特性變得不良。另外，隨著使用氧化物半導體膜的電晶體的應用範圍擴大，對於可靠性的要求也多樣化了。

【發明內容】

[0010] 於是，本發明的一個方式要解決的問題之一是賦予使用氧化物半導體膜的電晶體穩定的電氣特性。另外，本發明的一個方式要解決的問題之一是賦予使用氧化物半導體膜的電晶體優良的電氣特性。另外，本發明的一個方式要解決的問題之一是提供具有該電晶體的高可靠性的半導體裝置。

[0011] 本發明的一個方式是一種半導體裝置，其特徵在於，具有：層疊有氧化物半導體膜及氧化物膜的多層膜；閘極電極；以及閘極絕緣膜，多層膜經由閘極絕緣膜而與所述閘極電極重疊地設置，多層膜具有如下形狀，該形狀具有氧化物半導體膜的下表面與氧化物半導體膜的側面所呈的第一角度以及氧化物膜的下表面與氧化物膜的側面所呈的第二角度，並且，第一角度小於第二角度且第一角度為銳角。

[0012] 在上述半導體裝置中，在多層膜中氧化物半導體膜的上端與所述氧化物膜的下端大致一致。另外，在多層膜中，既可以在氧化物半導體膜之上層疊有氧化物膜，又可以在氧化物半導體膜的上下都層疊有氧化物膜。

[0013] 在上述半導體裝置中，第一角度及第二角度

較佳為 10° 以上且小於 90° 。

[0014] 在上述半導體裝置中，較佳的是氧化物膜包含與氧化物半導體膜共同的元素，且氧化物膜的導帶底的能量比氧化物半導體膜更接近於真空能階。例如，較佳的是，氧化物半導體膜及氧化物膜是 In-M-Zn 氧化物（M 為 Al、Ga、Ge、Y、Zr、Sn、La、Ce 或 Nd），並且，氧化物膜的 In 對 M 的原子個數比小於氧化物半導體膜。

[0015] 在上述半導體裝置中，較佳的是，氧化物膜為非晶質的，氧化物半導體膜為結晶質的，並且，氧化物半導體膜所包括的結晶部的 c 軸平行於氧化物半導體膜的表面的法向量。

[0016] 在上述半導體裝置中，源極電極及汲極電極以接觸於多層膜的方式設置，並且，在多層膜與源極電極和汲極電極相接觸的介面附近的區域中設置低電阻區。

[0017] 此外，在上述半導體裝置中，具有與氧化物膜相同或不同的組成的氧化物膜也可以以接觸於源極電極和汲極電極以及多層膜的上表面的方式設置。

[0018] 根據本發明的一個方式，藉由使用包含氧化物膜和氧化物半導體膜的多層膜，可以賦予電晶體穩定的電氣特性。

[0019] 另外，藉由將該多層膜的形狀設為至少具有第一角度和大於該第一角度的第二角度的錐形狀，可以增大作為通道區的氧化物半導體膜與源極電極及汲極電極之間的接觸面積，並可以使電晶體的通態電流（on-state

current) 增大。

[0020] 另外，根據本發明的一個方式，可以提供具有上述電晶體的高可靠性的半導體裝置。

【圖式簡單說明】

[0021] 在圖式中：

圖 1A 至圖 1D 是說明電晶體的俯視圖及剖面圖；

圖 2 是說明電晶體的剖面圖；

圖 3 是說明多層膜的能帶結構的圖；

圖 4 是說明多層膜的能帶結構的圖；

圖 5A 至圖 5C 是說明電晶體的製造方法的剖面圖；

圖 6A 和圖 6B 是說明電晶體的製造方法的剖面圖；

圖 7A 至圖 7D 是說明電晶體的俯視圖及剖面圖；

圖 8A 至圖 8C 是說明電晶體的俯視圖及剖面圖；

圖 9 是說明電晶體的剖面圖；

圖 10A 至圖 10C 是說明多層膜的能帶結構的圖；

圖 11A 至圖 11C 是說明電晶體的製造方法的剖面圖；

圖 12A 和圖 12B 是說明電晶體的製造方法的剖面圖；

圖 13A 至圖 13C 是說明電晶體的俯視圖及剖面圖；

圖 14A 至圖 14C 是說明電晶體的俯視圖及剖面圖；

圖 15 是示出 EL 顯示裝置的一個例子的電路圖；

圖 16A 至圖 16C 是示出 EL 顯示裝置的一個例子的俯

視圖及剖面圖；

圖 17A 和圖 17B 是示出 EL 顯示裝置的一個例子的剖面圖；

圖 18 是示出液晶顯示裝置的一個例子的電路圖；

圖 19A 至圖 19C 是示出液晶顯示裝置的一個例子的剖面圖；

圖 20 是示出半導體裝置的一個例子的方塊圖；

圖 21 是示出半導體裝置的一個例子的剖面圖；

圖 22A 至圖 22C 是示出 CPU 的一個例子的方塊圖；

圖 23A 至圖 23C 是示出電子裝置的一個例子的圖；

圖 24 是說明蝕刻劑與蝕刻速度的關係的圖；

圖 25A 和圖 25B 是說明 STEM 影像的圖；

圖 26 是說明 STEM 影像的圖；

圖 27A 和圖 27B 是說明 STEM 影像的圖；

圖 28A 和圖 28B 是說明 STEM 影像的圖；

圖 29A 和圖 29B 是說明 STEM 影像的圖；

圖 30A 和圖 30B 是說明 STEM 影像的圖；

圖 31A 和圖 31B 是說明多層膜的結構的圖；

圖 32A 和圖 32B 是說明多層膜的結構的圖。

【實施方式】

[0022] 下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，只要是本領域技術人員就可以很容易地理解其實施方式和詳細內容可以

進行各種變換。另外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。此外，當利用圖式說明發明的結構時，表示相同目標的元件符號在不同的圖式中共同使用。另外，在表示相同的目標時，有時使用相同的陰影圖案，而不特別附加標記。

[0023] 作為第一、第二等而附上的序數詞是為了方便而使用的，並不表示製程順序或層疊順序。此外，在本說明書中，不表示作為用於特定發明的事項的固有名稱。

[0024] 另外，電壓大多指某個電位與標準電位（例如，接地電位（GND）或源極電位）之間的電位差。由此，可以將電壓改稱為電位。

[0025] 另外，即使在記載為“電連接”的情況下，也有時在現實的電路中沒有物理連接的部分而只是佈線延伸。

[0026] 另外，在電路動作中電流方向發生變化等的情況下，源極及汲極的功能有時互相調換。因此，在本說明書中，源極及汲極這樣的術語可以互相調換而使用。

[0027] 在本說明書中，“平行”是指兩條直線以所呈的角度為 -10° 以上且 10° 以下的方式配置的狀態，因此也包括角度為 -5° 以上且 5° 以下的情況。另外，“垂直”是指兩條直線以所呈的角度為 80° 以上且 100° 以下的方式配置的狀態，因此也包括角度為 85° 以上且 95° 以下的情況。

[0028] 另外，在本說明書中，在結晶為三方晶或菱

方晶的情況下，以六方晶系來表示。

[0029] 此外，在本說明書等中，各實施方式及各實施例所記載的結構及內容可以適當地組合。

[0030]

實施方式 1

在本實施方式中，說明本發明的一個方式的電晶體。

[0031]

1-1.電晶體結構（1）

圖 1A 至圖 1D 示出 BGTC 結構的電晶體的俯視圖及剖面圖。圖 1A 示出電晶體的俯視圖。圖 1B 示出對應於圖 1A 所示的點劃線 A1-A2 的剖面圖。圖 1C 示出對應於圖 1A 所示的點劃線 A3-A4 的剖面圖。另外，在圖 1A 中，為了使圖式清楚，省略了該電晶體的構成要素的一部分（閘極絕緣膜及保護絕緣膜等）。

[0032] 在本項中說明底閘極型電晶體。在此，使用圖 1A 至圖 1D 說明作為一種底閘極型電晶體的底閘極頂接觸結構（BGTC 結構）的電晶體。圖 1B 所示的電晶體包括：設置在基板 100 上的閘極電極 104；設置在閘極電極 104 上的閘極絕緣膜 112；設置在閘極絕緣膜 112 上的包含氧化物半導體膜 106a 以及設置在氧化物半導體膜 106a 上的氧化物膜 106b 的多層膜 106；設置在閘極絕緣膜 112 和多層膜 106 上的源極電極 116a 及汲極電極 116b；設置在多層膜 106、源極電極 116a 以及汲極電極 116b 上的保護絕緣膜 118。

[0033] 另外，根據用於源極電極 116a 及汲極電極 116b 的導電膜的種類，有時藉由從多層膜 106 的一部分奪取氧或者形成混合層，而在多層膜 106 中形成低電阻區 106c 及低電阻區 106d。在圖 1B 中，低電阻區 106c 及低電阻區 106d 是多層膜 106 中的與源極電極 116a 及汲極電極 116b 接觸的介面附近的區域（多層膜 106 的虛線與源極電極 116a 及汲極電極 116b 之間的區域）。低電阻區 106c 及低電阻區 106d 的一部或全部作為源極區及汲極區發揮功能。

[0034] 在圖 1A 中的重疊於閘極電極 104 的區域中，將源極電極 116a 和汲極電極 116b 之間の間隔稱為通道長度。但是，在電晶體包括源極區和汲極區的情況下，在重疊於閘極電極 104 的區域中，也可以將低電阻區 106c 與低電阻區 106d 之間の間隔稱為通道長度。

[0035] 此外，通道形成區是指在多層膜 106 中重疊於閘極電極 104 並且夾在源極電極 116a 和汲極電極 116b 的區域（參照圖 1B）。另外，通道區是指在通道形成區中的電流主要流過的區域。在此，通道區是通道形成區中的氧化物半導體膜 106a 的一部分。

[0036] 此外，如圖 1A 所示那樣，在上表面形狀中以多層膜 106 包含於閘極電極 104 的內側的方式設置閘極電極 104。藉由這樣設置，當光從基板 100 一側入射時，可以抑制在多層膜 106 中因光而產生載子。就是說，閘極電極 104 具有作為遮光膜的功能。但是，也可以形成多層膜

106 直到閘極電極 104 的外側為止。

[0037] 氧化物半導體膜 106a 的下表面是指，相當於氧化物半導體膜 106a 的基板 100 一側的表面或氧化物半導體膜 106a 的與閘極絕緣膜 112 接觸的表面。氧化物膜 106b 的下表面是指，相當於氧化物膜 106b 的基板 100 一側的表面或氧化物膜 106b 與氧化物半導體膜 106a 之間的邊界面。此外，多層膜 106 的層疊結構藉由使用 STEM (Scanning Transmission Electron Microscopy: 掃描透射電子顯微術) 觀察，可以確認出邊界。但是，根據用於氧化物半導體膜 106a 及氧化物膜 106b 的材料，有時不能明確地確認出該邊界。

[0038]

1-1-1.多層膜

以下，參照圖 1A 至圖 2 說明多層膜 106 和構成多層膜 106 的氧化物半導體膜 106a 及氧化物膜 106b。

[0039] 圖 2 是圖 1B 的由虛線圍繞的區域的放大圖。

[0040] 在多層膜 106 中，至少氧化物半導體膜 106a 具有錐形狀。較佳的是，氧化物膜 106b 也具有錐形狀。另外，氧化物半導體膜 106a 的錐形狀與氧化物膜 106b 的錐形狀不同。

[0041] 明確而言，在氧化物半導體膜 106a 中，將氧化物半導體膜 106a 的下表面與氧化物半導體膜 106a 的側面所呈的角度稱為第一角度 θ_1 ，並且在氧化物膜 106b 中，將氧化物膜 106b 的下表面與氧化物膜 106b 的側面所

呈的角度稱為第二角度 θ_2 。在這種情況下，第一角度 θ_1 可以為銳角，第二角度 θ_2 可以為銳角或垂直。

[0042] 較佳的是，第一角度 θ_1 及第二角度 θ_2 都是銳角，並且第一角度 θ_1 小於第二角度 θ_2 。

[0043] 另外，第一角度 θ_1 為 10° 以上且小於 90° ，較佳為 30° 以上且 70° 以下。第二角度 θ_2 為 10° 以上且小於 90° ，較佳為 30° 以上且 70° 以下。

[0044] 如上所述，藉由將多層膜 106 的形狀設為具有不同的錐角的錐形狀，可以得到下述效果。關於多層膜 106，藉由將其設為具有不同的錐角的錐形狀，與具有恆定的錐角的錐形狀相比，可以擴大它與源極電極 116a 及汲極電極 116b 之間的接觸面積。由此，可以降低多層膜 106 與源極電極 116a 以及汲極電極 116b 之間的接觸電阻並使電晶體的通態電流增大。

[0045] 另外，藉由使第二角度 θ_2 大於第一角度 θ_1 ，可以減小氧化物膜 106b 與源極電極 116a 及汲極電極 116b 之間的接觸面積，從而可以減小形成在氧化物膜 106b 中的低電阻區。由此，可以抑制氧化物膜 106b 的低電阻化，並抑制在源極電極 116a 與汲極電極 116b 之間產生的洩漏路徑，同時能夠在作為通道區發揮功能的氧化物半導體膜 106a 中有效地形成低電阻區，從而可以同時實現電晶體的通態電流的增大和電晶體的關態電流的降低。

[0046] 另外，氧化物半導體膜 106a 的上端與氧化物膜 106b 的下端大致一致（參照圖 2）。就是說，多層膜

106 沒有由氧化物半導體膜 106a 和氧化物膜 106b 形成的大的步階 113（參照圖 31A 和圖 31B）。因此，可以抑制設置在多層膜 106 上的膜（例如，被加工成源極電極 116a 及汲極電極 116b 的導電膜）的斷開，而可以製造電氣特性良好的電晶體。此外，“氧化物半導體膜 106a 的上端與氧化物膜 106b 的下端大致一致”是指氧化物膜 106b 的下端與氧化物半導體膜 106a 的上端之間的距離 L1 為 30nm 以下，較佳為 10nm 以下（參照圖 31A 和圖 31B）。

[0047] 在藉由蝕刻來形成多層膜 106 時，利用氧化物半導體膜 106a 與氧化物膜 106b 之間的蝕刻速度的差異，可以形成上述錐形狀。尤其是，藉由使氧化物半導體膜 106a 的蝕刻速度低於氧化物膜 106b 的蝕刻速度，可以形成上述錐形狀。

[0048] 例如，藉由作為蝕刻劑使用包含磷酸的溶液的濕蝕刻，可以形成上述錐形狀。

[0049] 藉由濕蝕刻形成多層膜 106 的優點是如下。例如，在被加工成多層膜 106 的氧化物半導體膜及氧化物膜具有針孔等缺陷的情況下，如果藉由乾蝕刻對該氧化物半導體膜及該氧化物膜進行加工的話，有時藉由該針孔對設置在該氧化物半導體膜及該氧化物膜下的絕緣膜（閘極絕緣膜等）也進行蝕刻。由此，在該絕緣膜中，有時形成了直到設置在該絕緣膜之下的電極（閘極電極等）的開口。如果在這種狀況下製造電晶體的話，有時會製造出在

該電極與形成在多層膜 106 上的電極（源極電極及汲極電極等）之間產生短路等特性不良的電晶體。就是說，如果藉由乾蝕刻形成多層膜 106 的話，有時關係到電晶體的良率的下降。因此，藉由利用濕蝕刻形成多層膜 106，可以高生產率地製造電氣特性良好的電晶體。

[0050] 另外，由於濕蝕刻的蝕刻速度根據蝕刻劑的濃度及蝕刻劑的溫度等而變化，所以較佳為將氧化物半導體膜 106a 的蝕刻速度適當地調整為低於氧化物膜 106b 的蝕刻速度的速度。另外，藉由使第二角度 θ_2 大於第一角度 θ_1 ，可以盡可能地減小在該濕蝕刻中暴露於蝕刻劑的面積。另外，藉由使第二角度 θ_2 大於第一角度 θ_1 ，可以減小因為由蝕刻劑所引起的污染或缺陷的產生而形成在氧化物膜 106b 中的低電阻區。

[0051] 例如，作為上述蝕刻劑，可以舉出調整為 85% 左右的磷酸水溶液或混合了磷酸（72%）、硝酸（2%）及醋酸（9.8%）的混合溶液（也稱為混合酸鋁溶液）。另外，蝕刻劑的溫度較佳為 20 刻至 35 刻左右的室溫或常溫。此外，還可以使用上述以外的蝕刻劑。

[0052] 氧化物半導體膜 106a 是至少包含銦的氧化物半導體膜。例如，除了銦之外還可以包含鋅。另外，氧化物半導體膜 106a 除銦之外，較佳為還包含元素 M（M 是 Al、Ga、Ge、Y、Zr、Sn、La、Ce 或 Nd）。

[0053] 氧化物膜 106b 是這樣的氧化物膜：由構成氧化物半導體膜 106a 的元素中的一種以上構成，並且，其

導帶底的能量相比氧化物半導體膜 106a 更接近於真空能階 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。此時，當對閘極電極 104 施加電場，通道形成於多層膜 106 中導帶底的能量較低的氧化物半導體膜 106a。就是說，藉由在氧化物半導體膜 106a 與保護絕緣膜 118 之間具有氧化物膜 106b，可以將電晶體的通道形成在不與保護絕緣膜 118 接觸的氧化物半導體膜 106a。另外，由構成氧化物半導體膜 106a 的元素中的一種以上構成氧化物膜 106b，所以在氧化物半導體膜 106a 與氧化物膜 106b 之間不容易產生介面散射。因此，在氧化物半導體膜 106a 與氧化物膜 106b 之間不阻礙載子的移動，從而提高電晶體的場效移動率。另外，在氧化物半導體膜 106a 與氧化物膜 106b 之間不容易形成介面能階。當在氧化物半導體膜 106a 與氧化物膜 106b 之間存在介面能階，有時會形成將該介面作為通道的臨界電壓不同的第二電晶體，使得電晶體的外觀上的臨界電壓發生變動。因此，藉由設置氧化物膜 106b，可以降低電晶體的臨界電壓等電氣特性的不均勻。

[0054] 例如，氧化物膜 106b 以比氧化物半導體膜 106a 高的原子個數比來包含 Al、Ga、Ge、Y、Zr、Sn、La、Ce、Nd 或 Hf（尤其是 Al 或 Ga）即可。具體地，作為氧化物膜 106b，使用以比氧化物半導體膜 106a 高 1.5 倍以上、較佳為 2 倍以上、更佳為 3 倍以上的原子個數比

來包含上述元素的氧化物膜。上述元素與氧堅固地鍵合，所以具有抑制在氧化物膜中產生氧空位的功能。就是說，與氧化物半導體膜 106 a 相比，氧化物膜 106b 不容易產生氧空位。

[0055] 例如，在氧化物半導體膜 106a 是 In-M-Zn 氧化物並且將氧化物膜 106b 也設為 In-M-Zn 氧化物的時候，當將氧化物膜 106b 設定為 In : M : Zn = x_2 : y_2 : z_2 [原子個數比] 並且將氧化物半導體膜 106a 設定為 In : M : Zn = x_1 : y_1 : z_1 [原子個數比]，選擇 y_1/x_1 比 y_2/x_2 大的氧化物膜 106b 及氧化物半導體膜 106a。此外，元素 M 是與氧的鍵合力比 In 與氧的鍵合力大的金屬元素，例如可以舉出 Al、Ga、Ge、Y、Zr、Sn、La、Ce 或 Nd (尤其是 Al 或 Ga) 等。較佳的是，選擇 y_1/x_1 比 y_2/x_2 大 1.5 倍以上的氧化物膜 106b 及氧化物半導體膜 106a。更佳的是，選擇 y_1/x_1 比 y_2/x_2 大 2 倍以上的氧化物膜 106b 及氧化物半導體膜 106a。進一步較佳的是，選擇 y_1/x_1 比 y_2/x_2 大 3 倍以上的氧化物膜 106b 及氧化物半導體膜 106a。此時，在氧化物膜 106b 中，如果 y_2 為 x_2 以上就可以賦予電晶體穩定的電氣特性，所以是較佳的。但是，如果 y_2 為 x_2 的 3 倍以上，則電晶體的場效移動率變低，所以較佳 y_2 不到 x_2 的 3 倍。

[0056] 另外，在氧化物膜 106b 緻密時，不容易因用於電晶體的製程的電漿等而產生損傷，由此可以賦予電晶體穩定的電氣特性，所以是較佳的。

[0057] 將氧化物膜 106b 的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。另外，將氧化物半導體膜 106a 的厚度設定為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0058] 以下說明氧化物半導體膜 106a 及氧化物膜 106b 的矽濃度。此外，為了使電晶體的電氣特性穩定，降低氧化物半導體膜 106a 中的雜質濃度而實現本質或實質上本質是有效的。具體地，將氧化物半導體膜的載子密度設定為低於 $1 \times 10^{17}/\text{cm}^3$ 、低於 $1 \times 10^{15}/\text{cm}^3$ 或低於 $1 \times 10^{13}/\text{cm}^3$ 即可。另外，在氧化物半導體膜中，除了主成分以外（低於 1 原子%）的輕元素、半金屬元素及金屬元素等都是雜質。例如，在氧化物半導體膜中，氫、氮、碳、矽、鍺、鈦及鉛成為雜質。為了降低氧化物半導體膜中的雜質濃度，較佳為還降低相接近的閘極絕緣膜 112 及氧化物膜 106b 中的雜質濃度。

[0059] 例如，在氧化物半導體膜 106a 包含矽的情況下，形成雜質能階。尤其是，當在氧化物半導體膜 106a 與氧化物膜 106b 之間存在矽，該雜質能階就成為陷阱。因此，將氧化物半導體膜 106a 和氧化物膜 106b 之間的矽濃度設定為低於 $1 \times 10^{19} \text{atoms}/\text{cm}^3$ 、較佳低於 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ ，更佳低於 $2 \times 10^{18} \text{atoms}/\text{cm}^3$ 。

[0060] 另外，在氧化物半導體膜 106a 中，氫及氮形成施體能階，使得載子密度增大。氧化物半導體膜 106a

的氫濃度在二次離子質譜分析法 (SIMS: Secondary Ion Mass Spectrometry) 中為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。另外，氮濃度在 SIMS 中低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0061] 另外，為了降低氧化物半導體膜 106a 的氫濃度及氮濃度，較佳為降低氧化物膜 106b 的氫濃度及氮濃度。氧化物膜 106b 的氫濃度在 SIMS 中為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。另外，氮濃度在 SIMS 中低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0062] 氧化物半導體膜 106a 及氧化物膜 106b 為非晶質或結晶質。作為該結晶質，可以舉出多晶結構、單晶結構及微晶結構等。另外，氧化物半導體膜 106a 及氧化物膜 106b 也可以是晶粒分散在非晶區中的混合結構。此外，微晶結構的各晶粒的面方位隨機，並且微晶結構或混合結構所包含的晶粒的粒徑為 0.1nm 以上且 10nm 以下，較佳為 1nm 以上且 10nm 以下，更佳為 2nm 以上且 4nm 以下。

[0063] 關於氧化物半導體膜 106a 及氧化物膜 106b，較佳的是，氧化物半導體膜 106a 為結晶質，氧化物膜 106b 為非晶質或結晶質。由於形成通道的氧化物半導體膜 106a 為結晶質，所以可以賦予電晶體穩定的電氣特性。另外，結晶質的氧化物半導體膜 106a 較佳為 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor : c 軸配向晶體氧化物半導體)。

[0064] 此外，氧化物半導體膜 106a 較佳為在非晶膜上形成。例如，可以舉出在非晶絕緣膜的表面上或非晶半導體膜的表面上等。藉由使用後述成膜方法可以在非晶膜上形成 CAAC-OS 的氧化物半導體膜 106a。

[0065] CAAC-OS 膜是具有多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，也包含這樣的情況：包括在 CAAC-OS 膜中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。CAAC-OS 膜的缺陷能階密度低。下面，對 CAAC-OS 膜進行詳細的說明。

[0066] 當用 TEM 觀察 CAAC-OS 膜，無法確認出結晶部與結晶部之間的明確的邊界，即晶界（也稱為 grain boundary）。因此，可以說，CAAC-OS 膜不容易發生起因於晶界的電子移動率的降低。

[0067] 當從大致平行於樣本面的方向藉由 TEM 觀察 CAAC-OS 膜（剖面 TEM 影像），則在結晶部中可以確認

出金屬原子排列為層狀。金屬原子的各層為反映了形成 CAAC-OS 膜的有面（也稱為被形成面）或 CAAC-OS 膜的上表面的凸凹的形狀，並以平行於 CAAC-OS 膜的被形成面或上表面的方式排列。

[0068] 另一方面，當從大致垂直於樣本面的方向藉由 TEM 觀察 CAAC-OS 膜（平面 TEM 影像），則在結晶部中可以確認出金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有發現規律性。

[0069] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0070] 當使用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析，則在例如具有 InGaZnO_4 的結晶的 CAAC-OS 膜的 out-of-plane 法的分析中，有時在繞射角 (2θ) 為 31° 附近出現峰值。由於該峰值歸屬於 InGaZnO_4 結晶的 (009) 面，由此可以確認出 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或上表面的方向。

[0071] 另一方面，在藉由使 X 線從大致垂直於 c 軸的方向入射到樣本的 in-plane 法對 CAAC-OS 膜的分析中，有時在 2θ 為 56° 附近出現峰值。該峰值歸屬於 InGaZnO_4 結晶的 (110) 面。只要是 InGaZnO_4 的單晶氧化物半導體膜，當將 2θ 固定為 56° 附近並在以樣本面的法向量為軸 (ϕ 軸) 旋轉樣本並且進行分析 (ϕ 掃描)，則會觀

察到六個歸屬於與 (110) 面等價的結晶面的峰值。與此相對地，在 CAAC-OS 膜的情況下，即使在將 2θ 固定為 56° 附近地進行 ϕ 掃描的情況下，也不會出現明顯的峰值。

[0072] 由以上敘述可知，在 CAAC-OS 膜中，雖然在結晶部之間 a 軸及 b 軸的配向的不規則的，但是具有 c 軸配向，並且 c 軸朝向平行於被形成面或上表面的法向量的方向。因此，在上述剖面 TEM 觀察中確認出的排列為層狀的金屬原子的各層是與結晶的 ab 面平行的面。

[0073] 此外，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶體化處理時形成。如上所述，結晶的 c 軸在平行於 CAAC-OS 膜的被形成面或上表面的法向量的方向上配向。由此，例如，在 CAAC-OS 膜的形狀因蝕刻等而發生改變的情況下，結晶的 c 軸有時不平行於 CAAC-OS 膜的被形成面或上表面的法向量。

[0074] 另外，CAAC-OS 膜中的晶體化度也可以不均勻。例如，在 CAAC-OS 膜的結晶部藉由來自 CAAC-OS 膜的上表面附近的晶體生長而形成的情況下，有時上表面附近的區域相比被形成面附近的區域而晶體化度變高。另外，在對 CAAC-OS 膜添加雜質的情況下，被添加了雜質的區域的晶體化度改變，有時也部分地形成晶體化度不同的區域。

[0075] 此外，在具有 InGaZnO_4 結晶的 CAAC-OS 膜的 out-of-plane 法的分析中，除了在 2θ 為 31° 附近的峰值

之外，有時還在 2θ 為 36° 附近出現峰值。 2θ 為 36° 附近的峰值表示在 CAAC-OS 膜中的一部分中含有不具有 c 軸配向性的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近示出峰值而在 2θ 為 36° 附近時不示出峰值。

[0076] 在使用 CAAC-OS 的電晶體中，因照射可見光或紫外光而產生的電氣特性變動小。因此，該電晶體具有穩定的電氣特性。

[0077] 另外，由於氧化物半導體膜 106a 包含高濃度的矽及碳，有時使得氧化物半導體膜 106a 的結晶性降低。為了不使氧化物半導體膜 106a 的結晶性降低，將氧化物半導體膜 106a 的矽濃度設為低於 $1 \times 10^{19} \text{atoms/cm}^3$ 、較佳低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳低於 $2 \times 10^{18} \text{atoms/cm}^3$ 即可。另外，為了不使氧化物半導體膜 106a 的結晶性降低，將氧化物半導體膜 106a 的碳濃度設為低於 $1 \times 10^{19} \text{atoms/cm}^3$ 、較佳低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳低於 $2 \times 10^{18} \text{atoms/cm}^3$ 。

[0078] 這樣地，在形成有通道的氧化物半導體膜 106a 具有高結晶性並且起因於雜質或缺陷等的能階密度少的情況下，使用多層膜 106 的電晶體具有穩定的電氣特性。

[0079] 以下說明多層膜 106 中的局部能階。藉由降低多層膜 106 中的局部能階密度，可以賦予使用多層膜 106 的電晶體穩定的電氣特性。可以利用恆定光電流測定法(CPM: Constant Photocurrent Method)對多層膜 106 的

局部能階進行評價。

[0080] 為了賦予電晶體穩定的電氣特性，將由 CPM 測定獲得的多層膜 106 中的局部能階的吸收係數設定為小於 $1 \times 10^{-3} \text{cm}^{-1}$ ，較佳為小於 $3 \times 10^{-4} \text{cm}^{-1}$ 即可。另外，藉由將由 CPM 測定獲得的多層膜 106 中的局部能階的吸收係數設定為小於 $1 \times 10^{-3} \text{cm}^{-1}$ ，較佳為小於 $3 \times 10^{-4} \text{cm}^{-1}$ ，可以提高電晶體的場效移動率。此外，為了將由 CPM 測定獲得的多層膜 106 中的局部能階的吸收係數設定為小於 $1 \times 10^{-3} \text{cm}^{-1}$ ，較佳為小於 $3 \times 10^{-4} \text{cm}^{-1}$ ，將作為在氧化物半導體膜 106a 中形成局部能階的元素的矽、鍺、碳、鉛或鈦等的濃度設定為低於 $2 \times 10^{18} \text{atoms/cm}^3$ ，較佳為低於 $2 \times 10^{17} \text{atoms/cm}^3$ 即可。

[0081] 此外，在 CPM 測定中，在各波長上進行：調整照射到端子之間的樣本表面的光量以使得在對與作為樣本的多層膜 106 接觸地設置的電極和電極之間施加電壓的狀態下光電流值恆定，並且根據照射光量導出吸收係數。在 CPM 測定中，當樣本有缺陷時，對應於存在缺陷的能階的能量（根據波長換算）的吸收係數增加。藉由用常數乘以該吸收係數的增加相當量，可以導出樣本的缺陷密度。

[0082] 可以認為，由 CPM 測定得到的局部能階是起因於雜質或缺陷的能階。就是說，可知，使用由 CPM 測定得到的局部能階的吸收係數小的多層膜 106 的電晶體具有穩定的電氣特性。

[0083] 以下，參照圖 3 說明多層膜 106 的能帶結構。

[0084] 作為例子，使用能隙為 3.15eV 的 In-Ga-Zn 氧化物作為氧化物半導體膜 106a，使用能隙為 3.5eV 的 In-Ga-Zn 氧化物作為氧化物膜 106b。利用光譜橢圓偏光計（HORIBA JOBIN YVON 公司的 UT-300）測定能隙。

[0085] 氧化物半導體膜 106a 及氧化物膜 106b 的真空能階與價帶上端之間的能量差（也稱為游離電位）分別為 8eV 及 8.2eV 。此外，關於真空能階和價帶頂端之間的能量差，利用紫外線光電子能譜（UPS：Ultraviolet Photoelectron Spectroscopy）裝置（PHI 公司的 VersaProbe）進行測定。

[0086] 因此，氧化物半導體膜 106a 及氧化物膜 106b 的真空能階和導帶底的能量之間的能量差（也稱為電子親和力）分別為 4.85eV 及 4.7eV 。

[0087] 圖 3 示意性地示出多層膜 106 的能帶結構的一部分。圖 3 是對應於圖 2 的點劃線 A5-A6 的能帶結構。明確而言，說明了與氧化物半導體膜 106a 以及氧化物膜 106b 的每一個接觸地設置氧化矽膜（閘極絕緣膜 112 及保護絕緣膜 118）的情況。在此， E_{cI1} 表示氧化矽膜的導帶底的能量， E_{cS1} 表示氧化物半導體膜 106a 的導帶底的能量， E_{cS2} 表示氧化物膜 106b 的導帶底的能量， E_{cI2} 表示氧化矽膜的導帶底的能量。

[0088] 如圖 3 所示，在氧化物半導體膜 106a 及氧化

物膜 106b 中，導帶底的能量沒有位壘而平緩地變化。換而言之，也可以說是連續地變化。這可以說是因為氧化物膜 106b 包含與氧化物半導體膜 106a 共同的元素，並且藉由在氧化物半導體膜 106a 和氧化物膜 106b 之間氧相互移動而形成有混合層。

[0089] 從圖 3 可知，多層膜 106 的氧化物半導體膜 106a 成為阱 (well)，在使用多層膜 106 的電晶體中通道區形成於氧化物半導體膜 106a。此外，由於多層膜 106 的導帶底的能量連續地變化，所以也可以說氧化物半導體膜 106a 與氧化物膜 106b 連續地接合。

[0090] 此外，如圖 4 所示那樣，雖然在氧化物膜 106b 與保護絕緣膜 118 之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是藉由設置氧化物膜 106b，可以使氧化物半導體膜 106a 與該陷阱能階遠離。但是，當 E_{cS1} 和 E_{cS2} 之間的能量差小時，有時氧化物半導體膜 106a 的電子會越過該能量差而到達陷阱能階。電子被陷阱能階捕獲，使得在絕緣膜的介面產生負的固定電荷，這導致電晶體的臨界電壓向正的方向移動。

[0091] 因此，當將 E_{cS1} 與 E_{cS2} 之間的能量差設為 0.1eV 以上，較佳為 0.15eV 以上，則可減少電晶體的臨界電壓的變動而得到穩定的電氣特性，所以是較佳的。

[0092]

1-1-2.源極電極及汲極電極

作為源極電極 116a 及汲極電極 116b，可以以單層或

的氧化矽膜。明確而言，使用如下氧化矽膜：在電子自旋共振(ESR:Electron Spin Resonance)測定中，來源於 g 值為 2.001 的信號的自旋的密度為 $3 \times 10^{17} \text{spins/cm}^3$ 以下，較佳為 $5 \times 10^{16} \text{spins/cm}^3$ 以下。氮化矽膜使用氫氣及氨氣的釋放量少的氮化矽膜。氫氣及氨氣的釋放量藉由熱脫附譜(TDS: Thermal Desorption Spectroscopy)分析進行測定即可。另外，氮化矽膜使用使氫、水及氧不透過或幾乎不透過的氮化矽膜。

[0096] 另外，例如，保護絕緣膜 118 採用將第一氧化矽膜 118a 設為第一層，將第二氧化矽膜 118b 設為第二層並將氮化矽膜 118c 設為第三層的多層膜即可(參照圖 1D)。在這種情況下，第一氧化矽膜 118a 和第二氧化矽膜 118b 中的一個或兩個也可以為氧氮化矽膜。另外，氮化矽膜也可以為氮氧化矽膜。第一氧化矽膜 118a 較佳為使用缺陷密度小的氧化矽膜。明確而言，使用如下氧化矽膜：在 ESR 測定中，來源於 g 值為 2.001 的信號的自旋的密度為 $3 \times 10^{17} \text{spins/cm}^3$ 以下，較佳為 $5 \times 10^{16} \text{spins/cm}^3$ 以下。第二氧化矽膜 118b 使用包含過量氧的氧化矽膜。氮化矽膜 118c 使用氫氣及氨氣的釋放量少的氮化矽膜。另外，氮化矽膜使用使氫、水及氧不透過或幾乎不透過的氮化矽膜。

[0097] 包含過量氧的氧化矽膜是指藉由加熱處理等可以釋放氧的氧化矽膜。另外，包含過量氧的絕緣膜是具有藉由加熱處理可以釋放氧的功能的絕緣膜。

[0098] 包含過量氧的絕緣膜可以降低氧化物半導體膜 106a 中的氧空位。氧化物半導體膜 106a 中的氧空位形成缺陷能階，並且其一部分成為施體能階。因此，藉由降低氧化物半導體膜 106a 中的氧空位（尤其是通道區的氧空位），可以降低氧化物半導體膜 106a（尤其是通道區）的載子密度，從而可以賦予電晶體穩定的電氣特性。

[0099] 在此，藉由加熱處理釋放氧的膜有時也釋放出藉由 TDS 分析的量為 $1 \times 10^{18} \text{atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{atoms/cm}^3$ 以上或 $1 \times 10^{20} \text{atoms/cm}^3$ 以上的氧（換算為氧原子）。

[0100] 另外，藉由加熱處理釋放氧的膜有時包含過氧化自由基。明確而言，上述情況是指起因於過氧化自由基的自旋密度為 $5 \times 10^{17} \text{spins/cm}^3$ 以上。另外，在 ESR 中，包含過氧化自由基的膜有時也在 g 值為 2.01 附近具有非對稱性的信號。

[0101] 另外，包含過量氧的絕緣膜也可以是氧過量的氧化矽（ SiO_x （ $x > 2$ ））。在氧過量的氧化矽（ SiO_x （ $x > 2$ ））中，每單位體積中含有的氧原子數多於矽原子數的 2 倍。每單位體積的矽原子數及氧原子數為藉由拉塞福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）測定的值。

[0102]

1-1-4. 閘極絕緣膜

閘極絕緣膜 112 以單層或層疊的方式使用包含氧化

鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化銻、氧化釷、氧化銻、氧化釷、氧化釷、氧化釷、氧化釷以及氧化釷中的一種以上的絕緣膜即可。

[0103] 例如，閘極絕緣膜採用將氮化矽膜設為第一層並且將氧化矽膜設為第二層的多層膜即可。在這種情況下，氧化矽膜也可以為氧氮化矽膜。另外，氮化矽膜也可以為氮氧化矽膜。氧化矽膜較佳為使用缺陷密度小的氧化矽膜。明確而言，使用如下氧化矽膜：在 ESR 中，來源於 g 值為 2.001 的信號的自旋的密度為 $3 \times 10^{17} \text{spins/cm}^3$ 以下，較佳為 $5 \times 10^{16} \text{spins/cm}^3$ 以下。氧化矽膜較佳為使用包含過量氧的氧化矽膜。氮化矽膜使用氫氣及氮氣的釋放量少的氮化矽膜。氫氣及氮氣的釋放量藉由 TDS 分析進行測定即可。

[0104] 當閘極絕緣膜 112 及保護絕緣膜 118 中的至少一個包括包含過量氧的絕緣膜的情況下，可以減少氧化物半導體膜 106a 的氧空位而賦予電晶體穩定的電氣特性。

[0105]

1-1-5. 閘極電極

閘極電極 104 以單層或層疊的方式使用包含鋁、鈦、鉻、鈷、鎳、銅、釷、銻、鉍、釷、釷、釷、釷、釷以及鎢中的一種以上的導電膜即可。

[0106]

1-1-6. 基板

對於基板 100 沒有大的限制。例如，作為基板 100，也可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，作為基板 100，也可以應用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI(Silicon On Insulator：絕緣體上矽晶片)基板等，並且也可以使用在這些基板上設置有半導體元件的基板。

[0107] 另外，作為基板 100 而使用第五代(1000mm×1200mm 或 1300mm×1500mm)、第六代(1500mm×1800mm)、第七代(1870mm×2200mm)、第八代(2200mm×2500mm)、第九代(2400mm×2800mm)、第十代(2880mm×3130mm)等大型玻璃基板的情況下，由於半導體裝置的製程中的加熱處理等所導致的基板 100 的收縮，有時難以進行精細加工。因此，在作為基板 100 使用上述大型玻璃基板的情況下，較佳為使用由加熱處理導致的收縮少的基板。例如，作為基板 100 使用在 400℃、較佳為 450℃、更佳為 500 為的溫度下進行 1 小時的加熱處理之後的收縮量為 10ppm 以下、較佳為 5ppm 以下、更佳為 3ppm 以下的大型玻璃基板。

[0108] 此外，基板 100 也可以使用撓性基板。另外，作為在撓性基板上設置電晶體的方法，也存在如下方法：在非撓性的基板上製作電晶體之後，剝離電晶體並將該電晶體轉置到作為撓性基板的基板 100 上。在這種情況下，較佳為在非撓性的基板和電晶體之間設置剝離層。

[0109] 按上述步驟構成的電晶體藉由將通道形成在氧化物半導體膜 106a 中，由此具有穩定的電氣特性並具有高場效移動率。另外，即使將具有包含銅的層的多層膜用於源極電極 116a 及汲極電極 116b，也可以得到穩定的電氣特性。

[0110]

1-2. 電晶體結構 (1) 的製造方法

在此，參照圖 5A 至圖 6B 說明電晶體的製造方法。

[0111] 首先，準備基板 100。

[0112] 接著，形成作為閘極電極 104 的導電膜。關於作為閘極電極 104 的導電膜，藉由使用濺射法、化學氣相沉積 (CVD: Chemical Vapor Deposition) 法、分子束磊晶 (MBE: Molecular Beam Epitaxy) 法、原子層沉積 (ALD: Atomic Layer Deposition) 法或脈衝雷射沉積 (PLD: Pulsed Laser Deposition) 法來形成作為閘極電極 104 所示的導電膜即可。

[0113] 接著，對作為閘極電極 104 的導電膜的一部分進行蝕刻，形成閘極電極 104 (參照圖 5A)。

[0114] 接著，形成閘極絕緣膜 112 (參照圖 5B)。關於閘極絕緣膜 112，藉由使用濺射法、CVD 法、MBE 法、ALD 法或 PLD 法來形成上述作為閘極絕緣膜 112 舉出的絕緣膜即可。

[0115] 接著，形成被加工成氧化物半導體膜 106a 的氧化物半導體膜 126a (參照圖 5C)。關於氧化物半導體

膜 126a，藉由使用濺射法、CVD 法、MBE 法、ALD 法或 PLD 法來形成上述作為氧化物半導體膜 106a 舉出的氧化物半導體膜即可。

[0116] 接著，形成被加工成氧化物膜 106b 的氧化物膜 126b。關於氧化物膜 126b，藉由使用濺射法、CVD 法、MBE 法、ALD 法或 PLD 法來形成上述作為氧化物膜 106b 舉出的氧化物膜即可。

[0117] 在藉由濺射法形成氧化物半導體膜 126a 及氧化物膜 126b 的情況下，用於產生電漿的電源裝置可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。

[0118] 濺射氣體可以適當地使用稀有氣體(典型地為氬)氛圍、氧氛圍、稀有氣體及氧的混合氣體。此外，在採用稀有氣體和氧的混合氣體的情況下，較佳為相對稀有氣體增高氧氣的比例。

[0119] 另外，結合氧化物半導體膜 126a 及氧化物膜 126b 的組成而適當地選擇靶材即可。

[0120] 在利用濺射法的情況下，至少氧化物半導體膜 126a 藉由如下製程形成，由此可以形成 CAAC-OS。明確而言，將基板溫度設定為 150°C 以上且 500°C 以下，較佳為設定為 150°C 以上且 450°C 以下，更佳為設定為 200°C 以上且 350°C 以下，進行加熱而形成氧化物半導體膜 126a。此外，對氧化物膜 126b 也可以這樣地進行加熱而形成。

[0121] 另外，為了使氧化物半導體膜 106a 與氧化物

膜 106b 連續接合，較佳為以不暴露於大氣的方式連續地形成氧化物半導體膜 126a 及氧化物膜 126b。另外，氧化物半導體膜 126a 及氧化物膜 126b 可以抑制雜質進入到各層之間。

[0122] 明確而言，為了形成連續接合，較佳為使用具備有裝載閉鎖室的多室方式的成膜裝置（濺射裝置）以不使各膜接觸於大氣的方式連續地層疊。在濺射裝置中的各室中，較佳為使用應能夠盡可能地去除對氧化物半導體膜而言為雜質的水等的、如低溫泵這樣的吸附式真空排氣泵來進行高真空排氣（排氣到 $1 \times 10^{-4} \text{Pa}$ 至 $5 \times 10^{-7} \text{Pa}$ 左右）。或者，較佳為組合渦輪分子泵和冷阱而防止氣體從排氣系統倒流到室內。

[0123] 為了獲得雜質及載子密度被降低的氧化物半導體膜，不但需要對室內進行高真空排氣，也需要進行濺射氣體的高度純化。關於作為用作濺射氣體的氧氣或氬氣體，藉由使用高度純化到露點為 -40°C 以下、較佳為 -80°C 以下、更佳為 -100°C 以下的氣體，可以盡可能防止水分等進入到氧化物半導體膜。

[0124] 此外，在利用濺射法形成氧化物膜 126b 的情況下，從降低在成膜時產生的粒子數的觀點來看，較佳為使用包含銮的靶材。另外，較佳為使用銮的原子個數比比比較少的氧化物靶材。這是因為藉由使用包含銮的靶材，可以提高靶材的導電率並容易進行 DC 放電及 AC 放電，從而容易對應於大面積的基板。由此，可以提高半導體裝置

的生產率。

[0125] 另外，也可以在形成氧化物半導體膜 126a 及氧化物膜 126b 之後以氧氛圍、或者氫及氧氛圍進行電漿處理。由此，能夠至少減少氧化物半導體膜 126a 中的氧空位。

[0126] 接著，在氧化物半導體膜 126a 及氧化物膜 126b 上形成光阻遮罩，利用該光阻遮罩對氧化物半導體膜 126a 及氧化物膜 126b 的一部分進行蝕刻，形成包括氧化物半導體膜 106a 及氧化物膜 106b 的多層膜 106（參照圖 6A）。該蝕刻採用如上所述的濕蝕刻。藉由進行該濕蝕刻，可以將多層膜 106 設為具有不同的兩個錐角的錐形狀。

[0127] 接著，較佳為進行第一加熱處理。第一加熱處理在 250°C 以上且 650°C 以下，較佳為在以 300°C 以上且 500°C 以下進行即可。第一加熱處理在惰性氣體氛圍下，包含 10ppm 以上、1%以上或 10%以上的氧化氣體氛圍下或者在減壓狀態下進行。或者，第一加熱處理在採用惰性氣體氛圍進行加熱處理之後，為了在填補脫離了的氧，也可以在包含 10ppm 以上、1%以上或 10%以上的氧化氣體氛圍下進行。藉由進行第一加熱處理，可以提高氧化物半導體膜 106a 的結晶性，還可以從閘極絕緣膜 112 及多層膜 106 去除水、氫、氮及碳等雜質。

[0128] 此外，第一加熱處理可以在形成多層膜 106 的蝕刻製程之前或之後進行。

[0129] 接著，形成用作源極電極 116a 及汲極電極 116b 的導電膜。關於作為源極電極 116a 及汲極電極 116b 的導電膜，藉由使用濺射法、CVD 法、MBE 法、ALD 法或 PLD 法來形成作為源極電極 116a 及汲極電極 116b 所示的導電膜即可。

[0130] 例如，作為成為源極電極 116a 及汲極電極 116b 的導電膜，形成包括鎢層和設置在鎢層上的銅層的多層膜即可。

[0131] 接著，對作為源極電極 116a 及汲極電極 116b 的導電膜的一部分進行蝕刻，形成源極電極 116a 及汲極電極 116b（參照圖 6B）。在作為成為源極電極 116a 及汲極電極 116b 的導電膜而使用包括鎢層和設置在鎢層上的銅層的多層膜的情況下，可以使用相同遮罩對該多層膜進行蝕刻。即使一次地對鎢層以及銅層進行蝕刻，藉由在氧化物半導體膜 106a 上設置氧化物膜 106b，也可以將氧化物半導體膜 106a 與氧化物膜 106b 之間的銅濃度設定為低於 $1 \times 10^{19} \text{atoms/cm}^3$ 、低於 $2 \times 10^{18} \text{atoms/cm}^3$ 或低於 $2 \times 10^{17} \text{atoms/cm}^3$ ，因而，不發生由銅導致的電晶體的電氣特性的劣化。因此，可以提高製程的自由度，並提高電晶體的生產率。

[0132] 接著，較佳為進行第二加熱處理。第二加熱處理參照第一加熱處理的說明進行即可。藉由第二加熱處理，可以從多層膜 106 去除氫及水等雜質。由於氫特別容易在多層膜 106 中移動，所以當藉由進行第二加熱處理減

少氫，則可以賦予電晶體穩定的電氣特性。此外，水也是包含氫的化合物，所以有可能成為氧化物半導體膜 106a 中的雜質。

[0133] 另外，藉由第二加熱處理可以在接觸於源極電極 116a 及汲極電極 116b 的多層膜 106 中形成低電阻區 106c 及低電阻區 106d。

[0134] 如上所述，藉由形成多層膜 106，可以提高氧化物半導體膜 106a 的結晶性，並可以降低氧化物半導體膜 106a 的雜質濃度、氧化物膜 106b 的雜質濃度以及氧化物半導體膜 106a 與氧化物膜 106b 之間的介面的雜質濃度。

[0135] 接著，形成保護絕緣膜 118（參照圖 1B）。關於保護絕緣膜 118，藉由使用濺射法、CVD 法、MBE 法、ALD 法或 PLD 法來形成上述作為保護絕緣膜 118 舉出的絕緣膜即可。

[0136] 在此，說明將保護絕緣膜 118 設為圖 1D 所示的三層結構的情況。首先，形成第一氧化矽膜 118a。接著，形成第二氧化矽膜 118b。然後，也可以進行對第二氧化矽膜 118b 添加氧離子的處理。添加氧離子的處理利用離子摻雜裝置或電漿處理裝置即可。作為離子摻雜裝置，也可以利用具有質量分離功能的離子摻雜裝置。作為氧離子的原料，使用 $^{16}\text{O}_2$ 或 $^{18}\text{O}_2$ 等氧氣、一氧化二氮氣體或臭氧氣體等即可。接著，藉由形成氮化矽膜 118c 來形成保護絕緣膜 118 即可。

[0137] 第一氧化矽膜 118a 較佳為藉由 CVD 法之一的電漿 CVD 法形成。明確而言，可以以如下條件下形成：將基板溫度設定為 180°C 以上且 400°C 以下，較佳為 200°C 以上且 370°C 以下，使用含有矽的沉積性氣體及氧化性氣體並將壓力設定為 20Pa 以上且 250Pa 以下，較佳為設定為 40Pa 以上且 200Pa 以下，並對電極供應高頻功率。另外，作為包含矽的沉積性氣體的典型例子，可以舉出矽烷、乙矽烷、丙矽烷、氟化矽烷等。作為氧化性氣體，可以舉出氧、臭氧、一氧化二氮、二氧化氮等。

[0138] 另外，藉由將氧化性氣體的流量設定為含有矽的沉積性氣體的 100 倍以上，可以減少第一氧化矽膜 118a 中的氫含量，並可以減少懸空鍵。

[0139] 藉由上述方式，形成缺陷密度小的第一氧化矽膜 118a。就是說，第一氧化矽膜 118a 可以將在 ESR 中來源於 g 值為 2.001 的信號的自旋的密度設為 3×10^{17} spins/cm³ 以下或 5×10^{16} spins/cm³ 以下。

[0140] 第二氧化矽膜 118b 較佳為藉由電漿 CVD 法形成。明確而言，可以以如下條件下形成：將基板溫度設定為 160°C 以上且 350°C 以下，較佳為 180°C 以上且 260°C 以下，使用含有矽的沉積性氣體及氧化性氣體並將壓力設定為 100Pa 以上且 250Pa 以下，較佳為設定為 100Pa 以上且 200Pa 以下，並對電極供應 0.17W/cm² 以上且 0.5W/cm² 以下，較佳為 0.25W/cm² 以上且 0.35W/cm² 以下的高頻功率。

[0141] 由於藉由上述方法電漿中的氣體的分解效率得到提高，氧自由基增加，氣體的氧化增進，因此可以形成包含過量氧的第二氧化矽膜 118b。

[0142] 氮化矽膜 118c 較佳為藉由電漿 CVD 法形成。明確而言，可以以如下條件下形成：將基板溫度設定為 180°C 以上且 400°C 以下，較佳為 200°C 以上且 370°C 以下，使用含有矽的沉積性氣體、氮氣及氨氣並將壓力設定為 20Pa 以上且 250Pa 以下，較佳為設定為 40Pa 以上且 200Pa 以下，並供應高頻功率。

[0143] 此外，氮氣的流量為氨氣的流量的 5 倍以上且 50 倍以下，較佳為 10 倍以上且 50 倍以下。此外，藉由使用氨氣可以促進含有矽的沉積性氣體及氮氣的分解。這是因為：氨氣因電漿能及熱能而離解，藉由離解時產生的能量有助於含有矽的沉積性氣體的鍵合及氮氣的鍵合的分解。

[0144] 因此，藉由上述方法可以形成氮氣及氨氣的釋放量少的氮化矽膜 118c。另外，由於氮含量少，所以可以形成緻密的、使氫、水及氧不透過或幾乎不透過的氮化矽膜 118c。

[0145] 接著，較佳為進行第三加熱處理。第三加熱處理參照第一加熱處理的記載進行即可。藉由第三加熱處理，可以從閘極絕緣膜 112 或/及保護絕緣膜 118 釋放過量氧，並且降低多層膜 106 的氧空位。另外，在多層膜 106 中，由於氧空位捕獲所相鄰的氧原子而在外觀上進行

移動。

[0146] 藉由上述步驟，可以製造圖 1A 至圖 1D 所示的 BGTC 結構的電晶體。

[0147]

1-3.電晶體結構（2）

在此，使用圖 7A 至圖 7D 說明圖 1A 至圖 1D 所示的電晶體的變形例。

[0148] 圖 7A 至圖 7D 示出作為該變形例的電晶體的俯視圖及剖面圖。圖 7A 示出電晶體的俯視圖。圖 7B 示出對應於圖 7A 所示的點劃線 A1-A2 的剖面圖。另外，圖 7C 示出對應於圖 7A 所示的點劃線 A3-A4 的剖面圖。此外，在圖 7A 中，為了使圖式清楚，省略該電晶體的構成要素的一部分（閘極絕緣膜及保護絕緣膜等）。

[0149] 圖 7A 至圖 7D 所示的電晶體與圖 1A 至圖 1D 所示的電晶體不同之處在於：以接觸於源極電極 116a 和汲極電極 116b 的上表面、以及多層膜 106 的上表面的方式設置有氧化物膜 107。

[0150] 氧化物膜 117 可以使用能夠應用於多層膜 106 的氧化物膜 106b 的氧化物膜，並可以利用能夠應用於氧化物膜 106b 的方法而形成。此外，圖 7A 至圖 7D 所示的電晶體的其他構成要素與圖 1A 至圖 1D 所示的電晶體相同，可以適當地參照上述記載。

[0151] 由於圖 7A 至圖 7D 所示的電晶體為在氧化物半導體膜 106a 與保護絕緣膜 118 之間設置有氧化物膜

106b 及氧化物膜 107 的結構，所以可以進一步使起因於形成在與保護絕緣膜 118 之間的介面附近的雜質或缺陷的陷阱能階與氧化物半導體膜 106a 遠離。就是說，即使在 E_{cS1} 和 E_{cS2} 之間的能量差小的情況下，也可以抑制氧化物半導體膜 106a 的電子越過該能量差到達陷阱能階。因此，圖 7A 至圖 7D 所示的電晶體是臨界電壓的變動進一步被降低的具有穩定的電氣特性的電晶體。

[0152] 另外，圖 7A 至圖 7D 所示的電晶體的製造方法可以適當地參照關於圖 1A 至圖 1D 所示的電晶體的記載。

[0153] 如上所述，由於在多層膜 106 的氧化物半導體膜 106a（尤其是通道區）中雜質及載子密度被降低，所以圖 1A 至圖 1D 及圖 7A 至圖 7D 所示的電晶體具有穩定的電氣特性。

[0154]

實施方式 2

在本實施方式中說明本發明的一個方式的其結構與實施方式 1 部分不同的電晶體。

[0155]

2-1. 電晶體結構 (3)

在本項中說明頂閘極型電晶體。在此，使用圖 8A 至圖 8C 說明一種頂閘極型電晶體的頂閘極頂接觸結構（TGTC 結構）的電晶體。

[0156] 圖 8A 至圖 8C 示出 TGTC 結構的電晶體的俯

視圖及剖面圖。圖 8A 示出電晶體的俯視圖。圖 8B 示出對應於圖 8A 所示的點劃線 B1-B2 的剖面圖。圖 8C 示出對應於圖 8A 所示的點劃線 B3-B4 的剖面圖。

[0157] 圖 8B 所示的電晶體包括：設置在基板 200 上的基底絕緣膜 202；多層膜 206，該多層膜 206 包括設置在基底絕緣膜 202 上的氧化物膜 206c、設置在氧化物膜 206c 上的氧化物半導體膜 206a 以及設置在氧化物半導體膜 206a 上的氧化物膜 206b；設置在基底絕緣膜 202 及多層膜 206 上的源極電極 216a 及汲極電極 216b；設置在多層膜 206、源極電極 216a 及汲極電極 216b 上的閘極絕緣膜 212；設置在閘極絕緣膜 212 上的閘極電極 204；以及設置在閘極絕緣膜 212 及閘極電極 204 上的保護絕緣膜 218。此外，電晶體也可以不包括基底絕緣膜 202 和保護絕緣膜 218 中的一個或兩個。

[0158] 另外，根據用於源極電極 216a 及汲極電極 216b 的導電膜的種類，有可能從多層膜 206 的一部分奪取氧或者形成混合層，而在多層膜 206 中形成低電阻區 206d 及低電阻區 206e。在圖 8B 中，低電阻區 206d 及低電阻區 206e 成為多層膜 206 中的與源極電極 216a 及汲極電極 216b 接觸的介面附近的區域（多層膜 206 的虛線與源極電極 216a 及汲極電極 216b 之間的區域）。低電阻區 206d 及低電阻區 206e 的一部或全部作為源極區及汲極區發揮功能。

[0159] 在圖 8A 所示的重疊於閘極電極 204 的區域

中，將源極電極 216a 和汲極電極 216b 之間の間隔稱為通道長度。此外，在電晶體包括源極區和汲極區的情況下，在重疊於閘極電極 204 的區域中，也可以將源極區與汲極區之間の間隔稱為通道長度。

[0160] 此外，通道形成區是指多層膜 206 中的重疊於閘極電極 204 並且夾在源極電極 216a 和汲極電極 216b 的區域。另外，通道區是指通道形成區中的電流主要流過的區域。在此，通道區是通道形成區中的氧化物半導體膜 206a 的一部分。

[0161]

2-1-1.關於多層膜

多層膜 206 為在氧化物半導體膜 206a 的上下層疊了氧化物膜 206b 及氧化物膜 206c 的結構。氧化物半導體膜 206a 的下表面相當於氧化物半導體膜 206a 的基板 200 一側的表面或與氧化物膜 206c 之間的邊界面。氧化物膜 206b 的下表面相當於氧化物膜 206b 的基板 200 一側的表面或與氧化物半導體膜 206a 之間的邊界面。氧化物膜 206c 的下表面相當於氧化物膜 206c 的基板 200 一側的表面或氧化物膜 206c 的接觸於閘極絕緣膜 112 的表面。另外，多層膜 206 的層疊結構藉由使用 STEM (Scanning Transmission Electron Microscopy: 掃描透射電子顯微術) 觀察，可以確認出其邊界。但是，根據用於氧化物半導體膜 206a、氧化物膜 206b 及氧化物膜 206c 的材料，有時不能明確地確認出該邊界。

[0162] 氧化物半導體膜 206a 可以使用能夠應用於實施方式 1 的氧化物半導體膜 106a 的氧化物半導體膜。氧化物膜 206b 可以使用能夠應用於實施方式 1 的氧化物膜 106b 的氧化物膜。氧化物膜 206c 可以使用能夠應用於實施方式 1 的氧化物膜 106b 的氧化物膜。

[0163] 在多層膜 206 中，至少氧化物半導體膜 206a 具有錐形狀。較佳的是，氧化物膜 206b 及氧化物膜 206c 也具有錐形狀。此外，較佳的是，至少氧化物半導體膜 206a 的錐形狀與氧化物膜 206b 的錐形狀及氧化物膜 206c 的錐形狀不同。氧化物膜 206b 和氧化物膜 206c 的錐形狀既可以是相同，又可以是不同。

[0164] 明確而言，在氧化物半導體膜 206a 中，將氧化物半導體膜 206a 的下表面與氧化物半導體膜 206a 的側面所呈的角度稱為第一角度 θ_1 ，在氧化物膜 206b 中，將氧化物膜 206b 的下表面與氧化物膜 206b 的側面所呈的角度稱為第二角度 θ_2 ，並且在氧化物膜 206c 中，將氧化物膜 206c 的下表面與氧化物膜 206c 的側面所呈的角度稱為第三角度 θ_3 。在這種情況下，第一角度 θ_1 可以設為銳角，第二角度 θ_2 及第三角度 θ_3 可以設為銳角或垂直。

[0165] 較佳的是，第一角度 θ_1 、第二角度 θ_2 及第三角度 θ_3 都是銳角，並且至少第一角度 θ_1 小於第二角度 θ_2 及第三角度 θ_3 （參照圖 9）。

[0166] 此外，第二角度 θ_2 和第三角度 θ_3 既可以是相同角度，又可以是不同角度。例如，藉由將氧化物膜

206b 和氧化物膜 206c 設為相同種類的氧化物膜，可以將第二角度 θ_2 和第三角度 θ_3 設為相同角度。

[0167] 另外，第一角度 θ_1 為 10° 以上且小於 90° ，較佳為 30° 以上且 70° 以下。第二角度 θ_2 及第三角度 θ_3 為 10° 以上且小於 90° ，較佳為 30° 以上且 70° 且以下。

[0168] 如上所述，藉由將多層膜 206 的形狀設為具有不同的錐角的錐形狀，可以得到下述效果。對於多層膜 206，藉由將其設為具有不同的錐角的錐形狀，與具有相同的錐角的錐形狀相比，可以擴大多層膜 206 與源極電極 216a 及汲極電極 216b 之間的接觸面積。由此，可以降低多層膜 206 與源極電極 216a 及汲極電極 216b 之間的接觸電阻而使電晶體的通態電流增大。

[0169] 另外，藉由使第二角度 θ_2 及第三角度 θ_3 大於第一角度 θ_1 ，可以減小氧化物膜 206b 及氧化物膜 206c 與源極電極 216a 及汲極電極 216b 之間的接觸面積，從而可以減小形成在氧化物膜 206b 及氧化物膜 206c 中的低電阻區。因此，可以抑制氧化物膜 206b 及氧化物膜 206c 中的一個或兩個的低電阻化，抑制在源極電極 216a 與汲極電極 216b 之間產生的洩漏路徑，同時在作為通道區發揮功能的氧化物半導體膜 206a 中高效地形成低電阻區，從而可以同時實現電晶體的通態電流的增大和電晶體的關態電流的降低。

[0170] 另外，氧化物半導體膜 206a 的上端與氧化物膜 206b 的下端大致一致，氧化物膜 206c 的上端與氧化物

半導體膜 206a 的下端大致一致（參照圖 9）。就是說，多層膜 206 沒有由氧化物半導體膜 206a、氧化物膜 206b 和氧化物膜 206c 中的兩個以上的膜形成的大的步階 213 及大的步階 214（參照圖 32A 和圖 32B）。因此，可以抑制設置在多層膜 206 上的膜（例如，被加工成源極電極 216a 及汲極電極 216b 的導電膜）的斷開，從而可以製造電氣特性良好的電晶體。此外，“氧化物半導體膜 206a 的上端與氧化物膜 206b 的下端大致一致，氧化物膜 206c 的上端與氧化物半導體膜 206a 的下端大致一致”是指氧化物膜 206b 的下端與氧化物半導體膜 206a 的上端之間的距離 L1 以及氧化物膜 206c 的上端與氧化物半導體膜 206a 的下端之間的距離 L2 為 30nm 以下，較佳為 10nm 以下（參照圖 32A 和圖 32B）。

[0171] 藉由利用在由蝕刻來形成多層膜 206 時的每個膜的蝕刻速度的差異，可以形成上述錐形狀。尤其是，上述錐形狀藉由使氧化物半導體膜 206a 的蝕刻速度低於氧化物膜 206b 的蝕刻速度及氧化物膜 206c 的蝕刻速度來可以形成。

[0172] 在使第二角度 θ_2 小於第三角度 θ_3 的情況下，使氧化物膜 206b 的蝕刻速度低於氧化物膜 206c 的蝕刻速度即可。另外，在使第二角度 θ_2 大於第三角度 θ_3 時，使氧化物膜 206b 的蝕刻速度高於氧化物膜 206c 的蝕刻速度即可。

[0173] 與實施方式 1 相同，上述錐形狀可以藉由作

為蝕刻劑而使用包含磷酸的溶液的濕蝕刻來形成。另外，關於該濕蝕刻的詳細內容可以參照實施方式 1。另外，藉由使第二角度 θ_2 及第三角度 θ_3 大於第一角度 θ_1 ，可以盡可能減小在該濕蝕刻中暴露於蝕刻劑的面積。另外，藉由使第二角度 θ_2 及第三角度 θ_3 大於第一角度 θ_1 ，可以減小由於蝕刻劑所引起的污染或缺陷的生成而被形成在氧化物膜 206b 及氧化物膜 206c 中的低電阻區。

[0174] 藉由濕蝕刻形成多層膜 206，如實施方式 1 所示，可以抑制電晶體的良率的下降並且以高生產率製造電氣特性良好的電晶體。

[0175] 以下，參照圖 10A 至圖 10C 說明多層膜 206 的能帶結構。

[0176] 例如，使用能隙為 3.15eV 的 In-Ga-Zn 氧化物作為氧化物半導體膜 206a，使用能隙為 3.5eV 的 In-Ga-Zn 氧化物作為氧化物膜 206b 及氧化物膜 206c。利用光譜橢圓偏光計（HORIBA JOBIN YVON 公司的 UT-300）測定能隙。

[0177] 氧化物半導體膜 206a 的真空能階與價帶上端之間的能量差（也稱為游離電位）為 8eV。另外，氧化物膜 206b 及氧化物膜 206c 的游離電位為 8.2eV。此外，關於真空能階和價帶頂端之間的能量差，利用紫外線光電子能譜（UPS：Ultraviolet Photoelectron Spectroscopy）裝置（PHI 公司的 VersaProbe）進行測定。

[0178] 因此，氧化物半導體膜 206a 的真空能階和導

帶底的能量之間的能量差（也稱為電子親和力）為 4.85eV 。氧化物膜 206b 及氧化物膜 206c 的電子親和力為 4.7eV 。

[0179] 圖 10A 示意性地示出多層膜 206 的能帶結構的一部分。在圖 10A 中，說明了與氧化物膜 206b 以及氧化物膜 206c 的每一個接觸地設置氧化矽膜（基底絕緣膜 202 及閘極絕緣膜 212）的情況。在此， E_{cI1} 表示氧化矽膜的導帶底的能量， E_{cS1} 表示氧化物半導體膜 206a 的導帶底的能量， E_{cS2} 表示氧化物膜 206b 的導帶底的能量， E_{cS3} 表示氧化物膜 206c 的導帶底的能量， E_{cI2} 表示氧化矽膜的導帶底的能量。

[0180] 如圖 10A 所示那樣，在氧化物半導體膜 206a、氧化物膜 206b 及氧化物膜 206c 中，導帶底的能量沒有位壘而平緩地變化。換言之，也可以說是連續地變化。這可以說是因為氧化物膜 206b 以及氧化物膜 206c 包含與氧化物半導體膜 206a 相同的元素，並且藉由在氧化物半導體膜 206a 和氧化物膜 206b 之間以及在氧化物半導體膜 206a 和氧化物膜 206c 之間氧相互移動而形成有混合層。

[0181] 從圖 10A 可知，多層膜 206 的氧化物半導體膜 206a 成為阱（well），在使用多層膜 206 的電晶體中，通道區形成在氧化物半導體膜 206a。另外，由於多層膜 206 的導帶底的能量連續地變化，所以也可以說氧化物半導體膜 206a 與氧化物膜 206b 連續地接合，氧化物半導體

膜 206a 與氧化物膜 206c 連續地接合。

[0182] 另外，藉由將氧化物膜 206b 與氧化物膜 206c 分別設為導帶底的能量不同的氧化物膜，可以根據該導帶底的能量的大小關係而改變多層膜 206 的能帶結構。

[0183] 藉由作為氧化物膜 206c 而使用其導帶底的能量比氧化物膜 206b 大的氧化物，可以形成具有圖 10B 所示的能帶結構的多層膜 206。

[0184] 藉由作為氧化物膜 206c 而使用其導帶底的能量比氧化物膜 206b 小的氧化物，可以形成圖 10C 所示的具有能帶結構的多層膜 206。

[0185] 此外，在具有圖 10B 及圖 10C 所示的能帶結構的多層膜 206 中，通道區也形成在氧化物半導體膜 206a 中。

[0186] 另外，雖然在氧化物膜 206b 與閘極絕緣膜 212 之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是藉由設置氧化物膜 206b，可以使氧化物半導體膜 206a 與該陷阱能階遠離。然而，在 E_{cS1} 和 E_{cS2} 之間的能量差小的情況下，有時氧化物半導體膜 206a 的電子會越過該能量差到達陷阱能階。由於電子被陷阱能階捕獲，使得在絕緣膜的介面產生負的固定電荷，這導致電晶體的臨界電壓向正的方向移動。

[0187] 另外，雖然在氧化物膜 206c 與基底絕緣膜 202 之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是可以使氧化物半導體膜 206a 與該陷阱能階遠

離。此外，當 E_{cS1} 和 E_{cS3} 之間的能量差小時，有時氧化物半導體膜 206a 的電子越過該能量差到達陷阱能階。電子被陷阱能階捕獲，使得在絕緣膜的介面產生負的固定電荷，這導致電晶體的臨界電壓向正的方向移動。

[0188] 因此，當將 E_{cS1} 與 E_{cS2} 之間的能量差以及 E_{cS1} 與 E_{cS3} 之間的能量差分別設定為 0.1eV 以上，較佳為 0.15eV 以上，則減少電晶體的臨界電壓的變動而得到穩定的電氣特性，所以是較佳的。

[0189]

2-1-2 · 關於其他結構

基板 200 可以參照關於基板 100 的記載。此外，源極電極 216a 及汲極電極 216b 可以參照關於源極電極 116a 及汲極電極 116b 的記載。另外，閘極絕緣膜 212 可以參照關於閘極絕緣膜 112 的記載。另外，閘極電極 204 可以參照關於閘極電極 104 的記載。此外，保護絕緣膜 218 可以參照關於保護絕緣膜 118 的記載。

[0190] 此外，在圖 8A 中，雖然多層膜 206 在上表面形狀中形成到閘極電極 204 的外側，但是也可以形成為閘極電極 204 的寬度大於多層膜 206 的寬度，以抑制因來自上方的光而在多層膜 206 中生成載子。

[0191] 基底絕緣膜 202 可以以單層或層疊的方式使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化鋇、氧化釷、氧化釷、氧化釷、氧化釷、氧化釷以及氧化釷中的一種以上的絕緣膜。

[0192] 例如，作為基底絕緣膜 202，可以是將第一層設為氮化矽膜，將第二層設為氧化矽膜的層疊結構。此時，氧化矽膜也可以為氧氮化矽膜。另外，氮化矽膜也可以為氮氧化矽膜。氧化矽膜較佳為使用缺陷密度小的氧化矽膜。明確而言，使用如下氧化矽膜：在 ESR 中，來源於 g 值為 2.001 的信號的自旋的密度為 $3 \times 10^{17} \text{spins/cm}^3$ 以下，較佳為 $5 \times 10^{16} \text{spins/cm}^3$ 以下。氮化矽膜使用氫及氮的釋放量少的氮化矽膜。氫及氮的釋放量藉由 TDS 分析進行測定即可。另外，氮化矽膜使用使氫、水及氧不透過或幾乎不透過的氮化矽膜。

[0193] 另外，例如，作為基底絕緣膜 202，可以是將第一層設為第一氮化矽膜，將第二層設為第一氧化矽膜並將第三層設為第二氧化矽膜的層疊結構。在這種情況下，第一氧化矽膜或/和第二氧化矽膜也可以為氧氮化矽膜。另外，氮化矽膜也可以為氮氧化矽膜。第一氧化矽膜較佳為使用缺陷密度小的氧化矽膜。明確而言，使用如下氧化矽膜：在 ESR 中，來源於 g 值為 2.001 的信號的自旋的密度為 $3 \times 10^{17} \text{spins/cm}^3$ 以下，較佳為 $5 \times 10^{16} \text{spins/cm}^3$ 以下。第二氧化矽膜使用包含過量氧的氧化矽膜。氮化矽膜使用氫及氮的釋放量少的氮化矽膜。另外，氮化矽膜使用使氫、水及氧不透過或幾乎不透過的氮化矽膜。

[0194] 在閘極絕緣膜 212 和基底絕緣膜 202 中的一個或兩個具有包含過量氧的絕緣膜的情況下，可以降低氧化物半導體膜 206a 中的氧空位。

[0195] 如上所述，本實施方式所示的電晶體由於降低多層膜 206 的氧化物半導體膜 206a（尤其是通道區）的雜質及載子密度，從而具有穩定的電氣特性和高場效移動率。

[0196]

2-2.電晶體結構（3）的製造方法

在此，使用圖 11A 至圖 12B 說明電晶體的製造方法。

[0197] 首先，準備基板 200。

[0198] 在基板 200 上形成基底絕緣膜 202。關於基底絕緣膜 202，藉由使用濺射法、CVD 法、MBE 法、ALD 法或 PLD 法來形成上述絕緣膜即可。

[0199] 接著，形成被加工成氧化物膜 206c 的氧化物膜 226c。氧化物膜 206c 的成膜方法可以參照關於實施方式 1 的氧化物膜 106b 的記載。此外，氧化物膜 206c 形成為 CAAC-OS 或非晶質。當氧化物膜 206c 為 CAAC-OS 或非晶質，則作為氧化物半導體膜 206a 的氧化物半導體膜 226a 容易成為 CAAC-OS。

[0200] 接著，形成被加工成氧化物半導體膜 206a 的氧化物半導體膜 226a。氧化物半導體膜 226a 的成膜方法可以參照關於實施方式 1 的氧化物半導體膜 106a 的記載。

[0201] 接著，形成被加工成氧化物膜 206b 的氧化物膜 226b。氧化物膜 226b 的成膜方法可以參照關於實施方

式 1 的氧化物膜 106b 的記載（參照圖 11A）。

[0202] 如實施方式 1 所示，為了使氧化物膜 206c、氧化物半導體膜 206a 與氧化物膜 206b 連續接合，較佳為以不使各膜暴露於大氣的方式連續地層疊氧化物膜 226c、氧化物半導體膜 226a 及氧化物膜 226b。

[0203] 接著，對氧化物膜 226c、氧化物半導體膜 226a 及氧化物膜 226b 的一部分進行蝕刻，形成包括氧化物膜 206c、氧化物半導體膜 206a 及氧化物膜 206b 的多層膜 206（參照圖 11B）。此外，該蝕刻可以參照上述蝕刻。

[0204] 接著，較佳為進行第一加熱處理。第一加熱處理也可以在 250°C 以上且 650°C 以下，較佳為在 300°C 以上且 500°C 以下進行即可。第一加熱處理在惰性氣體氛圍，包含 10ppm 以上、1%以上或 10%以上的氧化氣體氛圍下或者在減壓狀態下進行。或者，第一加熱處理在採用惰性氣體氛圍進行加熱處理之後，為了填補脫離了的氧，也可以在包含 10ppm 以上、1%以上或 10%以上的氧化氣體氛圍下進行。藉由進行第一加熱處理，可以提高氧化物半導體膜 226a 的結晶性，進而可以從基底絕緣膜 202 及多層膜 206 去除水、氫、氮及碳等雜質。

[0205] 此外，第一加熱處理可以在形成多層膜 206 的蝕刻製程之前或之後進行。

[0206] 接著，形成用作源極電極 216a 及汲極電極 216b 的導電膜。用作源極電極 216a 及汲極電極 216b 的

導電膜的成膜方法可以參照關於實施方式 1 的源極電極 116a 及汲極電極 116b 的記載。

[0207] 接著，對作為源極電極 216a 及汲極電極 216b 的導電膜的一部分進行蝕刻，形成源極電極 216a 及汲極電極 216b（參照圖 11C）。

[0208] 接著，較佳為進行第二加熱處理。關於第二加熱處理，參照第一加熱處理的說明進行即可。藉由進行第二加熱處理，可以從多層膜 206 去除水、氫、氮及碳等雜質。

[0209] 另外，藉由第二加熱處理可以在接觸於源極電極 216a 及汲極電極 216b 的多層膜 206 中形成低電阻區 206d 及低電阻區 206e。

[0210] 接著，形成閘極絕緣膜 212（參照圖 12A）。閘極絕緣膜 212 的成膜方法可以參照關於實施方式 1 的閘極絕緣膜 112 的記載。

[0211] 接著，形成作為閘極電極 204 的導電膜。接著，對作為閘極電極 204 的導電膜的一部分進行蝕刻，形成閘極電極 204（參照圖 12B）。閘極電極 204 的成膜方法及蝕刻製程可以參照關於實施方式 1 的閘極電極 104 的記載。

[0212] 接著，形成保護絕緣膜 218（參照圖 8B）。保護絕緣膜 218 的成膜方法可以參照關於保護絕緣膜 118 的記載。

[0213] 藉由上述步驟，可以製造圖 8A 至圖 8C 所示

的電晶體。

[0214]

2-3.電晶體結構（4）

在此，使用圖 13A 至圖 13C 說明圖 8A 至圖 8C 所示的電晶體的變形例。

[0215] 圖 13A 至圖 13C 示出作為該變形例的電晶體的俯視圖及剖面圖。圖 13A 示出電晶體的俯視圖。圖 13B 示出對應於圖 13A 所示的點劃線 B1-B2 的剖面圖。另外，圖 13C 示出對應於圖 13A 所示的點劃線 B3-B4 的剖面圖。另外，在圖 13A 中，為了使圖式清楚，省略該電晶體的構成要素的一部分（閘極絕緣膜及保護絕緣膜等）。

[0216] 圖 13A 至圖 13C 所示的電晶體與圖 8A 至圖 8C 所示的電晶體不同之處在於：在多層膜 206 中不包括氧化物膜 206c。就是說，圖 13A 至圖 13C 所示的電晶體中的多層膜 206 是氧化物半導體膜 206a 及氧化物膜 206b。此外，圖 13A 至圖 13C 所示的電晶體的其他構成要素與圖 8A 至圖 8C 所示的電晶體相同，而可以適當地參照上述記載。

[0217] 在圖 13A 至圖 13C 所示的電晶體中，雖然在氧化物膜 206b 與閘極絕緣膜 212 之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是藉由設置氧化物膜 206b，可以使氧化物半導體膜 206a 與該陷阱能階遠離。因此，圖 13A 至圖 13C 所示的電晶體是臨界電壓的變動被降低的具有穩定的電氣特性的電晶體。

[0218] 此外，圖 13A 至圖 13C 所示的電晶體的製造方法可以適當地參照關於實施方式 1 及圖 8A 至圖 8C 所示的電晶體的記載。

[0219]

2-4. 電晶體結構 (5)

在此，使用圖 14A 至圖 14C 說明作為圖 8A 至圖 8C 所示的電晶體的變形例的電晶體。

[0220] 圖 14A 至圖 14C 示出作為該變形例的電晶體的俯視圖及剖面圖。圖 14A 示出電晶體的俯視圖。圖 14B 示出對應於圖 14A 所示的點劃線 B1-B2 的剖面圖。另外，圖 14C 示出對應於圖 14A 所示的點劃線 B3-B4 的剖面圖。另外，在圖 14A 中，為了使圖式清楚，省略該電晶體的構成要素的一部分（閘極絕緣膜及保護絕緣膜等）。

[0221] 圖 14A 至圖 14C 所示的電晶體與圖 8A 至圖 8C 所示的電晶體不同之處在於：在多層膜 206 中不包括氧化物膜 206b。就是說，圖 14A 至圖 14C 所示的電晶體中的多層膜 206 是氧化物膜 206c 及氧化物半導體膜 206a。另外，在以接觸於源極電極 216a 的上表面、汲極電極 216b 的上表面及多層膜 206 的上表面的方式設置有氧化物膜 207 這一點上也不同。

[0222] 氧化物膜 207 可以使用能夠應用於實施例 1 的多層膜 106 的氧化物膜 106b 的氧化物膜，並可以利用能夠應用於氧化物膜 106b 的方法而形成。此外，圖 14A 至圖 14C 所示的電晶體的其他構成要素與圖 8A 至圖 8C

所示的電晶體相同，而可以適當地參照上述記載。

[0223] 由於圖 14A 至圖 14C 所示的電晶體為在氧化物半導體膜 206a 與閘極絕緣膜 212 之間設置有氧化物膜 207 的結構，所以可以進一步使起因於形成在氧化物膜 207 與閘極絕緣膜 212 之間的介面附近的雜質或缺陷的陷阱能階與氧化物半導體膜 106a 遠離。因此，圖 14A 至圖 14C 所示的電晶體是電晶體的臨界電壓的變動被降低的具有穩定的電氣特性的電晶體。

[0224] 另外，圖 14A 至圖 14C 所示的電晶體的製造方法可以適當地參照關於實施方式 1 及圖 8A 至圖 8C 所示的電晶體的記載。

[0225]

2-5.其他電晶體結構

例如，在圖 8A 至圖 8C 所示的電晶體中，如下結構的電晶體也包括在本發明的一個方式中：在源極電極 212a 和汲極電極 212b 的上表面、以及多層膜 206 的上表面與閘極絕緣膜 212 之間設置有圖 14A 至圖 14C 所示的電晶體的氧化物膜 207。

[0226] 藉由採用具有上述結構的電晶體，可以得到在氧化物半導體膜 206a 與閘極絕緣膜 212 之間設置有氧化物膜 206b 及氧化物膜 207 的結構，所以可以進一步使起因於形成在氧化物膜 207 與閘極絕緣膜 212 之間的介面附近的雜質或缺陷的陷阱能階與氧化物半導體膜 206a 遠離。就是說，即使在 E_{cS1} 和 E_{cS2} 之間的能量差小的情況

下，也可以抑制氧化物半導體膜 206a 的電子越過該能量差到達陷阱能階。因此，可以得到臨界電壓的變動進一步被降低的具有穩定的電氣特性的電晶體。

[0227] 此外，如下電晶體也包括在本發明的一個方式中：使用具有氧化物半導體膜 206a、氧化物膜 206b 及氧化物膜 206c 的多層膜 206 來代替在實施方式 1 中說明的底閘極結構的電晶體的多層膜 106。

[0228] 如上所述，由於在多層膜 106、206 的氧化物半導體膜 106a、206a（尤其是通道區）中雜質及載子密度被降低，所以圖 8A 至圖 8C、圖 13A 至圖 13C 以及圖 14A 至圖 14C 所示的電晶體具有穩定的電氣特性。

[0229]

實施方式 3

在本實施方式中，說明使用在上述實施方式中記載的電晶體的半導體裝置。

[0230]

3-1.顯示裝置

在此，說明使用在上述實施方式中記載的電晶體的半導體裝置之一的顯示裝置。

[0231] 作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）等。發光元件在其範疇內包括其亮度由電流或電壓控制的元件，明確而言，包括無機 EL（Electro Luminescence：電致發光）元件、有機 EL 元件等。此

外，也可以採用電子墨水等由於電作用而改變對比度的顯示媒體作為顯示元件。下面，作為顯示裝置的一個例子對使用 EL 元件的顯示裝置及使用液晶元件的顯示裝置進行說明。

[0232] 另外，下面示出的顯示裝置包括處於密封有顯示元件的狀態的面板及處於在該面板中安裝有包括控制器的 IC 等的狀態的模組。

[0233] 另外，下面示出的顯示裝置是指影像顯示裝置或光源（包括照明設備）。此外，顯示裝置還包括：安裝有連接器（諸如 FPC 或 TCP）的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

[0234] 此外，在下面示出的顯示裝置中可以設置由根據接觸或非接觸的傳感來進行的輸入單元（未圖示）。例如，作為由根據接觸的傳感進行的輸入單元，可以採用各種方式諸如電阻式、電容式、紅外線式、電磁感應方式、表面聲波式等各種方式的觸控感測器。此外，作為由根據非接觸的傳感來進行的輸入單元，可以採用紅外線相機等來實施。

[0235] 該輸入單元既可以藉由另行設置在下面示出的顯示裝置上的所謂“單元上（On-cell）”方式來設置，又可以藉由和下面示出的顯示裝置一體地設置的所謂“單元內（In-cell）”方式來設置。

[0236]

3-1-1.EL 顯示裝置

在此，說明使用 EL 元件的顯示裝置（也稱為 EL 顯示裝置）。

[0237] 圖 15 是 EL 顯示裝置的像素的電路圖的一個例子。

[0238] 圖 15 所示的 EL 顯示裝置具有切換元件 743、電晶體 741、電容器 742、發光元件 719。

[0239] 電晶體 741 的閘極與切換元件 743 的一端及電容器 742 的一端電連接。電晶體 741 的源極與發光元件 719 的一端電連接。電晶體 741 的汲極與電容器 742 的另一端電連接，並被提供電源電位 VDD。切換元件 743 的另一端與信號線 744 電連接。發光元件 719 的另一端被提供恆電位。另外，恆電位為等於或低於接地電位 GND 的電位。

[0240] 另外，電晶體 741 採用在上述實施方式中記載的電晶體。該電晶體具有穩定的電氣特性。因此，可以成為顯示品質高的 EL 顯示裝置。

[0241] 作為切換元件 743 較佳為使用電晶體。藉由使用電晶體，可以減小像素的面積，由此可以成為分辨率高的 EL 顯示裝置。另外，切換元件 743 也可以採用在上述實施方式中記載的電晶體。藉由作為切換元件 743 而使用該電晶體，可以藉由與電晶體 741 相同製程來製作切換元件 743，由此可以提高 EL 顯示裝置的生產率。

[0242] 圖 16A 是 EL 顯示裝置的俯視圖。EL 顯示裝

置包含基板 100、基板 700、密封材料 734、驅動電路 735、驅動電路 736、像素 737 以及 FPC732。密封材料 734 以包圍像素 737、驅動電路 735 以及驅動電路 736 的方式設置在基板 100 與基板 700 之間。另外，驅動電路 735 和驅動電路 736 中的一個或兩個也可以設置在密封材料 734 的外側。

[0243] 圖 16B 是對應於圖 16A 的點劃線 M-N 的 EL 顯示裝置的剖面圖。FPC732 經由端子 731 與佈線 733a 連接。另外，佈線 733a 在與閘極電極 104 相同的層。

[0244] 另外，圖 16B 示出電晶體 741 及電容器 742 設置在相同平面上的例子。藉由採用這種結構，可以將電容器 742 形成在與電晶體 741 的閘極電極、閘極絕緣膜及源極電極（汲極電極）相同平面上。如此，藉由將電晶體 741 及電容器 742 設置在相同平面上，可以縮短 EL 顯示裝置的製程，由此可以提高生產率。

[0245] 圖 16B 示出作為電晶體 741 而應用圖 1A 至圖 1D 所示的電晶體的例子。因此，關於在電晶體 741 的各構成中以下不特別進行說明的構成，參照關於圖 1A 至圖 1D 所記載的說明。

[0246] 在電晶體 741 及電容器 742 上設置有絕緣膜 720。

[0247] 在此，在絕緣膜 720 及保護絕緣膜 118 中設置有直到電晶體 741 的源極電極 116a 的開口部。

[0248] 在絕緣膜 720 上設置有電極 781。電極 781 經

由設置在絕緣膜 720 及保護絕緣膜 118 中的開口部與電晶體 741 的源極電極 116a 連接。

[0249] 在電極 781 上設置有包含直到電極 781 的開口部的隔壁 784。

[0250] 在隔壁 784 上設置有藉由設置在隔壁 784 中的開口部而與電極 781 接觸的發光層 782。

[0251] 在發光層 782 上設置有電極 783。

[0252] 電極 781、發光層 782 和電極 783 相重疊的區域成為發光元件 719。

[0253] 另外，關於絕緣膜 720，參照保護絕緣膜 118 的記載。或者，也可以使用聚醯亞胺樹脂、丙烯酸樹脂、環氧樹脂、矽酮樹脂等的樹脂膜。

[0254] 發光層 782 不侷限於單層，也可以藉由層疊多種發光層等來設置發光層 782。例如，可以採用圖 16C 所示的結構。圖 16C 是依次層疊了中間層 785a、發光層 786a、中間層 785b、發光層 786b、中間層 785c、發光層 786c 以及中間層 785d 的結構。此時，當發光層 786a、發光層 786b 以及發光層 786c 採用適當的發光顏色的發光層，則可以形成彩色再現性高或者發光效率高的發光元件 719。

[0255] 也可以藉由層疊多種發光層地設置而得到白色光。雖然在圖 16B 中未圖示，但是也可以採用經由著色層提取白色光的結構。

[0256] 雖然在此示出了設置有三個發光層及四個中

間層的結構，但是不侷限於該結構，也可以適當地改變發光層及中間層的層數。例如，可以僅由中間層 785a、發光層 786a、中間層 785b、發光層 786b 以及中間層 785c 構成。此外，也可以採用由中間層 785a、發光層 786a、中間層 785b、發光層 786b、發光層 786c 以及中間層 785d 構成而省略中間層 785c 的結構。

[0257] 另外，中間層可以以層疊結構而採用電洞注入層、電洞傳輸層、電子傳輸層及電子注入層等。另外，中間層不一定包含上述所有層。可以適當地選擇並設置這些層。另外，也可以重複設置具有同樣功能的層。另外，作為中間層，除了載子產生層以外，還可以適當地追加電子中繼層等。

[0258] 電極 781 使用具有可見光透過性的導電膜即可。具有可見光透過性是指在可見光區（例如波長範圍在 400nm 至 800nm 之間）的平均穿透率為 70%以上，尤其為 80%以上。

[0259] 作為電極 781 例如可以使用 In-Zn-W 氧化物膜、In-Sn 氧化物膜、In-Zn 氧化物膜、氧化銦膜、氧化鋅膜以及氧化錫膜等氧化物膜。另外，上述氧化物膜也可以添加有微量的 Al、Ga、Sb、F 等。另外，也可以使用具有能夠透光的程度的金屬薄膜（較佳為 5nm 至 30nm 左右）。例如可以使用 5nm 厚的 Ag 膜、Mg 膜或者 Ag-Mg 合金膜。

[0260] 或者，電極 781 較佳為使用高效率地反射可

見光的膜。例如，電極 781 使用包含鋰、鋁、鈦、鎂、鏽、銀、矽或鎳的膜即可。

[0261] 電極 783 可以使用選自作為電極 781 而示出的膜。此外，在電極 781 具有可見光透過性的情況下，較佳的是，電極 783 高效率地反射可見光。另外，在電極 781 高效率地反射可見光的情況下，較佳的是，電極 783 具有可見光透過性。

[0262] 此外，雖然以圖 16B 所示的結構來設置電極 781 及電極 783，但是也可以互相調換電極 781 和電極 783。作為陽極發揮功能的電極較佳為使用功函數大的導電膜，作為陰極發揮功能的電極較佳為使用功函數小的導電膜。但是，在與陽極接觸並設置載子產生層的情況下，可以將各種導電膜用於陽極，而不用考慮功函數。

[0263] 關於隔壁 784，參照保護絕緣膜 118 的記載。或者也可以使用聚醯亞胺樹脂、丙烯酸樹脂、環氧樹脂、矽酮樹脂等的樹脂膜。

[0264] 此外，在顯示裝置中，適當地設置黑矩陣(遮光膜)、偏振構件、相位差構件、防反射構件等的光學構件(光學基板)等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。

[0265] 與發光元件 719 連接的電晶體 741 具有穩定的電氣特性。因此，可以提供顯示品質高的 EL 顯示裝置。

[0266] 圖 17A 和圖 17B 是與圖 16B 一部分不同的

EL 顯示裝置的剖面圖的一個例子。具體地，不同點為與 FPC732 連接的佈線。在圖 17A 中，FPC732 經由端子 731 與佈線 733b 連接。佈線 733b 在與源極電極 116a 及汲極電極 116b 相同的層。在圖 17B 中，FPC732 經由端子 731 與佈線 733c 連接。佈線 733c 在與電極 781 相同的層。

[0267]

3-1-2. 液晶顯示裝置

接著，對使用液晶元件的顯示裝置（也稱為液晶顯示裝置）進行說明。

[0268] 圖 18 是示出液晶顯示裝置的像素的結構例的電路圖。圖 18 所示的像素 750 包含電晶體 751、電容器 752、一對在電極之間的填充有液晶的元件（以下稱為液晶元件）753。

[0269] 在電晶體 751 中，源極和汲極中的一個與信號線 755 電連接，閘極與掃描線 754 電連接。

[0270] 在電容器 752 中，一個電極與電晶體 751 的源極和汲極中的另一個電連接，另一個電極與供應公共電位的佈線電連接。

[0271] 在液晶元件 753 中，一個電極與電晶體 751 的源極和汲極中的另一個電連接，另一個電極與供應公共電位的佈線電連接。此外，上述供應到與上述電容器 752 的另一個電極電連接的佈線的公共電位與供應到液晶元件 753 的另一個電極的公共電位可以不同。

[0272] 另外，液晶顯示裝置的俯視圖與 EL 顯示裝置

的俯視圖大致相同。圖 19A 示出對應於圖 16A 的點劃線 M-N 的液晶顯示裝置的剖面圖。在圖 19A 中，FPC732 經由端子 731 與佈線 733a 連接。另外，佈線 733a 在與閘極電極 104 相同的層。

[0273] 圖 19A 示出電晶體 751 及電容器 752 設置在相同平面上的例子。藉由採用這種結構，可以將電容器 752 製作在與電晶體 751 的閘極電極、閘極絕緣膜及源極電極（汲極電極）相同平面上。這樣地，藉由將電晶體 751 及電容器 752 設置在相同平面上，可以縮短液晶顯示裝置的製程，由此提高生產率。

[0274] 作為電晶體 751 可以使用上述電晶體。圖 19A 示出應用圖 1A 至 1D 所示的電晶體的例子。因此，關於在電晶體 751 的各構成中以下不進行說明的構成，參照圖 1A 至 1D 所示的說明。

[0275] 另外，電晶體 751 可以使用關態電流極小的電晶體。因此，保持在電容器 752 中的電荷不容易洩漏，可以在長期間保持施加到液晶元件 753 的電壓。因此，當顯示動作少的動態影像、靜態影像時，藉由使電晶體 751 成為截止狀態，不需要用於電晶體 751 的動作的功率，由此可以成為耗電量低的液晶顯示裝置。

[0276] 考慮到配置在像素部中的電晶體 751 的洩漏電流等，將設置在液晶顯示裝置中的電容器 752 的大小設定成能夠在規定期間內保存電荷。藉由使用電晶體 751，因設置具有各像素中的液晶電容的 $1/3$ 以下，較佳為 $1/5$

以下的電容大小的電容器就已足夠，所以可以提高像素的孔徑比。

[0277] 在電晶體 751 及電容器 752 上設置有絕緣膜 721。

[0278] 在此，在絕緣膜 721 及保護絕緣膜 118 中設置有直到電晶體 751 的汲極電極 116b 的開口部。

[0279] 在絕緣膜 721 上設置有電極 791。電極 791 藉由設置在絕緣膜 721 及保護絕緣膜 118 中的開口部與電晶體 751 的汲極電極 116b 連接。

[0280] 在電極 791 上設置有作為配向膜發揮功能的絕緣膜 792。

[0281] 在絕緣膜 792 上設置有液晶層 793。

[0282] 在液晶層 793 上設置有作為配向膜發揮功能的絕緣膜 794。

[0283] 在絕緣膜 794 上設置有隔離物 795。

[0284] 在隔離物 795 及絕緣膜 794 上設置有電極 796。

[0285] 在電極 796 上設置有基板 797。

[0286] 此外，關於絕緣膜 721，參照保護絕緣膜 118 的記載。或者，也可以使用聚醯亞胺樹脂、丙烯酸樹脂、環氧樹脂、矽酮樹脂等的樹脂膜。

[0287] 液晶層 793 使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、強介電性液晶、反強介電性液晶等即可。這些液晶根據條件而呈現膽固醇相、層列

相、立方相、手性向列相、各向同性相等。

[0288] 此外，作為液晶層 793 也可以使用呈現藍相的液晶。在這種情況下，採用不設置作為配向膜發揮功能的絕緣膜 792 及絕緣膜 794 的結構即可。

[0289] 電極 791 使用具有可見光透過性的導電膜即可。

[0290] 在液晶顯示裝置為透過型的情況下，作為電極 791 例如可以使用 In-Zn-W 氧化物膜、In-Sn 氧化物膜、In-Zn 氧化物膜、氧化銮膜、氧化鋅膜以及氧化錫膜等氧化物膜。另外，上述氧化物膜也可以添加有微量的 Al、Ga、Sb、F 等。另外，也可以使用具有能夠透光的程度的金屬薄膜（較佳為 5nm 至 30nm 左右）。

[0291] 在液晶顯示裝置為反射型的情況下，電極 791 較佳為使用高效率地反射可見光的膜。例如，電極 791 使用包含鋁、鈦、鉻、銅、鉬、銀、鉭或鎢的膜即可。

[0292] 在液晶顯示裝置為透過型的情況下，電極 796 可以使用選自作為電極 791 而示出的具有可見光透過性的導電膜。另一方面，在液晶顯示裝置為反射型的情況下，在電極 791 具有可見光透過性的情況下，較佳的是電極 796 高效率地反射可見光。另外，在電極 791 高效率地反射可見光的情況下，電極 796 較佳為具有可見光透過性。

[0293] 此外，雖然以圖 19A 所示的結構設置電極 791 及電極 796，但是也可以互相調換電極 791 和電極 796。

[0294] 絕緣膜 792 及絕緣膜 794 使用有機化合物或者無機化合物形成即可。

[0295] 隔離物 795 從有機化合物或者無機化合物選擇而使用即可。另外，隔離物 795 可以具有柱狀或者球狀等各種形狀。

[0296] 電極 791、絕緣膜 792、液晶層 793、絕緣膜 794 以及電極 796 相互重疊的區域成為液晶元件 753。

[0297] 基板 797 使用玻璃、樹脂或者金屬等即可。基板 797 可以具有撓性。

[0298] 圖 19B 和圖 19C 是與圖 19 一部分 A 不同的液晶顯示裝置的剖面圖的一個例子。具體地，不同點為與 FPC732 連接的佈線。在圖 19B 中，FPC732 藉由端子 731 與佈線 733b 連接。佈線 733b 在與源極電極 116a 及汲極電極 116b 相同的層。在圖 19C 中，FPC732 經由端子 731 與佈線 733c 連接。佈線 733c 在與電極 791 相同的層。

[0299] 與液晶元件 753 連接的電晶體 751 具有穩定的電氣特性。因此，可以提供顯示品質高的液晶顯示裝置。另外，由於可以使電晶體 751 的關態電流極小，所以可以提供耗電量低的液晶顯示裝置。

[0300] 在液晶顯示裝置中，可以適當地選擇動作模式。例如，有與基板垂直地施加電壓的垂直電場方式以及與基板平行地施加電壓的水平電場方式。明確而言，可以舉出 TN 模式、VA 模式、MVA 模式、PVA 模式、ASM 模式、TBA 模式、OCB 模式、FLC 模式、AFLC 模式或 FFS

模式等。

[0301] 在液晶顯示裝置中，適當地設置黑矩陣（遮光層）、偏振構件、相位差構件、防反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。另外，作為光源，也可以使用背光、側光燈等。

[0302] 另外，也可以作為背光而使用多個發光二極體（LED）來進行時間分割顯示方式（場序驅動方式）。藉由應用場序驅動方式，可以不使用著色層地進行彩色顯示。

[0303] 如上所述，作為像素部中的顯示方式，可以採用前進方式或交錯方式等。此外，當進行彩色顯示時作為在像素中受到控制的色彩要素不侷限於 RGB（R 表示紅色，G 表示綠色，B 表示藍色）這三種顏色。例如，也可以採用 RGBW（W 表示白色）或者對 RGB 追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種以上的顏色。此外，每個色彩要素的點中的顯示區的大小也可以不同。但是，本發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的液晶顯示裝置。

[0304]

3-2. 微型電腦

上述電晶體可以用於裝載在各種電子裝置中的微型電腦。

[0305] 下面，作為裝載了微型電腦的電子裝置的一

個例子，使用圖 20、圖 21、圖 22A 至圖 22C 以及圖 23A 說明火災警報器的結構及動作。

[0306] 另外，在本說明書中，火災警報器表示緊急通報火災發生的所有裝置，其包括諸如住宅用火災警報器、自動火災警報設備、用於該自動火災警報設備的火災檢測器等。

[0307] 圖 20 所示的警報裝置至少具有微型電腦 500。在此，微型電腦 500 設置在警報裝置的內部。微型電腦 500 包括與高電位電源線 VDD 電連接的電源閘控制器 503、與高電位電源線 VDD 及電源閘控制器 503 電連接的電源閘 504、與電源閘 504 電連接的 CPU (Central Processing Unit: 中央處理器) 505、以及與電源閘 504 及 CPU505 電連接的檢測部 509。另外，CPU505 包含揮發性記憶部 506 及非揮發性記憶部 507。

[0308] 另外，CPU505 經介面 508 與匯流排 502 電連接。與 CPU505 同樣，介面 508 也與電源閘 504 電連接。作為介面 508 的匯流排標準，例如可以使用 I²C 匯流排等。在警報裝置中設置經由介面 508 與電源閘 504 電連接的發光元件 530。

[0309] 作為發光元件 530 較佳為發出指向性強的光，例如可以使用有機 EL 元件、無機 EL 元件、LED 等。

[0310] 電源閘控制器 503 具有計時器，依照該計時器控制電源閘 504。電源閘 504 依照電源閘控制器 503 的

控制，對 CPU505、檢測部 509 及介面 508 供應或切斷從高電位電源線 VDD 供應的電源。在此，作為電源閘 504 可以使用如電晶體等的切換元件。

[0311] 藉由使用這種電源閘控制器 503 及電源閘 504，可以在測定光量的期間內，進行對檢測部 509、CPU505 及介面 508 的電源供應，並且在測定期間的空閒期間可以切斷對檢測部 509、CPU505 及介面 508 的電源供應。藉由使警報裝置這樣動作，與對上述各個結構常時供應電源的情況相比，能夠謀求耗電量的降低。

[0312] 另外，在作為電源閘 504 使用電晶體的情況下，較佳為使用用於非揮發性記憶部 507 並且關態電流極低的電晶體，例如在上述實施方式中記載的電晶體。藉由採用這種電晶體，當由電源閘 504 切斷電源時可以減少洩漏電流，謀求耗電量的降低。

[0313] 也可以在警報裝置中設置直流電源 501，從直流電源 501 對高電位電源線 VDD 供應電源。直流電源 501 的高電位一側的電極與高電位電源線 VDD 電連接，直流電源 501 的低電位一側的電極與低電位電源線 VSS 電連接。低電位電源線 VSS 與微型電腦 500 電連接。在此，對高電位電源線 VDD 供應高電位 H。另外，對低電位電源線 VSS 提供諸如接地電位 (GND) 等的低電位 L。

[0314] 在作為直流電源 501 而使用電池的情況下，例如採用在外殼中設置包括如下部件的電池箱的結構即可，即與高電位電源線 VDD 電連接的電極、與低電位電

源線 VSS 電連接的電極、以及可以保持該電池的外殼。另外，警報裝置也可以不一定設置直流電源 501，例如也可以採用從設置在該警報裝置的外部的交流電源經由佈線供應電源的結構。

[0315] 此外，作為上述電池，也可以使用二次電池，如鋰離子二次電池（也稱為鋰離子蓄電池、鋰離子電池或 lithium ion battery）。另外，較佳為設置太陽能電池以能夠對該二次電池進行充電。

[0316] 檢測部 509 測量有關異常的物理量而對 CPU505 發送測量值。有關異常的物理量根據警報裝置的用途而不同，在作為火災警報器發揮功能的警報裝置中，測量有關火災的物理量。因此，在檢測部 509 中，測量作為有關火災的物理量的光量而檢測出煙霧的存在。

[0317] 檢測部 509 具有與電源閘 504 電連接的光感測器 511、與電源閘 504 電連接的放大器 512、以及與電源閘 504 及 CPU505 電連接的 AD 轉換器 513。發光元件 530、光感測器 511、放大器 512 及 AD 轉換器 513 在電源閘 504 對檢測部 509 供應電源時進行動作。

[0318] 圖 21 示出警報裝置的剖面的一部分。在 p 型半導體基板 401 上具有元件分離區 403，形成有 n 型電晶體 519，該 n 型電晶體 519 包括：閘極絕緣膜 407、閘極電極 409、n 型雜質區 411a、以及 n 型雜質區 411b。n 型電晶體 519 使用單晶矽等的半導體來形成，所以可以進行高速動作。因此，可以形成能夠進行高速訪問的 CPU 的

揮發性記憶部。另外，在 n 型電晶體 519 上設置有絕緣膜 415 及絕緣膜 417。

[0319] 另外，在對絕緣膜 415 及絕緣膜 417 的一部分選擇性地進行了蝕刻的開口部處形成接觸插頭 419a 及接觸插頭 419b，在絕緣膜 417、接觸插頭 419a 以及接觸插頭 419b 上設置有具有溝槽部的絕緣膜 421。另外，在絕緣膜 421 的溝槽部形成佈線 423a 及佈線 423b。另外，在絕緣膜 421、佈線 423a 以及佈線 423b 上藉由濺射法、CVD 法等形成絕緣膜 420，在該絕緣膜 420 上形成具有溝槽部的絕緣膜 422。在絕緣膜 422 的溝槽部形成電極 424。電極 424 是作為第二電晶體 517 的背閘極電極發揮功能的電極。藉由設置這樣的電極 424，可以進行第二電晶體 517 的臨界電壓的控制。

[0320] 另外，在絕緣膜 422 及電極 424 上藉由濺射法、CVD 法等設置絕緣膜 425。

[0321] 在絕緣膜 425 上設置第二電晶體 517 及光電轉換元件 514。第二電晶體 517 包括：包含氧化物半導體膜 206a 及氧化物膜 206b 的多層膜 206；接觸於多層膜 206 上的源極電極 216a 及汲極電極 216b；閘極絕緣膜 212；閘極電極 204；以及保護絕緣膜 218。另外，設置覆蓋光電轉換元件 514 及第二電晶體 517 的絕緣膜 445，在絕緣膜 445 上具有接觸於汲極電極 216b 的佈線 449。佈線 449 作為使第二電晶體 517 的汲極電極與 n 型電晶體 519 的閘極電極 409 電連接的節點發揮功能。

[0322] 光感測器 511 包括光電轉換元件 514、電容元件、第一電晶體、第二電晶體 517、第三電晶體以及 n 型電晶體 519。在此，作為光電轉換元件 514，例如可以採用光電二極體等。

[0323] 光電轉換元件 514 的端子的一個與低電位電源線 VSS 電連接，端子的另一個與第二電晶體 517 的源極電極和汲極電極中的一個電連接。對第二電晶體 517 的閘極電極提供電荷累積控制信號 Tx，源極電極和汲極電極中的另一個與電容元件的一對電極中的一個、第一電晶體的源極電極和汲極電極中的一個、以及 n 型電晶體 519 的閘極電極電連接（下面，有時將該節點稱為節點 FD）。電容元件的一對電極中的另一個與低電位電源線 VSS 電連接。對第一電晶體的閘極電極提供重設信號 Res，源極電極和汲極電極中的另一個與高電位電源線 VDD 電連接。n 型電晶體 519 的源極電極和汲極電極中的一個與第三電晶體的源極電極和汲極電極中的一個、以及放大器 512 電連接。另外，n 型電晶體 519 的源極電極和汲極電極中的另一個與高電位電源線 VDD 電連接。對第三電晶體的閘極電極提供偏置信號 Bias，源極電極和汲極電極中的另一個與低電位電源線 VSS 電連接。

[0324] 此外，也可以不一定要設置電容元件，例如在 n 型電晶體 519 等的寄生電容充分大的情況下也可以採用不設置電容元件的結構。

[0325] 另外，第一電晶體及第二電晶體 517 較佳為

使用關態電流極低的電晶體。此外，作為關態電流極低的電晶體，較佳為採用使用了上述的包含氧化物半導體膜的多層膜的電晶體。藉由採用這種結構，能夠長時間保持節點 FD 的電位。

[0326] 另外，在圖 21 所示的結構中，與第二電晶體 517 電連接地在絕緣膜 425 上設置有光電轉換元件 514。

[0327] 光電轉換元件 514 具有設置在絕緣膜 425 上的半導體膜 260、以及接觸於半導體膜 260 上地設置的第二電晶體 517 的源極電極 216a、電極 216c。源極電極 216a 是作為第二電晶體 517 的源極電極或汲極電極發揮功能的電極，並使光電轉換元件 514 與第二電晶體 517 電連接。

[0328] 在半導體膜 260、第二電晶體 517 的源極電極 216a 及電極 216c 上設置有閘極絕緣膜 212、保護絕緣膜 218 以及絕緣膜 445。另外，在絕緣膜 445 上設置有佈線 456，經由設置於閘極絕緣膜 212、保護絕緣膜 218 以及絕緣膜 445 的開口與電極 216c 接觸。

[0329] 電極 216c 可以藉由與第二電晶體 517 的源極電極 216a 及汲極電極 216b 相同的製程形成，佈線 456 可以藉由與佈線 449 相同的製程形成。

[0330] 作為半導體膜 260，設置能夠進行光電轉換的半導體膜即可，例如可以使用矽及鍺等。在將矽用於半導體膜 260 的情況下，作為檢測可見光的光感測器發揮功能。另外，因為矽和鍺能夠吸收的電磁波的波長不同，所

以如果採用將鍺用於半導體膜 260 的結構，則能夠用作檢測紅外線的感測器。

[0331] 如上所述那樣，可以在微型電腦 500 中內置地設置包含光感測器 511 的檢測部 509，所以可以縮減部件數，並縮小警報裝置的外殼。

[0332] 在上述的包含 IC 晶片的火災警報器中，採用了組合多個使用上述電晶體的電路並將它們裝載於一個 IC 晶片的 CPU505。

[0333]

3-3.CPU

圖 22A 至圖 22C 是示出將上述電晶體至少用於其一部分的 CPU 的具體結構的方塊圖。

[0334] 圖 22A 所示的 CPU 在基板 1190 上包括：ALU1191（Arithmetic logic unit：算術邏輯單元）；ALU 控制器 1192；指令解碼器 1193；中斷控制器 1194；時序控制器 1195；暫存器 1196；暫存器控制器 1197；匯流排介面 1198（Bus I/F）；可改寫的 ROM1199；以及 ROM 介面 1189（ROM I/F）。基板 1190 使用半導體基板、SOI 基板及玻璃基板等。ROM1199 和 ROM 介面 1189 可以設置在不同的晶片上。當然，圖 22A 所示的 CPU 只是將其結構簡化而示出的一個例子，並且實際上的 CPU 根據其用途具有多種結構。

[0335] 經由匯流排介面 1198 輸入到 CPU 的命令被輸入到指令解碼器 1193 並且被解碼之後，被輸入到 ALU

控制器 1192、中斷控制器 1194、暫存器控制器 1197 和時序控制器 1195。

[0336] 根據被解碼的指令，ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 進行各種控制。明確而言，ALU 控制器 1192 生成用於控制 ALU1191 的動作的信號。另外，中斷控制器 1194 在 CPU 的程式執行中，根據其優先度或遮罩狀態來判斷來自外部的輸入/輸出裝置、週邊電路的中斷請求，並處理該請求。暫存器控制器 1197 生成暫存器 1196 的位址，並根據 CPU 的狀態進行從暫存器 1196 的讀出或對暫存器 1196 的寫入。

[0337] 另外，時序控制器 1195 生成控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的動作定時的信號。例如，時序控制器 1195 具備有根據基準時脈信號 CLK1 來生成內部時脈信號 CLK2 的內部時脈生成部，將內部時脈信號 CLK2 供應到上述各種電路。

[0338] 在圖 22A 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述電晶體。

[0339] 在圖 22A 所示的 CPU 中，暫存器控制器 1197 依照來自 ALU1191 的指示，進行暫存器 1196 中的保持動作的選擇。換言之，在暫存器 1196 所具有的記憶單元中，選擇進行基於正反器的資料的保持還是進行基於電容

元件的資料的保持。在選擇基於正反器的資料的保持的情況下，進行對暫存器 1196 內的記憶單元的電源電壓的供應。在選擇基於電容元件的資料的保持的情況下，進行對電容元件的資料改寫，可以停止對暫存器 1196 內的記憶單元的電源電壓的供應。

[0340] 如圖 22B 或圖 22C 所示那樣，關於停止電源電壓供應，可以藉由在記憶單元組與被供應有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件來進行。以下說明圖 22B 及圖 22C 的電路。

[0341] 圖 22B 及圖 22C 是將上述電晶體用於控制對記憶單元的電源電位的供應的切換元件的記憶體裝置。

[0342] 圖 22B 所示的記憶體裝置具有切換元件 1141 以及具有多個記憶單元 1142 的記憶單元組 1143。明確而言，各記憶單元 1142 可以使用上述電晶體。經由切換元件 1141，高位準的電源電位 VDD 被供應到記憶單元組 1143 所具有的各記憶單元 1142。進一步地，信號 IN 的電位和低位準的電源電位 VSS 的電位供應到記憶單元組 1143 所具有的各記憶單元 1142。

[0343] 在圖 22B 中，作為切換元件 1141 使用了上述電晶體，關於該電晶體，由提供到其閘極電極層的信號 SigA 來控制其開關。

[0344] 此外，在圖 22B 中示出切換元件 1141 只具有一個電晶體的結構，但是對此沒有特別的限制，也可以具有多個電晶體。在切換元件 1141 具有多個作為切換元件

發揮功能的電晶體時，既可以將上述多個電晶體並聯地連接，又可以串聯地連接，還可以並聯和串聯組合地連接。

[0345] 另外，在圖 22B 中，由切換元件 1141 控制對記憶單元組 1143 所具有的各記憶單元 1142 的高位準的電源電位 VDD 的供應，但是也可以由切換元件 1141 控制低位準的電源電位 VSS 的供應。

[0346] 另外，圖 22C 示出記憶體裝置的一個例子，其中經由切換元件 1141 將低位準的電源電位 VSS 供應到記憶單元組 1143 所具有的各記憶單元 1142。藉由切換元件 1141 可以控制對記憶單元組 1143 所具有的各記憶單元 1142 的低位準的電源電位 VSS 的供應。

[0347] 在設置切換元件於記憶單元組與被施加電源電位 VDD 或電源電位 VSS 的節點之間，並暫時停止 CPU 的動作，停止電源電壓的供應的情況下，也可以保持資料，由此可以降低耗電量。明確而言，例如，在個人電腦的用戶停止對鍵盤等輸入裝置輸入資訊的期間，也可以停止 CPU 的動作，由此可以降低耗電量。

[0348] 在此，以 CPU 為例子進行了說明，但是也可以應用於 DSP (Digital Signal Processor: 數位信號處理器)、定製 LSI、FPGA(Field Programmable Gate Array: 現場可程式邏輯閘陣列)等的 LSI。

[0349]

3-4.設置例

在圖 23A 中，警報裝置 8100 是住宅用火災警報器，

具有檢測部以及微型電腦 8101。微型電腦 8101 包括使用上述電晶體的 CPU。

[0350] 在圖 23A 中，具有室內機 8200 及室外機 8204 的空調器包括使用上述電晶體的 CPU。明確地說，室內機 8200 具有外殼 8201、送風口 8202、CPU8203 等。在圖 23A 中，示例了 CPU8203 設置在室內機 8200 中的情況，但是 CPU8203 也可以設置在室外機 8204 中。或者，也可以在室內機 8200 和室外機 8204 兩個中都設置有 CPU8203。藉由包括使用上述電晶體的 CPU，可以使空調器實現省電化。

[0351] 在圖 23A 中，電冷藏冷凍箱 8300 包括使用上述電晶體的 CPU。明確地說，電冷藏冷凍箱 8300 包括外殼 8301、冷藏室用門 8302、冷凍室用門 8303 及 CPU8304 等。在圖 23A 中，CPU8304 設置在外殼 8301 的內部。藉由包括使用上述電晶體的 CPU，可以使電冷藏冷凍箱 8300 實現省電化。

[0352] 圖 23B 及圖 23C 示出電動汽車的例子。電動汽車 9700 裝載有二次電池 9701。二次電池 9701 的電力由控制電路 9702 調整其輸出，並供給到驅動裝置 9703。控制電路 9702 由具有未圖示的 ROM、RAM、CPU 等的處理裝置 9704 控制。藉由包括使用上述電晶體的 CPU，可以使電動汽車 9700 實現省電化。

[0353] 驅動裝置 9703 是由直流電動機或交流電動機單獨或者與電動機和內燃機組合而構成的。處理裝置

9704 根據電動汽車 9700 的駕駛員的操作資訊（加速、減速、停止等）、行車時的資訊（爬坡、下坡等資訊、驅動輪受到的負載資訊等）等的輸入資訊，向控制電路 9702 輸出控制信號。控制電路 9702 根據處理裝置 9704 的控制信號來調整從二次電池 9701 供應的電能並控制驅動裝置 9703 的輸出。在裝載交流電動機的情況下，雖然未圖示，但是還內置有將直流轉換為交流的逆變器。

實施例 1

[0354] 在本實施例中，利用圖 24 至圖 30B 來說明對氧化物半導體膜進行濕蝕刻時的蝕刻速度和氧化物半導體膜的側面的形狀。

[0355] 首先，說明氧化物半導體膜及蝕刻劑各自的種類及蝕刻速度。

[0356] 以下說明樣本 1 及樣本 2 的製造方法。

[0357] 在玻璃基板上形成氧化物半導體膜。樣本 1 在玻璃基板上具有使用 In : Ga : Zn=1 : 1 : 1（原子個數比）的金屬氧化物的濺射靶材形成的厚度為 100nm 的 In-Ga-Zn 氧化物膜。樣本 2 在玻璃基板上具有使用 In : Ga : Zn=1 : 3 : 2（原子個數比）的金屬氧化物的濺射靶材形成的厚度為 100nm 的 In-Ga-Zn 氧化物膜。

[0358] 作為樣本 1 中的 In-Ga-Zn 氧化物膜的成膜條件，使用如下條件：將濺射靶材設為 In : Ga : Zn=1 : 1 : 1（原子個數比）的靶材，向濺射裝置的反應室內供應作

為濺射氣體的流量為 50sccm 的氫和流量為 50sccm 的氧，將反應室內的壓力控制為 0.6Pa，並供應 5kW 的直流功率。此外，將形成 In-Ga-Zn 氧化物膜時的基板溫度設為 170°C。

[0359] 作為樣本 2 的 In-Ga-Zn 氧化物膜的成膜條件，使用如下條件：將濺射靶材設為 In : Ga : Zn=1 : 3 : 2（原子個數比）的靶材，向濺射裝置的反應室內供應作為濺射氣體的流量為 90sccm 的 Ar 和流量為 10sccm 的氧，將反應室內的壓力控制為 0.3Pa，並供應 5kW 的直流功率。此外，形成 In-Ga-Zn 氧化物膜時的基板溫度為 100°C。

[0360] 接著，對形成在樣本 1 及樣本 2 中的 In-Ga-Zn 氧化物膜進行濕蝕刻。在該濕蝕刻製程中，使用第一蝕刻劑至第三蝕刻劑中的任一個。作為第一蝕刻劑使用 25°C 的 85 重量%的磷酸。作為第二蝕刻劑使用 60°C 的草酸類水溶液（例如，日本關東化學株式會社製造的 ITO-07N（含有 5 重量%以下的草酸的水溶液））。作為第三蝕刻劑，使用 30°C 的磷酸類水溶液（例如，日本和光純藥工業株式會社製造的混合酸鋁液（含有 72 重量%的磷酸、2 重量%的硝酸及 9.8 重量%的醋酸的水溶液））。

[0361] 接著，圖 24 示出樣本 1 及樣本 2 中的各蝕刻劑與蝕刻速度的關係。

[0362] 由圖 24 可知，具有使用 In : Ga : Zn=1 : 1 : 1（原子個數比）作為濺射靶材而形成的 In-Ga-Zn 氧化物

膜（表示為 In-Ga-Zn-O（111））的樣本 1 在使用作為第二蝕刻劑的草酸類水溶液的蝕刻中，蝕刻速度快。

[0363] 另一方面，可知，具有使用 In : Ga : Zn=1 : 3 : 2（原子個數比）作為濺射靶材而形成的 In-Ga-Zn 氧化物膜（表示為 In-Ga-Zn-O（132））的樣本 2 在所有蝕刻劑中，蝕刻速度大致相同。

[0364] 接著，說明當使用第一蝕刻劑至第三蝕刻劑中的任一個對層疊結構的氧化物半導體膜進行蝕刻時的氧化物半導體膜的側面的形狀。

[0365] 以下說明樣本 3 及樣本 4 的製造方法。此外，樣本 3 及樣本 4 是層疊有第一 In-Ga-Zn 氧化物膜和第二 In-Ga-Zn 氧化物膜的兩層結構。

[0366] 在玻璃基板上對層疊結構的氧化物半導體膜進行成膜。首先，在玻璃基板上使用 In : Ga : Zn=1 : 1 : 1（原子個數比）的金屬氧化物的濺射靶材來對厚度為 35nm 的第一 In-Ga-Zn 氧化物膜進行成膜。接著，使用 In : Ga : Zn=1 : 3 : 2（原子個數比）的金屬氧化物的濺射靶材來對厚度為 20nm 的第二 In-Ga-Zn 氧化物膜進行成膜。

[0367] 此外，第一 In-Ga-Zn 氧化物膜是利用與樣本 1 的 In-Ga-Zn 氧化物膜相同的成膜條件而被進行成膜的膜。另外，第二 In-Ga-Zn 氧化物膜是利用與樣本 2 的 In-Ga-Zn 氧化物膜相同的成膜條件而被進行成膜的膜。

[0368] 接著，對層疊結構的氧化物半導體膜進行蝕

刻。在樣本 3 中，作為蝕刻劑，使用作為第一蝕刻劑的 25°C 的 85 重量%的磷酸。在樣本 4 中，作為蝕刻劑，使用作為第三蝕刻劑的 30°C 的磷酸類水溶液。

[0369] 接著，對樣本 5 的製造方法進行說明。此外，樣本 5 是層疊有第一 In-Ga-Zn 氧化物膜至第三 In-Ga-Zn 氧化物膜的三層結構。

[0370] 在玻璃基板上藉由 CVD 法形成氮化矽膜及氧氮化矽膜。接著，在氧氮化矽膜上形成層疊結構的氧化物半導體膜。接著，在氧氮化矽膜上使用 In : Ga : Zn=1 : 3 : 2 (原子個數比) 的金屬氧化物的濺射靶材來形成厚度為 5nm 的第一 In-Ga-Zn 氧化物膜。接著，使用 In : Ga : Zn=3 : 1 : 2 (原子個數比) 的金屬氧化物的濺射靶材來形成厚度為 20nm 的第二 In-Ga-Zn 氧化物膜。接著，使用 In : Ga : Zn=1 : 1 : 1 (原子個數比) 的金屬氧化物的濺射靶材來形成厚度為 20nm 的第三 In-Ga-Zn 氧化物膜。接著，在第三 In-Ga-Zn 氧化物膜上藉由 CVD 法形成氧氮化矽膜。

[0371] 此外，樣本 5 中的第一 In-Ga-Zn 氧化物膜使用如下條件來形成：將濺射靶材設為 In : Ga : Zn=1 : 3 : 2 (原子個數比) 的靶材，向濺射裝置的反應室內供應作為濺射氣體的 90sccm 的氬和 10sccm 的氧，將反應室內的壓力控制為 0.6Pa，並供應 5kW 的直流功率。第二 In-Ga-Zn 氧化物膜使用如下條件來形成：將濺射靶材設為 In : Ga : Zn=3 : 1 : 2 (原子個數比) 的靶材，向濺射裝置的

反應室內供應作為濺射氣體的 50sccm 的氫和 50sccm 的氧，將反應室內的壓力控制為 0.6Pa，並供應 5kW 的直流功率。第三 In-Ga-Zn 氧化物膜使用如下條件來形成：將濺射靶材設為 In : Ga : Zn=1 : 1 : 1 (原子個數比) 的靶材，向濺射裝置的反應室內供應作為濺射氣體的 100sccm 的氧，將反應室內的壓力控制為 0.6Pa，並供應 5kW 的直流功率。此外，形成第一 In-Ga-Zn 氧化物膜至第三 In-Ga-Zn 氧化物膜時的基板溫度為 170°C。

[0372] 接著，對層疊結構的氧化物半導體膜進行蝕刻。在樣本 5 中，作為蝕刻劑使用作為第二蝕刻劑的 60°C 的草酸類水溶液。

[0373] 接著，說明樣本 6 的製造方法。此外，樣本 6 是層疊有第一 In-Ga-Zn 氧化物膜及第二 In-Ga-Zn 氧化物膜的兩層結構。

[0374] 在玻璃基板上藉由 CVD 法形成氧氮化矽膜。接著，在氧氮化矽膜上使用與樣本 3 及樣本 4 相同的成膜條件，並使用 In : Ga : Zn=1 : 1 : 1 (原子個數比) 的金屬氧化物的濺射靶材而形成厚度為 35nm 的第一 In-Ga-Zn 氧化物膜之後，使用 In : Ga : Zn=1 : 3 : 2 (原子個數比) 的金屬氧化物的濺射靶材來形成厚度為 20nm 的第二 In-Ga-Zn 氧化物膜。接著，在第二 In-Ga-Zn 氧化物膜上形成氧氮化矽膜。

[0375] 接著，對層疊結構的氧化物半導體膜進行蝕刻。在樣本 6 中，藉由乾蝕刻法對層疊結構的氧化物半導

體膜進行蝕刻。此外，作為蝕刻氣體使用 BCl_3 。

[0376] 接著，使用 STEM (Scanning Transmission Electron Microscopy：掃描透射電子顯微術) 來觀察樣本 3 至樣本 6 的剖面形狀。

[0377] 圖 25A 示出樣本 3 的 20 萬倍放大倍率的相襯影像 (TE 影像)，圖 25B 示出圖 25A 的示意圖。另外，圖 26 示出樣本 3 的 15 萬倍放大倍率的 Z 對比影像 (ZC 影像)。

[0378] 圖 27A 示出樣本 4 的 20 萬倍放大倍率的相襯影像 (TE 影像)，圖 27B 示出圖 27A 的示意圖。

[0379] 圖 28A 示出樣本 5 的 15 萬倍放大倍率的相襯影像 (TE 影像)，圖 28B 示出圖 28A 的示意圖。為了說明樣本 5 中的層疊結構的氧化物半導體膜的側面附近的詳細情況，圖 29A 示出樣本 5 的 15 萬倍放大倍率的 Z 對比影像 (ZC 影像)，圖 29B 示出圖 29A 的示意圖。

[0380] 圖 30A 示出樣本 6 的 15 萬倍放大倍率的相襯影像 (TE 影像)，圖 30B 示出圖 30A 的示意圖。

[0381] 如圖 25B 所示，在樣本 3 中，在玻璃基板 801 上形成有第一 In-Ga-Zn 氧化物膜 803。在第一 In-Ga-Zn 氧化物膜 803 上形成有第二 In-Ga-Zn 氧化物膜 805。在第二 In-Ga-Zn 氧化物膜 805 上設置有光阻劑 807。

[0382] 另外，如圖 26 所示，在樣本 3 中，第一 In-Ga-Zn 氧化物膜 803 及第二 In-Ga-Zn 氧化物膜 805 根據其濃淡的差異而可以確認出兩者的邊界。就是說，在本發明

的一個方式的電晶體中，即使在氧化物半導體膜和氧化物膜包含相同元素的情況下，也可以根據其組成的差異而確認出兩者的邊界。

[0383] 如圖 27B 所示，在樣本 4 中，在玻璃基板 811 上形成有第一 In-Ga-Zn 氧化物膜 813。在第一 In-Ga-Zn 氧化物膜 813 上形成有第二 In-Ga-Zn 氧化物膜 815。在第二 In-Ga-Zn 氧化物膜 815 上設置有光阻劑 817。

[0384] 在樣本 3 及樣本 4 中，將玻璃基板 801、811 與第一 In-Ga-Zn 氧化物膜 803、813 的側面所呈的角度設為角度 θ_1 。將第一 In-Ga-Zn 氧化物膜 803、813 及第二 In-Ga-Zn 氧化物膜 805、815 的介面與第二 In-Ga-Zn 氧化物膜 805、815 的側面所呈的角度設為角度 θ_2 。如圖 25A 和圖 25B 及圖 27A 和圖 27B 所示，可知在樣本 3 及樣本 4 中角度 θ_2 大於角度 θ_1 。

[0385] 如圖 28B 所示，在樣本 5 中，在氮化矽膜 821 上形成有氧氮化矽膜 823。在氧氮化矽膜 823 上形成有層疊結構的氧化物半導體膜 825。在氧氮化矽膜 823 及層疊結構的氧化物半導體膜 825 上形成有氧氮化矽膜 827。此外，在氧氮化矽膜 827 中形成有低密度區 829。

[0386] 在樣本 5 中，將氧氮化矽膜 823 及層疊結構的氧化物半導體膜 825 的介面與層疊結構的氧化物半導體膜 825 的側面所呈的角度稱為角度 θ_3 。如圖 29B 所示，在樣本 5 中，角度 θ_3 為鈍角。此外，ZC 影像根據原子番號的差異而其對比度不同，由此可知在層疊結構的氧化物半

導體膜 825 的側面形成有具有與氧化物半導體膜不同的組成的膜 826。當藉由能量分散型 X 射線分析 (Energy dispersive X-ray spectrometry:EDX) 對該膜 826 進行分析可知，膜 826 包含鎢。

[0387] 如圖 30B 所示，在樣本 6 中，在玻璃基板 831 上形成有氮化矽膜 833。在氮化矽膜 833 上形成有層疊結構的氧化物半導體膜 835。在氮化矽膜 833 及層疊結構的氧化物半導體膜 835 上形成有氮化矽膜 837。

[0388] 在樣本 6 中，將氮化矽膜 833 及層疊結構的氧化物半導體膜 835 的介面與層疊結構的氧化物半導體膜 835 的側面所呈的角度稱為角度 θ_4 。如圖 30B 所示，在樣本 6 中，角度 θ_4 大致相同，不因氧化物半導體膜的側面的位置而改變。

[0389] 由以上所述可知，在層疊結構的氧化物半導體膜中，藉由利用將磷酸或磷酸類水溶液用於蝕刻劑的濕蝕刻法，可以使使用 In : Ga : Zn=1 : 1 : 1 (原子個數比) 的濺射靶材形成的 In-Ga-Zn 氧化物膜的側面與 In-Ga-Zn 氧化物膜的基底膜的介面所呈的角度 θ_1 小於使用 In : Ga : Zn=1 : 3 : 2 (原子個數比) 的濺射靶材形成的 In-Ga-Zn 氧化物膜的側面與 In-Ga-Zn 氧化物膜的基底膜的介面所呈的角度 θ_2 。

【符號說明】

[0390]

- 100 : 基板
- 104 : 閘極電極
- 106 : 多層膜
- 106a : 氧化物半導體膜
- 106b : 氧化物膜
- 106c : 低電阻區
- 106d : 低電阻區
- 107 : 氧化物膜
- 112 : 閘極絕緣膜
- 113 : 步階
- 116a : 源極電極
- 116b : 汲極電極
- 117 : 氧化物膜
- 118 : 保護絕緣膜
- 118a : 氧化矽膜
- 118b : 氧化矽膜
- 118c : 氮化矽膜
- 126a : 氧化物半導體膜
- 126b : 氧化物膜
- 200 : 基板
- 202 : 基底絕緣膜
- 204 : 閘極電極
- 206 : 多層膜

206a : 氧化物半導體膜
206b : 氧化物膜
206c : 氧化物膜
206d : 低電阻區
206e : 低電阻區
207 : 氧化物膜
212 : 閘極絕緣膜
212a : 源極電極
212b : 汲極電極
213 : 步階
214 : 步階
216a : 源極電極
216b : 汲極電極
216c : 電極
218 : 保護絕緣膜
226a : 氧化物半導體膜
226b : 氧化物膜
226c : 氧化物膜
260 : 半導體膜
401 : 半導體基板
403 : 元件分離區
407 : 閘極絕緣膜
409 : 閘極電極
411a : 雜質區

- 411b : 雜質區
- 415 : 絕緣膜
- 417 : 絕緣膜
- 419 : 電晶體
- 419a : 接觸插頭
- 419b : 接觸插頭
- 420 : 絕緣膜
- 421 : 絕緣膜
- 422 : 絕緣膜
- 423a : 佈線
- 423b : 佈線
- 424 : 電極
- 425 : 絕緣膜
- 445 : 絕緣膜
- 449 : 佈線
- 456 : 佈線
- 500 : 微型電腦
- 501 : 直流電源
- 502 : 匯流排
- 503 : 電源閘控制器
- 504 : 電源閘
- 505 : CPU
- 506 : 揮發性記憶部
- 507 : 非揮發性記憶部

- 508 : 介面
- 509 : 檢測部
- 511 : 光感測器
- 512 : 放大器
- 513 : AD 轉換器
- 514 : 光電轉換元件
- 517 : 電晶體
- 519 : 電晶體
- 530 : 發光元件
- 700 : 基板
- 719 : 發光元件
- 720 : 絕緣膜
- 721 : 絕緣膜
- 731 : 端子
- 732 : FPC
- 733a : 佈線
- 733b : 佈線
- 733c : 佈線
- 734 : 密封材料
- 735 : 驅動電路
- 736 : 驅動電路
- 737 : 像素
- 741 : 電晶體
- 742 : 電容器

- 743 : 切換元件
- 744 : 信號線
- 750 : 像素
- 751 : 電晶體
- 752 : 電容器
- 753 : 液晶元件
- 754 : 掃描線
- 755 : 信號線
- 781 : 電極
- 782 : 發光層
- 783 : 電極
- 784 : 分隔壁
- 785a : 中間層
- 785b : 中間層
- 785c : 中間層
- 785d : 中間層
- 786a : 發光層
- 786b : 發光層
- 786c : 發光層
- 791 : 電極
- 792 : 絕緣膜
- 793 : 液晶層
- 794 : 絕緣膜
- 795 : 隔離物

- 796 : 電極
- 797 : 基板
- 801 : 玻璃基板
- 803 : In-Ga-Zn 氧化物膜
- 805 : In-Ga-Zn 氧化物膜
- 807 : 光阻劑
- 811 : 玻璃基板
- 813 : In-Ga-Zn 氧化物膜
- 815 : In-Ga-Zn 氧化物膜
- 817 : 光阻劑
- 821 : 氮化矽膜
- 823 : 氧氮化矽膜
- 825 : 氧化物半導體膜
- 826 : 膜
- 827 : 氧氮化矽膜
- 829 : 低密度區
- 831 : 玻璃基板
- 833 : 氧氮化矽膜
- 835 : 氧化物半導體膜
- 837 : 氧氮化矽膜
- 1141 : 切換元件
- 1142 : 記憶單元
- 1143 : 記憶單元組
- 1189 : ROM 介面

- 1190 : 基板
- 1191 : ALU
- 1192 : ALU 控制器
- 1193 : 指令解碼器
- 1194 : 中斷控制器
- 1195 : 時序控制器
- 1196 : 暫存器
- 1197 : 暫存器控制器
- 1198 : 匯流排介面
- 1199 : ROM
- 8100 : 警報裝置
- 8101 : 微型電腦
- 8200 : 室內機
- 8201 : 外殼
- 8202 : 送風口
- 8203 : CPU
- 8204 : 室外機
- 8300 : 電冷藏冷凍箱
- 8301 : 外殼
- 8302 : 冷藏室用門
- 8303 : 冷凍室用門
- 8304 : CPU
- 9700 : 電動汽車
- 9701 : 二次電池

9702 : 控制電路

9703 : 驅動裝置

9704 : 處理裝置

發明摘要

※申請案號：106112788 (由102139950分割)

※申請日：102年11月04日

※IPC分類：

H01L 29/06 (2006.01)

H01L 29/24 (2006.01)

H01L 29/786 (2006.01)

G02F 1/1362 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明係關於一種半導體裝置及其製造方法，賦予使用氧化物半導體膜的電晶體穩定的電氣特性。另外，賦予使用氧化物半導體膜的電晶體具有優良的電氣特性。另外，本發明提供一種具有該電晶體的高可靠性的半導體裝置。關於具有層疊有氧化物半導體膜及氧化物膜的多層膜、閘極電極以及閘極絕緣膜的電晶體，多層膜經由閘極絕緣膜而重疊於所述閘極電極地設置，多層膜是具有由氧化物半導體膜的下表面與氧化物半導體膜的側面所呈的第一角度、以及由氧化物膜的下表面與氧化物膜的側面所呈的第二角度的形狀，並且，第一角度小於第二角度且被設為銳角。另外，藉由使用該電晶體來製造半導體裝置。

【 英文 】

A transistor includes a multilayer film in which an oxide semiconductor film and an oxide film are stacked, a gate electrode, and a gate insulating film. The multilayer film overlaps with the gate electrode with the gate insulating film interposed therebetween. The multilayer film has a shape having a first angle between a bottom surface of the oxide semiconductor film and a side surface of the oxide semiconductor film and a second angle between a bottom surface of the oxide film and a side surface of the oxide film. The first angle is acute and smaller than the second angle. Further, a semiconductor device including such a transistor is manufactured.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

100：基板

104：閘極電極

106：多層膜

106a：氧化物半導體膜

106b：氧化物膜

106c：低電阻區

106d：低電阻區

112：閘極絕緣膜

116a：源極電極

116b：汲極電極

118：保護絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包括：

電晶體，其中該電晶體包含：

氧化物膜；

在該氧化物膜上的氧化物半導體膜，該氧化物半導體膜包含通道形成區；

閘極電極；以及

在該氧化物半導體膜及該閘極電極之間的閘極絕緣膜，

其中，該氧化物半導體膜具有形成於該氧化物半導體膜的底面與該氧化物半導體膜的側面之間的角度，該角度大於或等於 10° 且小於 90° ，

其中，該氧化物膜及該氧化物半導體膜各包含 In 及 M ， M 為選自由 Al、Ga、Ge、Y、Zr、Sn、La、Ce 和 Nd 構成的組中的一個，且該氧化物膜具有的 In 對 M 的原子個數比小於該氧化物半導體膜，並且

其中，該氧化物半導體膜包含結晶部。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中，該氧化物膜具有形成於該氧化物膜的底面與該氧化物膜的側面之間的角度，並且

其中，該氧化物半導體膜的該角度為銳角且小於該氧化物膜的該角度。

3. 根據申請專利範圍第 1 項之半導體裝置，

其中，該結晶部的 c 軸平行於該氧化物半導體膜的表

面的法向量。

4. 根據申請專利範圍第 1 項之半導體裝置，
其中，該氧化物半導體膜包含 In-Ga-Zn 氧化物。

5. 根據申請專利範圍第 1 項之半導體裝置，
其中，該氧化物膜包含 In-Ga-Zn 氧化物。

6. 根據申請專利範圍第 1 項之半導體裝置，
其中，該閘極電極位於該氧化物半導體膜上。

7. 根據申請專利範圍第 1 項之半導體裝置，更包含：

在該氧化物半導體膜上的源極電極；

在該氧化物半導體膜上的汲極電極；以及

在該氧化物半導體膜、該源極電極和該汲極電極上的
第二氧化物膜，

其中，該第二氧化物膜與該氧化物半導體膜接觸。

8. 一種顯示裝置，包括：

電晶體；以及

電連接於該電晶體的電致發光元件，

其中該電晶體包含：

氧化物膜；

在該氧化物膜上的氧化物半導體膜，該氧化物半
導體膜包含通道形成區；

閘極電極；以及

在該氧化物半導體膜及該閘極電極之間的閘極絕
緣膜，

其中，該氧化物半導體膜具有形成於該氧化物半導體膜的底面與該氧化物半導體膜的側面之間的角度，該角度大於或等於 10° 且小於 90° ，

其中，該氧化物膜及該氧化物半導體膜各包含 In 及 M ， M 為選自由 Al、Ga、Ge、Y、Zr、Sn、La、Ce 和 Nd 構成的組中的一個，且該氧化物膜具有的 In 對 M 的原子個數比小於該氧化物半導體膜，並且

其中，該氧化物半導體膜包含結晶部。

9. 一種顯示裝置，包括：

電晶體；以及

電連接於該電晶體的液晶元件，

其中該電晶體包含：

氧化物膜；

在該氧化物膜上的氧化物半導體膜，該氧化物半導體膜包含通道形成區；

閘極電極；以及

在該氧化物半導體膜及該閘極電極之間的閘極絕緣膜，

其中，該氧化物半導體膜具有形成於該氧化物半導體膜的底面與該氧化物半導體膜的側面之間的角度，該角度大於或等於 10° 且小於 90° ，

其中，該氧化物膜及該氧化物半導體膜各包含 In 及 M ， M 為選自由 Al、Ga、Ge、Y、Zr、Sn、La、Ce 和 Nd 構成的組中的一個，且該氧化物膜具有的 In 對 M 的原子

個數比小於該氧化物半導體膜，並且

其中，該氧化物半導體膜包含結晶部。

10. 根據申請專利範圍第 8 或 9 項之顯示裝置，

其中，該氧化物膜具有形成於該氧化物膜的底面與該氧化物膜的側面之間的角度，並且

其中，該氧化物半導體膜的該角度為銳角且小於該氧化物膜的該角度。

11. 根據申請專利範圍第 8 或 9 項之顯示裝置，

其中，該結晶部的 c 軸平行於該氧化物半導體膜的表面的法向量。

12. 根據申請專利範圍第 8 或 9 項之顯示裝置，

其中，該氧化物半導體膜包含 In-Ga-Zn 氧化物。

13. 根據申請專利範圍第 8 或 9 項之顯示裝置，

其中，該氧化物膜包含 In-Ga-Zn 氧化物。

14. 根據申請專利範圍第 8 或 9 項之顯示裝置，

其中，該閘極電極位於該氧化物半導體膜上。

15. 根據申請專利範圍第 8 或 9 項之顯示裝置，更包

含：

在該氧化物半導體膜上的源極電極；

在該氧化物半導體膜上的汲極電極；以及

在該氧化物半導體膜、該源極電極和該汲極電極上的第二氧化物膜，

其中，該第二氧化物膜與該氧化物半導體膜接觸。

圖式

圖 1A

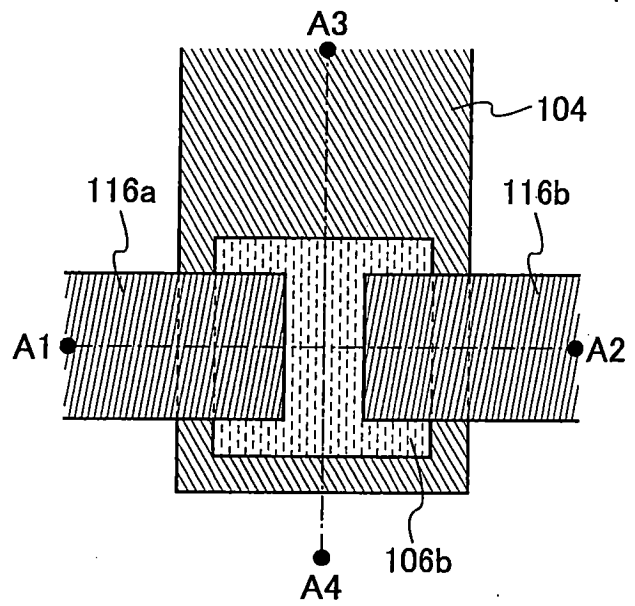


圖 1C

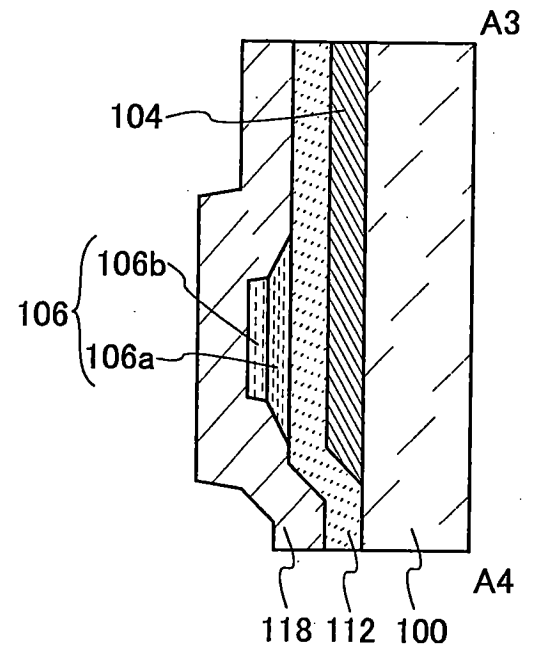


圖 1B

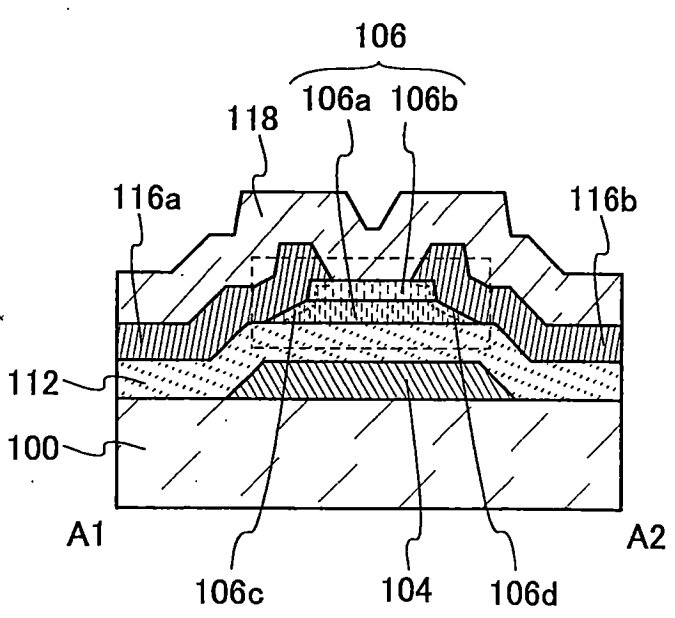


圖 1D

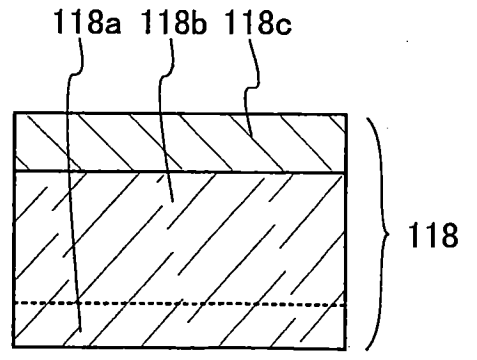


圖 2

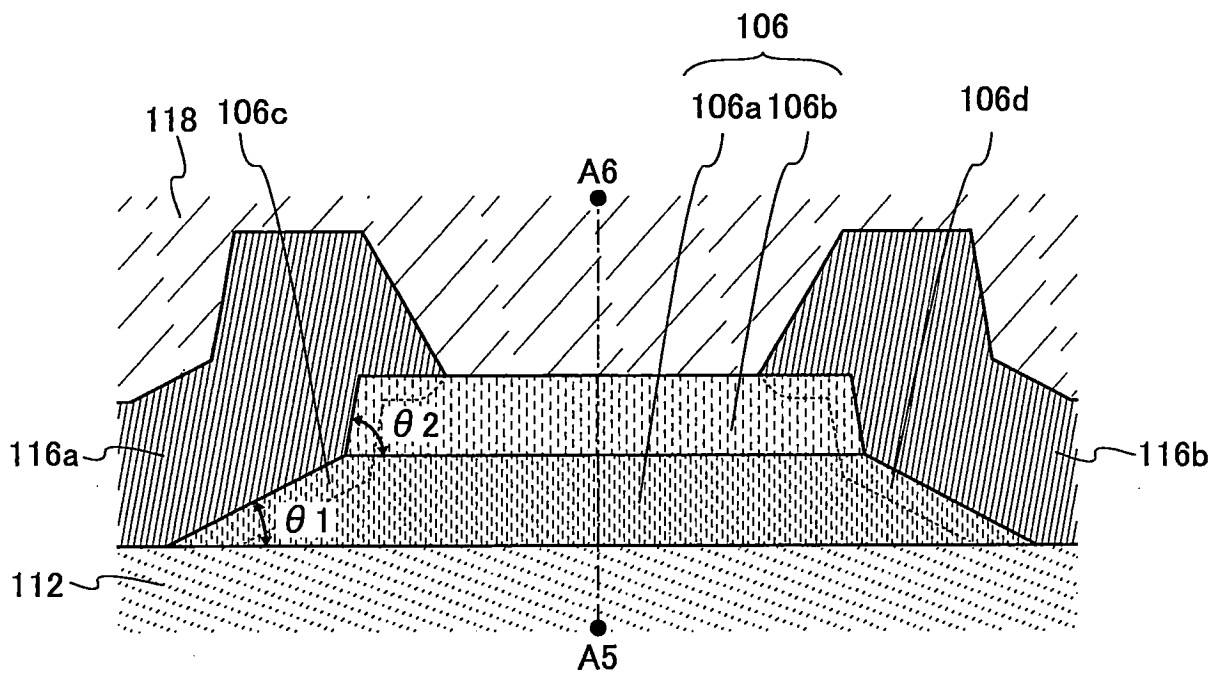


圖 3

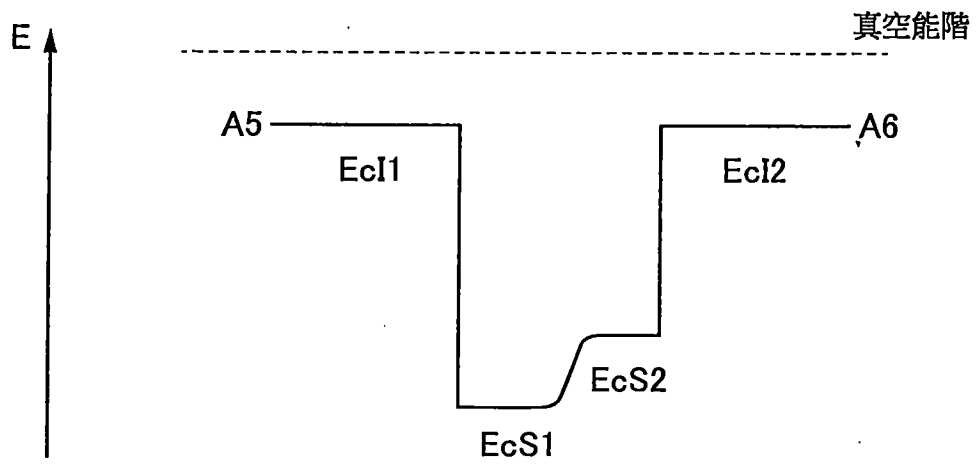


圖 4

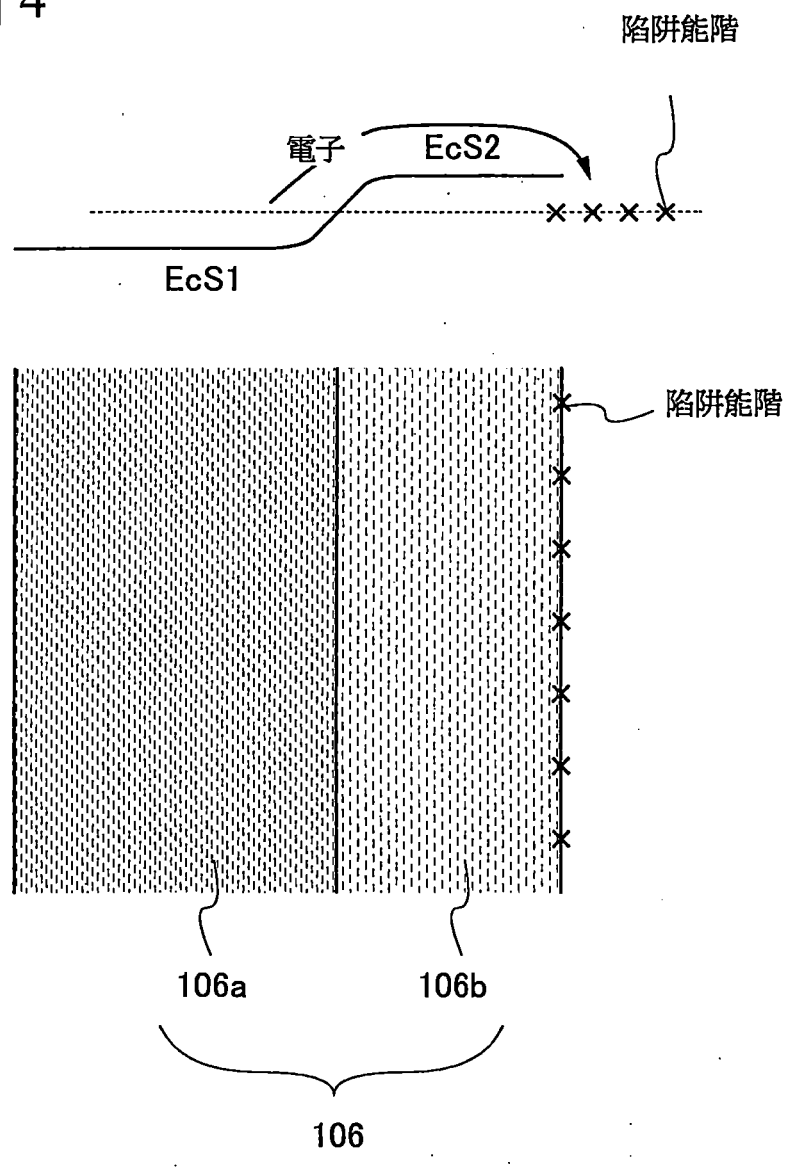


圖 5A

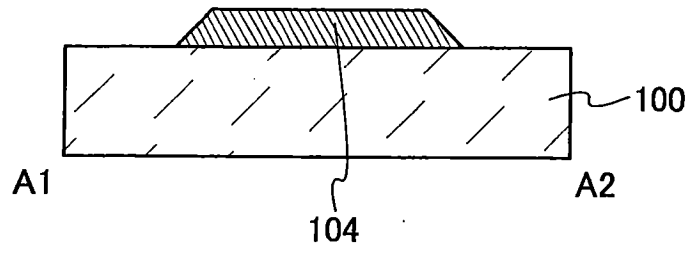


圖 5B

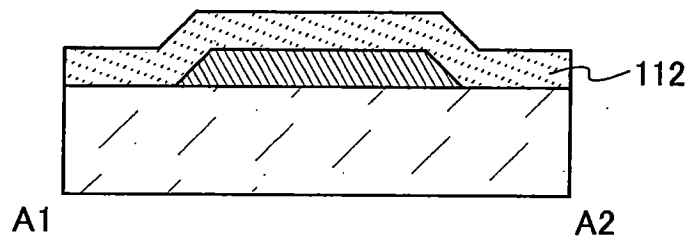


圖 5C

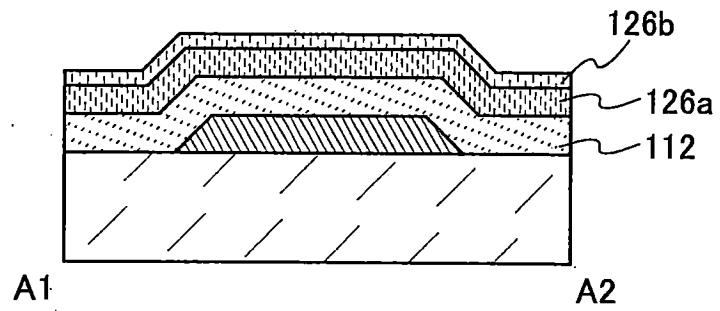


圖 6A

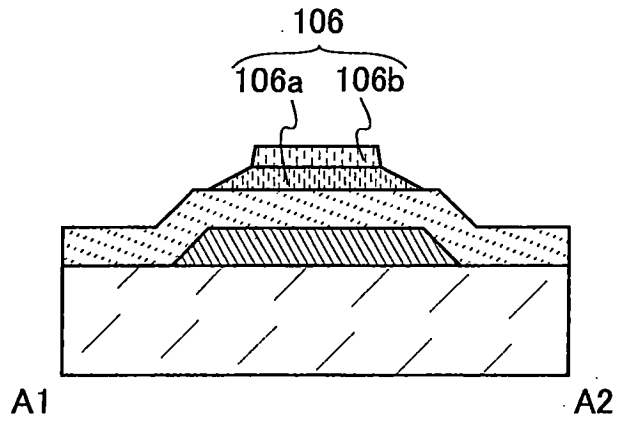


圖 6B

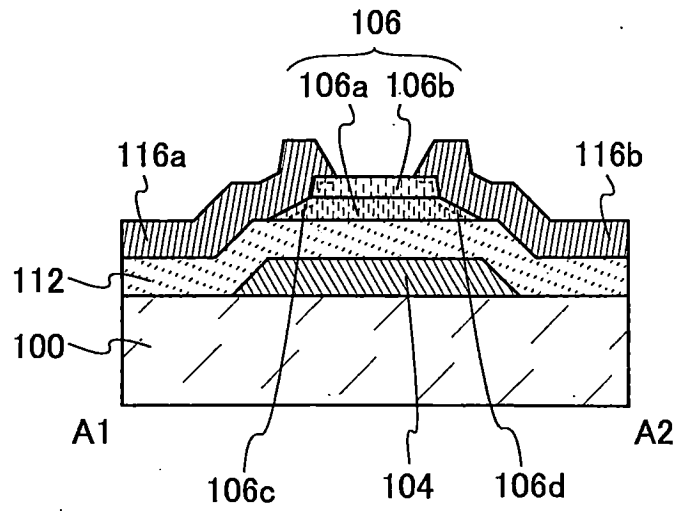


圖 7A

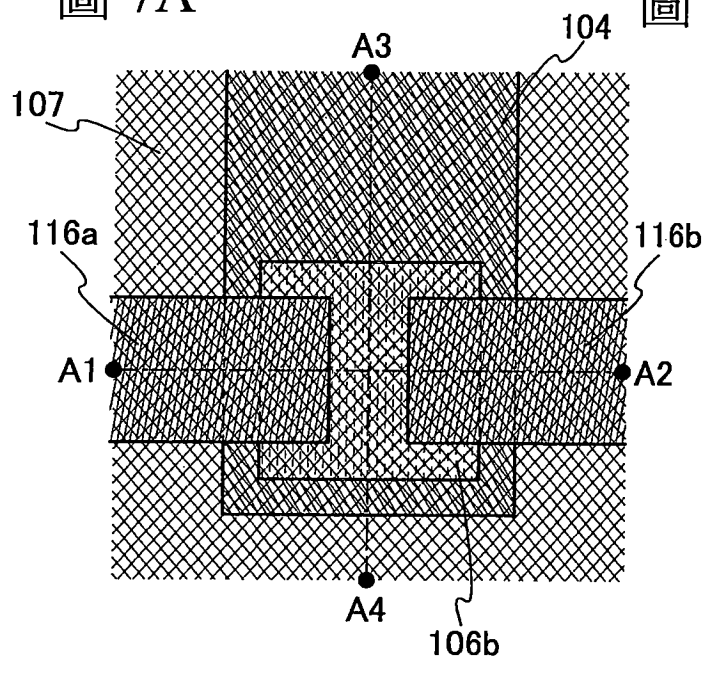


圖 7C

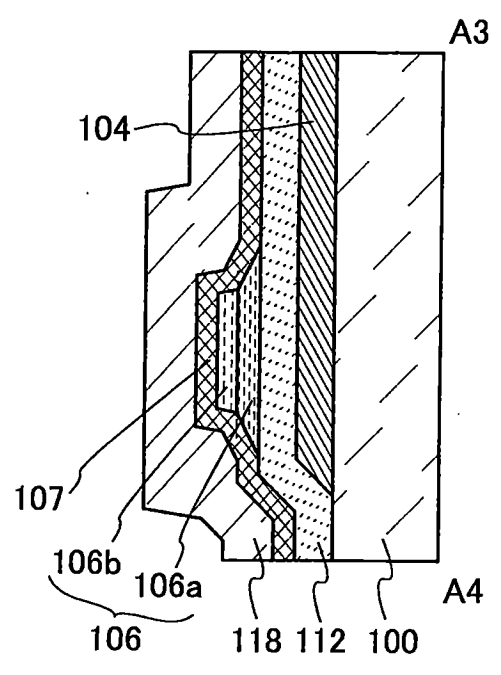


圖 7B

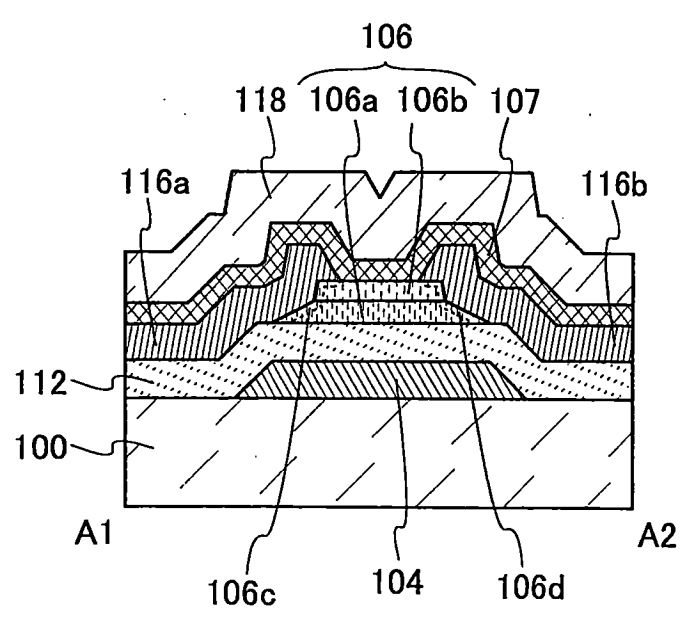


圖 7D

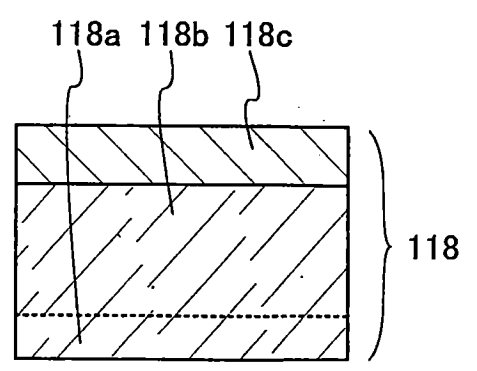


圖 8A

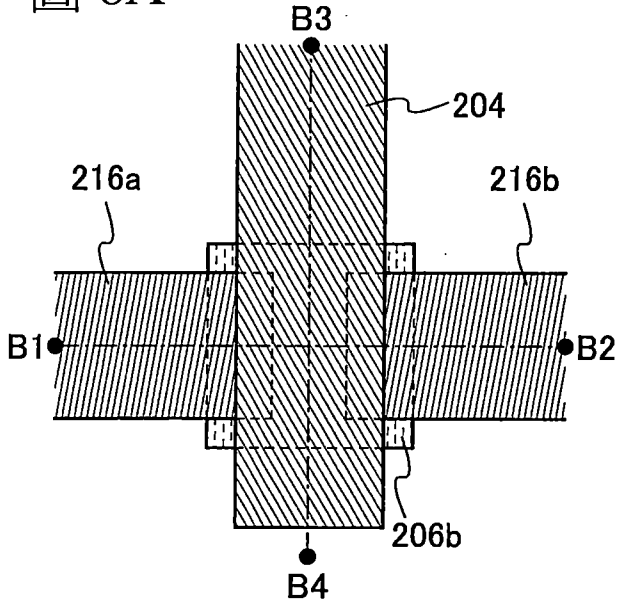


圖 8C

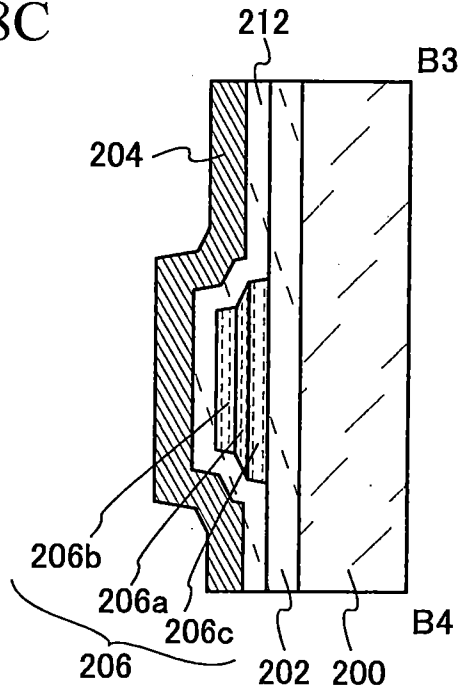


圖 8B

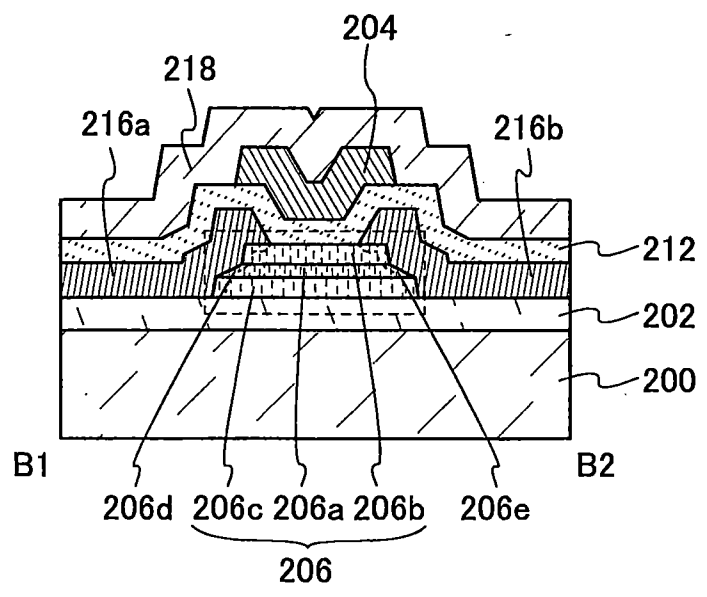


圖 9

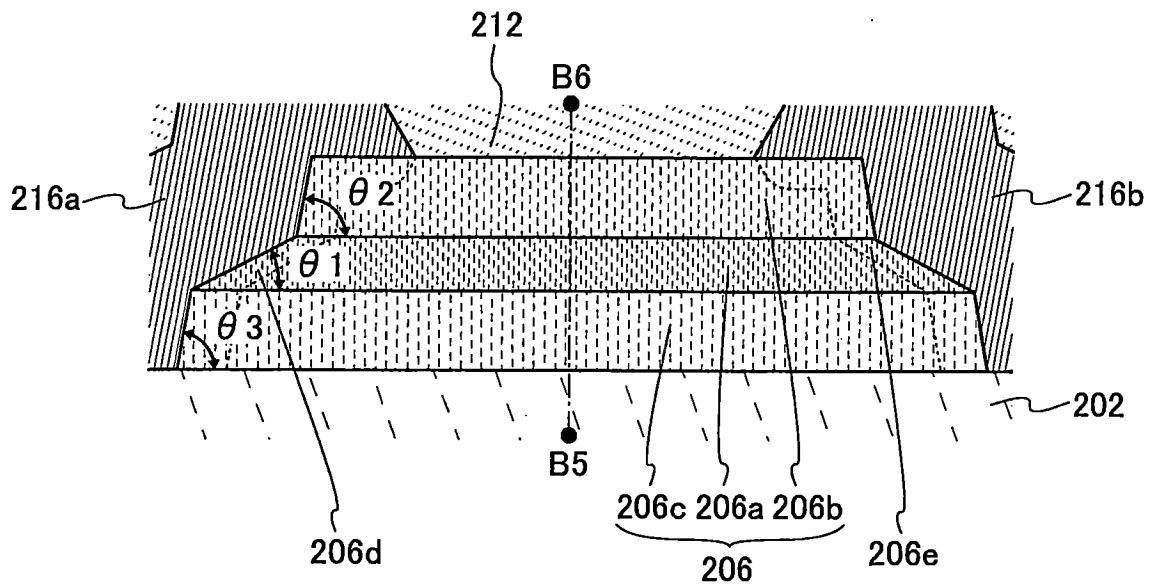


圖 10A

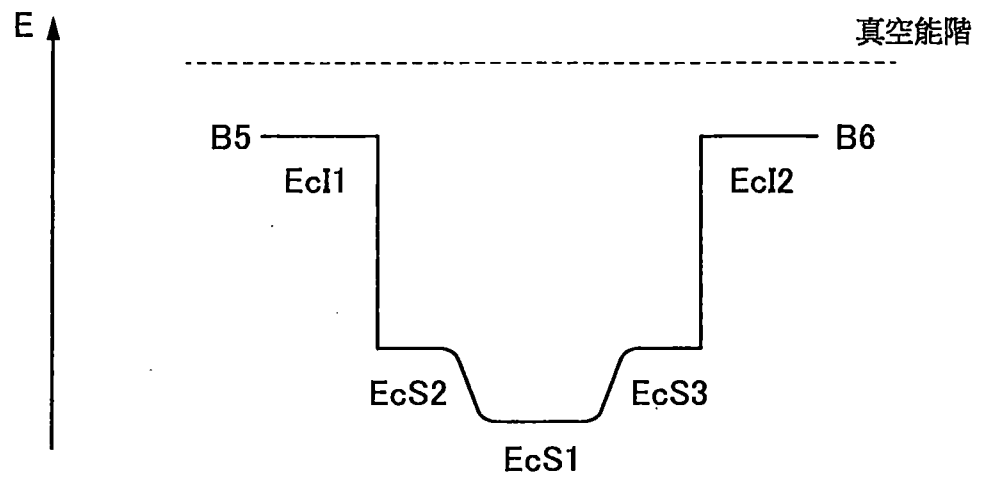


圖 10B

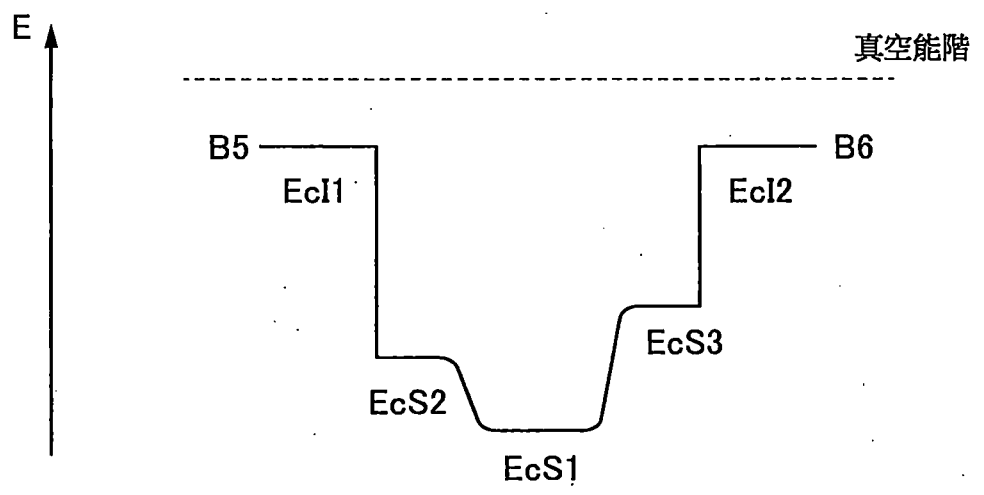


圖 10C

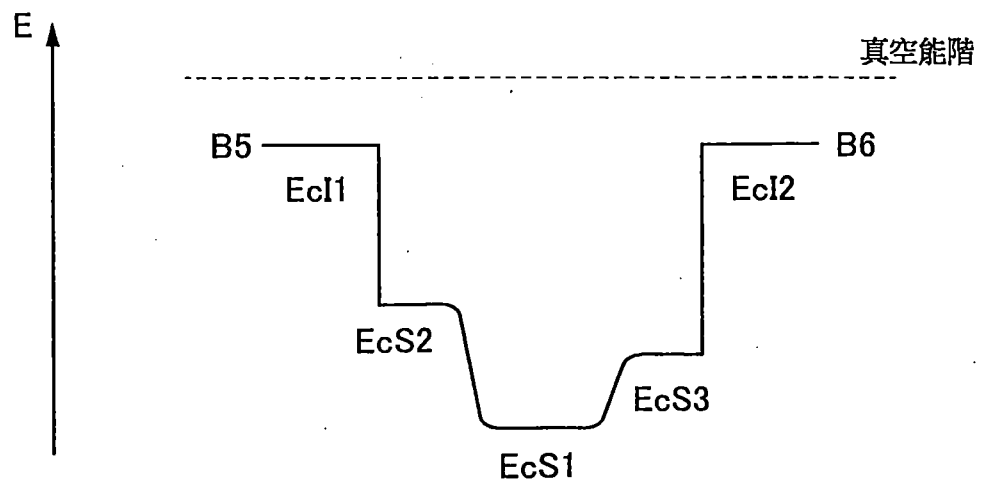


圖 11A

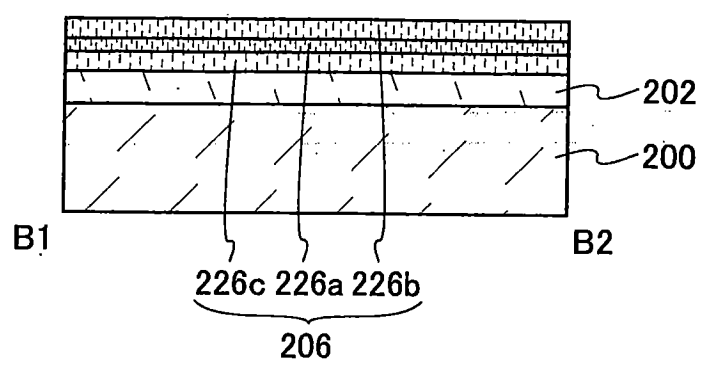


圖 11B

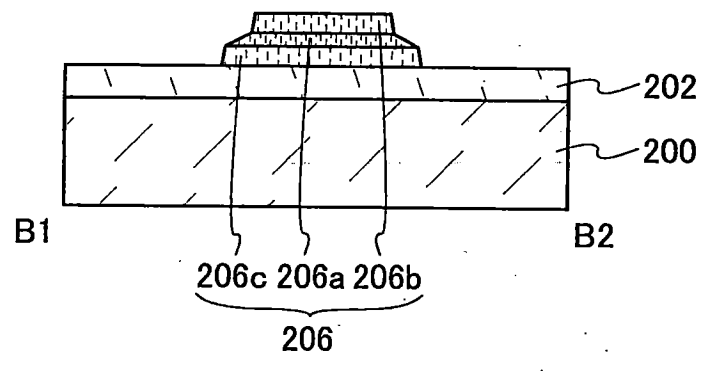


圖 11C

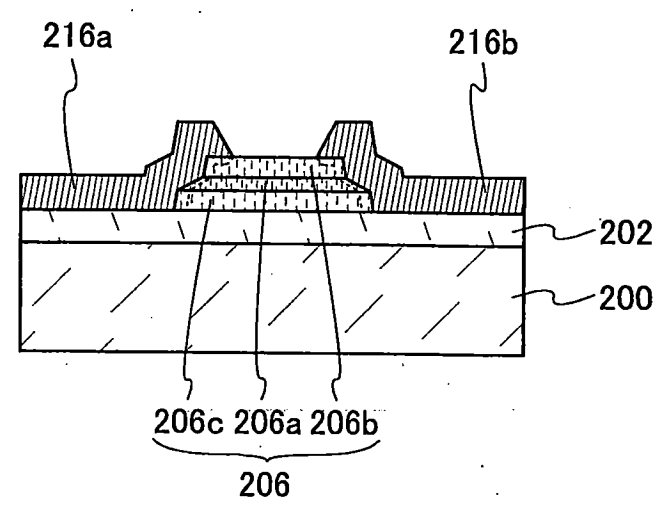


圖 12A

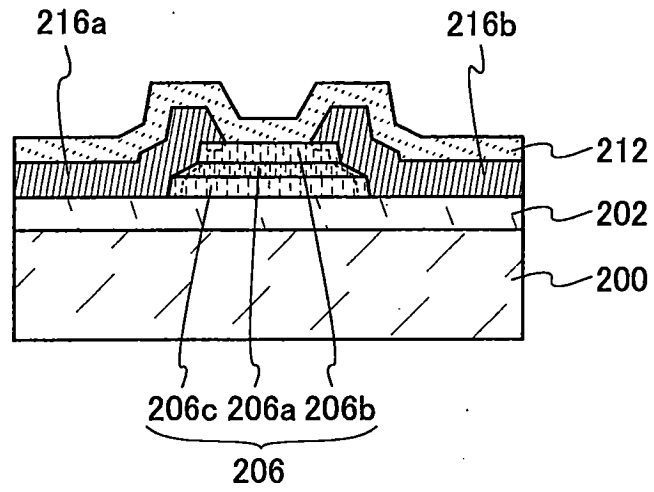


圖 12B

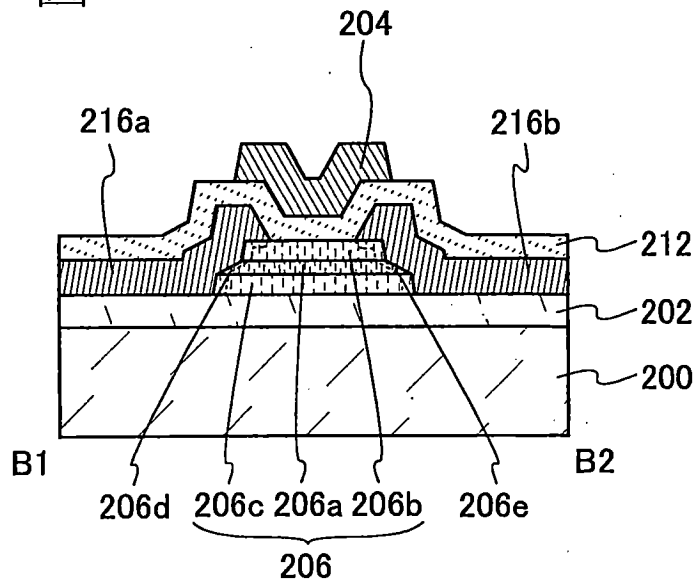


圖 13A

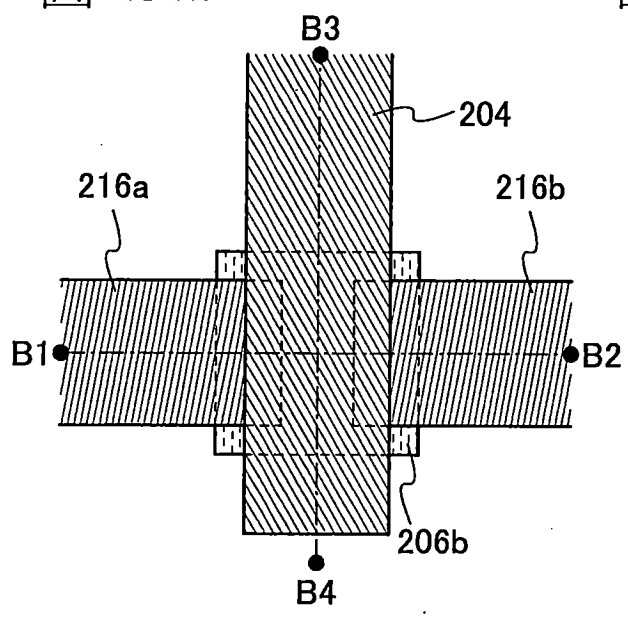


圖 13C

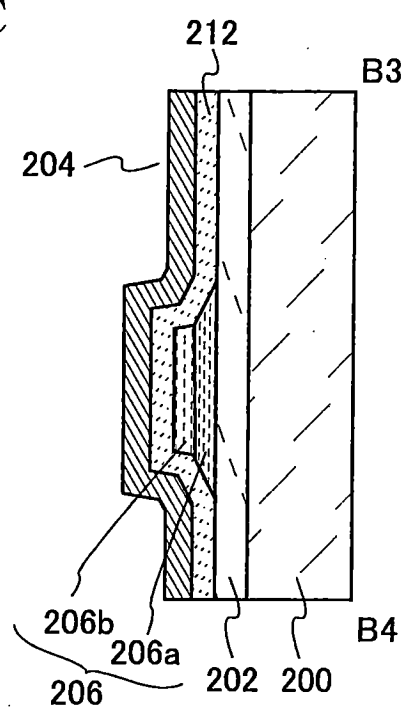


圖 13B

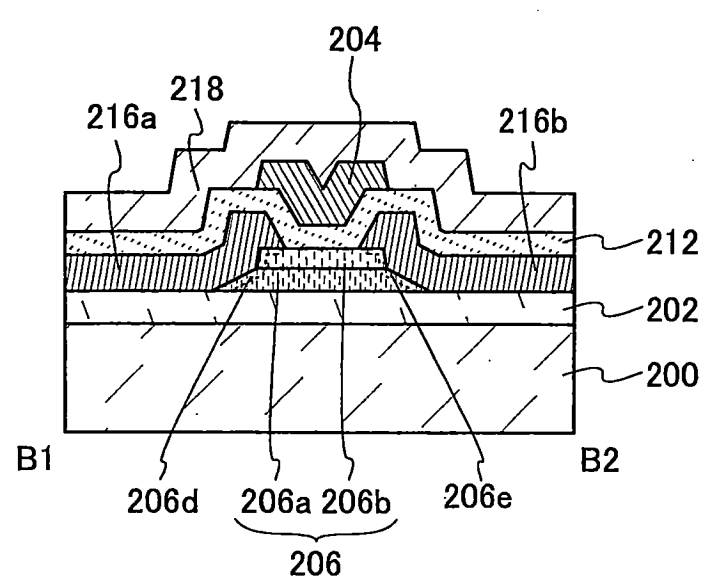


圖 14A

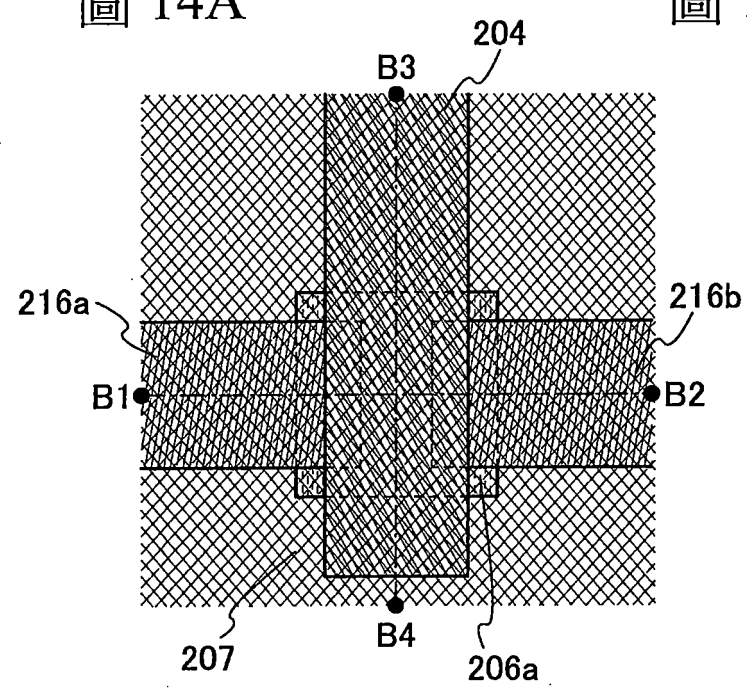


圖 14C

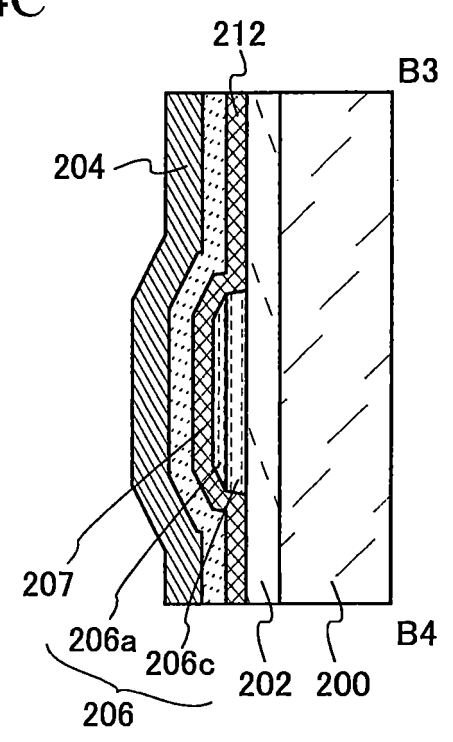


圖 14B

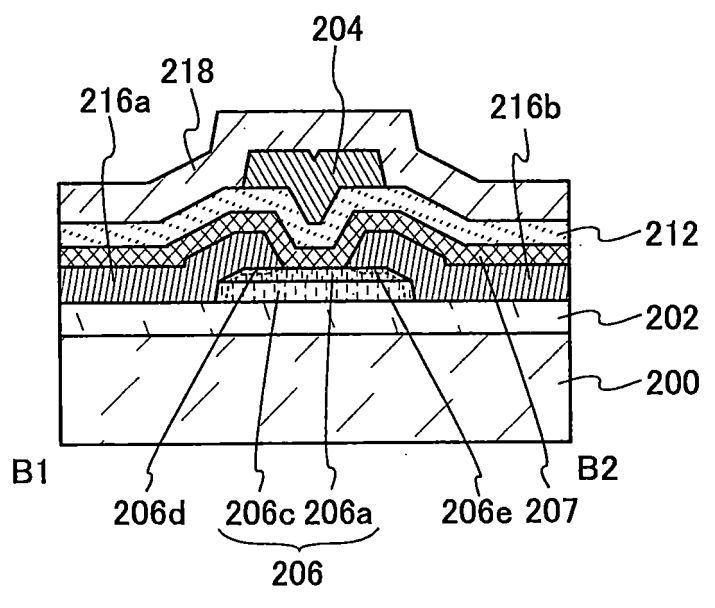


圖 15

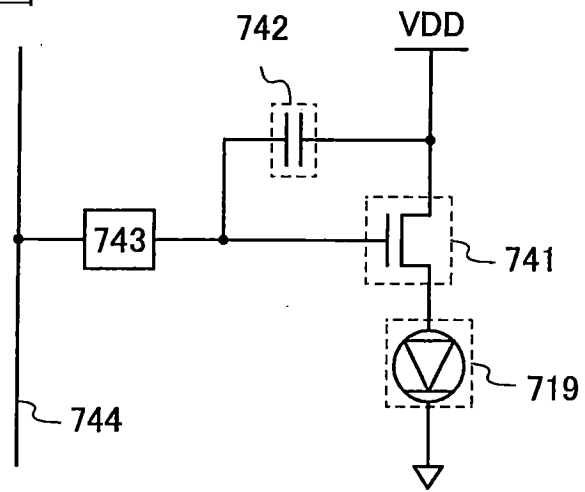


圖 16A

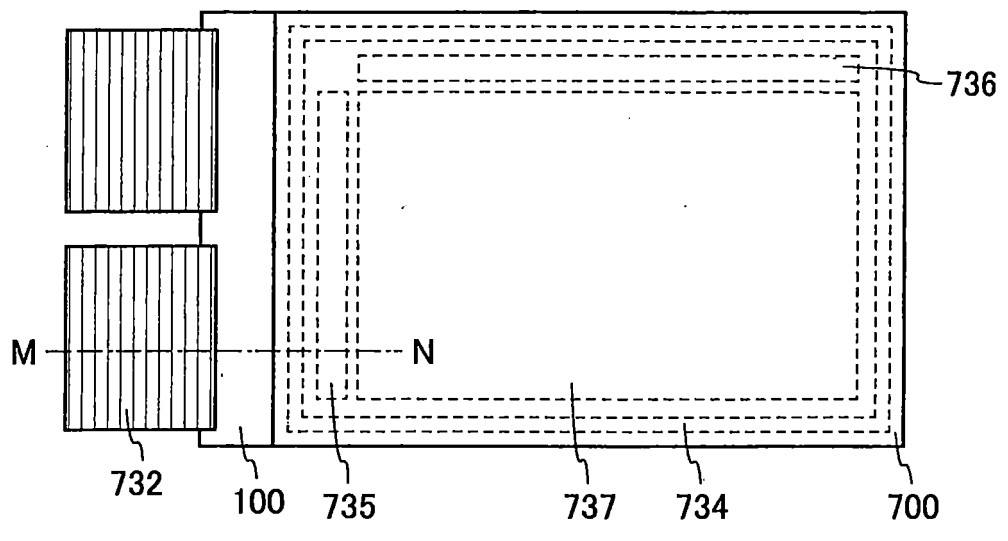


圖 16B

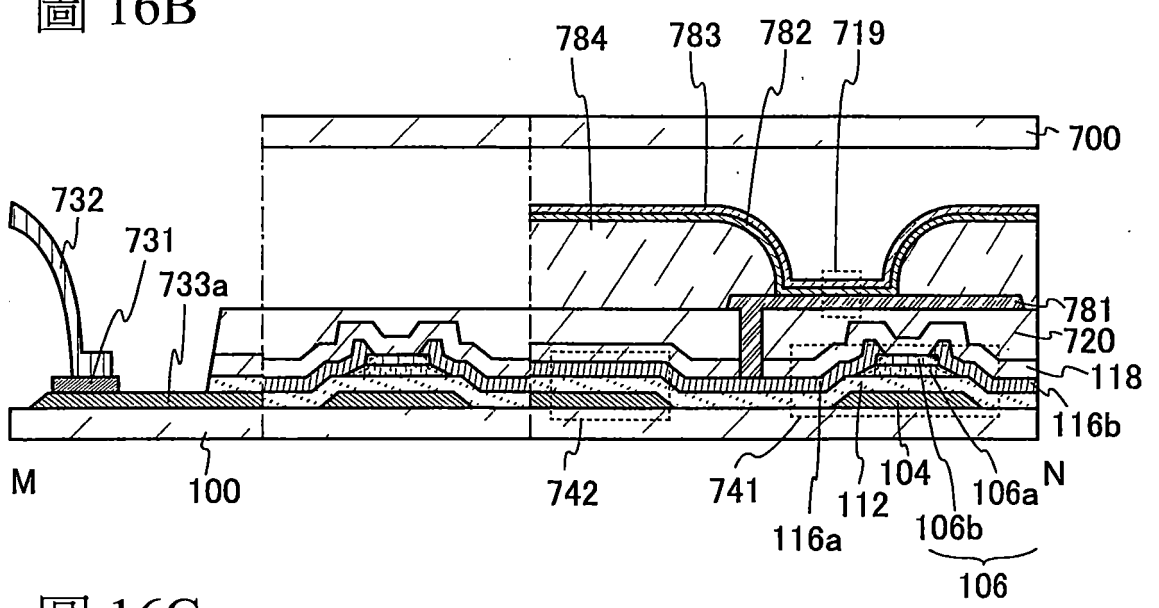


圖 16C

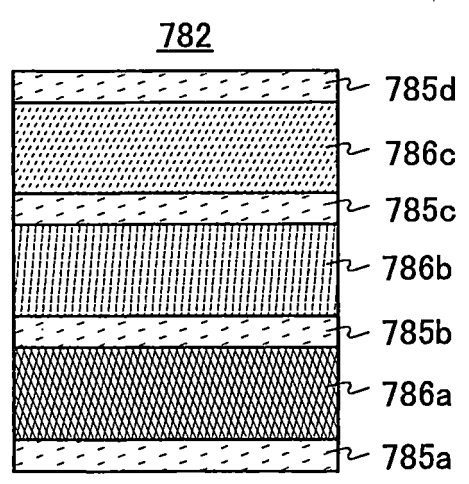


圖 17A

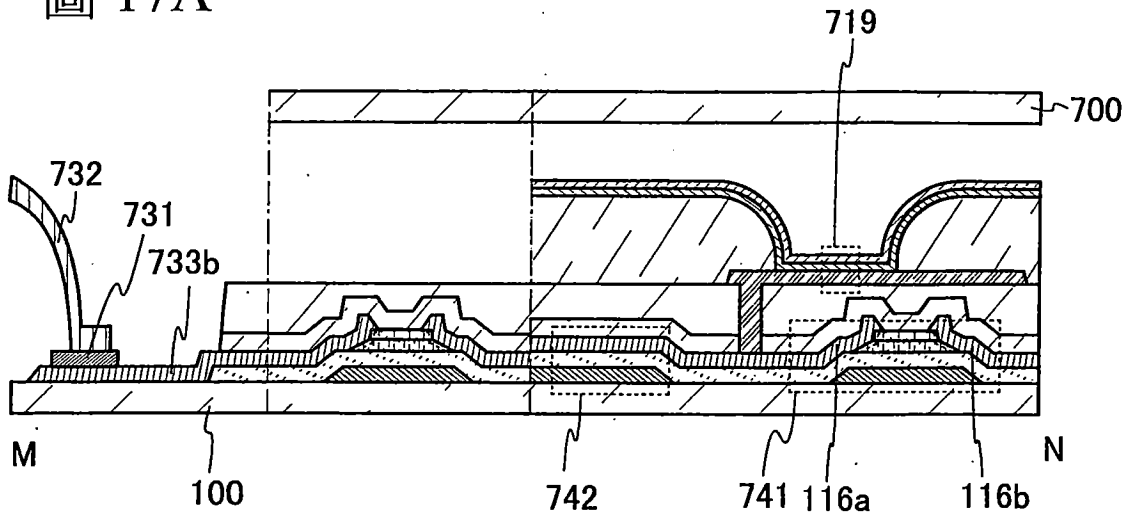


圖 17B

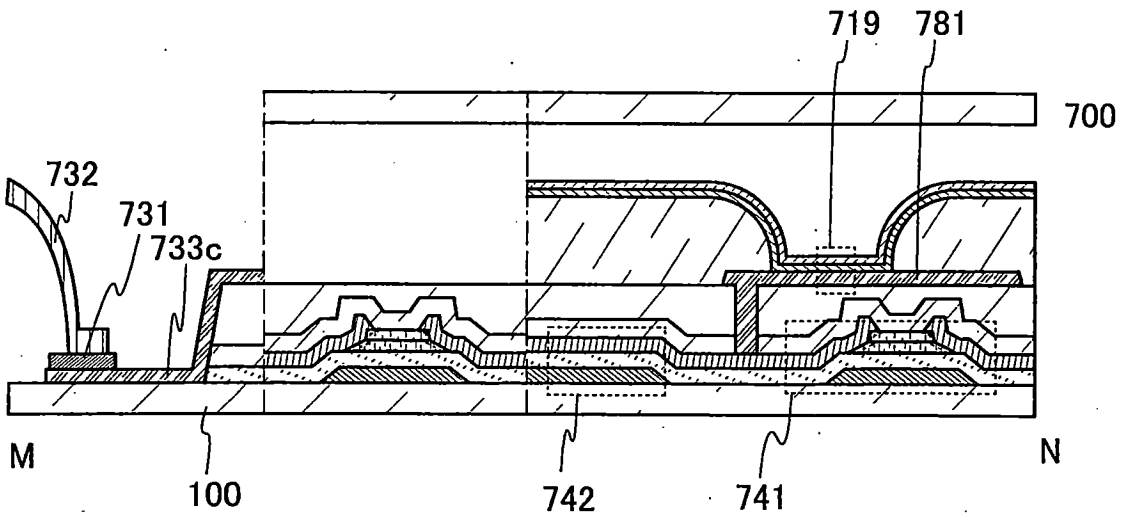


圖 18

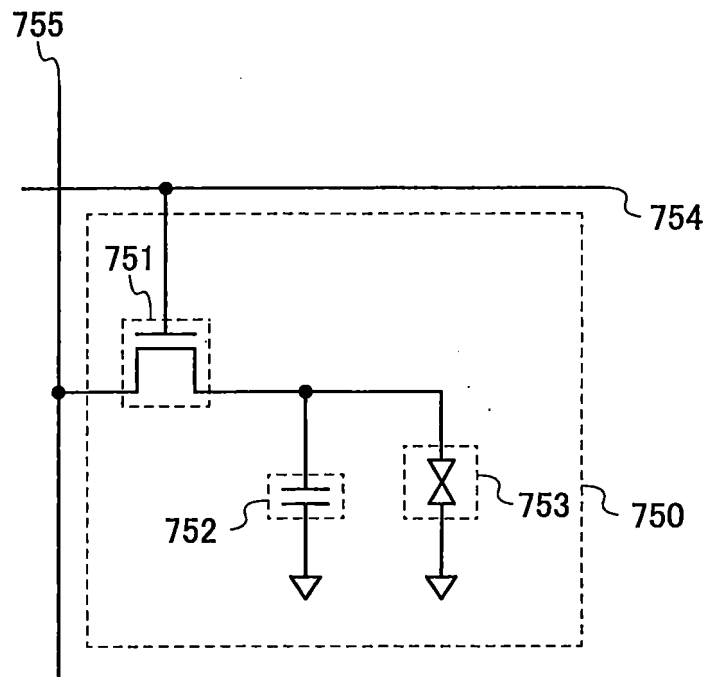


圖 19A

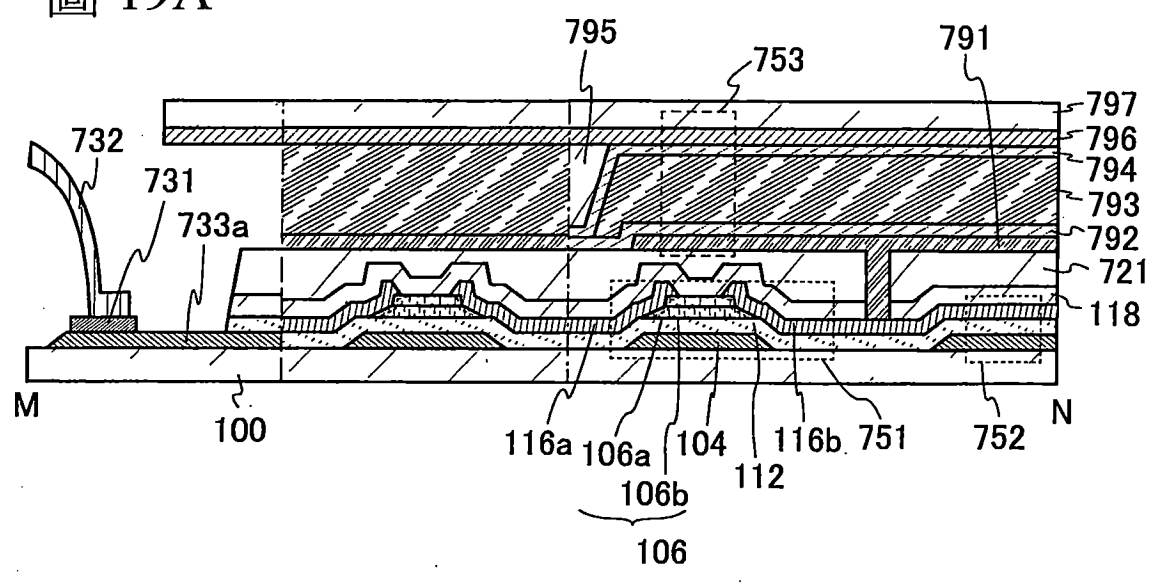


圖 19B

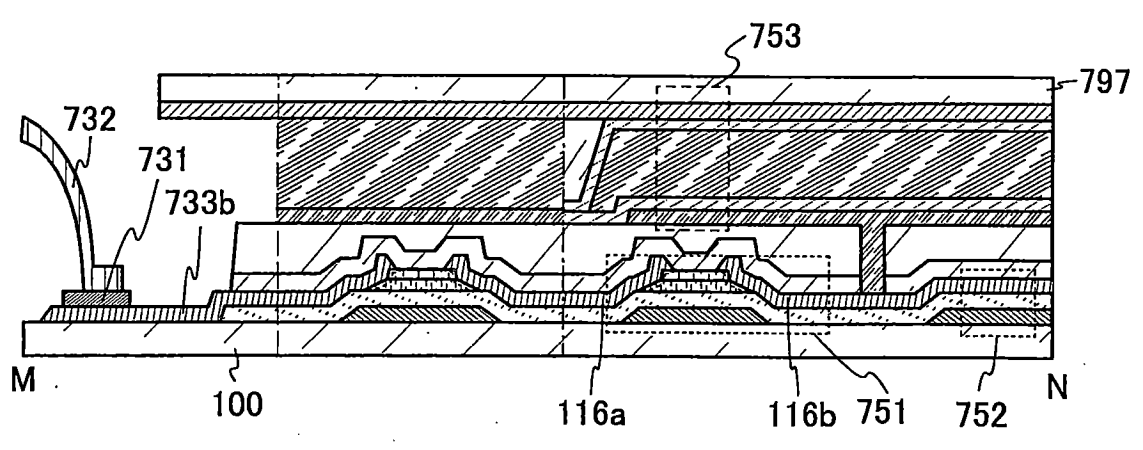


圖 19C

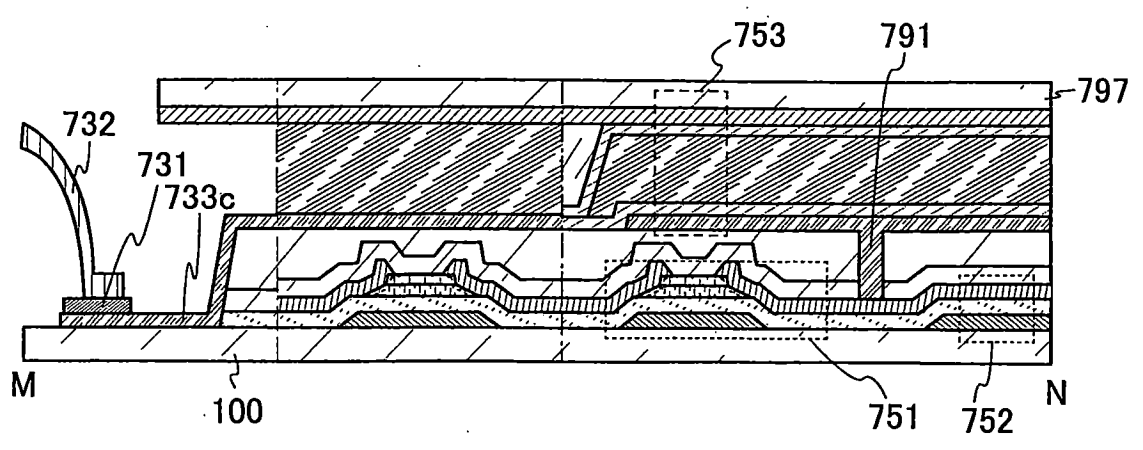


圖 20

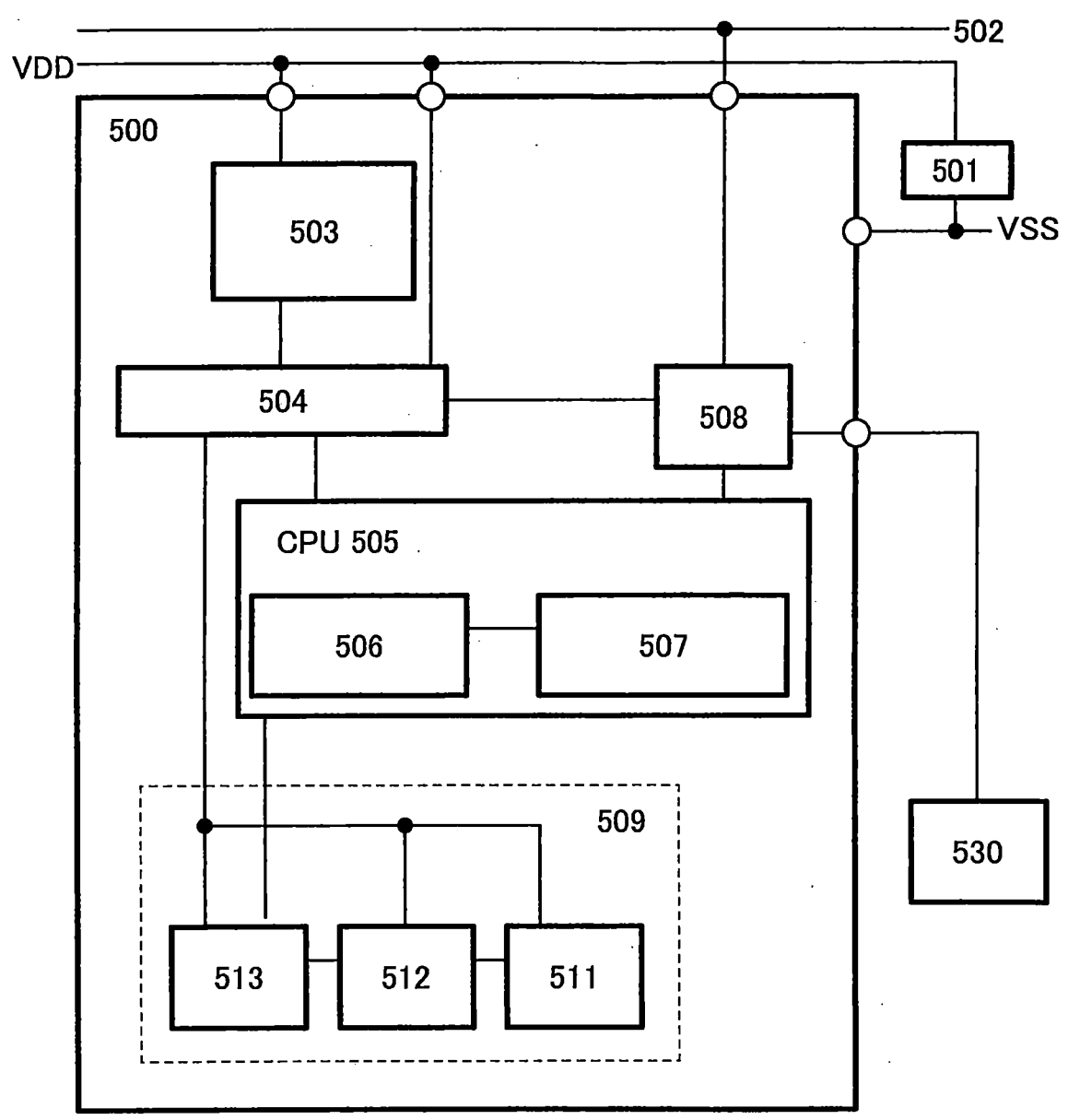


圖 22A

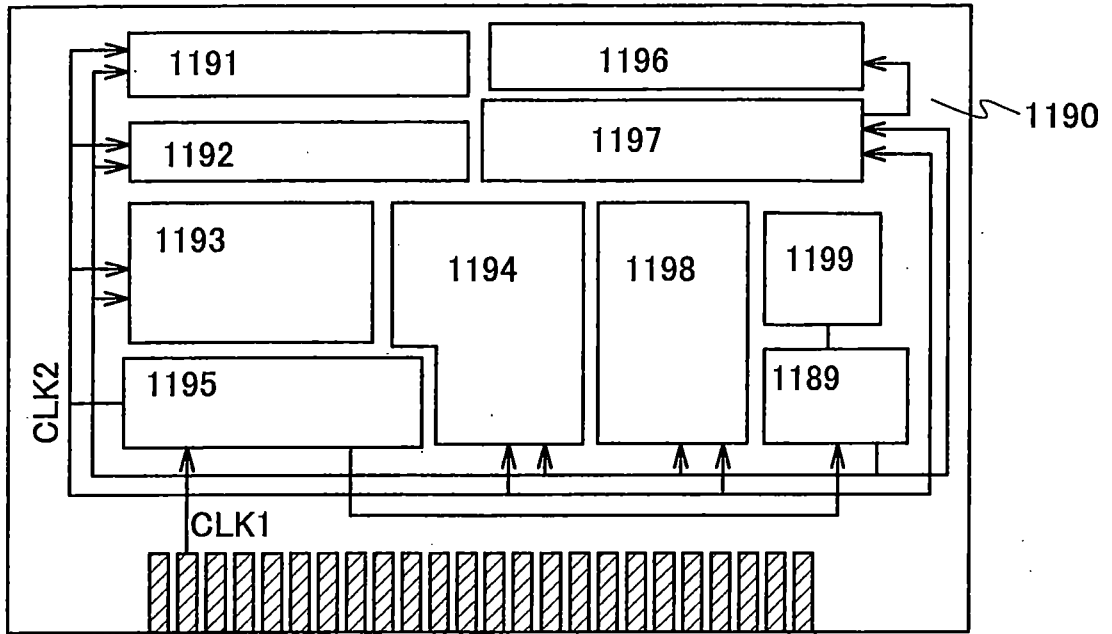


圖 22B

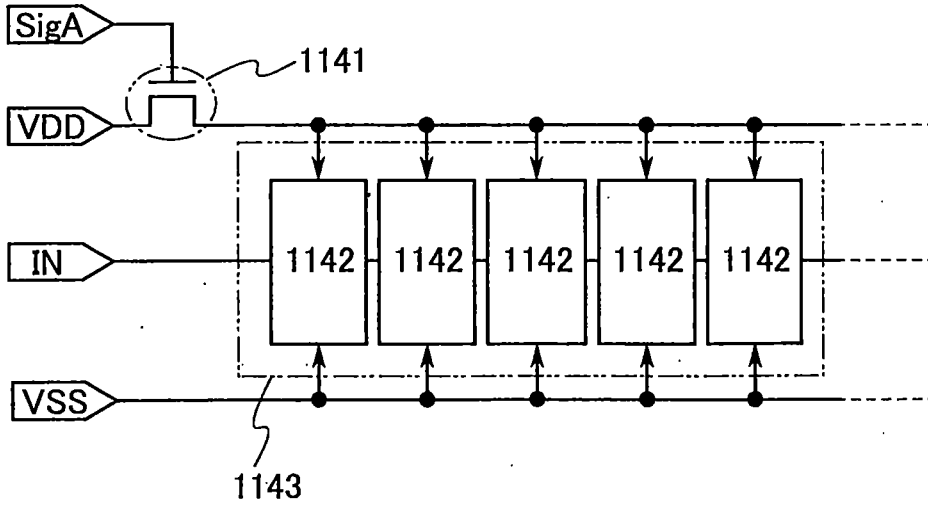


圖 22C

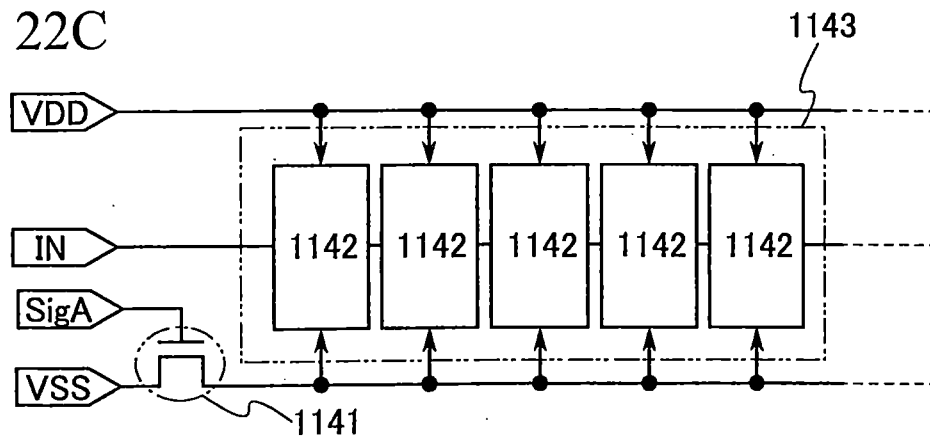


圖 31A

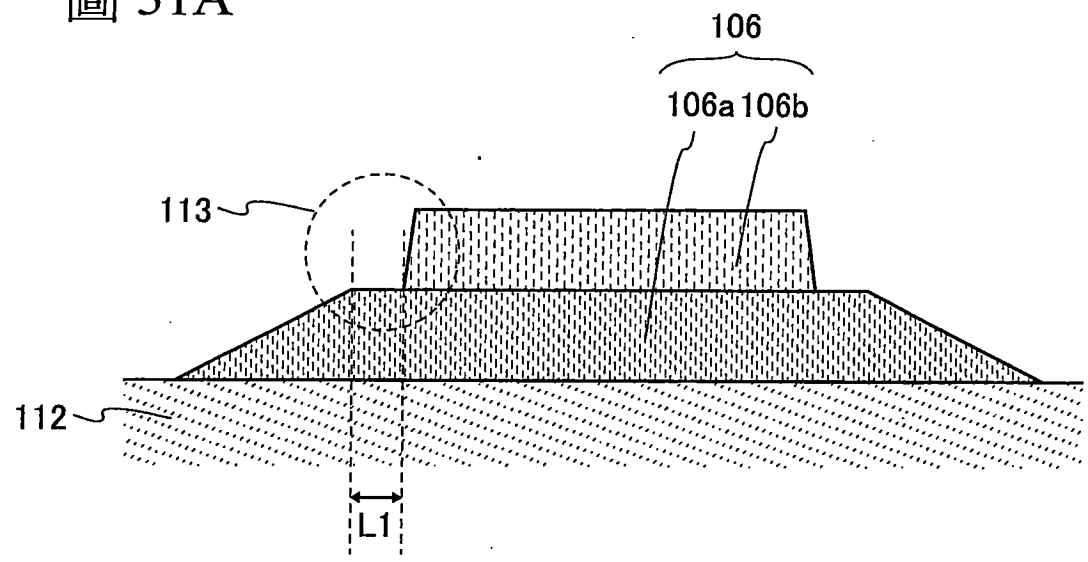


圖 31B

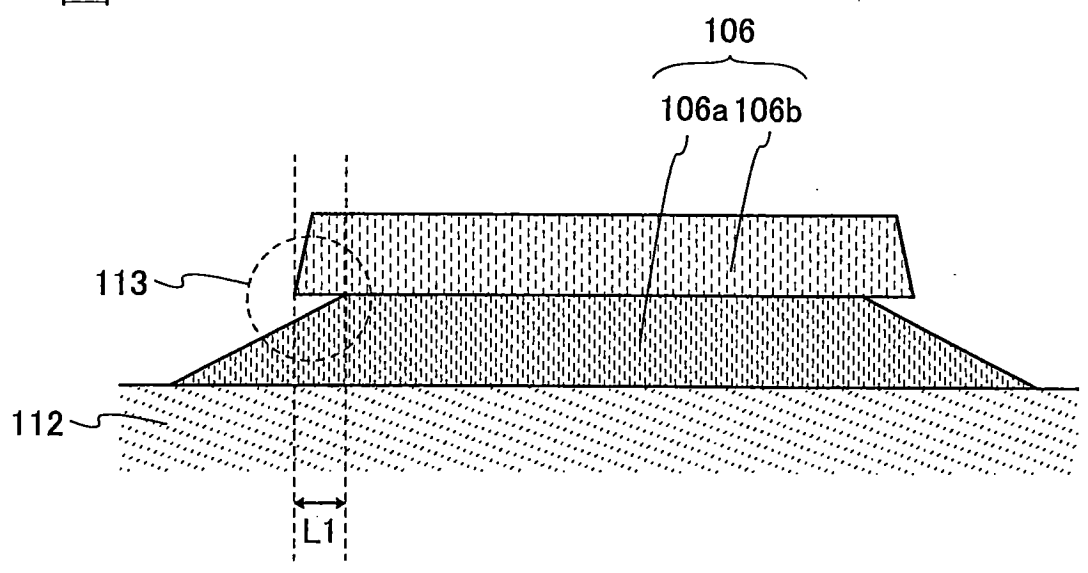


圖 32A

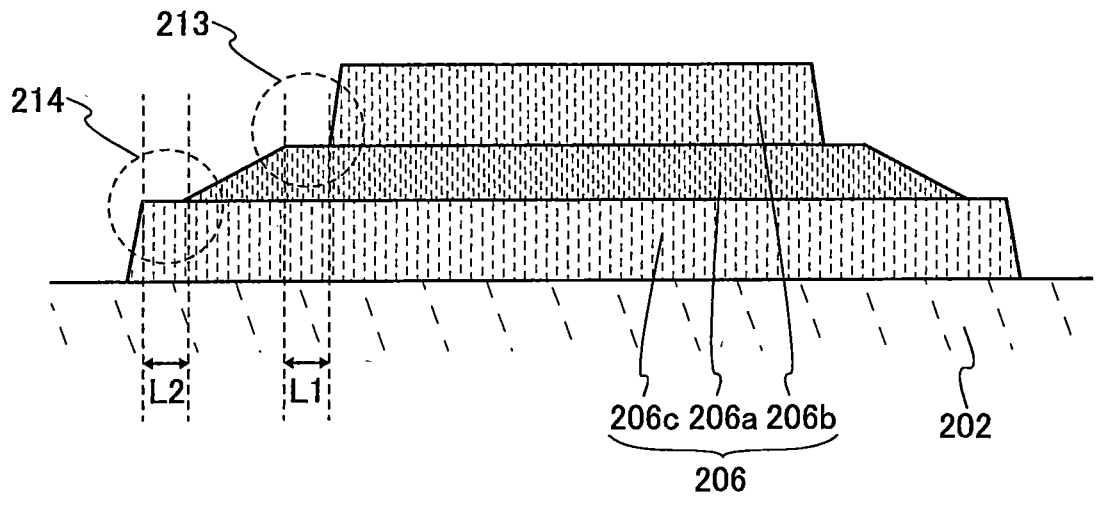


圖 32B

