

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年5月26日(26.05.2016)



(10) 国際公開番号
WO 2016/079639 A1

- (51) 国際特許分類:
H03K 19/0175 (2006.01) *H03K 19/0944* (2006.01)
H03F 1/56 (2006.01)
- (21) 国際出願番号: PCT/IB2015/058695
- (22) 国際出願日: 2015年11月11日(11.11.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-235410 2014年11月20日(20.11.2014) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO.,
LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷39
8 Kanagawa (JP).
- (72) 発明者: 野村真澄(NOMURA, Masumi); 〒2430036
神奈川県厚木市長谷398 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP). 野田耕生(NODA,
Kosei).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

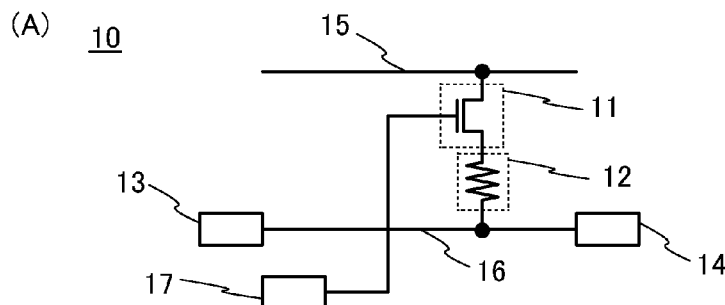
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE, CIRCUIT BOARD, AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置、回路基板および電子機器

[図01]



(57) Abstract: Provided are a new semiconductor device, a semiconductor device having low energy consumption, and a semiconductor device having a reduced size. The present invention comprises an internal circuit, an input/output terminal, a signal line, a power supply line, a resistor, a first transistor, and a control signal generation circuit. The internal circuit is electrically connected to the input/output terminal via the signal line, a first terminal of the first transistor is electrically connected to the power supply line, a second terminal of the first transistor is electrically connected to a first terminal of the resistor, a second terminal of the resistor is electrically connected to the signal line, the control signal generation circuit is electrically connected to the gate of the first transistor, and the resistor and the first transistor comprise oxide semiconductors.

(57) 要約: 新規な半導体装置、または消費電力の低い半導体装置、

[続葉有]

WO 2016/079639 A1



または面積の縮小が可能な半導体装置の提供 する。 内部回路と、入出力端子と、信号線と、電源線と、抵抗部と、第1のトランジスタと、制御信号生成 回路と、 を有し、 内部回路は、 信号線を介して入出力端子と電氣的に接続され、 第1のトランジスタ の第1の端子は、 電源線と電氣的に接続され、 第1のトランジスタの第2の端子は、 抵抗部の第1の 端子と電氣的に接続され、抵抗部の第2の端子は、信号線と電氣的に接続され、制御信号生成回路は、 第1のトランジスタのゲートと電氣的に接続され、 抵抗部および第1のトランジスタは、 酸化物半導 体を有する。

明細書

発明の名称

半導体装置、回路基板および電子機器

技術分野

[0001]

本発明の一態様は、半導体装置、回路基板および電子機器に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャまたは組成物（コンポジション・オブ・マター）に関するものである。または、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法またはそれらの製造方法に関する。

背景技術

[0003]

集積回路（IC）や表示装置のような半導体装置において、回路の入出力端子が不定になるのを防ぐためにプルアップ（またはプルダウン）抵抗が使用される。例えば、ゲートポリシリコンをCMOSインバータのプルアップ（またはプルダウン）抵抗として用いる技術が開示されている（特許文献1参照。）。

[先行技術文献]

[特許文献]

[0004]

[特許文献1] 特開平11-274440号公報

発明の概要

発明が解決しようとする課題

[0005]

例えばCMOS回路において、プルアップ（またはプルダウン）抵抗の抵抗値は数キロΩから数メガΩと、非常に大きいものが必要とされることがある。上述の特許文献1に示されているように、ゲートアレイ半導体回路装置において抵抗としてポリシリコンを用いる場合、ポリシリコンが占める面積が大きくなってしまったため、セルの寸法が増大するという問題がある。

[0006]

また、プルアップ（またはプルダウン）抵抗を有するICは、入出力端子に信号が入出力されている間は常に数μA程度の電流が流れ続けてしまうため、消費電力が大きくなるという問題がある。

[0007]

また、上記のようにプルアップ（またはプルダウン）抵抗を有するICは、消費電力が大きくなってしまふ。そのため、この電力消費を抑え、より低消費電力なICとするために、ICが安定動作を始めた後、プルアップ（またはプルダウン）抵抗を切断するためのスイッチを設けることがある。該スイッチは、主にトランジスタにより形成することができるが、トランジスタをオフ状態にしてスイッチを切断した場合でも、オフリーク電流が流れてしまうため、それによる消費電力の増加はみられてしまふ。

[0008]

そこで、本発明の一態様は、新規な半導体装置、回路基板または電子機器を提供することを課題の一とする。または、本発明の一態様は、レイアウト面積を小さくすることまたはそれを実現可能な構成を提供することを課題の一とする。または、本発明の一態様は、定常的に電流が生じることを防止することまたはそれを実現可能な構成を提供することを課題の一とする。または、本発明の一態様は、消費電力を削減することまたはそれを実現可能な構成を提供することを課題の一とする。または、本発明の一態様は、貫通電流が生じる時間を短くすることまたはそれを実現可能な構成を提供することを課題の一とする。

[0009]

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、内部回路と、入出力端子と、信号線と、電源線と、抵抗部と、第1のトランジスタと、制御信号生成回路と、を有し、内部回路は、信号線を介して入出力端子と電氣的に接続され、第1のトランジスタの第1の端子は、電源線と電氣的に接続され、第1のトランジスタの第2の端子は、抵抗部の第1の端子と電氣的に接続され、抵抗部の第2の端子は、信号線と電氣的に接続され、制御信号生成回路は、第1のトランジスタのゲートと電氣的に接続され、抵抗部および第1のトランジスタは、酸化物半導体を有する半導体装置である。

[0011]

本発明の一態様は、内部回路と、入出力端子と、信号線と、電源線と、抵抗部と、第1のトランジスタと、制御信号生成回路と、を有し、内部回路は、信号線を介して入出力端子と電氣的に接続され、第1のトランジスタの第1の端子は、抵抗部の第2の端子と電氣的に接続され、第1のトランジスタの第2の端子は、信号線と電氣的に接続され、抵抗部の第1の端子は、電源線と電氣的に接続され、制御信号生成回路は、第1のトランジスタのゲートと電氣的に接続され、抵抗部および第1のトランジスタは、酸化物半導体を有する半導体装置である。

[0012]

本発明の一態様は、内部回路と、入出力端子と、信号線と、電源線と、第1のトランジスタと、制御信号生成回路と、を有し、内部回路は、信号線を介して入出力端子と電氣的に接続され、第1のトランジスタの第1の端子は、電源線と電氣的に接続され、第1のトランジスタの第2の端子は、信号線と電氣的に接続され、制御信号生成回路は、第1のトランジスタのゲートと電氣的に接続され、第1のトランジスタは、酸化物半導体を有する半導体装置である。

[0013]

また、本発明の一態様は、上記記載の半導体装置と、第2のトランジスタと、を有し、制御信号生成回路は、第2のトランジスタの第1の端子と電氣的に接続され、第2のトランジスタの第2の端子は、第1のトランジスタのゲートと電氣的に接続され、第2のトランジスタは、酸化物半導体を有する半導体装置である。

[0014]

また、本発明の一態様は、上記記載の半導体装置と、容量素子と、を有し、容量素子は、第2のトランジスタの第2の端子および第1のトランジスタのゲートと、電氣的に接続されている半導体装置である。

[0015]

また、上記制御信号生成回路と、第2のトランジスタのゲートは、電氣的に接続されていてもよい。また、第2のトランジスタのゲートは、別の配線と接続されていてもよい。

[0016]

また、本発明の一態様は、上記記載の半導体装置と、プリント基板と、を有する回路基板である。

[0017]

また、本発明の一態様は、上記記載の半導体装置または上記記載の回路基板と、表示部、マイクロホン、スピーカーまたは操作キーと、を有する電子機器である。

[0018]

なお、本明細書などにおいて、抵抗部とは酸化物半導体を有する層を抵抗として用いると好ましい。

発明の効果

[0019]

本発明の一態様は、新規な半導体装置、回路基板または電子機器を提供することができる。または、本発明の一態様は、レイアウト面積を小さくすることまたはそれを実現可能な構成を提供することができる。または、本発明の一態様は、定常的に電流が生じることを防止することまたはそれを実現可能な構成を提供することができる。または、本発明の一態様は、消費電力を削減することまたはそれを実現可能な構成を提供することができる。または、本発明の一態様は、貫通電流が生じる時間を短くすることまたはそれを実現可能な構成を提供することができる。

[0020]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0021]

[図1] 半導体装置の一例を説明する図。

[図2] 半導体装置の一例を説明する図。

[図3] 半導体装置の一例を説明する図。

[図4] 半導体装置の一例を説明する図。

[図5] タイミングチャート。

[図6] 半導体装置の一例を説明する図。

[図7] 半導体装置の一例を説明する図。

[図8] 半導体装置の一例を説明する図。

[図9] 半導体装置の一例を説明する図。

[図10] トランジスタの構成の一例を説明する図。

- [図 1 1] トランジスタの構成の一例を説明する図。
[図 1 2] トランジスタの構成の一例を説明する図。
[図 1 3] トランジスタの構成の一例を説明する図。
[図 1 4] トランジスタの構成の一例を説明する図。
[図 1 5] トランジスタの構成の一例を説明する図。
[図 1 6] トランジスタの構成の一例を説明する図。
[図 1 7] トランジスタのエネルギーバンド図を説明する図。
[図 1 8] 半導体装置の一例を説明する図。
[図 1 9] 電子部品の作製工程を示すフローチャート図及び斜視模式図。
[図 2 0] 電子機器を説明する図。

発明を実施するための形態

[0022]

以下、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の実施の形態における説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0023]

なお、図面において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。

[0024]

なお、本明細書において、「膜」という表記と、「層」という表記と、を互いに入れ替えることが可能である。

[0025]

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。一般的に、電位（電圧）は、相対的なものであり、基準の電位からの相対的な大きさによって決定される。したがって、「接地電位」などと記載されている場合であっても、電位が0Vであるとは限らない。例えば、回路で最も低い電位が、「接地電位」となる場合もある。または、回路で中間くらいの電位が、「接地電位」となる場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定される。

[0026]

また、本明細書等において、高電源電位VDD（以下、単に「VDD」または「H電位」ともいう。）とは、低電源電位VSS（以下、単に「VSS」または「L電位」ともいう。）よりも高い電位の電源電位を示す。また、低電源電位VSSとは、高電源電位VDDよりも低い電位の電源電位を示す。また、接地電位をVDDまたはVSSとして用いることもできる。例えばVDDが接地電位の場合には、VSSは接地電位より低い電位であり、VSSが接地電位の場合には、VDDは接地電位より高い電位である。

[0027]

なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説

明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0028]

また、本発明の一態様は、集積回路の他、表示装置、RFタグ、撮像装置を含むあらゆる装置が、その範疇に含まれる。また、表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) など、集積回路を有する表示装置が、その範疇に含まれる。

[0029]

なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いることがある。

[0030]

また、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であると言える。そのため、例えば、能動素子（トランジスタなど）、配線、受動素子（容量素子など）、導電層、絶縁層、半導体層、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個（Nは整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M個（Mは整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、「Aは、B、C、D、EまたはFを有する」と記載されている文章から、一部の要素を任意に抜き出して、「Aは、BとEとを有する」、「Aは、EとFとを有する」、「Aは、CとEとFとを有する」、または、「Aは、BとCとDとEとを有する」などの発明の一態様を構成することは可能である。

[0031]

また、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は、明確であると言える。

[0032]

また、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であると言える。

[0033]

また、明細書中の文章や図面において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することが出来る。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲内に入らないことを規定することができる。

[0034]

また、本明細書等においては、能動素子（トランジスタなど）、受動素子（容量素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先の候補が複数存在する場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタなど）、受動素子（容量素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

[0035]

また、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

[0036]

また、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

[0037]

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0038]

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

[0039]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

[0040]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

[0041]

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟まずに接続されている場合）とが、本明細書等の開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等の開示されているものとする。

[0042]

なお、例えば、トランジスタのソース（または第1の端子など）が、Z1を介して（または介さず）、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2を介して（または介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（または第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合、以下のように表現することが出来る。

[0043]

例えば、「XとYとトランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、Xと電氣的に接

続され、トランジスタのドレイン（または第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。

[0044]

または、別の表現方法として、例えば、「トランジスタのソース（または第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、第1の接続経路は、第2の接続経路を有しておらず、第2の接続経路は、トランジスタを介した、トランジスタのソース（または第1の端子など）とトランジスタのドレイン（または第2の端子など）との間の経路であり、第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（または第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、第3の接続経路は、第2の接続経路を有しておらず、第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、第1の接続経路は、第2の接続経路を有しておらず、第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（または第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、第3の接続経路は、第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、第1の電氣的パスは、第2の電氣的パスを有しておらず、第2の電氣的パスは、トランジスタのソース（または第1の端子など）からトランジスタのドレイン（または第2の端子など）への電氣的パスであり、トランジスタのドレイン（または第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、第3の電氣的パスは、第4の電氣的パスを有しておらず、第4の電氣的パスは、トランジスタのドレイン（または第2の端子など）からトランジスタのソース（または第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。

[0045]

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0046]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の

機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0047]

(実施の形態1)

本実施の形態では、本発明の一態様に係る半導体装置の一例について説明する。本発明の一態様に係る半導体装置は、内部回路と、該内部回路へ信号を入出力する入出力端子と、を有する回路において、回路の入出力端子が不定状態になるのを防ぐためのプルアップ（またはプルダウン）抵抗を備えた回路である。

[0048]

<半導体装置の構成例>

図1（A）は、本発明の一態様に係る半導体装置10の回路図である。図1（A）に示す半導体装置10は、トランジスタ11と、抵抗部12と、入出力端子13と、内部回路14と、電源線15と、信号線16と、制御信号生成回路17と、を有する。

[0049]

半導体装置10において、トランジスタ11の第1の端子は電源線15と接続され、トランジスタ11の第2の端子は抵抗部12の第1の端子と接続される。また、トランジスタ11のゲートは、制御信号生成回路17と接続される。抵抗部12の第2の端子は、信号線16と接続され、入出力端子13は、信号線16を介して内部回路14と接続される。

[0050]

入出力端子13は、内部回路14に信号（ハイレベル信号、ロウレベル信号またはアナログ信号）を入力、または内部回路14からの信号（ハイレベル信号、ロウレベル信号またはアナログ信号）を出力するための端子である。制御信号生成回路17は、トランジスタ11のゲートに信号を送り、トランジスタ11のオンオフ状態を制御するための回路である。

[0051]

電源線15は、ハイレベル（H）の電位を与える高電位電源線VDD、またはロウレベル（L）の電位を与える低電位電源線VSS（ $VSS < VDD$ ）、とすることができる。電源線15をVDDとした場合、半導体装置10における抵抗部12は、プルアップ抵抗として機能する。電源線15をVSSとした場合、半導体装置10における抵抗部12は、プルダウン抵抗として機能する。

[0052]

プルアップ（またはプルダウン）抵抗が無いと、入出力端子13に外部から回路または負荷となるデバイス、が接続されていない場合、または入出力端子13に何も信号が入出力されていないときに、入出力端子13は不定状態（HでもLでもない状態。またはHかLか不明の状態。）となってしまう。入出力端子13が不定状態になると、内部回路14が誤動作を起こす可能性がでてくる。

[0053]

そのため、プルアップ（またはプルダウン）抵抗を図1（A）のように設けることによって、入出力端子13をHまたはLに固定し、それにより内部回路の誤動作を防ぐことができる。

[0054]

トランジスタ11は、入出力端子13に信号（ハイレベル信号、ロウレベル信号またはアナログ信号）が入出力されていないとき、オンとなっている。そのため、電源線15がVDDである場合、入出力

端子 1 3 に信号が入力されていないときは、入出力端子はハイレベルに保持されることになる。また、電源線 1 5 が V S S である場合、入出力端子 1 3 に信号が入出力されていないときは、入出力端子はロウレベルに保持されることになる。

[0055]

トランジスタ 1 1 は、入出力端子 1 3 に信号(ハイレベル信号、ロウレベル信号またはアナログ信号)が入力され、内部回路 1 4 が正常に起動した後、オフとなる。それによって、電源線 1 5 と信号線 1 6 との間において、電流が流れるのを止めることができる。そのため、抵抗部 1 2 において定常的に電流が消費されるのを防ぎ、半導体装置 1 0 の消費電力を低減することができる。

[0056]

トランジスタ 1 1 および抵抗部 1 2 は、酸化物半導体を有する。酸化物半導体は、ワイドギャップ半導体であり、さらにホールの有効質量も非常に大きい。また、酸化物半導体に含まれる不純物をできるだけ少なくし、さらに酸素欠損を低減させることによって、酸化物半導体のキャリア濃度を小さくすることができる。このように高純度真性化させた酸化物半導体をトランジスタに用いることによって、非常にオフ電流の小さいトランジスタを形成することができる。それにより、トランジスタ 1 1 に酸化物半導体を用いることで、半導体装置 1 0 の消費電力を下げることができる。また抵抗部 1 2 に用いた場合、上記示したような酸化物半導体は非常に高抵抗であるため、抵抗部として用いることによって、必要とする抵抗値にするための面積が小さくなる。つまり、抵抗部 1 2 に酸化物半導体を用いることによって、抵抗部 1 2 のレイアウト面積を小さくすることができる。

[0057]

また、酸化物半導体を用いたトランジスタおよび抵抗部は、容易に積層させた構造を形成することができる。例えば、シリコンを用いたトランジスタなどと、積層させて形成することができる。そのため、例えば本発明の一態様に係る半導体装置 1 0 のように、トランジスタ 1 1 および抵抗部 1 2 を、酸化物半導体を用いて形成し、内部回路 1 4 を、シリコンを用いたトランジスタなどにより形成することによって、トランジスタ 1 1 および抵抗部 1 2 と、内部回路 1 4 を積層させて形成することができるため、レイアウト面積を小さくすることができる。また、トランジスタ 1 1 と、抵抗部 1 2 と、を積層させて形成させてもよい。

[0058]

また、抵抗層として機能する酸化物半導体と、該酸化物半導体と接触する導電層と、を有する抵抗部は、非線形な抵抗となることがある。

[0059]

図 1 (B) は、本発明の一態様に係る半導体装置 2 0 の回路図である。半導体装置 2 0 は、図 1 (A) に示す半導体装置 1 0 におけるトランジスタ 1 1 および抵抗部 1 2 の接続を逆にした構成となっている。半導体装置 2 0 は、トランジスタ 2 1 と、抵抗部 2 2 と、入出力端子 2 3 と、内部回路 2 4 と、電源線 2 5 と、信号線 2 6 と、制御信号生成回路 2 7 と、を有する。

[0060]

半導体装置 2 0 において、トランジスタ 2 1 の第 1 の端子は抵抗部 2 2 の第 2 の端子と接続され、トランジスタ 2 1 の第 2 の端子は信号線 2 6 と接続される。また、トランジスタ 2 1 のゲートは、制御信号生成回路 2 7 と接続される。抵抗部 2 2 の第 1 の端子は電源線 2 5 と接続され、入出力端子 2 3 は、信号線 2 6 を介して内部回路 2 4 と接続される。

[0061]

図1 (C) は、本発明の一態様に係る半導体装置30の回路図である。半導体装置30は、トランジスタ31と、入出力端子33と、内部回路34と、電源線35と、信号線36と、制御信号生成回路37と、を有する。

[0062]

半導体装置30は、図1 (A) の半導体装置10において、抵抗部12が無い構成である。つまり、図1 (C) の半導体装置30は、電源線35と信号線36との間には、トランジスタ31のみの構成となっている。

[0063]

半導体装置30において、トランジスタ31の第1の端子は電源線35と接続され、トランジスタ31の第2の端子は信号線36と接続される。また、トランジスタ31のゲートは、制御信号生成回路37と接続される。入出力端子33は、信号線36を介して内部回路34と接続される。

[0064]

半導体装置30は、電源線35と信号線36との間に抵抗部が無い構成となっているが、トランジスタ31のオン状態のチャネル抵抗を、抵抗部の代わりとして用いることができ、プルアップ（またはプルダウン）抵抗としても機能する。特に、トランジスタ31に酸化物半導体を用いると、高いチャネル抵抗を形成しやすく、またオフ電流が非常に小さいため好ましい。

[0065]

図1 (D) は、本発明の一態様に係る半導体装置40の回路図である。半導体装置40は、抵抗部42と、入出力端子43と、内部回路44と、電源線45と、信号線46と、を有する。

[0066]

半導体装置40は、図1 (A) の半導体装置10において、トランジスタ11および制御信号生成回路17が無い構成である。つまり、図1 (D) の半導体装置40は、電源線45と信号線46との間には、抵抗部42のみの構成となっている。

[0067]

半導体装置40において、抵抗部42の第1の端子は電源線45と接続され、抵抗部42の第2の端子は、信号線46と接続される。入出力端子43は、信号線46を介して内部回路44と接続される。

[0068]

半導体装置40は、電源線45と信号線46との間にトランジスタが無い構成となっている。このように、電源線45と信号線46の間にトランジスタが形成されていなくとも、抵抗部42があるため、信号線46が不定状態となることを抑制することができる。ただし、その場合、半導体装置40が起動している間は、定常的に電流が流れてしまうため、半導体装置40の消費電力は増加してしまうが、トランジスタを形成する面積が不要となるため、レイアウトは小さくすることができる。

[0069]

また、図1 (A) に示す半導体装置10において、トランジスタ11および抵抗部12は、それぞれ複数用いることができる。たとえば、図2 (A) に示す半導体装置70のように、抵抗部12を2つ用いた構成としてもよい。なお、抵抗部12を3つ以上用いた構成としてもよい。また、図2 (B) に示す半導体装置80のように、トランジスタ11を2つ用いた構成としてもよい。なお、トランジスタ11を3つ以上用いた構成としてもよい。また、トランジスタ11および抵抗部12は、交互に

接続する必要はなく、同じものを連続して接続させた構成としてもよい。

[0070]

また、図1 (A) に示す半導体装置10における内部回路14の例として、図3 (A) に示すようにゲートドライバ回路を、図3 (B) に示すようにクロックジェネレータなどを用いることができる。また、これらに限らず、種々の回路を用いることができる。

[0071]

図4 (A) は、本発明の一態様に係る半導体装置50の回路図である。半導体装置50は、図1 (A) の半導体装置10の構成において、トランジスタ11のゲートと制御信号生成回路17との間に、さらにトランジスタを設けた構成となっている。

[0072]

半導体装置50は、トランジスタ51と、抵抗部52と、入出力端子53と、内部回路54と、電源線55と、信号線56と、制御信号生成回路57と、トランジスタ58と、を有する。

[0073]

半導体装置50において、トランジスタ51の第1の端子は電源線55と接続され、トランジスタ51の第2の端子は抵抗部52の第1の端子と接続され、抵抗部52の第2の端子は信号線56と接続される。また、トランジスタ51のゲートは、トランジスタ58の第1の端子と接続され、トランジスタ58の第2の端子は制御信号生成回路57と接続される。また、トランジスタ58のゲートは、制御信号生成回路57と接続される。入出力端子53は、信号線56を介して内部回路54と接続される。また、トランジスタ51のゲートとトランジスタ58の第1の端子との接続箇所に、フローティングノード(FN)が形成される。

[0074]

トランジスタ58は、トランジスタ51および抵抗部52と同様に、酸化物半導体を有する。酸化物半導体を有するトランジスタは、オフ電流が非常に小さい。そのため、半導体装置50において、トランジスタ58のオンオフを切り替えることによって、トランジスタ51を動作させるための電圧を、FNに保持することができる。そのため、トランジスタ51のオン状態またはオフ状態を保持する期間は、制御信号生成回路57を止めることができる。本構成により、半導体装置50の消費電力を下げることができる。

[0075]

図4 (A) に示す半導体装置50において、トランジスタ58のゲートは、制御信号生成回路57と接続される構成を示したが、トランジスタ58のゲートが、制御信号生成回路57と接続しない構成としてもよい。つまり、トランジスタ58のゲートは、他の配線または回路などと接続される構成とすることができる。

[0076]

図4 (B) は、本発明の一態様に係る半導体装置60の回路図である。半導体装置60は、図4 (A) の半導体装置50の構成において、トランジスタ51のゲートとトランジスタ58との接続箇所に形成されるフローティングノードに、さらに容量素子が接続された構成となっている。

[0077]

半導体装置60は、トランジスタ61と、抵抗部62と、入出力端子63と、内部回路64と、電源線65と、信号線66と、制御信号生成回路67と、トランジスタ68と、容量素子69と、を有す

る。

[0078]

半導体装置60において、トランジスタ61の第1の端子は電源線65と接続され、トランジスタ61の第2の端子は抵抗部62の第1の端子と接続され、抵抗部62の第2の端子は信号線66と接続される。また、トランジスタ61のゲートは、トランジスタ68の第1の端子および容量素子69と接続され、トランジスタ68の第2の端子は制御信号生成回路67と接続される。また、トランジスタ68のゲートは、制御信号生成回路67と接続される。入出力端子63は、信号線66を介して内部回路64と接続される。また、トランジスタ61のゲートと、トランジスタ68の第1の端子と、容量素子69と、の接続箇所に、フローティングノード(FN)が形成される。

[0079]

半導体装置60は、半導体装置50と同様に、トランジスタ68のオンオフを切り替えることによって、トランジスタ61を動作させるための電圧を、FNに保持することができる。さらに、半導体装置60はFNに容量素子69が接続されていることにより、よりFNに電圧を保持しやすい構成となっている。そのため、トランジスタ61のオン状態またはオフ状態を保持することがより容易となり、制御信号生成回路67を止めることができるため、半導体装置60の消費電力を下げることができる。

[0080]

図4(B)に示す半導体装置60において、トランジスタ68のゲートは、制御信号生成回路67と接続される構成を示したが、トランジスタ68のゲートが、制御信号生成回路67と接続しない構成としてもよい。つまり、トランジスタ68のゲートは、他の配線または回路などと接続される構成とすることができる。

[0081]

<半導体装置の動作例>

次に、図1(A)に示す半導体装置10が、図5(A)および図5(B)に示すタイミングチャートに基づいて制御される場合の動作について説明する。ただし、図1(A)に示す半導体装置10は、各配線の電位を適宜制御することによって、他にも様々な動作を行うことが可能である。

[0082]

図5(A)は、図1(A)における半導体装置10の電源線15が、高電位電源線VDDとして機能する場合について説明したタイミングチャートである。つまり、抵抗部12は、プルアップ抵抗として機能する。

[0083]

図5(A)には、電源線15の電位V15、制御信号生成回路17の電位V17、入出力端子13の電位V13を示す。

[0084]

図5(A)に示す期間T11において、電源線15および制御信号生成回路17の電位が徐々に増加し、トランジスタ11の閾値電圧(V_{th})まで昇圧される。また、入出力端子13の電位は、トランジスタ11がオフ状態でありフローティングとなっているため、不定状態となる。

[0085]

期間T12において、電源線15および制御信号生成回路17の電位はさらに増加し、VDD(H)まで昇圧される。その後、電源線15および制御信号生成回路17の電位はVDD(H)に保持され

る。また、入出力端子 1 3 の電位は、トランジスタ 1 1 がオン状態となるため、電源線 1 5 と同じ電位 (VDD) となる。

[0086]

期間 T 1 3 において、電源線 1 5 および制御信号生成回路 1 7 の電位は VDD (H) に保持される。入出力端子 1 3 には、ロウレベル (L) 信号 (VSS) が入力される。つまり、期間 T 1 3 において、トランジスタ 1 1 および抵抗部 1 2 に電流が流れるため、半導体装置 1 0 の消費電力が増加する。そのため期間 T 1 3 は短いほうが好ましい。

[0087]

期間 T 1 4 において、電源線 1 5 の電位は VDD に保持される。制御信号生成回路 1 7 には、ロウレベル (L) 信号 (VSS) が入力され、トランジスタ 1 1 はオフ状態となる。入出力端子 1 3 の電位は、VSS (L) に保持される。

[0088]

期間 T 1 5 において、電源線 1 5 の電位は VDD (H) に保持される。制御信号生成回路 1 7 には、ハイレベル信号 (VDD) が入力され、トランジスタ 1 1 はオン状態となる。入出力端子 1 3 の電位は、VSS (L) に保持される。つまり、期間 T 1 5 において、トランジスタ 1 1 および抵抗部 1 2 に電流が流れるため、半導体装置 1 0 の消費電力が増加する。そのため期間 T 1 5 は短いほうが好ましい。

[0089]

期間 T 1 6 において、電源線 1 5 および制御信号生成回路 1 7 の電位は VDD に保持される。入出力端子 1 3 の電位は、ロウレベル (L) 信号の入力が停止するため、VDD (H) となる。

[0090]

図 5 (B) は、図 1 (A) における半導体装置 1 0 の電源線 1 5 が、低電位電源線 VSS として機能する場合について説明したタイミングチャートである。つまり、抵抗部 1 2 は、プルダウン抵抗として機能する。

[0091]

図 5 (B) には、電源線 1 5 の電位 V 1 5、制御信号生成回路 1 7 の電位 V 1 7、入出力端子 1 3 の電位 V 1 3 を示す。

[0092]

図 5 (B) に示す期間 T 2 1 において、電源線 1 5 は VSS (L) に保持される。制御信号生成回路 1 7 の電位は徐々に増加し、トランジスタ 1 1 の閾値電圧 (V_{th}) まで昇圧される。また、入出力端子 1 3 の電位は、トランジスタ 1 1 がオフ状態のためフローティングとなっており、不定状態となる。

[0093]

期間 T 2 2 において、電源線 1 5 は VSS (L) に保持される。制御信号生成回路 1 7 の電位はさらに増加し、VDD (H) まで昇圧される。その後、制御信号生成回路 1 7 の電位は VDD (H) に保持される。また、入出力端子 1 3 の電位は、トランジスタ 1 1 がオン状態となるため、電源線 1 5 と同じ電位 (VSS) となる。

[0094]

期間 T 2 3 において、電源線 1 5 は VSS (L) に保持される。制御信号生成回路 1 7 の電位は VDD (H) に保持される。

Dに保持される。入出力端子13には、ハイレベル信号(VDD)が入力される。つまり、期間T23において、トランジスタ11および抵抗部12に電流が流れるため、半導体装置10の消費電力が増加する。そのため期間T23は短いほうが好ましい。

[0095]

期間T24において、電源線15はVSS(L)に保持される。制御信号生成回路17には、ロウレベル(L)信号(VSS)が入力され、トランジスタ11はオフ状態となる。入出力端子13の電位は、VDD(H)に保持される。

[0096]

期間T25において、電源線15はVSS(L)に保持される。制御信号生成回路17には、ハイレベル信号(VDD)が入力され、トランジスタ11はオン状態となる。入出力端子13の電位は、VDD(H)に保持される。つまり、期間T25において、トランジスタ11および抵抗部12に電流が流れるため、半導体装置10の消費電力が増加する。そのため期間T25は短いほうが好ましい。

[0097]

期間T26において、電源線15の電位はVSS(L)に保持される。制御信号生成回路17の電位はVDDに保持される。入出力端子13の電位は、ハイレベル(H)信号の入力が停止するため、VSS(L)となる。

[0098]

以上のとおり、図1に示す半導体装置10は、ICなどのプルアップ(またはプルダウン)抵抗を有する半導体装置として機能することができる。

[0099]

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態および他の実施の形態では、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、プルアップ(またはプルダウン)抵抗を適用した場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、他の回路に適用してもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様は、プルアップ(またはプルダウン)抵抗を適用しなくてもよい。例えば、本発明の一態様として、トランジスタに酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様では、トランジスタは、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などのように、様々な半導体材料を有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様では、トランジスタは、酸化物半導体を有していなくてもよい。

[0100]

なお、本実施の形態は他の実施の形態の記載と適宜組み合わせることができる。よって、本実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)、および/または、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)に対して、適用、組み合わせ、または置き換えなどを行うことができる。なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載され

る文章を用いて述べる内容のことである。また、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。これは、以下の実施の形態においても同様である。

[0101]

（実施の形態2）

本実施の形態では、実施の形態1に示した半導体装置10における、トランジスタ11および抵抗部12の構成例について説明する。

[0102]

<構成例1>

図6に、トランジスタ100および抵抗部200の回路図、上面図および断面図を示す。なお、トランジスタ100は、図1（A）におけるトランジスタ11に用いることができる。また、抵抗部200は、図1（A）における抵抗部12に用いることができる。また、本実施の形成におけるトランジスタ100および抵抗部200は、酸化物半導体を有する構成について説明する。

[0103]

図6（A）は、トランジスタ100および抵抗部200が接続された回路図が示されている。図6（A）に示すトランジスタ100および抵抗部200について、図6（B）に構成の一例を示す上面図を示す。図6（C）は、図6（A）における一点鎖線A1－A2における断面図を、図6（D）は、一点鎖線A3－A4における断面図を、図6（E）は、一点鎖線A5－A6における断面図を示す。ここでは、一点鎖線A1－A2の方向をチャネル長方向と、一点鎖線A3－A4の方向をチャネル幅方向と呼称する場合がある。よって、図6（C）は、トランジスタ100のチャネル長方向の断面構造を示す図になり、図6（D）は、トランジスタ100のチャネル幅方向の断面構造を示す図になる。なお、デバイス構造を明確にするため、図6（B）では、一部の構成要素が省略されている。

[0104]

図6に示すトランジスタ100は、基板110上の絶縁層112と、絶縁層112上の酸化物半導体層120と、酸化物半導体層120と一部接して形成される、導電層141および導電層142と、酸化物半導体層120、導電層141および導電層142上の絶縁層113と、酸化物半導体層120と重畳し、絶縁層113上の導電層130と、導電層130および絶縁層113上の絶縁層115と、を有する。

[0105]

図6に示す抵抗部200は、基板110上の絶縁層112と、絶縁層112上の、酸化物半導体層121と、酸化物半導体層121と一部接して形成される、導電層142および導電層143と、酸化物半導体層121、導電層142および導電層143上の絶縁層113と、絶縁層113上の絶縁層115と、を有する。

[0106]

トランジスタ100において、絶縁層112は、下地絶縁層として機能することができる。酸化物半導体層120は、トランジスタ100の活性層として機能することができる。導電層141および導電層142は、ソース電極およびドレイン電極として機能することができる。絶縁層113は、ゲー

ト絶縁層として機能する領域を有する。導電層 130 は、ゲート電極として機能することができる。絶縁層 115 は、層間絶縁層として機能することができる。

[0107]

また、抵抗部 200 において、酸化物半導体層 121 は、抵抗層として機能することができる。

[0108]

<構成例 2>

図 7 に、トランジスタおよび抵抗部 101 の回路図、上面図および断面図を示す。なお、トランジスタおよび抵抗部 101 は、図 1 (A) におけるトランジスタ 11 および抵抗部 12 に用いることができる。また、本実施の形成におけるトランジスタおよび抵抗部 101 は、酸化物半導体を有する構成について説明する。

[0109]

図 7 に示すトランジスタおよび抵抗部 101 は、図 6 におけるトランジスタ 100 および抵抗部 200 を、1 つに組み合わせたような構成となっている。特に、酸化物半導体を有するトランジスタおよび抵抗部 101 とすることによって、オフ電流の小さいトランジスタの活性層と、抵抗値の高い抵抗層を、直接接続した構造で形成できる。このようにトランジスタと抵抗部を合わせた構成とすることによって、レイアウト面積を縮小することができる。

[0110]

図 7 (A) は、トランジスタおよび抵抗部 101 の回路図が示されている。図 7 (A) に示すトランジスタおよび抵抗部 101 について、図 7 (B) に構成の一例を示す上面図を示す。図 7 (C) は、図 7 (A) における一点鎖線 A1-A2 における断面図を、図 7 (D) は、一点鎖線 A3-A4 における断面図を、図 7 (E) は、一点鎖線 A5-A6 における断面図を示す。なお、デバイス構造を明確にするため、図 7 (B) では、一部の構成要素が省略されている。

[0111]

図 7 に示すトランジスタおよび抵抗部 101 は、基板 110 上の絶縁層 112 と、絶縁層 112 上の、酸化物半導体層 122 と、酸化物半導体層 122 と一部接して形成される、導電層 141 および導電層 143 と、酸化物半導体層 122、導電層 141 および導電層 143 上の絶縁層 114 と、酸化物半導体層 122 と一部重畳し、絶縁層 114 上の導電層 131 と、導電層 131 および絶縁層 114 上の絶縁層 115 と、を有する。

[0112]

トランジスタおよび抵抗部 101 において、絶縁層 112 は、下地絶縁層として機能することができる。酸化物半導体層 122 は、トランジスタおよび抵抗部 101 において、導電層 131 と重畳する領域は、トランジスタの活性層として機能することができる。導電層 141 および導電層 143 は、ソース電極およびドレイン電極として機能することができる。絶縁層 114 は、ゲート絶縁層として機能する領域を有する。導電層 131 は、ゲート電極として機能することができる。絶縁層 115 は、層間絶縁層として機能することができる。

[0113]

また、酸化物半導体層 122 は、トランジスタおよび抵抗部 101 において、導電層 131 と導電層 143 との間の領域は、抵抗部の抵抗層として機能することができる。

[0114]

<構成例 3>

図 8 に、トランジスタ 400 および抵抗部 401 の回路図、上面図および断面図を示す。なお、トランジスタ 400 および抵抗部 401 は、図 1 (A) におけるトランジスタ 11 および抵抗部 12 に用いることができる。また、本実施の形成におけるトランジスタ 400 および抵抗部 401 は、酸化物半導体を有する構成について説明する。

[0115]

図 8 に示すトランジスタ 400 は、図 6 および図 7 に示したようなトップゲート型のトランジスタではなく、ボトムゲート型のトランジスタである。

[0116]

図 8 (A) は、トランジスタ 400 および抵抗部 401 の回路図が示されている。図 8 (A) に示すトランジスタ 400 および抵抗部 401 について、図 8 (B) に構成の一例を示す上面図を示す。図 8 (C) は、図 8 (A) における一点鎖線 A1-A2 における断面図を示す。なお、デバイス構造を明確にするため、図 8 (B) では、一部の構成要素が省略されている。

[0117]

図 8 に示すトランジスタ 400 は、基板 110 上の絶縁層 112 と、絶縁層 112 上の導電層 410 と、導電層 410 上の絶縁層 412 と、絶縁層 412 上の酸化物半導体層 414 と、酸化物半導体層 414 と一部接して形成される、導電層 418 および導電層 420 と、酸化物半導体層 414、導電層 418 および導電層 420 上の絶縁層 424 と、を有する。

[0118]

図 8 に示す抵抗部 401 は、基板 110 上の絶縁層 112 と、絶縁層 112 上の絶縁層 412 と、絶縁層 412 上の酸化物半導体層 416 と、酸化物半導体層 416 と一部接して形成される、導電層 420 および導電層 422 と、酸化物半導体層 416、導電層 420 および導電層 422 上の絶縁層 424 と、を有する。

[0119]

トランジスタ 400 において、絶縁層 112 は、下地絶縁層として機能することができる。酸化物半導体層 414 は、トランジスタ 400 の活性層として機能することができる。導電層 418 および導電層 420 は、ソース電極およびドレイン電極として機能することができる。絶縁層 412 は、ゲート絶縁層として機能する領域を有する。導電層 410 は、ゲート電極として機能することができる。絶縁層 424 は、層間絶縁層として機能することができる。

[0120]

また、抵抗部 401 において、酸化物半導体層 416 は、抵抗層として機能することができる。

[0121]

また、図 8 に示したボトムゲート型のトランジスタ 400 は、チャネルエッチ型の構造であるが、図 9 (A) に示すように、チャネル保護型のトランジスタ 402 としてもよい。

[0122]

図 9 (A) に示すトランジスタ 402 は、基板 110 上の絶縁層 112 と、絶縁層 112 上の導電層 410 と、導電層 410 上の絶縁層 412 と、絶縁層 412 上の酸化物半導体層 414 と、酸化物半導体層 414 上の絶縁層 428 と、酸化物半導体層 414 および絶縁層 428 と一部接して形成される、導電層 430 および導電層 432 と、酸化物半導体層 414、絶縁層 428、導電層 430 およ

び導電層 4 3 2 上の絶縁層 4 3 4 と、を有する。

[0 1 2 3]

トランジスタ 4 0 2 において、絶縁層 1 1 2 は、下地絶縁層として機能することができる。酸化物半導体層 4 1 4 は、トランジスタ 4 0 0 の活性層として機能することができる。導電層 4 3 0 および導電層 4 3 2 は、ソース電極およびドレイン電極として機能することができる。絶縁層 4 1 2 は、ゲート絶縁層として機能する領域を有する。導電層 4 1 0 は、ゲート電極として機能することができる。絶縁層 4 3 4 は、層間絶縁層として機能することができる。絶縁層 4 2 8 は、チャネル保護層として機能することができる。

[0 1 2 4]

また、図 9 (B) に示すトランジスタ 4 0 3 は、図 8 のトランジスタ 4 0 0 に、導電層 4 1 1 を有する構造である。トランジスタ 4 0 3 において、導電層 4 1 1 はバックゲート電極として機能することができる。

[0 1 2 5]

また、図 8 に示した抵抗部 4 0 1 において、さらに導電層を有する構造としてもよい。抵抗部 4 0 1 に、さらに導電層 4 3 5 を有する抵抗部 4 0 4 を、図 9 (C) に示す。

[0 1 2 6]

図 9 (C) に示す抵抗部 4 0 4 は、基板 1 1 0 上の絶縁層 1 1 2 と、絶縁層 1 1 2 上の導電層 4 3 5 と、導電層 4 3 5 上の絶縁層 4 3 8 と、絶縁層 4 3 8 上の、酸化物半導体層 4 4 4 と、酸化物半導体層 4 4 4 と一部接して形成される、導電層 4 4 0 および導電層 4 4 2 と、酸化物半導体層 4 4 4、導電層 4 4 0 および導電層 4 4 2 上の絶縁層 4 4 6 と、を有する。

[0 1 2 7]

また、抵抗部 4 0 4 において、酸化物半導体層 4 4 4 は、抵抗層として機能することができる。

[0 1 2 8]

また、図 9 (D) に示す抵抗部 4 0 5 は、図 9 (C) の抵抗部 4 0 4 に、導電層 4 4 8 を有する構造である。

[0 1 2 9]

また、図 9 (E) に示す抵抗部 4 0 6 は、図 8 の抵抗部 4 0 1 に、絶縁層 4 5 0 を有する構造である。

[0 1 3 0]

絶縁層 4 5 0 に、水素を多く含む膜、たとえば窒化シリコンを有する膜などを用いた場合、酸化物半導体層 4 1 6 の抵抗値を下げるることができる場合がある。

[0 1 3 1]

本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせることができる。

[0 1 3 2]

(実施の形態 3)

本実施の形態では、本発明の一態様に用いることができる酸化物半導体を有するトランジスタ (OS トランジスタともいう。) の構成例について説明する。本実施の形態にて説明する OS トランジスタは、たとえば図 1 (A) のトランジスタ 1 1 および図 4 (A) のトランジスタ 5 8 などに適用することができる。

[0133]

<構成例1>

図10にOSトランジスタの構成の一例を示す。図10(A)はOSトランジスタの構成の一例を示す上面図である。図10(B)は、 $y_1 - y_2$ 線断面図であり、図10(C)は $x_1 - x_2$ 線断面図であり、図10(D)は $x_3 - x_4$ 線断面図である。ここでは、 $y_1 - y_2$ 線方向をチャンネル長方向と、 $x_1 - x_2$ 線方向をチャンネル幅方向と呼称する場合がある。よって、図10(B)は、OSトランジスタのチャンネル長方向の断面構造を示す図になり、図10(C)および図10(D)は、OSトランジスタのチャンネル幅方向の断面構造を示す図になる。なお、デバイス構造を明確にするため、図10(A)では、一部の構成要素が省略されている。

[0134]

図10に示すOSトランジスタ501は、バックゲートを有する。OSトランジスタ501は絶縁表面に形成される。ここでは、絶縁層511上に形成されている。絶縁層511は基板510表面に形成されている。OSトランジスタ501は、絶縁層514および絶縁層515に覆われている。なお、絶縁層514および515をOSトランジスタ501の構成要素とみなすこともできる。OSトランジスタ501は、絶縁層512、絶縁層513、酸化物半導体層521、酸化物半導体層522、酸化物半導体層523、導電層530、導電層531、導電層541、および導電層542を有する。ここでは、酸化物半導体層521、酸化物半導体層522および酸化物半導体層523をまとめて、酸化物半導体層520と呼称する。なお、ここではバックゲートを有する構造を示したが、バックゲートの無い構造としてもよい。

[0135]

絶縁層513はゲート絶縁層として機能する領域を有する。導電層530はゲート電極(第1のゲート電極)として機能する。導電層531はバックゲート電極(第2のゲート電極)として機能する。導電層541および導電層542は、それぞれ、ソース電極またはドレイン電極として機能する。なお、導電層531は設けなくてもよい(以下同様)。

[0136]

図10(B)、(C)に示すように、酸化物半導体層520は、酸化物半導体層521、酸化物半導体層522、酸化物半導体層523が順に積層された領域を有する。絶縁層513はこの積層部分を覆っている。導電層531は絶縁層513を介して酸化物半導体層の積層部分と重なる。導電層541および導電層542は酸化物半導体層521および酸化物半導体層523とでなる積層膜上に設けられており、これらは、この積層膜上面、および積層膜のチャンネル長方向の側面に接している。また、図10の例では、導電層541、542は絶縁層512とも接している。酸化物半導体層523は、酸化物半導体層521、酸化物半導体層522、および導電層541、導電層542を覆うように形成されている。酸化物半導体層523の下面は酸化物半導体層522の上面と接している。

[0137]

酸化物半導体層520において、絶縁層513を介して、酸化物半導体層521乃至523の積層部分のチャンネル幅方向を取り囲むように、導電層530が形成されている(図10(C)参照)。このため、この積層部分には、垂直方向からのゲート電界に加え、側面方向からのゲート電界も印加される。OSトランジスタ501において、ゲート電界とは、導電層531(ゲート電極層)に印加される電圧により形成される電界のことをいう。よって、ゲート電界によって、酸化物半導体層521乃

至523の積層部分全体を電氣的に取り囲むことができるので、酸化物半導体層522の全体（バルク）にチャネルが形成される場合がある。そのため、OSトランジスタ501は高いオン電流特性を有することができる。

[0138]

本明細書では、このようにゲート電界によって半導体を電氣的に取り囲むことができるトランジスタの構造を“surrounded channel (s-channel)”構造と呼ぶ。OSトランジスタ501は、s-channel構造である。s-channel構造では、トランジスタのソースドレイン間に大電流を流すことができ、導通状態でのドレイン電流（オン電流）を高くすることができる。

[0139]

OSトランジスタ501をs-channel構造とすることで、酸化物半導体層522の側面に対してゲート電界によるチャネル形成領域の制御がしやすくなる。導電層530が酸化物半導体層522の下方まで伸び、酸化物半導体層521の側面と対向している構造では、さらに制御性が優れ、好ましい。その結果、OSトランジスタ501のサブスレッショルドスイング値（S値ともいう。）を小さくすることができ、短チャネル効果を抑制することができる。従って、微細化に適した構造である。

[0140]

図10に示すOSトランジスタ501のように、OSトランジスタを立体的なデバイス構造とすることで、チャネル長を100nm未満にすることができる。OSトランジスタを微細化することで、回路面積が小さくできる。OSトランジスタのチャネル長は、65nm未満とすることが好ましく、30nm以下または20nm以下がより好ましい。

[0141]

トランジスタのゲートとして機能する導電体をゲート電極、トランジスタのソースとして機能する導電体をソース電極、トランジスタのドレインとして機能する導電体をドレイン電極、トランジスタのソースとして機能する領域をソース領域、トランジスタのドレインとして機能する領域をドレイン領域、と呼ぶ。本明細書では、ゲート電極をゲート、ドレイン電極またはドレイン領域をドレイン、ソース電極またはソース領域をソース、と記す場合がある。

[0142]

チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0143]

チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない。

い場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれかの値、最大値、最小値または平均値とする。

[0144]

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅(以下、実効的なチャンネル幅と呼ぶ。)と、トランジスタの上面図において示されるチャンネル幅(以下、見かけ上のチャンネル幅と呼ぶ。)と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

[0145]

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

[0146]

<構成例2>

図11に示すOSトランジスタ502は、OSトランジスタ501の変形例である。図11(A)はOSトランジスタ502の上面図である。図11(B)は、y1-y2線断面図であり、図11(C)は、x1-x2線断面図であり、図11(D)は、x3-x4線断面図である。なお、デバイス構造を明確にするため、図11(A)では、一部の構成要素が省略されている。

[0147]

図11に示すOSトランジスタ502も、OSトランジスタ501と同様に、s-channel構造である。導電層541および導電層542の形状がOSトランジスタ501と異なる。OSトランジスタ502の導電層541および導電層542は、酸化物半導体層521と酸化物半導体層522の積層膜を形成するために使用されるハードマスクから作製されている。そのため、導電層541および導電層542は、酸化物半導体層521および酸化物半導体層522の側面に接していない(図11(D))。

[0148]

次のような工程を経て、酸化物半導体層521、522、導電層541、542を作製することができる。酸化物半導体層521、522を構成する2層の酸化物半導体膜を形成する。酸化物半導体膜上に、単層または積層の導電膜を形成する。この導電膜をエッチングしてハードマスクを形成する。このハードマスクを用いて、2層の酸化物半導体膜をエッチングして、酸化物半導体層521と酸化物半導体層522の積層膜を形成する。次に、ハードマスクをエッチングして、導電層541および導電層542を形成する。

[0149]

<構成例3、4>

図12に示すOSトランジスタ503は、OSトランジスタ501の変形例であり、図13に示すOSトランジスタ504は、OSトランジスタ502の変形例である。OSトランジスタ503およびOSトランジスタ504では、導電層530をマスクに用いて、酸化物半導体層523および絶縁層513がエッチングされている。そのため、酸化物半導体層532および絶縁層513の端部は導電層530の端部とほぼ一致することになる。

[0150]

<構成例5、6>

図14に示すOSトランジスタ505は、OSトランジスタ501の変形例であり、図15に示すOSトランジスタ506は、OSトランジスタ502の変形例である。OSトランジスタ505およびOSトランジスタ506は、それぞれ、酸化物半導体層523と導電層541の間に層551を有し、酸化物半導体層523と導電層542の間に層552を有する。

[0151]

層551、552は、例えば、透明導電体、酸化物半導体、窒化物半導体または酸化窒化物半導体となる層で形成することができる。層551、552は、n型の酸化物半導体層で形成することができ、または、導電層541、542よりも抵抗が高い導電体層で形成することができる。例えば、層551、層552として、インジウム、スズおよび酸素を含む層、インジウムおよび亜鉛を含む層、インジウム、タングステンおよび亜鉛を含む層、スズおよび亜鉛を含む層、亜鉛およびガリウムを含む層、亜鉛およびアルミニウムを含む層、亜鉛およびフッ素を含む層、亜鉛およびホウ素を含む層、スズおよびアンチモンを含む層、スズおよびフッ素を含む層またはチタンおよびニオブを含む層などを用いればよい。例示したこれらの層は水素、炭素、窒素、シリコン、ゲルマニウムまたはアルゴンの一または複数を含んでも構わない。

[0152]

層551、552は、可視光線を透過する性質を有しても構わない。または、層551、552は、可視光線、紫外線、赤外線もしくはX線を、反射もしくは吸収することで透過させない性質を有しても構わない。このような性質を有することで、迷光によるトランジスタの電気特性の変動を抑制できる場合がある。

[0153]

また、層551、552は、酸化物半導体層532との間にショットキー障壁を形成しない層を用いると好ましい。こうすることで、OSトランジスタ505、506のオン特性を向上させることができる。

[0154]

層551、552は、導電体516aおよび導電体516bよりも高抵抗の層とすることが好ましい。また、層551、552は、トランジスタのチャネル抵抗よりも低抵抗であることが好ましい。例えば、層551、552の抵抗率を、 $0.1\ \Omega\text{cm}$ 以上 $100\ \Omega\text{cm}$ 以下、 $0.5\ \Omega\text{cm}$ 以上 $50\ \Omega\text{cm}$ 以下、または $1\ \Omega\text{cm}$ 以上 $10\ \Omega\text{cm}$ 以下とすればよい。層551、552の抵抗率を上記の範囲とすることにより、チャネルとドレインとの境界部における電界集中を緩和することができる。そのため、トランジスタの電気特性の変動を低減することができる。また、ドレインから生じる電界に起因したパンチスルー電流を低減することができる。そのため、チャネル長の短いトランジスタにおいても、飽和特性を良好にすることができる。なお、ソースとドレインとが入れ替わらない回路構成で

あれば、層 551、552 のいずれか一方のみ（例えば、ドレイン側）を配置するほうが好ましい場合がある。

[0155]

<構成例 7>

図 10 乃至図 15 において、第 1 のゲート電極として機能する導電層 530 と、第 2 のゲート電極として機能する導電層 531 は接続されていてもよい。一例として、図 10 における導電層 530 と導電層 531 とが接続された構成を、図 16 に示す。

[0156]

図 16 (C) に示すように、絶縁層 512、絶縁層 513 に開口部が設けられ、当該開口部には導電層 560 が設けられている。そして、導電層 530 は、導電層 560 を介して導電層 531 と接続されている。これにより、OS トランジスタ 501 の第 1 のゲート電極と第 2 のゲート電極を接続することができる。なお、図 11 乃至図 15 においても同様に、第 1 のゲート電極と第 2 のゲート電極が接続された構成を適用することができる。

[0157]

以下、OS トランジスタ 501 乃至 506 の構成要素について説明する。

[0158]

<酸化物半導体層>

酸化物半導体層 521 乃至 523 の半導体材料としては、代表的には、In-Ga 酸化物、In-Zn 酸化物、In-M-Zn 酸化物（M は、Ga、Sn、Y、Zr、La、Ce、または Nd）がある。また、酸化物半導体層 521 乃至 523 は、インジウムを含む酸化物層に限定されない。酸化物半導体層 521 乃至 523 は、例えば、Zn-Sn 酸化物層、Ga-Sn 層、Zn-Mg 酸化物等で形成することができる。また、酸化物半導体層 522 は、In-M-Zn 酸化物で形成することが好ましい。また、酸化物半導体層 521、酸化物半導体層 523 は、それぞれ、Ga 酸化物で形成することができる。

[0159]

酸化物半導体層 521 乃至 523 をスパッタリング法で成膜された In-M-Zn 酸化物膜で形成する場合について説明する。酸化物半導体層 522 の形成に用いられる In-M-Zn 酸化物の成膜用のターゲットの金属元素の原子数比を $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ とし、酸化物半導体層 521、酸化物半導体層 523 の形成に用いられるターゲットの金属元素の原子数比を $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ とする。

[0160]

酸化物半導体層 522 の形成には、 x_1/y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であって、 z_1/y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下の In-M-Zn 酸化物の多結晶ターゲットを用いることが好ましい。 z_1/y_1 を 1 以上 6 以下とすることで、CAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例は、 $\text{In}:\text{M}:\text{Zn} = 1:1:1$ 、 $\text{In}:\text{M}:\text{Zn} = 1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn} = 2:1:1.5$ 、 $\text{In}:\text{M}:\text{Zn} = 2:1:2.3$ 、 $\text{In}:\text{M}:\text{Zn} = 2:1:3$ 、 $\text{In}:\text{M}:\text{Zn} = 3:1:2$ 、 $\text{In}:\text{M}:\text{Zn} = 4:2:4.1$ 等がある。なお、CAAC-OS とは、c 軸に配向する結晶部を有する酸化物半導体のことであり、これについては後述する。CAAC-OS 膜は、特にスピネル型の結晶構造が含まれないことが好ましい。

これにより、CAAC-OS膜を用いたトランジスタの電気特性、信頼性を向上させることができる。

[0161]

酸化物半導体層521、523の形成に用いられるターゲットは、 $x_2/y_2 < x_1/y_1$ であって、 z_2/y_2 は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。 z_2/y_2 を1以上6以下とすることで、CAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例は、 $In:M:Zn=1:3:2$ 、 $In:M:Zn=1:3:4$ 、 $In:M:Zn=1:3:6$ 、 $In:M:Zn=1:3:8$ 、 $In:M:Zn=1:4:4$ 、 $In:M:Zn=1:4:5$ 、 $In:M:Zn=1:4:6$ 、 $In:M:Zn=1:4:7$ 、 $In:M:Zn=1:4:8$ 、 $In:M:Zn=1:5:5$ 、 $In:M:Zn=1:5:6$ 、 $In:M:Zn=1:5:7$ 、 $In:M:Zn=1:5:8$ 、 $In:M:Zn=1:6:8$ 等がある。

[0162]

$In-M-Zn$ 酸化物膜の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス40%の変動を含む。例えば、 $In:M:Zn=4:2:4$ 、1の酸化物ターゲットを用いて成膜された酸化物半導体膜に含まれる金属元素の原子数比は、およそ $In:M:Zn=4:2:3$ である。

[0163]

[エネルギーバンド] 次に、酸化物半導体層521乃至523の積層により構成される酸化物半導体層520の機能およびその効果について、図17(B)に示すエネルギーバンド構造図を用いて説明する。図17(A)は、OSトランジスタ502のチャネル領域を拡大した図であり、図11(B)の部分拡大図である。図17(B)に、図17(A)で点線 z_1-z_2 で示した部位(OSトランジスタ502のチャネル形成領域)のエネルギーバンド構造を示す。以下、OSトランジスタ502を例に説明するが、OSトランジスタ501、503乃至506でも同様である。

[0164]

図17(B)中、 Ec_{512} 、 Ec_{521} 、 Ec_{522} 、 Ec_{523} 、 Ec_{513} は、それぞれ、絶縁層512、酸化物半導体層521、酸化物半導体層522、酸化物半導体層523、絶縁層513の伝導帯下端のエネルギーを示している。

[0165]

ここで、真空準位と伝導帯下端のエネルギーとの差(「電子親和力」ともいう。)は、真空準位と価電子帯上端のエネルギーとの差(イオン化ポテンシャルともいう。)からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ(HORIBA JOBIN YVON社 UT-300)を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析(UPS: Ultraviolet Photoelectron Spectroscopy)装置(PHI社 VersaProbe)を用いて測定できる。

[0166]

なお、原子数比が $In:Ga:Zn=1:3:2$ のスputタリングターゲットを用いて形成した $In-Ga-Zn$ 酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.5 eVである。また、原子数比が $In:Ga:Zn=1:3:4$ のスputタリングターゲットを用いて形成した $In-Ga-Zn$ 酸化物のエネルギーギャップは約3.4 eV、電子親和力は約4.5 eVである。また、原子数比が $In:Ga:Zn=1:3:6$ のスputタリングターゲットを用いて形成した $In-Ga-Zn$ 酸化物のエネルギーギャップは約3.3 eV、電子親和力は約4.5 eVである。また、原子数比

が $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 2$ のスパッタリングターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.9 eV 、電子親和力は約 4.3 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 8$ のスパッタリングターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.5 eV 、電子親和力は約 4.4 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 10$ のスパッタリングターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.5 eV 、電子親和力は約 4.5 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ のスパッタリングターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 3.2 eV 、電子親和力は約 4.7 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ のスパッタリングターゲットを用いて形成した In-Ga-Zn 酸化物のエネルギーギャップは約 2.8 eV 、電子親和力は約 5.0 eV である。

[0167]

絶縁層 512 と絶縁層 513 は絶縁体であるため、 $\text{Ec}513$ と $\text{Ec}512$ は、 $\text{Ec}521$ 、 $\text{Ec}522$ 、および $\text{Ec}523$ よりも真空準位に近い（電子親和力が小さい）。

[0168]

また、 $\text{Ec}521$ は、 $\text{Ec}522$ よりも真空準位に近い。具体的には、 $\text{Ec}521$ は、 $\text{Ec}522$ よりも 0.05 eV 以上、 0.07 eV 以上、 0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、 1 eV 以下、 0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

[0169]

また、 $\text{Ec}523$ は、 $\text{Ec}522$ よりも真空準位に近い。具体的には、 $\text{Ec}523$ は、 $\text{Ec}522$ よりも 0.05 eV 以上、 0.07 eV 以上、 0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、 1 eV 以下、 0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

[0170]

また、酸化物半導体層 521 と酸化物半導体層 522 との界面近傍、および、酸化物半導体層 522 と酸化物半導体層 523 との界面近傍では、混合領域が形成されるため、伝導帯下端のエネルギーは連続的に変化する。即ち、これらの界面において、準位は存在しないか、ほとんどない。

[0171]

従って、当該エネルギーバンド構造を有する積層構造において、電子は酸化物半導体層 522 を主として移動することになる。そのため、酸化物半導体層 521 と絶縁層 512 との界面、または、酸化物半導体層 523 と絶縁層 513 との界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。また、酸化物半導体層 521 と酸化物半導体層 522 との界面、および酸化物半導体層 523 と酸化物半導体層 522 との界面に準位が存在しないか、ほとんどないため、当該領域において電子の移動を阻害することもない。従って、上記酸化物半導体の積層構造を有する OSTRAN ジスタ 502 は、高い電界効果移動度を有することができる。

[0172]

なお、図 17 (B) に示すように、酸化物半導体層 521 と絶縁層 512 の界面、および酸化物半導体層 523 と絶縁層 513 の界面近傍には、不純物や欠陥に起因したトラップ準位 $\text{Et}502$ が形成され得るものの、酸化物半導体層 521、および酸化物半導体層 523 があることにより、酸化物半導体層 522 と当該トラップ準位とを遠ざけることができる。

[0173]

OSトランジスタ502は、チャネル幅方向において、酸化物半導体層522の上面と側面が酸化物半導体層523と接し、酸化物半導体層522の下面が酸化物半導体層521と接して形成されている（図11（C）参照）。このように、酸化物半導体層522を酸化物半導体層521と酸化物半導体層523で覆う構成とすることで、上記トラップ準位の影響をさらに低減することができる。

[0174]

ただし、Ec521またはEc523と、Ec522とのエネルギー差が小さい場合、酸化物半導体層522の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜の界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

[0175]

従って、Ec521、およびEc523と、Ec522とのエネルギー差を、それぞれ0.1eV以上、好ましくは0.15eV以上とすると、トランジスタのしきい値電圧の変動が低減され、トランジスタの電気特性を良好なものとすることができるため、好ましい。

[0176]

また、酸化物半導体層521、および酸化物半導体層523のバンドギャップは、酸化物半導体層522のバンドギャップよりも広いほうが好ましい。

[0177]

酸化物半導体層521および酸化物半導体層523には、例えば、(Ga、Y、Zr、La、Ce、またはNd)を酸化物半導体層522よりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体に生じることを抑制する機能を有する。すなわち、酸化物半導体層521および酸化物半導体層523は、酸化物半導体層522よりも酸素欠損が生じにくいといえることができる。

[0178]

酸化物半導体層521、酸化物半導体層522、酸化物半導体層523が、少なくともインジウム、亜鉛およびM（Mは、Ga、Sn、Y、Zr、La、Ce、またはNd）を含むIn-M-Zn酸化物である場合、酸化物半導体層521を $In:M:Zn=x_1:y_1:z_1$ [原子数比]、酸化物半導体層522を $In:M:Zn=x_2:y_2:z_2$ [原子数比]、酸化物半導体層523を $In:M:Zn=x_3:y_3:z_3$ [原子数比] とすると、 y_1/x_1 および y_3/x_3 が y_2/x_2 よりも大きくなるのが好ましい。 y_1/x_1 および y_3/x_3 は y_2/x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、酸化物半導体層522において、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であることが好ましい。

[0179]

このような条件を満たすIn-M-Zn酸化物膜は、上述した金属元素の原子数比を満たすIn-M-Zn酸化物のターゲットを用いることで形成することができる。

[0180]

酸化物半導体層521および酸化物半導体層523のZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%よりも高く、さらに

好ましくはInが25 atomic %未満、Mが75 atomic %よりも高くする。また、酸化物半導体層522のZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25 atomic %よりも高く、Mが75 atomic %未満、さらに好ましくはInが34 atomic %よりも高く、Mが66 atomic %未満とする。

[0181]

また、酸化物半導体層521および酸化物半導体層523の少なくとも一方が、インジウムを含まなくても構わない場合がある。例えば、酸化物半導体層521および／または酸化物半導体層523を酸化ガリウム膜で形成することができる。

[0182]

酸化物半導体層521および酸化物半導体層523の厚さは、3 nm以上100 nm以下、好ましくは3 nm以上50 nm以下とする。また、酸化物半導体層522の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下、さらに好ましくは3 nm以上50 nm以下とする。また、酸化物半導体層523は、酸化物半導体層521および酸化物半導体層523より薄い为好ましい。

[0183]

なお、酸化物半導体をチャネルとするOSトランジスタに安定した電気特性を付与するには、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

[0184]

また、酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、酸化物半導体層521、酸化物半導体層522および酸化物半導体層523の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

[0185]

酸化物半導体を真性または実質的に真性とするためには、SIMS分析において、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする。また、水素濃度は、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、窒素濃度は、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0186]

また、酸化物半導体が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体の結晶

性を低下させることがある。酸化物半導体の結晶性を低下させないためには、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。また、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。

[0187]

また、上述のように高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を 0.1 V 、 5 V 、または、 10 V 程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数 $y \text{ A}/\mu\text{m}$ から数 $z \text{ A}/\mu\text{m}$ にまで低減することが可能となる。

[0188]

[オフ電流] 本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

[0189]

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従って、トランジスタのオフ電流が I 以下である、とは、トランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを言う場合がある。トランジスタのオフ電流は、所定の V_{gs} におけるオフ状態、所定の範囲内の V_{gs} におけるオフ状態、または、十分に低減されたオフ電流が得られる V_{gs} におけるオフ状態、等におけるオフ電流を指す場合がある。

[0190]

一例として、しきい値電圧 V_{th} が 0.5 V であり、 V_{gs} が 0.5 V におけるドレイン電流が $1 \times 10^{-9} \text{ A}$ であり、 V_{gs} が 0.1 V におけるドレイン電流が $1 \times 10^{-13} \text{ A}$ であり、 V_{gs} が -0.5 V におけるドレイン電流が $1 \times 10^{-19} \text{ A}$ であり、 V_{gs} が -0.8 V におけるドレイン電流が $1 \times 10^{-22} \text{ A}$ であるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が -0.5 V において、または、 V_{gs} が -0.5 V 乃至 -0.8 V の範囲において、 $1 \times 10^{-19} \text{ A}$ 以下であるから、当該トランジスタのオフ電流は $1 \times 10^{-19} \text{ A}$ 以下である、と言う場合がある。当該トランジスタのドレイン電流が $1 \times 10^{-22} \text{ A}$ 以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は $1 \times 10^{-22} \text{ A}$ 以下である、と言う場合がある。

[0191]

本明細書では、チャネル幅 W を有するトランジスタのオフ電流を、チャネル幅 W あたりを流れる電流値で表す場合がある。また、所定のチャネル幅（例えば $1 \mu\text{m}$ ）あたりを流れる電流値で表す場合がある。後者の場合、オフ電流の単位は、電流／長さの次元を持つ単位（例えば、 $\text{A}/\mu\text{m}$ ）で表される場合がある。

[0192]

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、60℃、85℃、95℃、または125℃におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5℃乃至35℃のいずれか一の温度）におけるオフ電流、を表す場合がある。トランジスタのオフ電流がI以下である、とは、室温、60℃、85℃、95℃、125℃、当該トランジスタが含まれる半導体装置の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5℃乃至35℃のいずれか一の温度）、におけるトランジスタのオフ電流がI以下となる V_{gs} の値が存在することを指す場合がある。

[0193]

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、または20Vにおけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} におけるオフ電流、を表す場合がある。トランジスタのオフ電流がI以下である、とは、 V_{ds} が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、20V、当該トランジスタが含まれる半導体装置の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} 、におけるトランジスタのオフ電流がI以下となる V_{gs} の値が存在することを指す場合がある。

[0194]

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

[0195]

本明細書では、オフ電流と同じ意味で、リーク電流と記載する場合がある。

[0196]

本明細書において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

[0197]

[酸化物半導体膜の結晶構造] 以下に、酸化物半導体層520を構成する酸化物半導体膜の構造について説明する。なお、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0198]

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

[0199]

〈CAAC-OS膜〉CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

[0200]

透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OS膜の明視野像および回折パターン(複合解析像(高分解能TEM像ともいう。))を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

[0201]

試料面と略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

[0202]

一方、試料面と略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

[0203]

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が 31° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

[0204]

InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

[0205]

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

[0206]

CAAC-O-S膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

[0207]

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

[0208]

CAAC-O-S膜を用いたOSトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

[0209]

〈微結晶酸化物半導体膜〉微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶（nc:nanocrystal）を有する酸化物半導体膜を、nc-OS（nanocrystalline Oxide Semiconductor）膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

[0210]

nc-OS膜は、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

[0211]

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

[0212]

〈非晶質酸化物半導体膜〉非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

[0213]

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

[0214]

酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(a-like OS: amorphous-like Oxide Semiconductor)膜と呼ぶ。

[0215]

a-like OS膜は、高分解能TEM像において鬆(ボイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

[0216]

a-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応する。

[0217]

酸化物半導体膜は、構造ごとに膜密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶酸化物半導体膜の膜密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶酸化物半導体膜の膜密度に対し、a-like OS膜の膜密度は78.6%以上92.3%未満となる。また、例えば、単結晶酸化物半導体膜の膜密度に対し、nc-OS膜の膜密度およびCAAC-OS膜の膜密度は92.3%以上100%未満となる。なお、単結晶酸化物半導体膜の膜密度に対し膜密度が78%未満となる酸化物半導

体膜は、成膜すること自体が困難である。

[0218]

上記について、具体例を用いて説明する。例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶 InGaZnO_4 の膜密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体膜において、*a-like* OS 膜の膜密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体膜において、*nc-OS* 膜の膜密度および *CAC-OS* 膜の膜密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

[0219]

なお、同じ組成の単結晶酸化物半導体膜が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶酸化物半導体膜を組み合わせることにより、所望の組成の単結晶酸化物半導体膜に相当する膜密度を算出することができる。所望の組成の単結晶酸化物半導体膜の膜密度は、組成の異なる単結晶酸化物半導体膜を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、膜密度は、可能な限り少ない種類の単結晶酸化物半導体膜を組み合わせることで算出することが好ましい。

[0220]

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、*a-like* OS 膜、微結晶酸化物半導体膜、*CAC-OS* 膜のうち、二種以上を有する積層膜であってもよい。

[0221]

<基板>

基板 510 は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、OS トランジスタ 501 の導電層 530、導電層 541、および導電層 542 の一つは、上記の他のデバイスと電気的に接続されていてもよい。

[0222]

<下地絶縁層>

絶縁層 511 は、基板 510 からの不純物の拡散を防止する役割を有する。絶縁層 512 は酸化物半導体層 520 に酸素を供給する役割を有することが好ましい。担うことができる。したがって、絶縁層 512 は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) において、膜の表面温度が 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲における酸素分子の放出量が $1.0 \times 10^{18} [\text{分子/cm}^3]$ 以上である膜とする。基板 510 が他のデバイスが形成された基板である場合、絶縁層 511 は、表面が平坦になるように CMP (Chemical Mechanical Polishing) 法等で平坦化処理を行うことが好ましい。

[0223]

絶縁層 511、512 は、酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタル、窒化シリコン、窒化酸化シリコン、窒化酸化アルミニウムなどの絶縁材料、またはこれらの混合材料を用いて形成することができる。

なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い材料であり、窒化酸化物とは、酸素よりも窒素の含有量が多い材料である。

[0224]

<ゲート電極>

導電層530は、銅(Cu)、タングステン(W)、モリブデン(Mo)、金(Au)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、クロム(Cr)、鉛(Pb)、錫(Sn)、鉄(Fe)、コバルト(Co)、ルテニウム(Ru)、イリジウム(Ir)、ストロンチウム(Sr)、白金(Pt)の低抵抗材料からなる単体、もしくは合金、またはこれらを主成分とする化合物で形成することが好ましい。

[0225]

また、導電層530は、一層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造、Cu-Mn合金膜の単層構造、Cu-Mn合金膜上にCu膜を積層する二層構造、Cu-Mn合金膜上にCu膜を積層し、さらにその上にCu-Mn合金膜を積層する三層構造等がある。特にCu-Mn合金膜は、電気抵抗が低く、且つ、酸素を含む絶縁膜との界面に酸化マンガンを形成し、Cuの拡散を防ぐことができるため好ましい。

[0226]

また、導電層530には、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

[0227]

ここで、OSトランジスタ501乃至506のように、あるトランジスタTが、半導体膜を間に挟んで存在する一対のゲートを有している場合、一方のゲートには信号Aが、他方のゲートには固定電位Vbが与えられてもよい。

[0228]

信号Aは、例えば、導通状態または非導通状態を制御するための信号である。信号Aは、電位V1、または電位V2 ($V1 > V2$ とする) の2種類の電位をとるデジタル信号であってもよい。例えば、電位V1を高電源電位とし、電位V2を低電源電位とすることができる。信号Aは、アナログ信号であってもよい。

[0229]

固定電位Vbは、例えば、トランジスタTのしきい値電圧 V_{thA} を制御するための電位である。固定電位Vbは、電位V1、または電位V2であってもよい。この場合、固定電位Vbを生成するための電位発生回路を別途設ける必要がなく好ましい。固定電位Vbは、電位V1、または電位V2と異なる電位であってもよい。固定電位Vbを低くすることで、しきい値電圧 V_{thA} を高くできる場合

がある。その結果、ゲートソース間電圧 V_{gs} が0 Vのときのドレイン電流を低減し、トランジスタTを有する回路のリーク電流を低減できる場合がある。例えば、固定電位 V_b を低電源電位よりも低くしてもよい。固定電位 V_b を高くすることで、しきい値電圧 V_{thA} を低くできる場合がある。その結果、ゲートソース間電圧 V_{gs} がVDDのときのドレイン電流を向上させ、トランジスタTを有する回路の動作速度を向上できる場合がある。例えば、固定電位 V_b を低電源電位よりも高くしてもよい。

[0230]

また、トランジスタTの一方のゲートには信号Aが、他方のゲートには信号Bが与えられてもよい。信号Bは、例えば、トランジスタTの導通状態または非導通状態を制御するための信号である。信号Bは、電位 V_3 、または電位 V_4 ($V_3 > V_4$ とする) の2種類の電位をとるデジタル信号であつてもよい。例えば、電位 V_3 を高電源電位とし、電位 V_4 を低電源電位とすることができる。信号Bは、アナログ信号であつてもよい。

[0231]

信号Aと信号Bが共にデジタル信号である場合、信号Bは、信号Aと同じデジタル値を持つ信号であつてもよい。この場合、トランジスタTのオン電流を向上し、トランジスタTを有する回路の動作速度を向上できる場合がある。このとき、信号Aの電位 V_1 は信号Bの電位 V_3 と異なつていてもよい。また、信号Aの電位 V_2 は信号Bの電位 V_4 と異なつていてもよい。例えば、信号Bが入力されるゲートに対応するゲート絶縁膜が、信号Aが入力されるゲートに対応するゲート絶縁膜よりも厚い場合、信号Bの電位振幅 ($V_3 - V_4$) を、信号Aの電位振幅 ($V_1 - V_2$) より大きくしても良い。そうすることで、トランジスタTの導通状態または非導通状態に対して、信号Aが与える影響と、信号Bが与える影響と、を同程度とすることができる場合がある。

[0232]

信号Aと信号Bが共にデジタル信号である場合、信号Bは、信号Aと異なるデジタル値を持つ信号であつてもよい。この場合、トランジスタTの制御を信号Aと信号Bによって別々に行うことができ、より高い機能を実現できる場合がある。例えば、トランジスタTがnチャネル型である場合、信号Aが電位 V_1 であり、かつ、信号Bが電位 V_3 である場合のみ導通状態となる場合や、信号Aが電位 V_2 であり、かつ、信号Bが電位 V_4 である場合のみ非導通状態となる場合には、一つのトランジスタでNAND回路やNOR回路等の機能を実現できる場合がある。また、信号Bは、しきい値電圧 V_{thA} を制御するための信号であつてもよい。例えば、信号Bは、トランジスタTを有する回路が動作している期間と、当該回路が動作していない期間と、で電位が異なる信号であつてもよい。信号Bは、回路の動作モードに合わせて電位が異なる信号であつてもよい。この場合、信号Bは信号Aほど頻繁には電位が切り替わらない場合がある。

[0233]

信号Aと信号Bが共にアナログ信号である場合、信号Bは、信号Aと同じ電位のアナログ信号、信号Aの電位を定数倍したアナログ信号、または、信号Aの電位を定数だけ加算もしくは減算したアナログ信号等であつてもよい。この場合、トランジスタTのオン電流を向上し、トランジスタTを有する回路の動作速度を向上できる場合がある。信号Bは、信号Aと異なるアナログ信号であつてもよい。この場合、トランジスタTの制御を信号Aと信号Bによって別々に行うことができ、より高い機能を実現できる場合がある。

[0234]

信号Aがデジタル信号、信号Bがアナログ信号であってもよい。信号Aがアナログ信号、信号Bがデジタル信号であってもよい。

[0235]

また、トランジスタTの一方のゲートには固定電位 V_a が、他方のゲートには固定電位 V_b が与えられてもよい。トランジスタTの両方のゲートに固定電位を与える場合、トランジスタTを、抵抗素子と同等の素子として機能させることができる場合がある。例えば、トランジスタTがnチャネル型である場合、固定電位 V_a または固定電位 V_b を高く（低く）することで、トランジスタの実効抵抗を低く（高く）することができる場合がある。固定電位 V_a 及び固定電位 V_b を共に高く（低く）することで、一つのゲートしか有さないトランジスタによって得られる実効抵抗よりも低い（高い）実効抵抗が得られる場合がある。

[0236]

<ゲート絶縁層>

絶縁層513は、単層構造または積層構造の絶縁膜で形成される。絶縁層513には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層513は上記材料の積層であってもよい。なお、絶縁層513に、ランタン（La）、窒素、ジルコニウム（Zr）などを、不純物として含んでいてもよい。また、絶縁層511も絶縁層513と同様に形成することができる。絶縁層513は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

[0237]

酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて、絶縁層513の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

[0238]

<ソース電極、ドレイン電極、バックゲート電極>

導電層541、導電層542および導電層531は、導電層530と同様に作製することができる。Cu-Mn合金膜は、電気抵抗が低く、且つ、酸化物半導体層520との界面に酸化マンガンを形成し、Cuの拡散を防ぐことができるため、導電層541、導電層542に用いることが好ましい。

[0239]

<保護絶縁層>

絶縁層514は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有することが好ましい。このような絶縁層514を設けることで、酸化物半導体層520からの酸素の外部への拡散と、外部から酸化物半導体層520への水素、水等の入り込みを防ぐことができる。

絶縁層 514 としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有する窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

[0240]

酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高いので絶縁層 514 に適用するのに好ましい。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、トランジスタの電気特性の変動要因となる水素、水分などの不純物の酸化物半導体層 520 への混入防止、酸化物半導体層 520 を構成する主成分材料である酸素の酸化物半導体からの放出防止、絶縁層 512 からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体中に拡散させることもできる。

[0241]

<層間絶縁層>

また、絶縁層 514 上には絶縁層 515 が形成されていることが好ましい。絶縁層 515 は単層構造または積層構造の絶縁膜で形成することができる。当該絶縁膜には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。

[0242]

<成膜方法>

半導体装置を構成する絶縁膜、導電膜、半導体膜等の成膜方法としては、スパッタ法や、プラズマ CVD 法が代表的である。その他の方法、例えば、熱 CVD 法により形成すること可能である。熱 CVD 法として、例えば、MOCVD (Metal Organic Chemical Vapor Deposition) 法を使用することができる。また、ALD (Atomic Layer Deposition) 法を使用してもよい。

[0243]

熱 CVD 法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。熱 CVD 法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

[0244]

また、ALD 法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ (高速バルブとも呼ぶ) を切り換えて 2 種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第 1 の原料ガスと同時またはその後に不活性ガス (ア

ルゴン、或いは窒素など)などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の単原子層を成膜し、後から導入される第2の原料ガスと反応して、第2の単原子層が第1の単原子層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

[0245]

MOCVD法やALD法などの成膜方法によって、これまでに記載した実施形態に開示された導電膜や半導体膜を形成することができる。例えば、 InGaZnO_x ($x > 0$) 膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $(\text{CH}_3)_3\text{In}$ である。また、トリメチルガリウムの化学式は、 $(\text{CH}_3)_3\text{Ga}$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム(化学式 $(\text{C}_2\text{H}_5)_3\text{Ga}$)を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛(化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$)を用いることもできる。

[0246]

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを用いてタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

[0247]

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば InGaZnO_x ($x > 0$) 膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して InO_2 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して GaO 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスを順次繰り返し導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて InGaO_2 層や InZnO_2 層、 GaInO 層、 ZnInO 層、 GaZnO 層などの混合化合物層を形成してもよい。なお、 O_3 ガスに変えてAr等の不活性ガスでバブリングして得られた H_2O ガスを用いてもよいが、Hを含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いてもよい。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いてもよい。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いてもよい。

[0248]

また、本実施の形態では、トップゲート型のトランジスタ構造について示したが、これに限られない。例えば、ボトムゲート型トランジスタまたはプレーナー型トランジスタなどを適用することができる。

[0249]

本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせることができる。

[0250]

(実施の形態 4)

本実施の形態では、本発明の一態様にかかる半導体装置の断面構造の一例を説明する。

[0251]

<構成例 1>

図 18 に、トランジスタ 301、トランジスタ 302、抵抗部 303 の断面図を示す。なお、トランジスタ 302 は図 1 (A) におけるトランジスタ 11 に、抵抗部 303 は図 1 (A) における抵抗部 12 に用いることができる。また、トランジスタ 302 と接続されたトランジスタ 301 は、図 1 (A) における内部回路 14 を構成するトランジスタなどに用いることができる。また、図 18 では、第 1 の層に単結晶半導体基板にチャネル形成領域を有するトランジスタ 301 が位置し、第 1 の層上の第 2 の層に OS トランジスタであるトランジスタ 302 および抵抗部 303 が位置する場合の、半導体装置の断面構造を例示している。

[0252]

トランジスタ 301 は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。シリコンの薄膜を用いてトランジスタ 301 を形成する場合、当該薄膜には、プラズマ CVD 法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

[0253]

トランジスタ 301 が形成される半導体基板 310 は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図 18 では、単結晶シリコン基板を半導体基板 310 として用いる場合を例示している。

[0254]

また、トランジスタ 301 は、素子分離法により電氣的に分離されている。素子分離法として、選択酸化法 (LOCOS 法: Local Oxidation of Silicon 法)、トレンチ分離法 (STI 法: Shallow Trench Isolation) 等を用いることができる。図 18 では、トレンチ分離法を用いてトランジスタ 301 を電氣的に分離する場合を例示している。具体的に、図 18 では、半導体基板 310 にエッチング等によりトレンチを形成した後、酸化シリコンなどを含む絶縁物を当該トレンチに埋め込むことで形成される素子分離領域 311 により、トランジスタ 301 を素子分離させる場合を例示している。

[0255]

トランジスタ 301 は、不純物領域 312a および不純物領域 312b を有する。不純物領域 312a および不純物領域 312b は、トランジスタ 301 のソースまたはドレインとして機能する。

[0256]

トランジスタ 301 上には絶縁膜 321 が設けられ、絶縁膜 321 には開口部が形成されている。そして、当該開口部には、不純物領域 312a と接続された導電層 313a、不純物領域 312b と接続された導電層 313b が形成されている。また、導電層 313a は絶縁膜 321 上に形成された導電層 322a と接続されており、導電層 313b は、絶縁膜 321 上に形成された導電層 322b と接続されている。

[0257]

導電層322aおよび導電層322b上には、絶縁膜323が設けられ、絶縁膜323には開口部が形成されている。そして、当該開口部には、導電層322aと接続された導電層324が形成されている。また、導電層324は絶縁膜323上に形成された導電層325と接続されている。

[0258]

導電層325上には、絶縁膜326が設けられている。

[0259]

そして、絶縁膜326上には、OSトランジスタであるトランジスタ302が設けられている。トランジスタ302は、絶縁膜326上の酸化物半導体層341と、酸化物半導体層341上の導電層343aおよび導電層343bと、酸化物半導体層341、導電層343a、導電層343b上の絶縁膜344と、絶縁膜344上に位置し、酸化物半導体層341と重なる領域を有する導電層345と、を有する。なお、導電層343aおよび導電層343bはトランジスタ302のソース電極またはドレイン電極としての機能を有し、絶縁膜344はトランジスタ302のゲート絶縁膜としての機能を有し、導電層345はトランジスタ302のゲート電極としての機能を有する。

[0260]

また、絶縁膜326上には、抵抗部303が設けられている。抵抗部303は、絶縁膜326上の、酸化物半導体層342と、酸化物半導体層342上の導電層343bおよび343cと、酸化物半導体層342、導電層343b、導電層343c上の絶縁膜344と、を有する。なお、酸化物半導体層342は、抵抗部303において抵抗層として機能する。

[0261]

絶縁膜344および導電層345上には、絶縁膜346が設けられている。また、絶縁膜346上には導電層352および導電層353が設けられている。導電層352は、絶縁膜326、絶縁膜344、絶縁膜346に設けられた開口部を介して導電層325と接続され、絶縁膜344、絶縁膜346、絶縁膜351に設けられた開口部を介して導電層343cと接続されている。導電層353は、絶縁膜344、絶縁膜346に設けられた開口部を介して導電層343aと接続されている。

[0262]

また、図18では、トランジスタ302が、1つの導電層345に対応した1つのチャネル形成領域を有するシングルゲート構造である場合を例示している。しかし、トランジスタ302は、互いに接続された複数のゲート電極を有することで、酸化物半導体層341にチャネル形成領域を複数有する、マルチゲート構造であっても良い。また、バックゲートを有する構造であってもよい。

[0263]

以上のように、トランジスタ301と、トランジスタ302および抵抗部303と、を積層させて形成させることにより、半導体装置の面積を縮小することができる。また、トランジスタ302と、抵抗部303を、積層させて形成させてもよい。

[0264]

なお、トランジスタ302および抵抗部303は、図7に示すトランジスタおよび抵抗部101のように形成してもよい。また、トランジスタ302は、図10乃至図16に示すトランジスタのように形成してもよい。

[0265]

本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせることができる。

[0266]

(実施の形態5)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子部品に適用する例、及び該電子部品を具備する電子機器に適用する例について、図19および図20を用いて説明する。

[0267]

図19(A)では上述の実施の形態で説明した半導体装置を電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、又はIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

[0268]

上記実施の形態に示すようなトランジスタで構成される回路部は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

[0269]

後工程については、図19(A)に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップS1）した後、基板の裏面を研削する（ステップS2）。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

[0270]

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップS3）。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

[0271]

次いでリードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電氣的に接続する、ワイヤーボンディングを行う（ステップS4）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

[0272]

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップS5）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができ、また水分や埃による特性の劣化を低減することができる。

[0273]

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップS6）。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。

[0274]

次いでパッケージの表面に印字処理（マーキング）を施す（ステップS7）。そして最終的な検査工程（ステップS8）を経て電子部品が完成する（ステップS9）。

[0275]

以上説明した電子部品は、上述の実施の形態で説明した半導体装置を含む構成とすることができる。そのため、消費電力の低減が図られた電子部品を実現することができる。

[0276]

また、完成した電子部品の斜視模式図を図19（B）に示す。また、図19（B）に示す回路基板1704における電子部品1700を図19（C）に示す。図19（B）では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図19（B）および図19（C）に示す電子部品1700は、リード1701及び回路部1703を示している。図19（B）に示す電子部品1700は、例えばプリント基板1702に実装される。このような電子部品1700が複数組み合わされて、それぞれがプリント基板1702上で電氣的に接続されることで電子機器の内部に搭載することができる。完成した回路基板1704は、電子機器等の内部に設けられる。

[0277]

また、本発明の一態様に係る半導体装置または電子部品は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機、医療機器などが挙げられる。これら電子機器の具体例を図20に示す。

[0278]

図20（A）は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。本発明の一態様にかかる半導体装置は、携帯型ゲーム機の各種集積回路に用いることができる。なお、図20（A）に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

[0279]

図20（B）は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。本発明の一態様にかかる半導体装置は、携帯情報端末の各種集積回路に用いることができる。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能である。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、

位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

[0280]

図20(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。本発明の一態様にかかる半導体装置は、ノート型パーソナルコンピュータの各種集積回路に用いることができる。

[0281]

図20(D)は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用扉5302、冷凍室用扉5303等を有する。本発明の一態様にかかる半導体装置は、電気冷凍冷蔵庫の各種集積回路に用いることができる。

[0282]

図20(E)はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。本発明の一態様にかかる半導体装置は、ビデオカメラの各種集積回路に用いることができる。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としても良い。

[0283]

図20(F)は自動車であり、車体5101、車輪5102、ダッシュボード5103、ライト5104等を有する。本発明の一態様にかかる半導体装置は、自動車の各種集積回路に用いることができる。

[0284]

本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせることができる。

[符号の説明]

[0285]

- 10 半導体装置
- 11 トランジスタ
- 12 抵抗部
- 13 入出力端子
- 14 内部回路
- 15 電源線
- 16 信号線
- 17 制御信号生成回路
- 20 半導体装置

2 1	トランジスタ
2 2	抵抗部
2 3	入出力端子
2 4	内部回路
2 5	電源線
2 6	信号線
2 7	制御信号生成回路
3 0	半導体装置
3 1	トランジスタ
3 3	入出力端子
3 4	内部回路
3 5	電源線
3 6	信号線
3 7	制御信号生成回路
4 0	半導体装置
4 2	抵抗部
4 3	入出力端子
4 4	内部回路
4 5	電源線
4 6	信号線
5 0	半導体装置
5 1	トランジスタ
5 2	抵抗部
5 3	入出力端子
5 4	内部回路
5 5	電源線
5 6	信号線
5 7	制御信号生成回路
5 8	トランジスタ
6 0	半導体装置
6 1	トランジスタ
6 2	抵抗部
6 3	入出力端子
6 4	内部回路
6 5	電源線
6 6	信号線
6 7	制御信号生成回路
6 8	トランジスタ
6 9	容量素子

7 0 半導体装置
8 0 半導体装置
1 0 0 トランジスタ
1 0 1 抵抗部
1 1 0 基板
1 1 2 絶縁層
1 1 3 絶縁層
1 1 4 絶縁層
1 1 5 絶縁層
1 2 0 酸化物半導体層
1 2 1 酸化物半導体層
1 2 2 酸化物半導体層
1 3 0 導電層
1 3 1 導電層
1 4 1 導電層
1 4 2 導電層
1 4 3 導電層
2 0 0 抵抗部
3 0 1 トランジスタ
3 0 2 トランジスタ
3 0 3 抵抗部
3 1 0 半導体基板
3 1 1 素子分離領域
3 1 2 a 不純物領域
3 1 2 b 不純物領域
3 1 3 a 導電層
3 1 3 b 導電層
3 2 1 絶縁膜
3 2 2 a 導電層
3 2 2 b 導電層
3 2 3 絶縁膜
3 2 4 導電層
3 2 5 導電層
3 2 6 絶縁膜
3 4 1 酸化物半導体層
3 4 2 酸化物半導体層
3 4 3 a 導電層
3 4 3 b 導電層
3 4 3 c 導電層

3 4 4	絶縁膜
3 4 5	導電層
3 4 6	絶縁膜
3 5 1	絶縁膜
3 5 2	導電層
3 5 3	導電層
4 0 0	トランジスタ
4 0 1	抵抗部
4 0 2	トランジスタ
4 0 3	トランジスタ
4 0 4	抵抗部
4 0 5	抵抗部
4 0 6	抵抗部
4 1 0	導電層
4 1 1	導電層
4 1 2	絶縁層
4 1 4	酸化物半導体層
4 1 6	酸化物半導体層
4 1 8	導電層
4 2 0	導電層
4 2 2	導電層
4 2 4	絶縁層
4 2 8	絶縁層
4 3 0	導電層
4 3 2	導電層
4 3 4	絶縁層
4 3 5	導電層
4 3 8	絶縁層
4 4 0	導電層
4 4 2	導電層
4 4 4	酸化物半導体層
4 4 6	絶縁層
4 4 8	導電層
4 5 0	絶縁層
5 0 1	OSトランジスタ
5 0 2	OSトランジスタ
5 0 3	OSトランジスタ
5 0 4	OSトランジスタ
5 0 5	OSトランジスタ

5 0 6 ＯＳトランジスタ
5 1 0 基板
5 1 1 絶縁層
5 1 2 絶縁層
5 1 3 絶縁層
5 1 4 絶縁層
5 1 5 絶縁層
5 1 6 a 導電体
5 1 6 b 導電体
5 2 0 酸化物半導体層
5 2 1 酸化物半導体層
5 2 2 酸化物半導体層
5 2 3 酸化物半導体層
5 3 0 導電層
5 3 1 導電層
5 3 2 酸化物半導体層
5 4 1 導電層
5 4 2 導電層
5 5 1 層
5 5 2 層
5 6 0 導電層
1 7 0 0 電子部品
1 7 0 1 リード
1 7 0 2 プリント基板
1 7 0 3 回路部
1 7 0 4 回路基板
5 0 0 1 筐体
5 0 0 2 筐体
5 0 0 3 表示部
5 0 0 4 表示部
5 0 0 5 マイクロホン
5 0 0 6 スピーカー
5 0 0 7 操作キー
5 0 0 8 スタイラス
5 1 0 1 車体
5 1 0 2 車輪
5 1 0 3 ダッシュボード
5 1 0 4 ライト
5 3 0 1 筐体

5 3 0 2	冷蔵室用扉
5 3 0 3	冷凍室用扉
5 4 0 1	筐体
5 4 0 2	表示部
5 4 0 3	キーボード
5 4 0 4	ポインティングデバイス
5 6 0 1	筐体
5 6 0 2	筐体
5 6 0 3	表示部
5 6 0 4	表示部
5 6 0 5	接続部
5 6 0 6	操作キー
5 8 0 1	筐体
5 8 0 2	筐体
5 8 0 3	表示部
5 8 0 4	操作キー
5 8 0 5	レンズ
5 8 0 6	接続部

請求の範囲

[請求項 1]

内部回路と、
入出力端子と、
信号線と、
電源線と、
抵抗部と、
第 1 のトランジスタと、
制御信号生成回路と、を有し、
前記内部回路は、前記信号線を介して前記入出力端子と電氣的に接続され、
前記第 1 のトランジスタの第 1 の端子は、前記電源線と電氣的に接続され、
前記第 1 のトランジスタの第 2 の端子は、前記抵抗部の第 1 の端子と電氣的に接続され、
前記抵抗部の第 2 の端子は、前記信号線と電氣的に接続され、
前記制御信号生成回路は、前記第 1 のトランジスタのゲートと電氣的に接続され、
前記抵抗部および前記第 1 のトランジスタは、酸化物半導体を有することを特徴とする半導体装置。

[請求項 2]

内部回路と、
入出力端子と、
信号線と、
電源線と、
抵抗部と、
第 1 のトランジスタと、
制御信号生成回路と、を有し、
前記内部回路は、前記信号線を介して前記入出力端子と電氣的に接続され、
前記第 1 のトランジスタの第 1 の端子は、前記抵抗部の第 2 の端子と電氣的に接続され、
前記第 1 のトランジスタの第 2 の端子は、前記信号線と電氣的に接続され、
前記抵抗部の第 1 の端子は、前記電源線と電氣的に接続され、
前記制御信号生成回路は、前記第 1 のトランジスタのゲートと電氣的に接続され、
前記抵抗部および前記第 1 のトランジスタは、酸化物半導体を有する半導体装置。

[請求項 3]

内部回路と、
入出力端子と、
信号線と、
電源線と、
第 1 のトランジスタと、
制御信号生成回路と、を有し、
前記内部回路は、前記信号線を介して前記入出力端子と電氣的に接続され、
前記第 1 のトランジスタの第 1 の端子は、前記電源線と電氣的に接続され、
前記第 1 のトランジスタの第 2 の端子は、前記信号線と電氣的に接続され、

前記制御信号生成回路は、前記第 1 のトランジスタのゲートと電氣的に接続され、
前記第 1 のトランジスタは、酸化物半導体を有する半導体装置。

[請求項 4]

請求項 1 乃至請求項 3 のいずれか一項に記載の半導体装置と、第 2 のトランジスタと、を有し、
前記制御信号生成回路は、前記第 2 のトランジスタの第 1 の端子と電氣的に接続され、
前記第 2 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、
前記第 2 のトランジスタは、酸化物半導体を有する半導体装置。

[請求項 5]

請求項 4 に記載の半導体装置と、容量素子と、を有し、
前記容量素子は、前記第 2 のトランジスタの第 2 の端子および前記第 1 のトランジスタのゲートと、
電氣的に接続されている半導体装置。

[請求項 6]

請求項 4 において、
前記制御信号生成回路は、前記第 2 のトランジスタのゲートと電氣的に接続されている半導体装置。

[請求項 7]

請求項 1 乃至請求項 3 のいずれか一項に記載の半導体装置と、
プリント基板と、を有する回路基板。

[請求項 8]

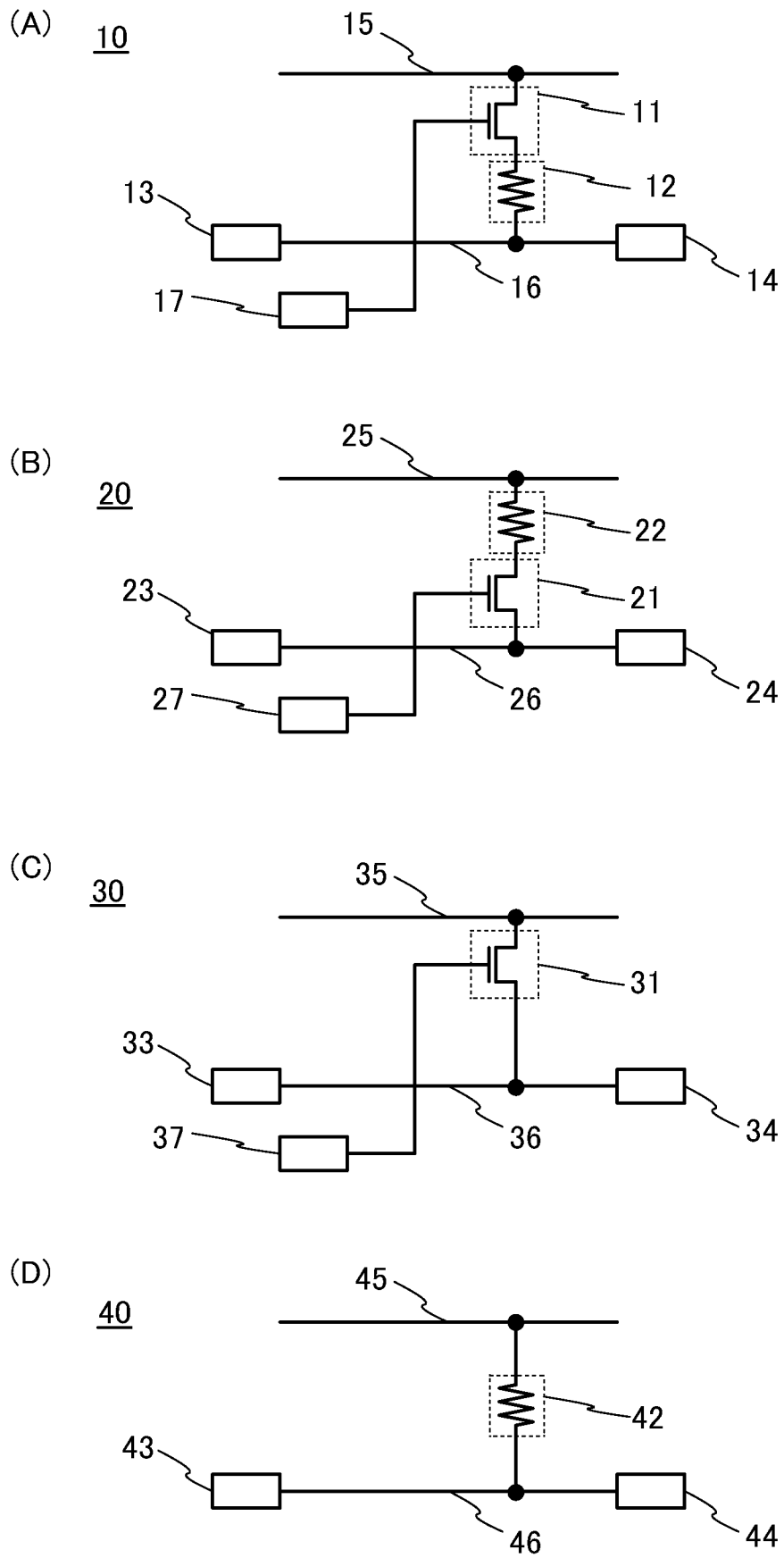
請求項 1 乃至請求項 3 のいずれか一項に記載の半導体装置と、
表示部、マイクロホン、スピーカーまたは操作キーと、を有する電子機器。

[請求項 9]

請求項 7 に記載の回路基板と、
表示部、マイクロホン、スピーカーまたは操作キーと、を有する電子機器。

[図01]

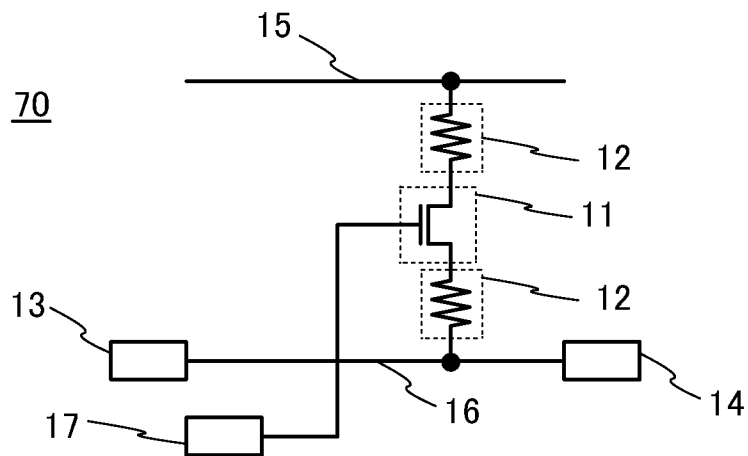
1/20



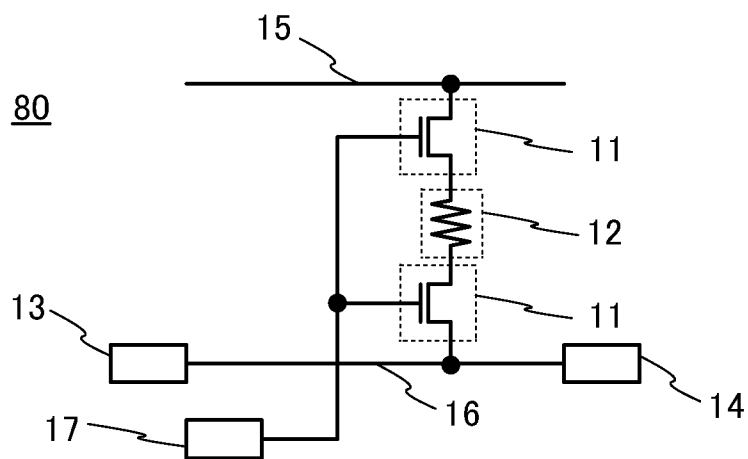
2/20

[図02]

(A)



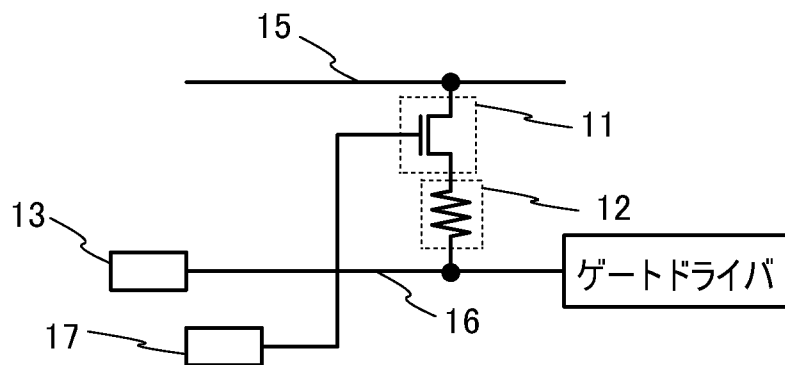
(B)



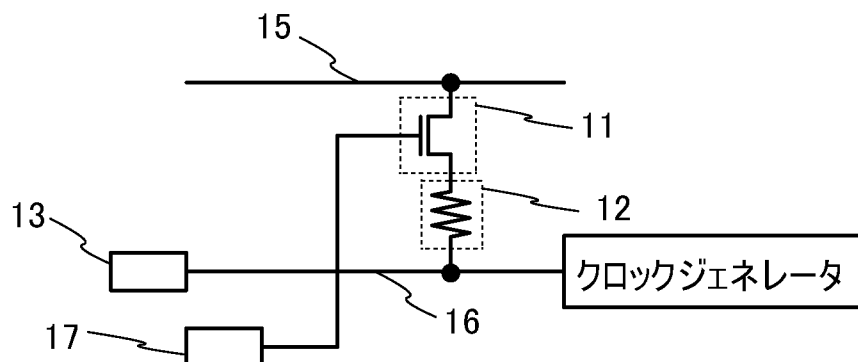
3/20

[図03]

(A)



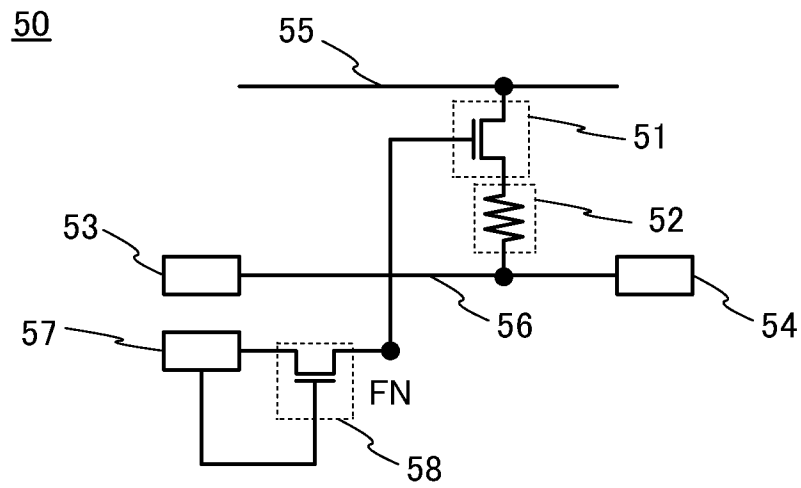
(B)



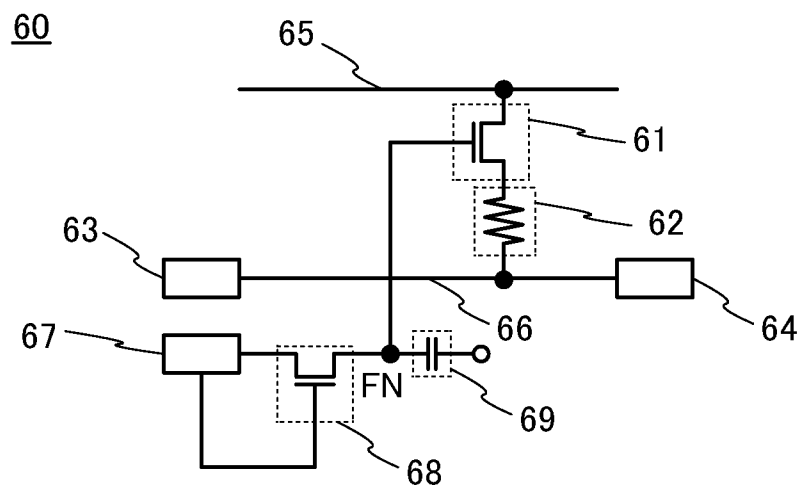
4/20

[図04]

(A)

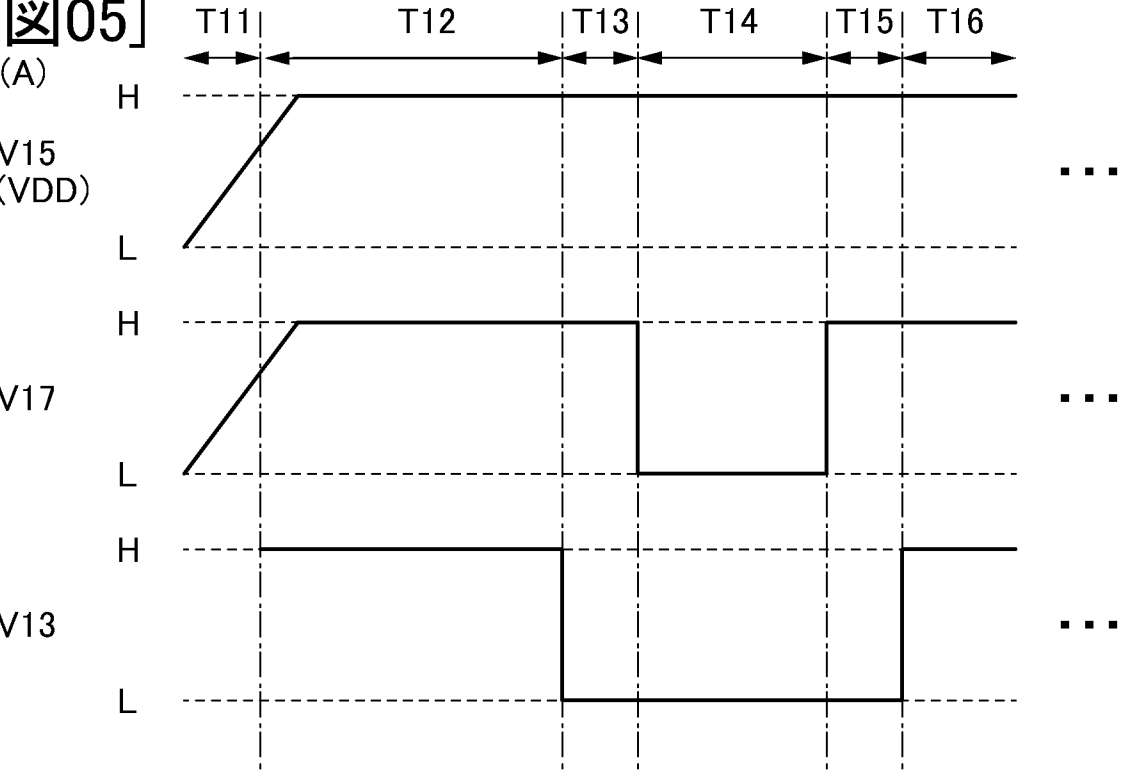


(B)

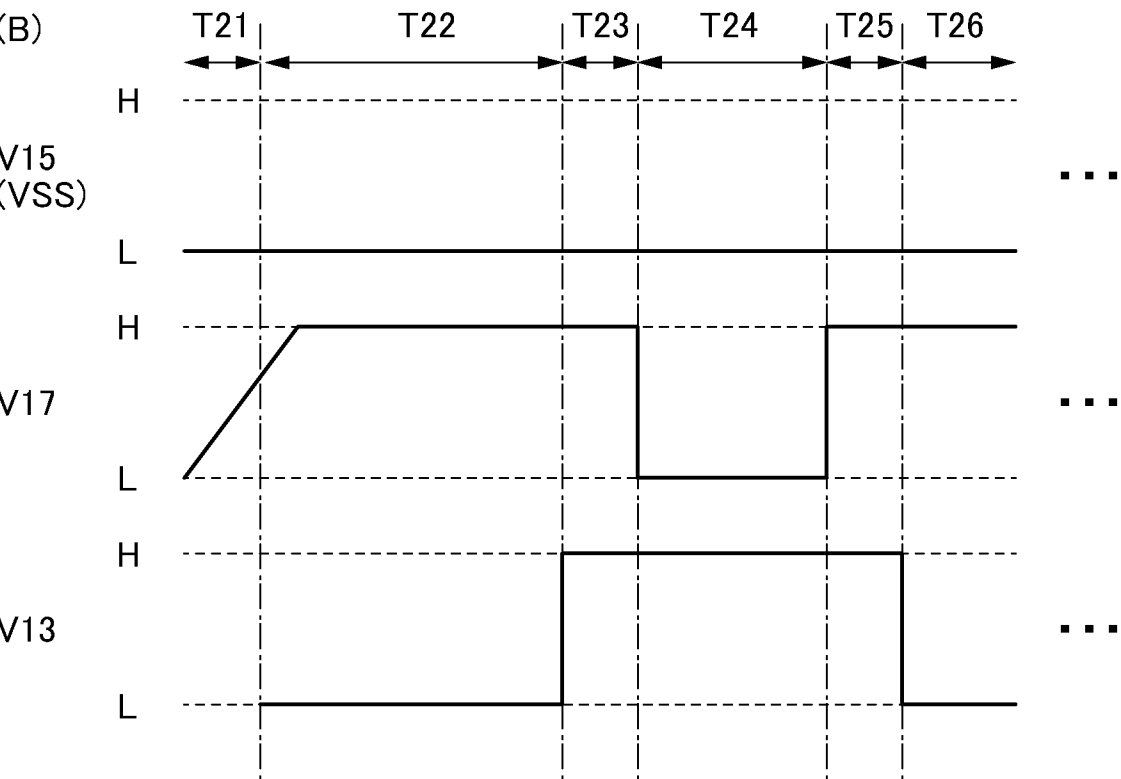


[図05]

(A)



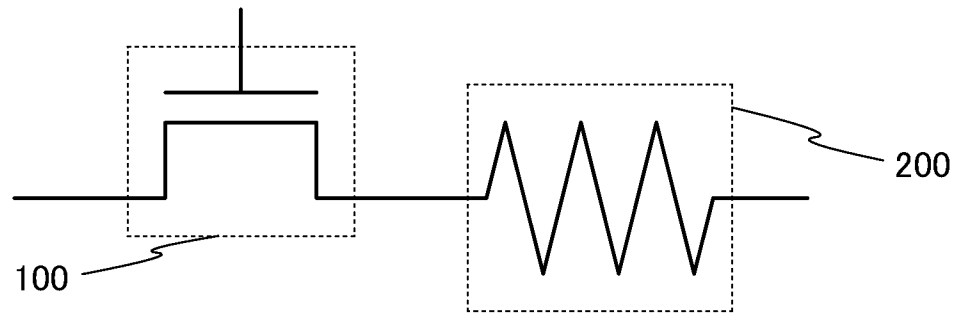
(B)



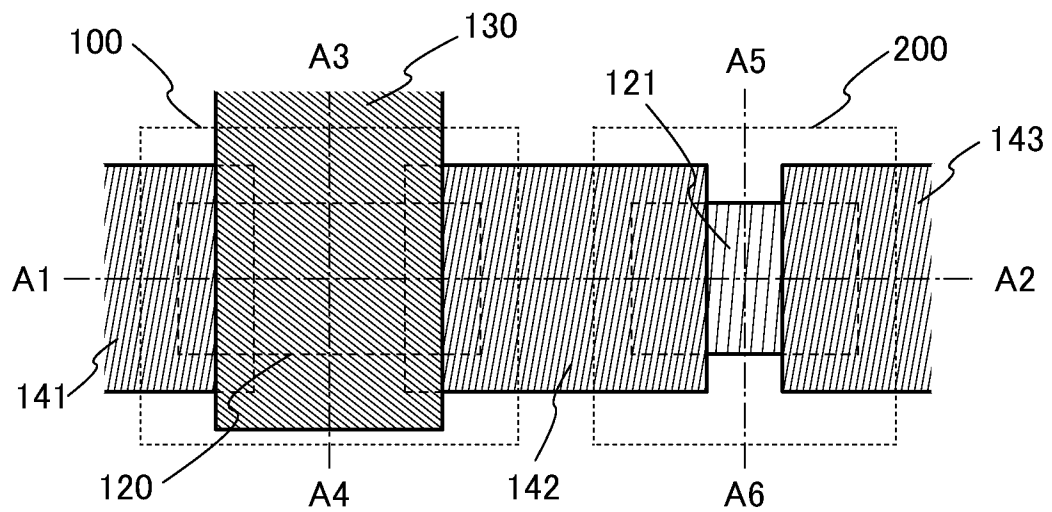
6/20

[図06]

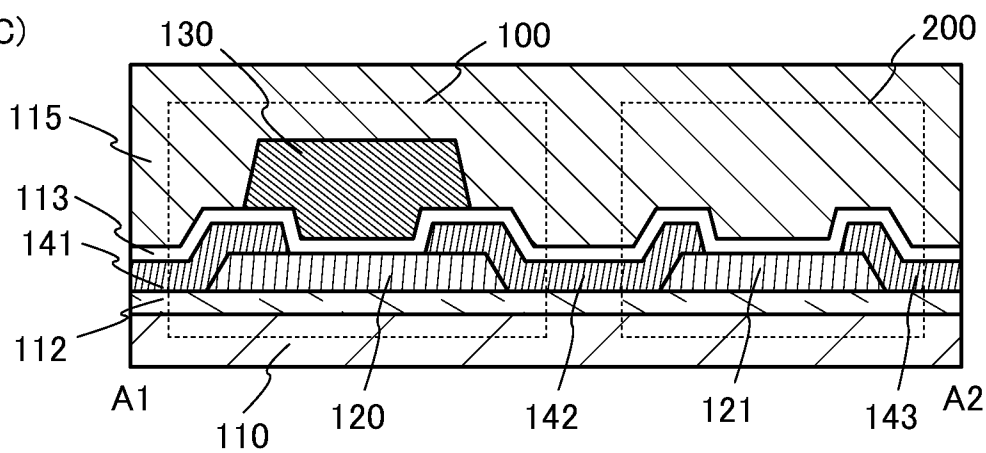
(A)



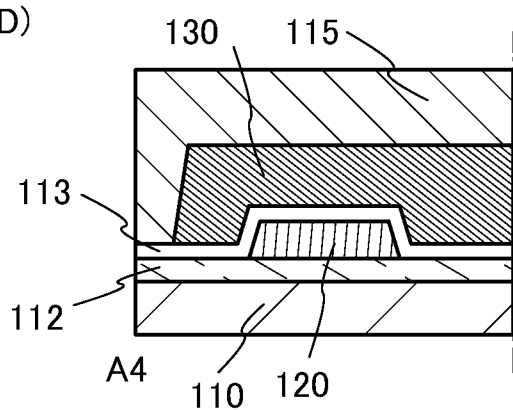
(B)



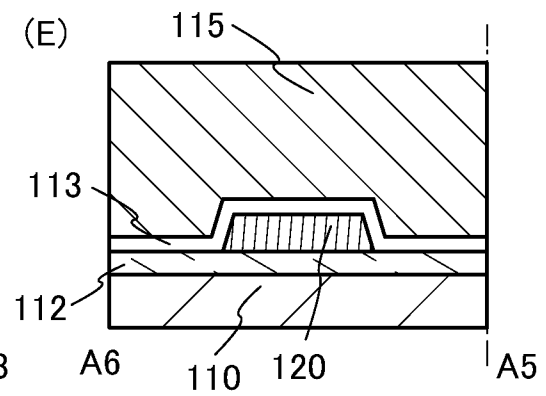
(C)



(D)

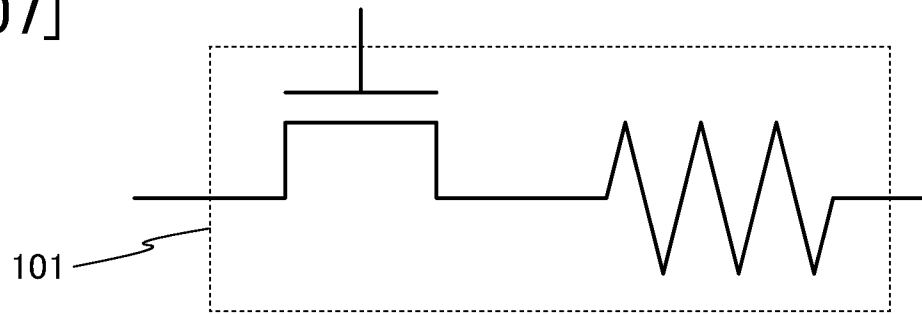


(E)

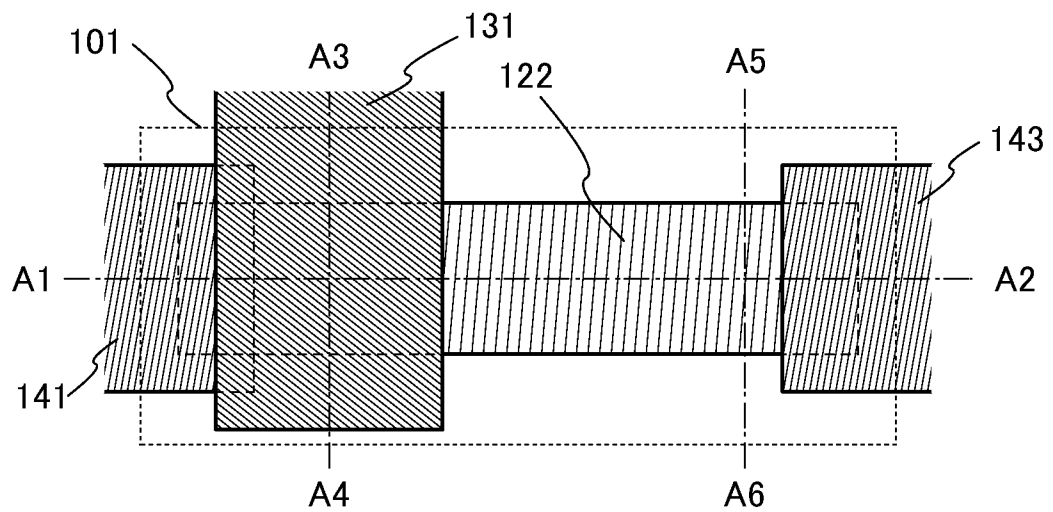


[図07]

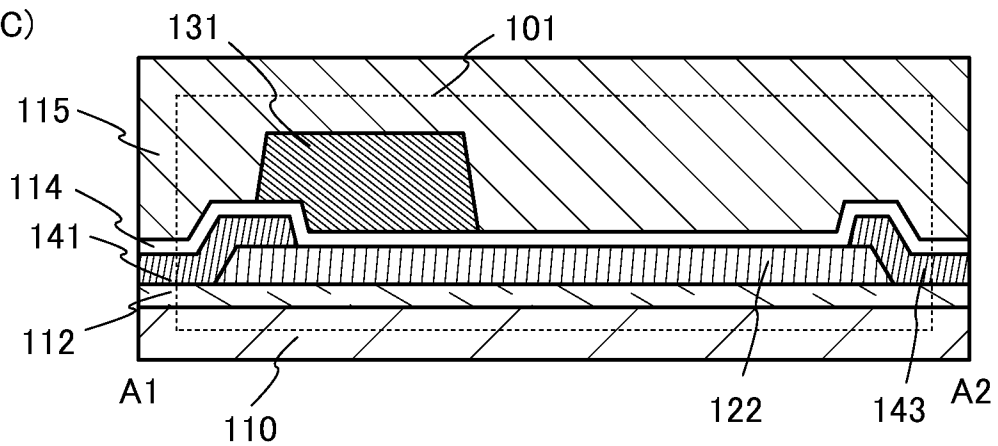
(A)



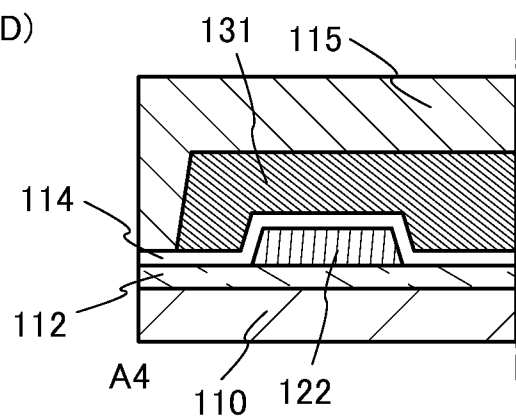
(B)



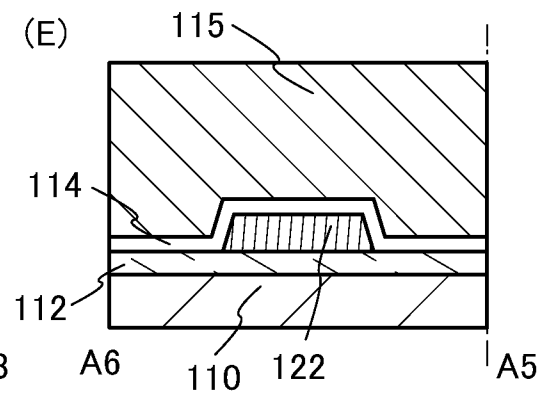
(C)



(D)



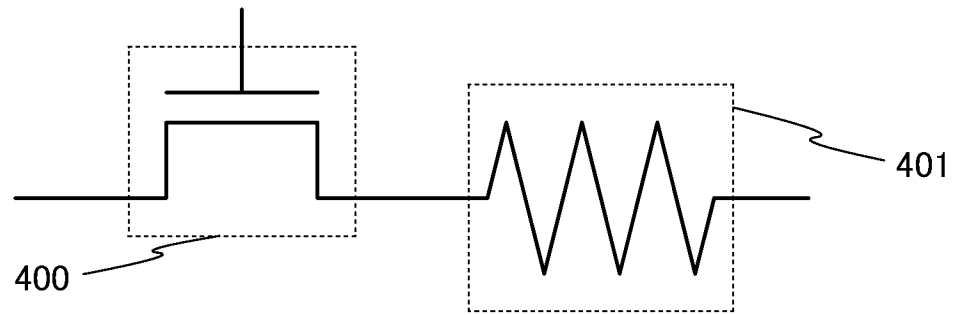
(E)



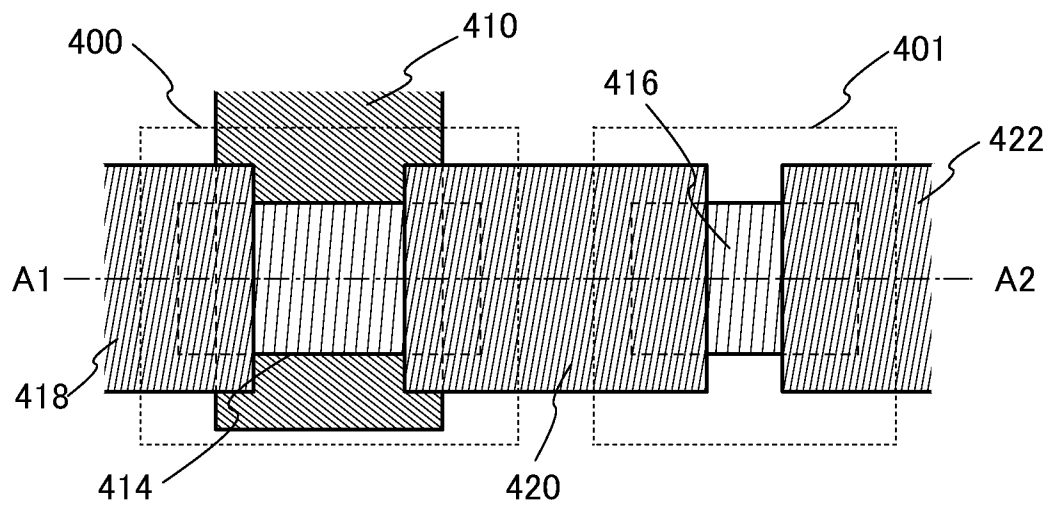
8/20

[図08]

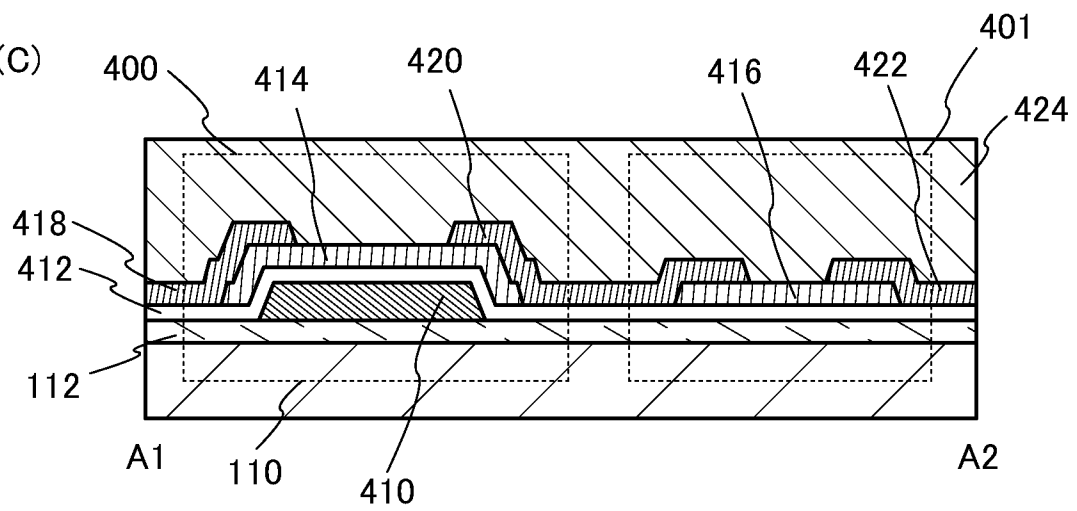
(A)



(B)



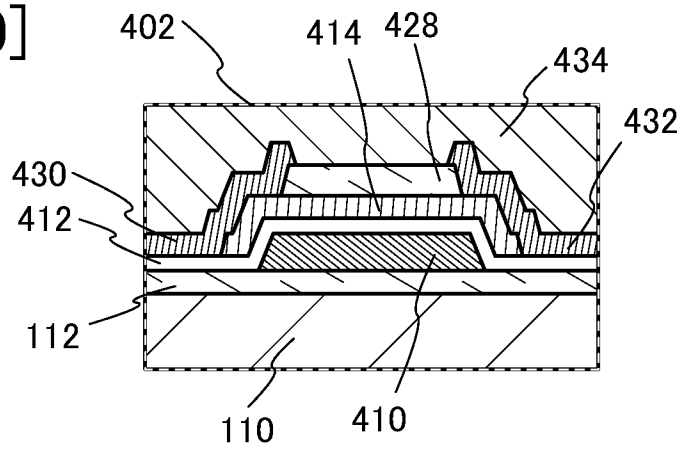
(C)



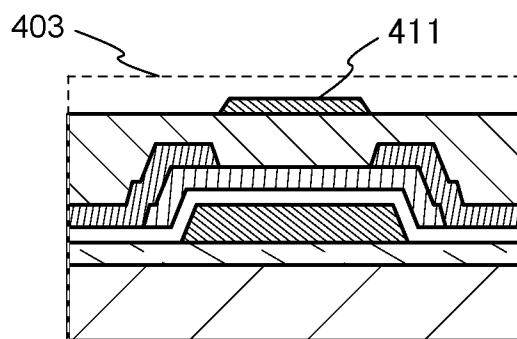
9/20

[図09]

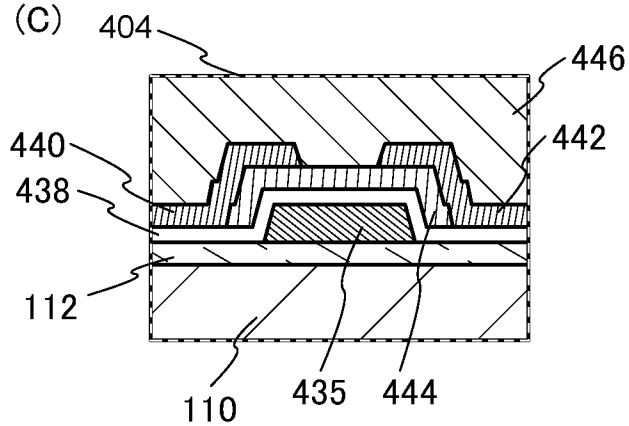
(A)



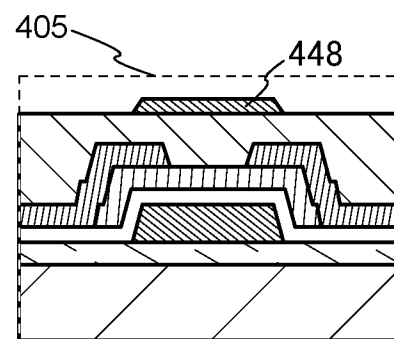
(B)



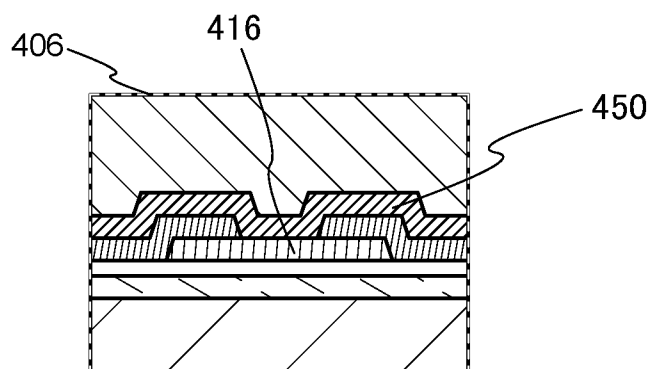
(C)



(D)

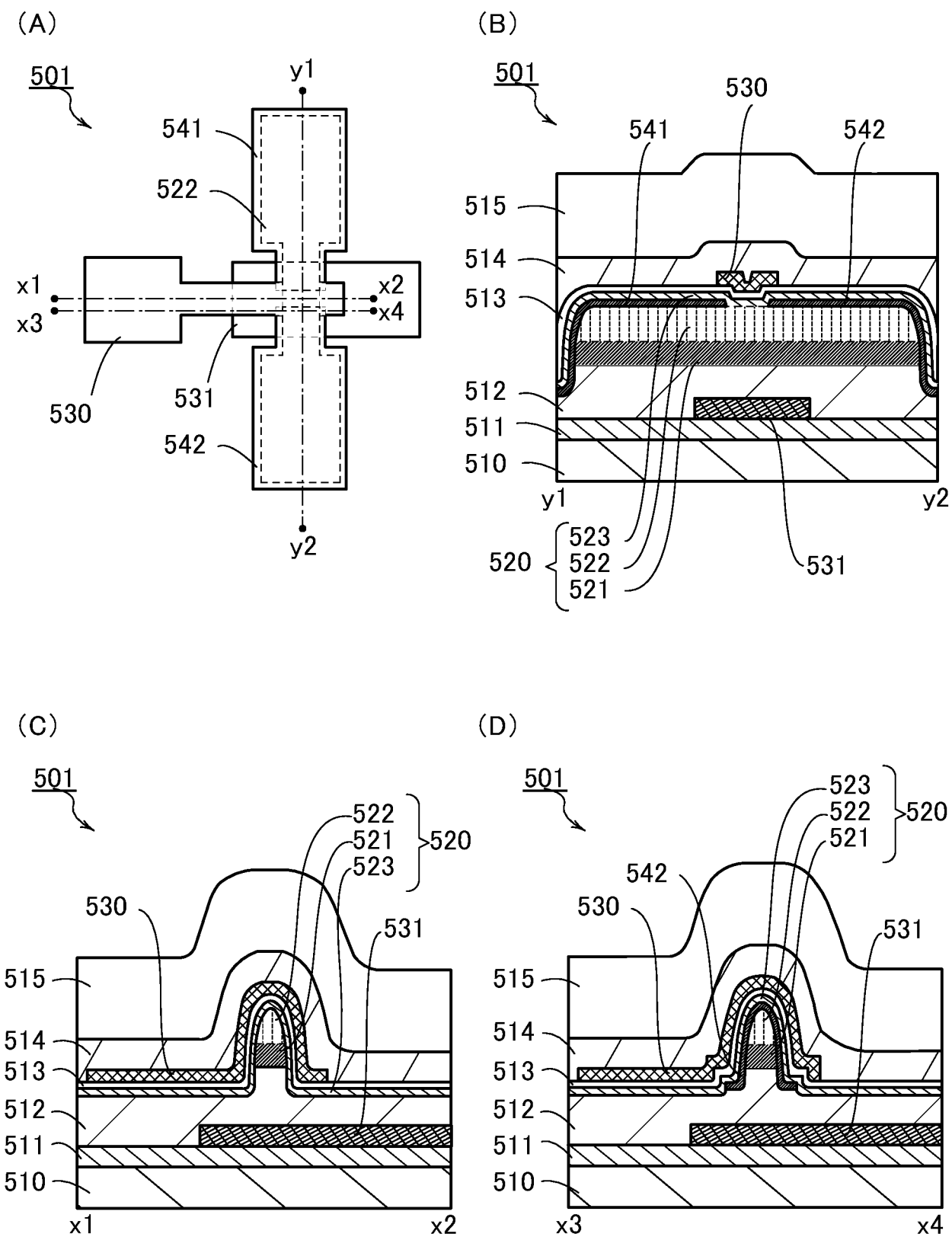


(E)



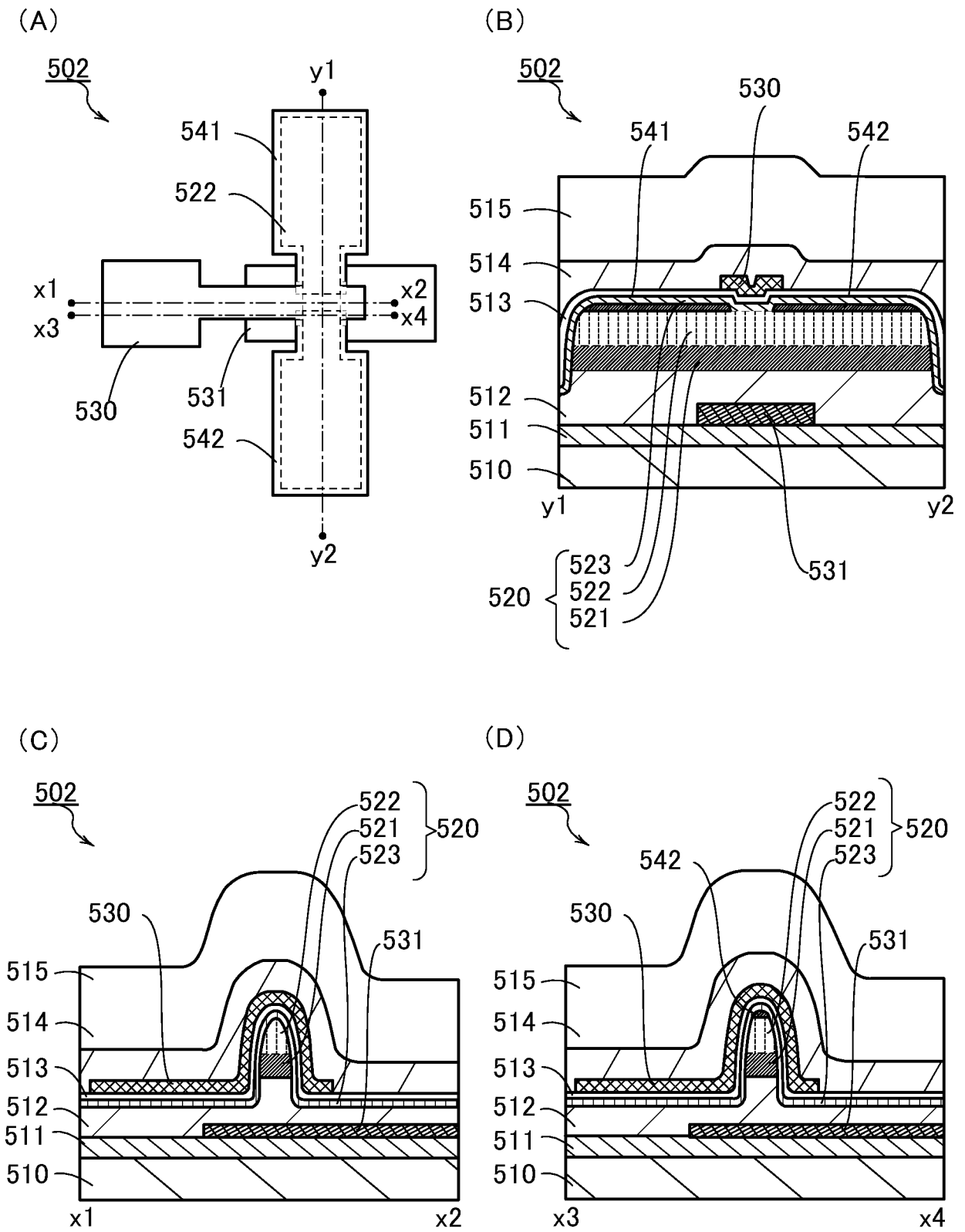
10/20

[図10]



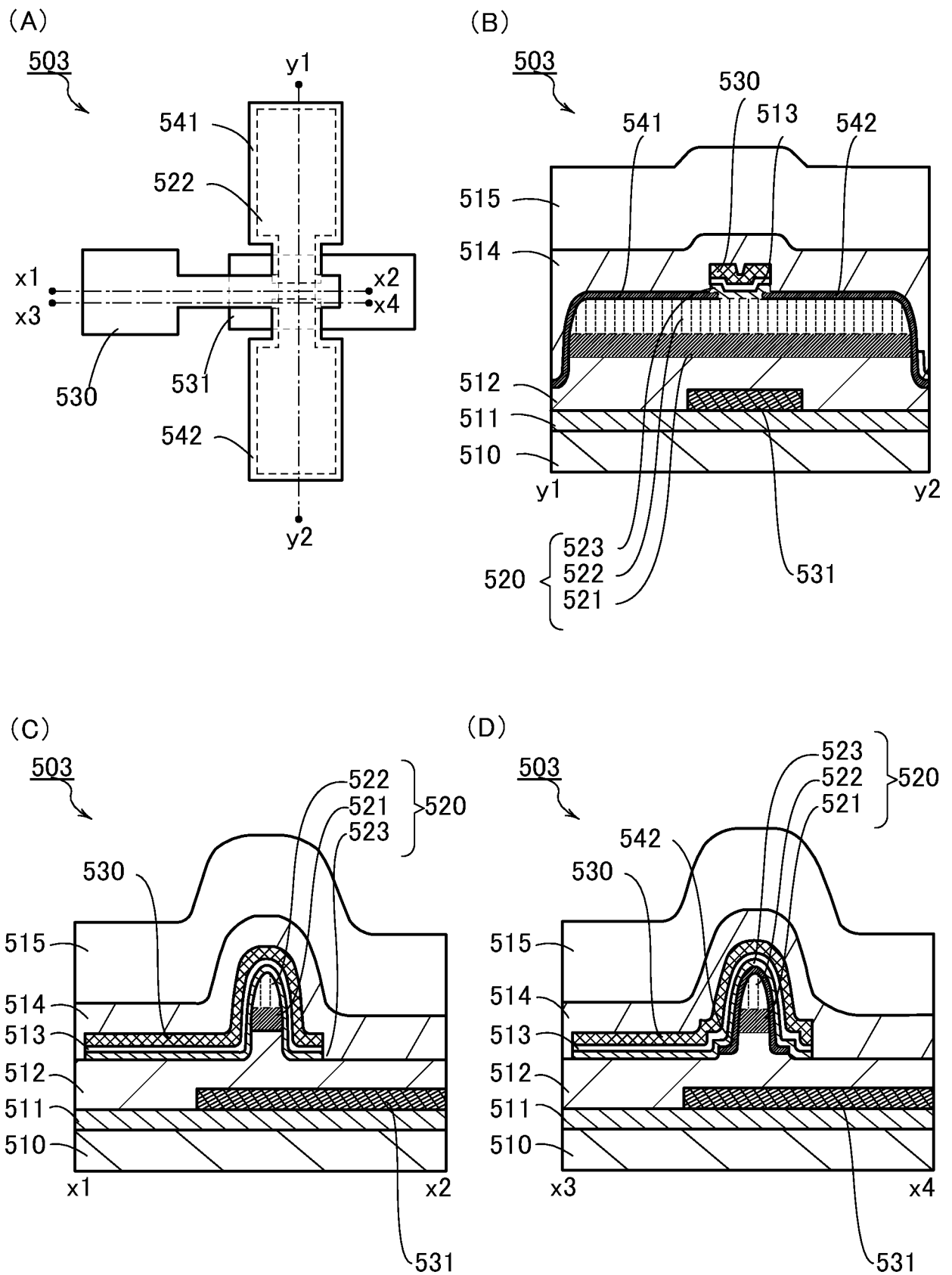
11/20

[図11]

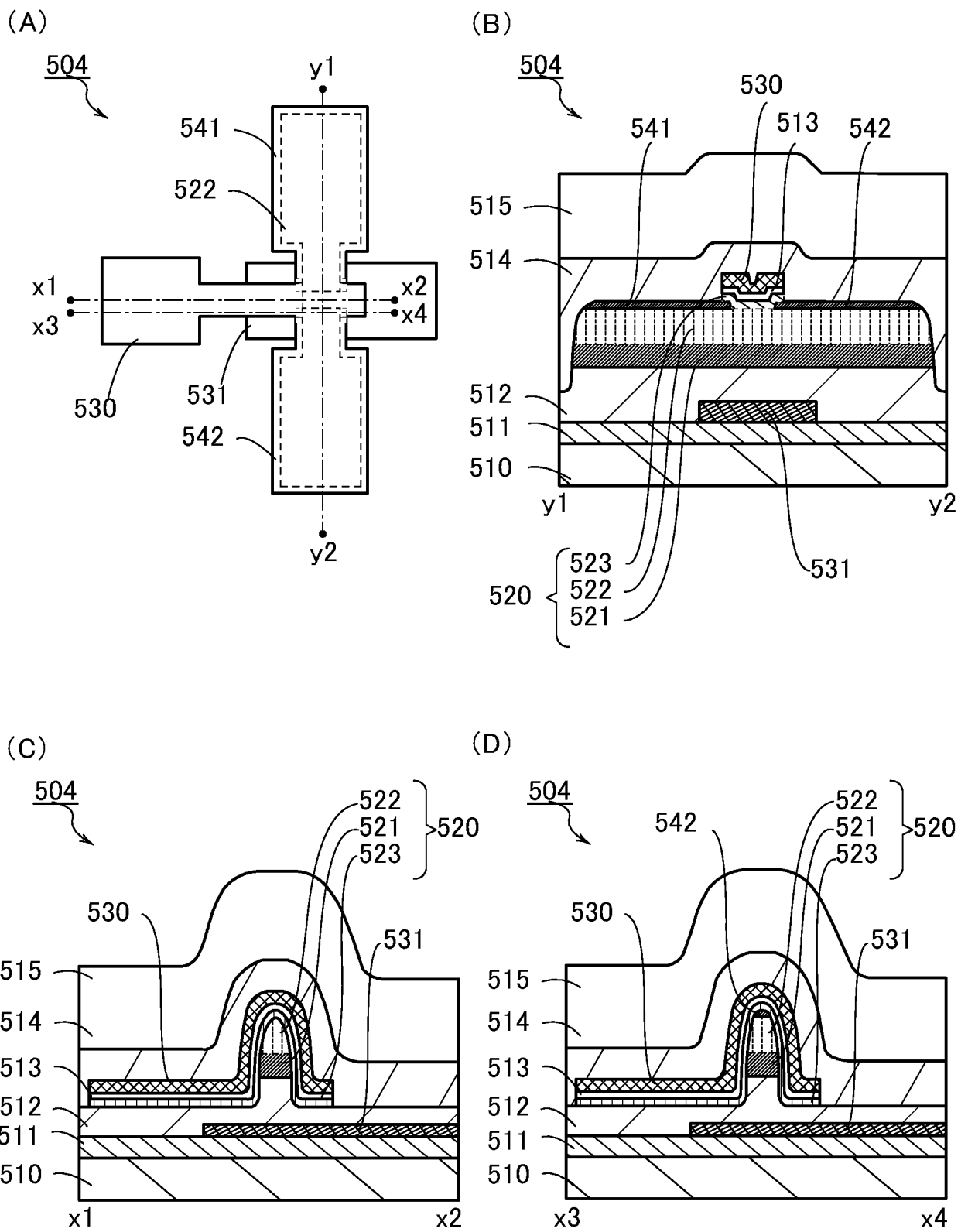


12/20

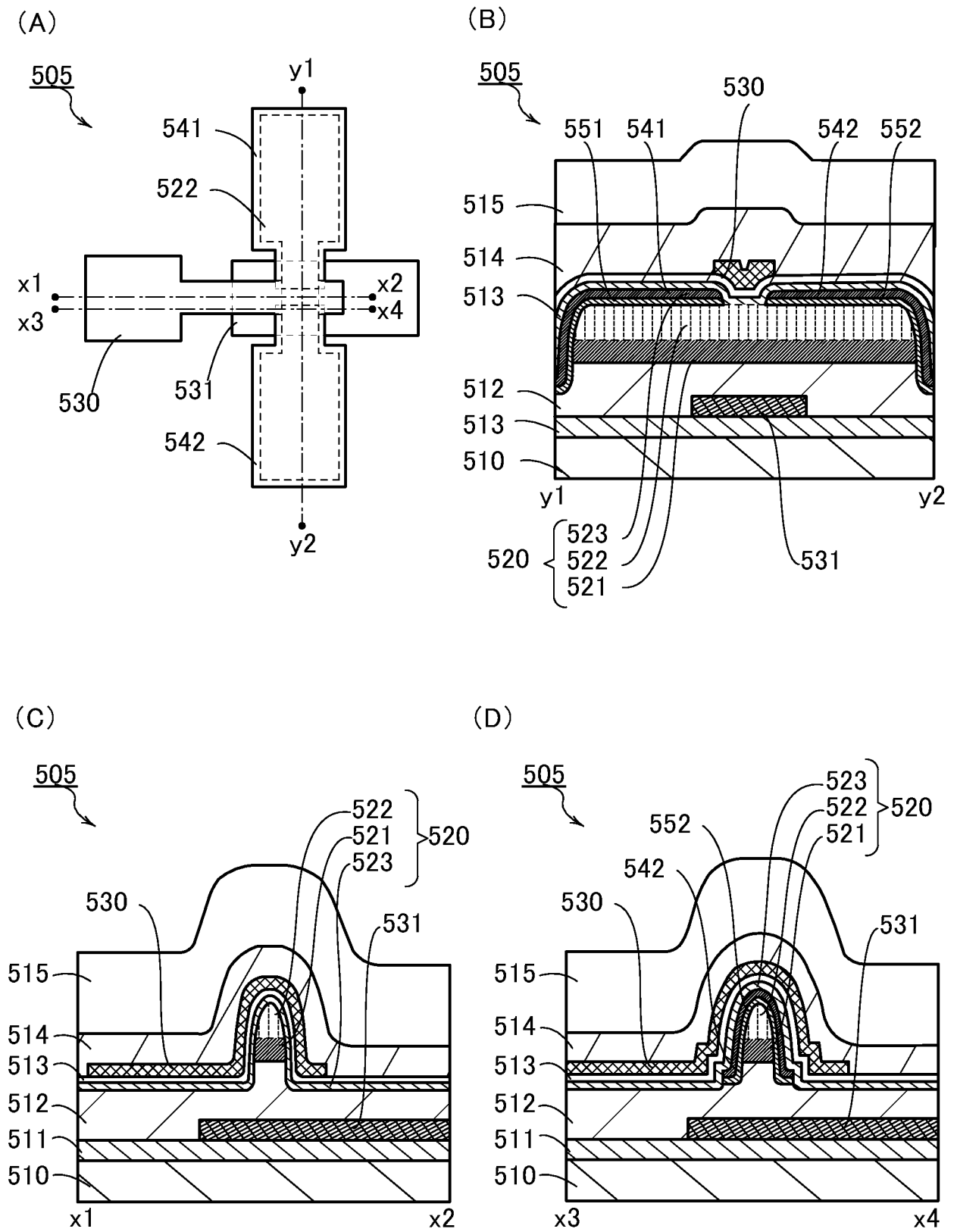
[図12]



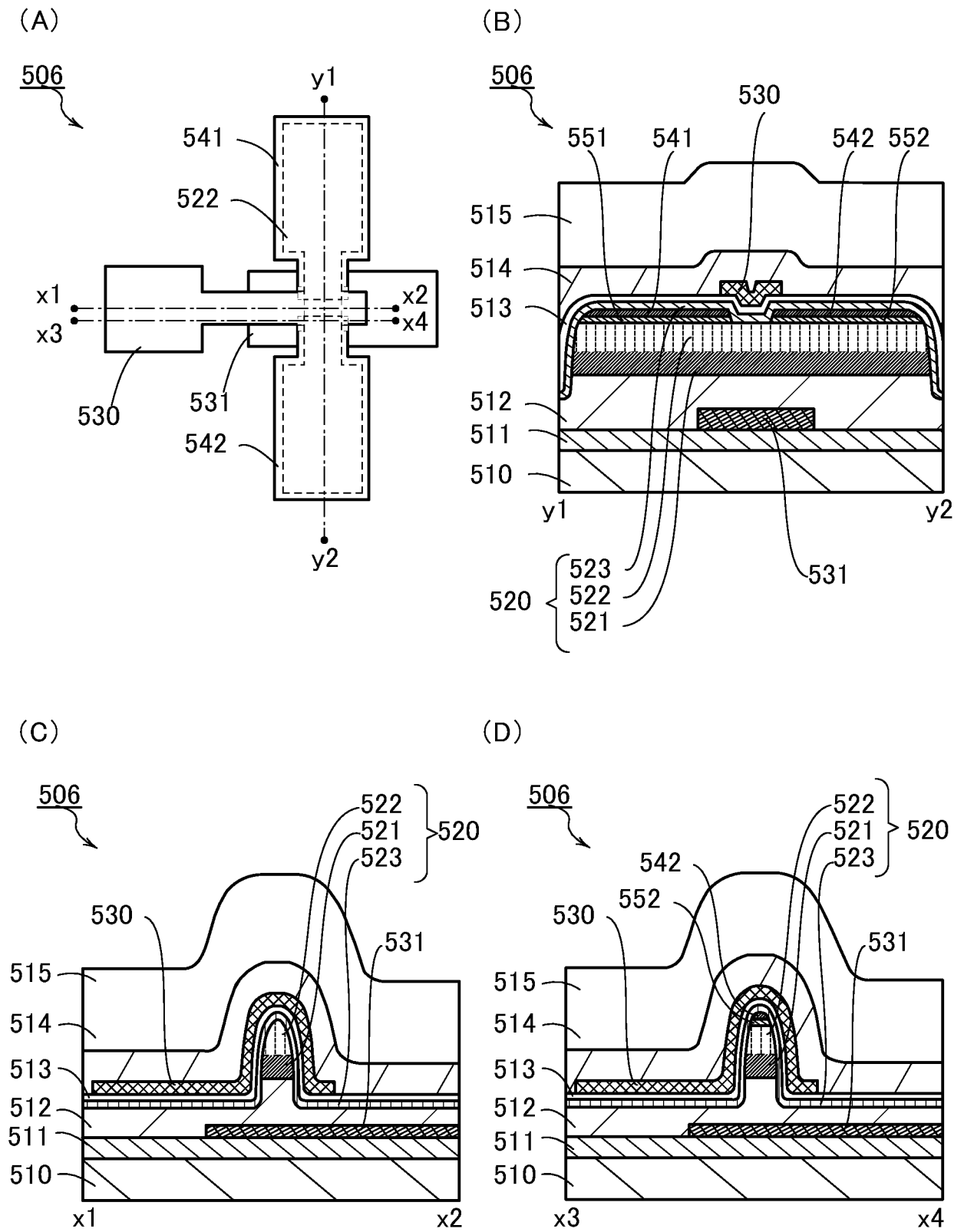
[図 13]



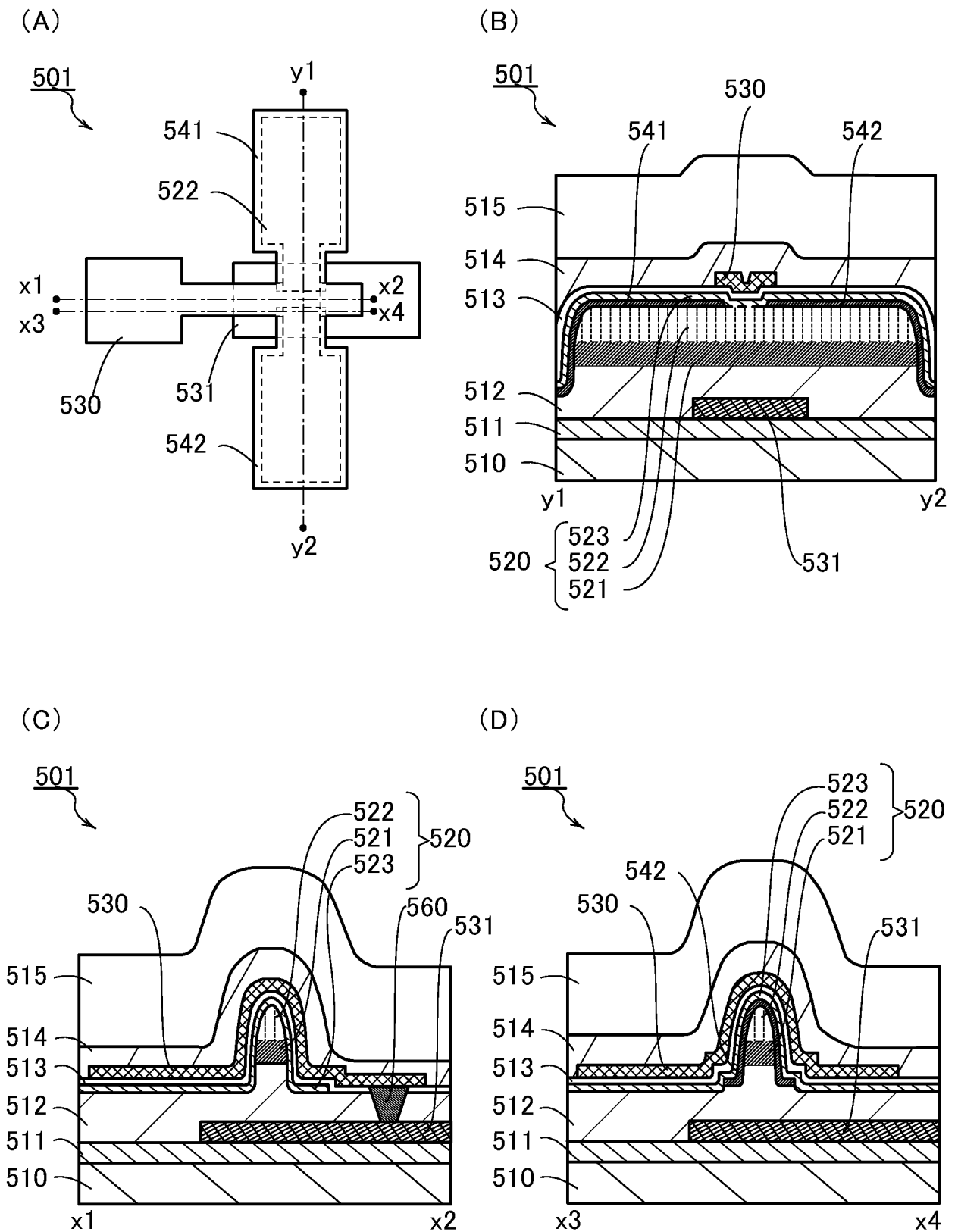
[図14]



[図15]

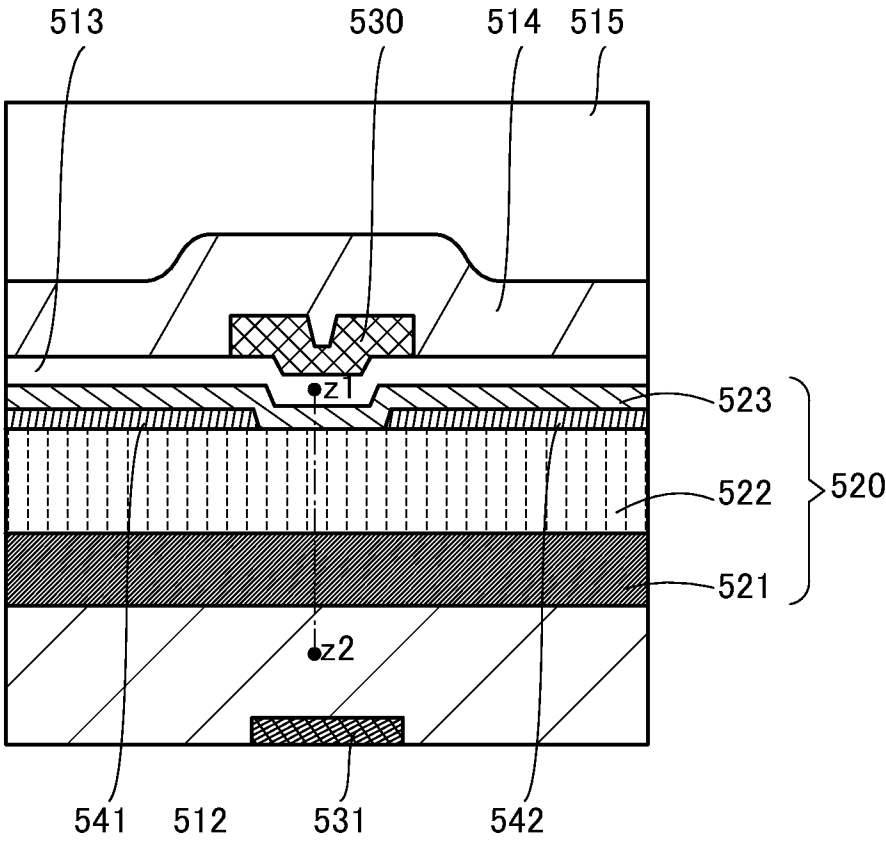


[図16]

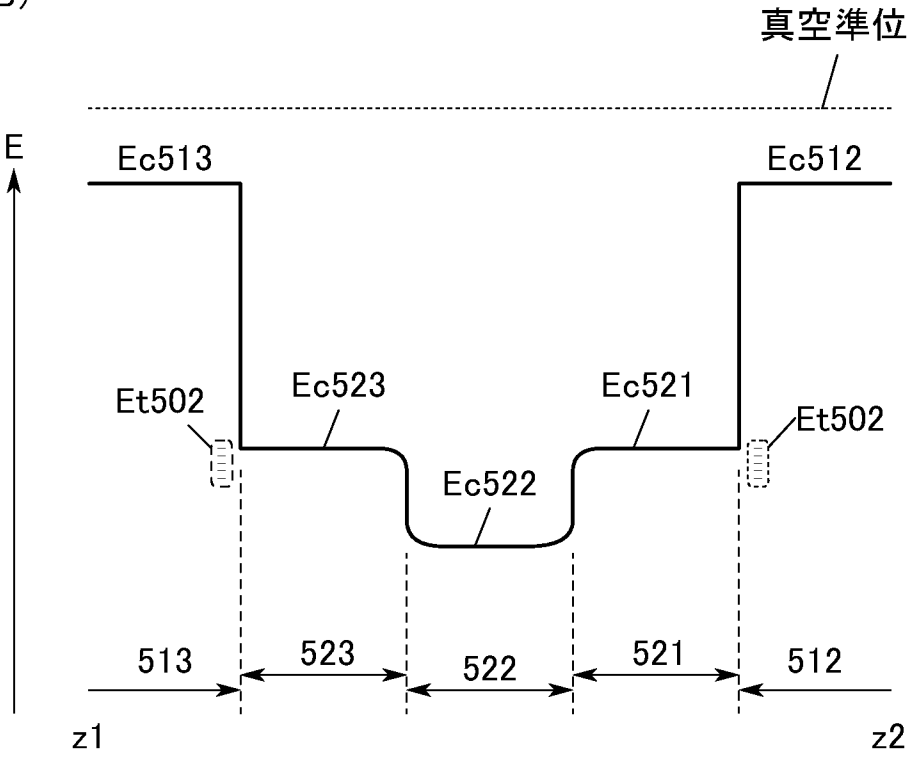


[図17]

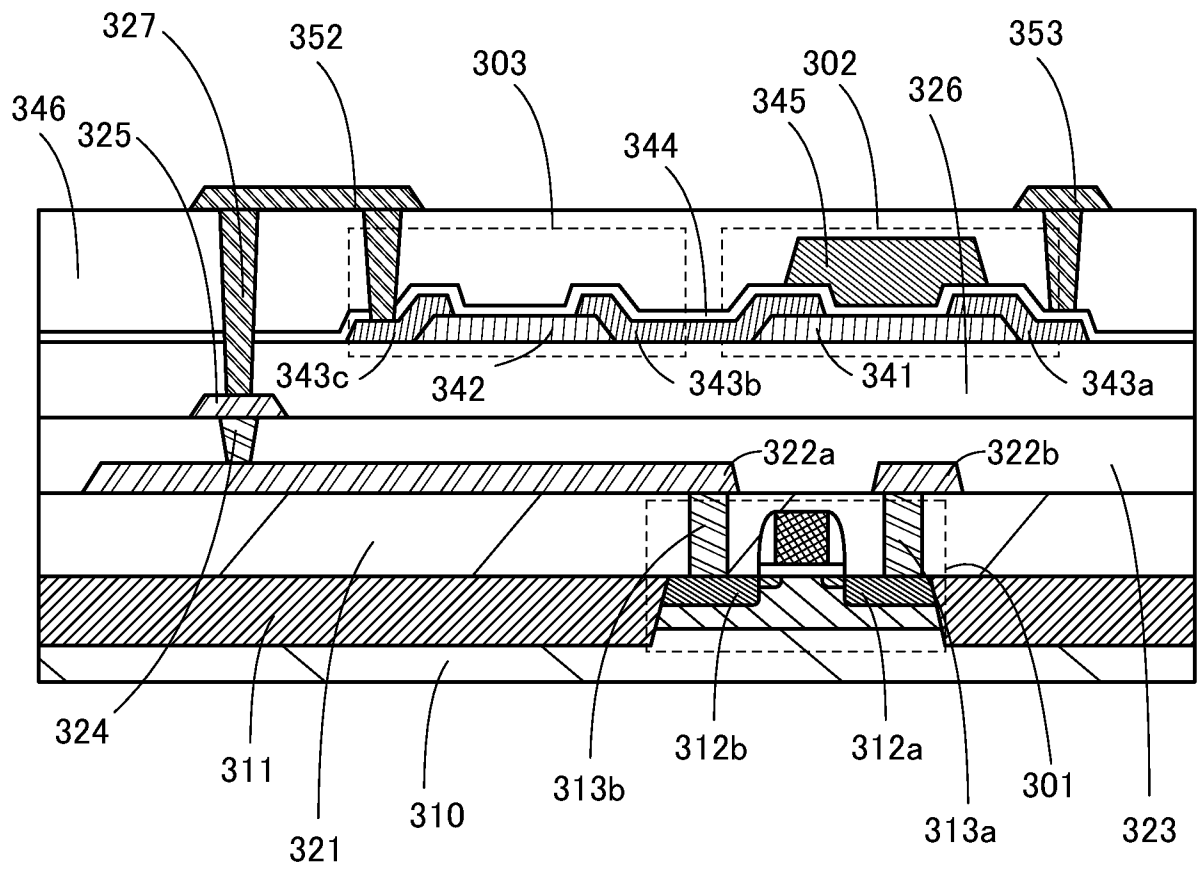
(A)



(B)



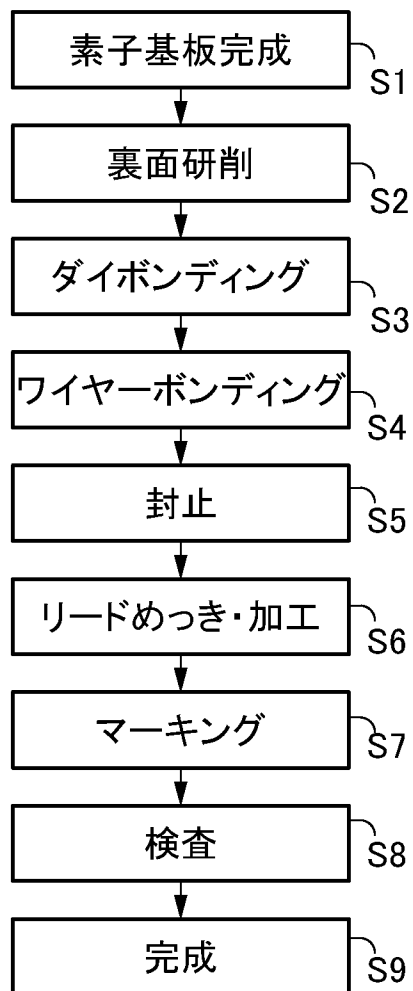
[図18]



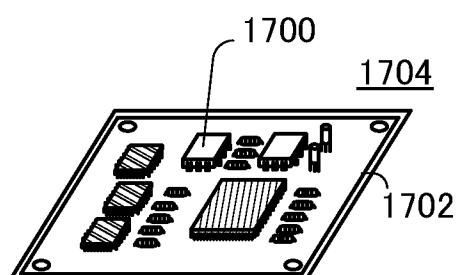
19/20

[図 19]

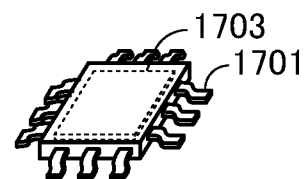
(A)



(B)

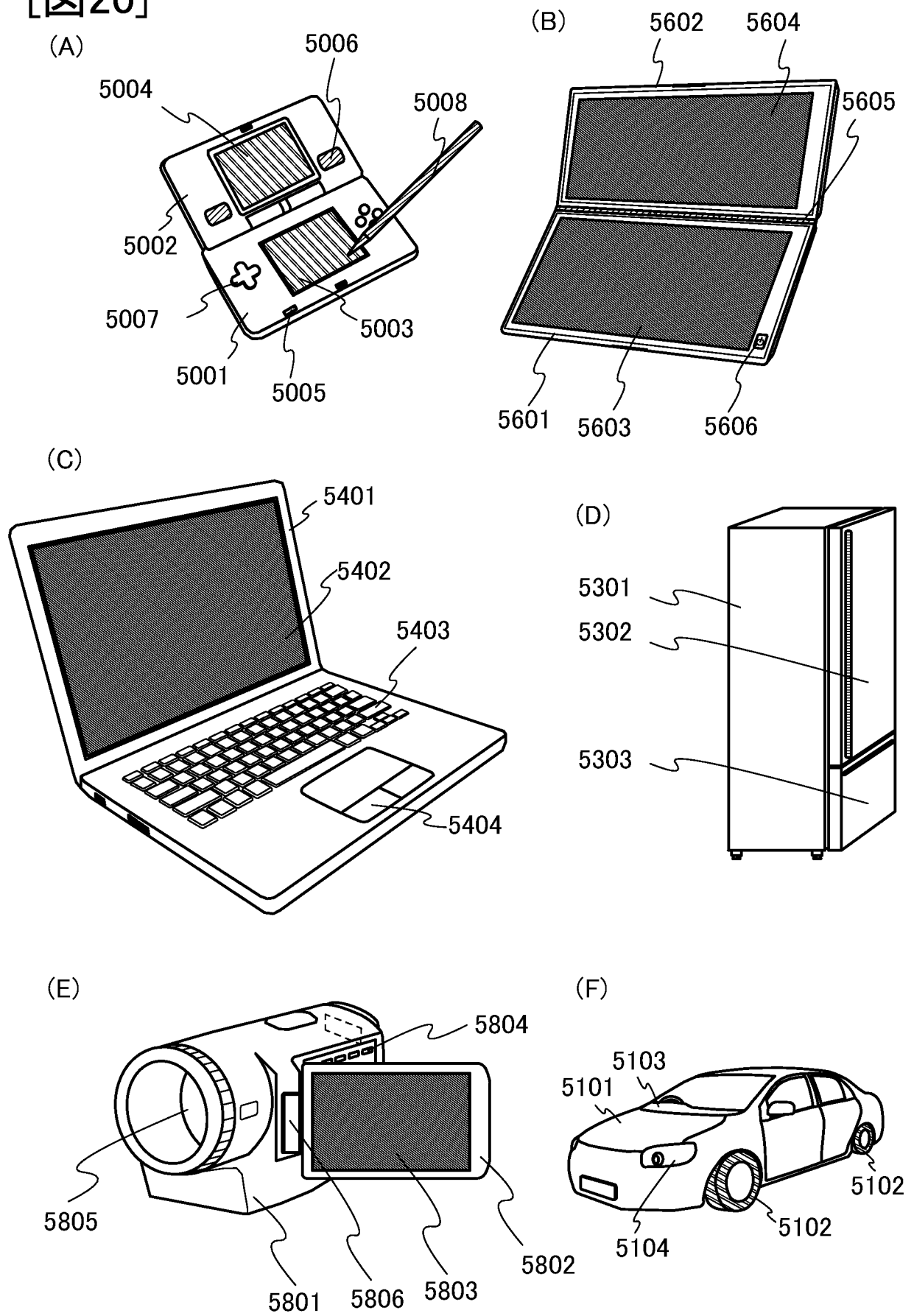


(C)

1700

20/20

[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2015/058695

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/0175(2006.01)i, H03F1/56(2006.01)i, H03K19/0944(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/0175, H03F1/56, H03K19/0944

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2014-200077 A (Semiconductor Energy Laboratory Co., Ltd.), 23 October 2014 (23.10.2014), paragraphs [0054] to [0087]; fig. 7 to 10 & US 2014/0266305 A1 paragraphs [0069] to [0101]; fig. 7 to 10 & KR 10-2014-0113478 A	1-2, 7-9 3-6
Y	WO 2008/065762 A1 (Matsushita Electric Industrial Co., Ltd.), 05 June 2008 (05.06.2008), paragraph [0074]; fig. 12 & US 2009/0284315 A1 paragraph [0104]; fig. 12 & CN 101443997 A	3-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 February 2016 (23.02.16)

Date of mailing of the international search report
01 March 2016 (01.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2015/058695

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-222256 A (Semiconductor Energy Laboratory Co., Ltd.), 05 August 2004 (05.08.2004), paragraphs [0048] to [0066]; fig. 2 & US 2004/0253781 A1 paragraphs [0084] to [0094]; fig. 2 & CN 1523547 A	4-6
A	JP 2011-145290 A (Semiconductor Energy Laboratory Co., Ltd.), 28 July 2011 (28.07.2011), paragraphs [0002] to [0004]; fig. 1 & US 2011/0148455 A1 paragraphs [0003] to [0006]; fig. 1	1-9
A	JP 11-274440 A (Sharp Corp.), 08 October 1999 (08.10.1999), paragraph [0014]; fig. 1 (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K19/0175(2006.01)i, H03F1/56(2006.01)i, H03K19/0944(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K19/0175, H03F1/56, H03K19/0944

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2014-200077 A (株式会社半導体エネルギー研究所) 2014. 10. 23, 段落[0054]-[0087], 図 7-10 & US 2014/0266305 A1 [0069]-[0101], fig. 7-10 & KR 10-2014-0113478 A	1-2, 7-9 3-6
Y	WO 2008/065762 A1 (松下電器産業株式会社) 2008. 06. 05, 段落[0074], 図 12 & US 2009/0284315 A1 [0104], fig. 12 & CN 101443997 A	3-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

23. 02. 2016

国際調査報告の発送日

01. 03. 2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

緒方 寿彦

5 X

8 3 2 1

電話番号 03-3581-1101 内線 3596

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-222256 A (株式会社半導体エネルギー研究所) 2004.08.05, 段落[0048]-[0066], 図 2 & US 2004/0253781 A1 [0084]-[0094], fig. 2 & CN 1523547 A	4-6
A	JP 2011-145290 A (株式会社半導体エネルギー研究所) 2011.07.28, 段落[0002]-[0004], 図 1 US 2011/0148455 A1 [0003]-[0006], fig. 1	1-9
A	JP 11-274440 A (シャープ株式会社) 1999.10.08, 段落[0014], 図 1 (ファミリーなし)	1-9