(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 2 月 22 日 (22.02.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/036722 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01)

(21) 国际申请号: PCT/CN2022/123996

(22) 国际申请日: 2022 年 10 月 9 日 (09.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210975666.3 2022年8月15日 (15.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

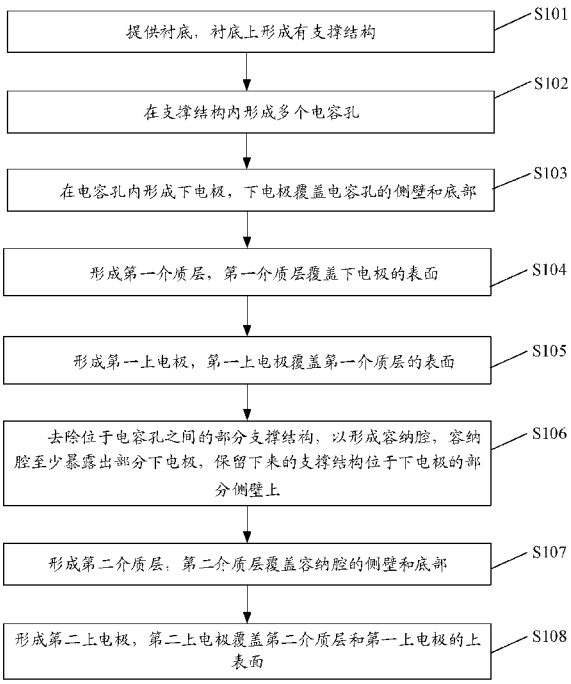
(72) 发明人: 朱留洋 (**ZHU, Liuyang**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,

(54) **Title:** SEMICONDUCTOR STRUCTURE MANUFACTURING METHOD AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 一种半导体结构的制备方法及半导体结构



S101 PROVIDE A SUBSTRATE, A SUPPORT STRUCTURE BEING FORMED ON THE SUBSTRATE
S102 FORM A PLURALITY OF CAPACITOR HOLES IN THE SUPPORT STRUCTURE
S103 FORM LOWER ELECTRODES IN THE CAPACITOR HOLES, THE LOWER ELECTRODES COVERING THE SIDE WALLS AND BOTTOMS OF THE CAPACITOR HOLES
S104 FORM A FIRST DIELECTRIC LAYER, THE FIRST DIELECTRIC LAYER COVERING THE SURFACES OF THE LOWER ELECTRODES
S105 FORM A FIRST UPPER ELECTRODE, THE FIRST UPPER ELECTRODE COVERING THE SURFACE OF THE FIRST DIELECTRIC LAYER
S106 REMOVE PART OF THE SUPPORT STRUCTURE LOCATED BETWEEN THE CAPACITOR HOLES TO FORM ACCOMMODATING CAVITIES, EACH ACCOMMODATING CAVITY AT LEAST EXPOSING PART OF EACH LOWER ELECTRODE, AND THE SUPPORT STRUCTURE LEFT BEING LOCATED ON PART OF THE SIDE WALL OF EACH LOWER ELECTRODE
S107 FORM A SECOND DIELECTRIC LAYER, THE SECOND DIELECTRIC LAYER COVERING THE SIDE WALLS AND BOTTOMS OF THE ACCOMMODATING CAVITIES
S108 FORM A SECOND UPPER ELECTRODE, THE SECOND UPPER ELECTRODE COVERING THE SECOND DIELECTRIC LAYER AND THE UPPER SURFACE OF THE FIRST UPPER ELECTRODE

图 1

(57) **Abstract:** Embodiments of the present disclosure provide a semiconductor structure manufacturing method and a semiconductor structure. The method comprises: providing a substrate, a support structure being formed on the substrate; forming a plurality of capacitor holes in the support structure; forming lower electrodes in the capacitor holes, the lower electrodes covering the side walls and bottoms of the capacitor holes; forming a first dielectric layer, the first dielectric layer covering the surfaces of the lower electrodes; forming a first upper electrode, the first upper electrode covering the surface of the first dielectric layer; removing part of the support

WO 2024/036722 A1

[见续页]

SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

structure located between the capacitor holes to form accommodating cavities, each accommodating cavity at least exposing part of each lower electrode, and the support structure left being located on part of the side wall of each lower electrode; forming a second dielectric layer, the second dielectric layer covering the side walls and bottoms of the accommodating cavities; and forming a second upper electrode, the second upper electrode covering the second dielectric layer and the upper surface of the first upper electrode.

(57) 摘要: 本公开实施例提供了一种半导体结构的制备方法及半导体结构，其中，方法包括：提供衬底，衬底上形成有支撑结构；在支撑结构内形成多个电容孔；在电容孔内形成下电极，下电极覆盖电容孔的侧壁和底部；形成第一介质层，第一介质层覆盖下电极的表面；形成第一上电极，第一上电极覆盖第一介质层的表面；去除位于电容孔之间的部分支撑结构，以形成容纳腔，容纳腔至少暴露出部分下电极，保留下来的支撑结构位于下电极的部分侧壁上；形成第二介质层，第二介质层覆盖容纳腔的侧壁和底部；形成第二上电极，第二上电极覆盖第二介质层和第一上电极的上表面。

一种半导体结构的制备方法及半导体结构

相关申请的交叉引用

本公开基于申请号为202210975666.3、申请日为2022年08月15日、发明名称为“一种半导体结构的制备方法及半导体结构”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体制造领域，尤其涉及一种半导体结构的制备方法及半导体结构。

背景技术

随着技术的发展和进步，半导体器件的尺寸变得越来越小，半导体器件不断朝着小型化、高集成度的方向发展。动态随机存取存储器(dynamic random access memory，简称DRAM)作为一种高速地、随机地写入和读取数据的半导体器件，常被广泛地应用到数据存储设备或装置中。

DRAM结构通常采用电容器来实现信息的存储，虽然其制备工艺较为成熟，但在实际操作中，电容器结构还存在很多问题亟待改善。

发明内容

本公开实施例提供了一种半导体结构的制备方法，包括:

提供衬底，所述衬底上形成有支撑结构;

在所述支撑结构内形成多个电容孔;

在所述电容孔内形成下电极，所述下电极覆盖所述电容孔的侧壁和底部;

形成第一介质层，所述第一介质层覆盖所述下电极的表面;

形成第一上电极，所述第一上电极覆盖所述第一介质层的表面;

去除位于所述电容孔之间的部分所述支撑结构，以形成容纳腔，所述容纳腔至少暴露出部分所述下电极，保留下来的所述支撑结构位于所述下电极的部分侧壁上;

形成第二介质层，所述第二介质层覆盖所述容纳腔的侧壁和底部;

形成第二上电极，所述第二上电极覆盖所述第二介质层和所述第一上电极的上表面。

在一些实施例中，所述第一介质层和所述第二介质层的材料不同，和/或尺寸不同。

在一些实施例中，所述第一介质层的材料的介电常数小于等于3.9，所述第二介质层的介电常数大于3.9。

在一些实施例中，在平行于所述衬底的方向上，所述第二介质层的宽度大于等于所述第一介质层的宽度，和/或，

在垂直于所述衬底的方向上，所述第二介质层的高度大于等于所述第一介质层的高度。

在一些实施例中，在平行于衬底的方向上，所述电容孔的开口尺寸小于等于25nm。

在一些实施例中，在所述电容孔内形成下电极，包括:

沉积电极材料，所述电极材料覆盖所述电容孔的侧壁和底部，并覆盖所述支撑结构的上表面;

执行刻蚀工艺，去除位于所述支撑结构上表面的所述电极材料，保留在所述电容孔侧壁和底部的所述电极材料构成下电极。

在一些实施例中，去除位于所述电容孔之间的部分所述支撑结构，以形成容纳腔，包括:

在所述第一上电极上形成掩膜层，所述掩膜层包含刻蚀窗口，所述刻蚀窗口在所述衬底上的正投影与部分所述支撑结构在所述衬底上的正投影重叠;

刻蚀被所述刻蚀窗口暴露的所述第一上电极、所述第一介质层和所述支撑结构，以形成所述容纳腔，所述容纳腔至少暴露出部分所述下电极，未被刻蚀的所述支撑结构覆盖所述下电极的部分侧壁。

在一些实施例中，形成第二介质层，包括:

沉积介质材料，所述介质材料覆盖所述容纳腔的侧壁及底部并覆盖所述第一上电极的上表面;

执行刻蚀工艺，以将所述介质材料覆盖所述第一上电极上表面的部分去除，保留下来的所述介质材料层构成第二介质层。

本公开实施例还提供了一种半导体结构，包括:

衬底及位于所述衬底上的支撑结构，所述支撑结构内具有多个电容孔;

分立设置在多个所述电容孔内的下电极，所述支撑结构位于所述下电极的部分侧壁上;

第一介质层，所述第一介质层覆盖所述下电极的表面;

第一上电极，所述第一上电极覆盖所述第一介质层;

第二介质层，所述第二介质层至少覆盖所述下电极的部分侧壁;

第二上电极，所述第二上电极覆盖所述第二介质层和所述第一上电极的上表面。

在一些实施例中，所述第一介质层和所述第二介质层的材料不同，和/

或，尺寸不同。

在一些实施例中，所述第一介质层的介电常数小于等于 3.9，所述第二介质层的介电常数大于 3.9。

在一些实施例中，在平行于所述衬底的方向上，所述第二介质层的宽度大于等于所述第一介质层的宽度，和/或，

在垂直于所述衬底的方向上，所述第二介质层的高度大于等于所述第一介质层的高度。

在一些实施例中，在平行于衬底的方向上，所述电容孔的开口尺寸小于等于 25nm。

在一些实施例中，所述第一介质层覆盖所述下电极的侧表面、底表面和顶表面，并覆盖所述支撑结构的上表面。

在一些实施例中，所述半导体结构还包括节点接触插塞，所述节点接触插塞位于所述下电极和所述衬底之间。

本公开实施例所提供的半导体结构的制备方法及半导体结构，其中，所述方法包括：提供衬底，所述衬底上形成有支撑结构；在所述支撑结构内形成多个电容孔；在所述电容孔内形成下电极，所述下电极覆盖所述电容孔的侧壁和底部；形成第一介质层，所述第一介质层覆盖所述下电极的表面；形成第一上电极，所述第一上电极覆盖所述第一介质层的表面；去除位于所述电容孔之间的部分所述支撑结构，以形成容纳腔，所述容纳腔至少暴露出部分所述下电极，保留下来的所述支撑结构位于所述下电极的部分侧壁上；形成第二介质层，所述第二介质层覆盖所述容纳腔的侧壁和底部；形成第二上电极，所述第二上电极覆盖所述第二介质层和所述第一上电极的上表面。如此，不仅在电容孔所限定的空间内形成了用于存储电荷的一个子电容结构，且在去除部分支撑结构后形成的空间内也形成了用于存储电荷的另一个子电容结构，两个子电容彼此独立，又互配合共同构成电容结构，提高电容结构的空间利用率，显著增加了电容结构的表面积，从而增加了电容结构对电荷的存储能力，即增加了电容结构的电容量。另外，在本公开实施例中，位于下电极内、外侧的第一介质层和第二介质层分别在两个步骤中形成，两者的材料和尺寸均可根据实际情况进行调整，有效避免了空间尺寸变化对最终形成的半导体结构即电容结构的制约，即使在极限尺寸条件下，半导体结构也能在获得较高集成度的情况下获得较高的电容量。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其它特征和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例中所需

要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的半导体结构的制备方法的流程框图；

图 2 至图 13 为本公开实施例提供的半导体结构的制备方法的工艺流程图；

图 14 为本公开实施例提供的半导体结构沿图 13 的 A1-A2 方向的剖面俯视示意图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，

除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

通常，在实际工艺中，为提高集成度，通常会压缩电容孔的尺寸，造成电容孔的直径大幅下降。当位于电容孔内、外侧空间中形成的介质层依然采用同一材质且同一厚度时，在电容孔内侧的空间中便无足够空间来容纳将要形成的介质层及上电极。为应对该情况，操作人员会选择将电容孔所限定的空间内全部填充电极材料，然后再通过刻蚀工艺暴露出电极材料的外侧壁，接着在侧壁上依次形成介质层和电极材料来形成电容结构。该方法虽然适应电容孔不断缩小的趋势，但是牺牲了本该形成在电容孔内侧空间中的电容结构，造成电容量的下降。

因此，如何在电容孔尺寸缩小的同时，也能获得具有较大电容量的半导体结构成为一个难解的问题。

基于此，提出了本公开实施例的以下技术方案：

本公开实施例提供了一种半导体结构的制备方法，如图 1 所示，方法包括了如下步骤：

步骤 S101：提供衬底，衬底上形成有支撑结构；

步骤 S102：在支撑结构内形成多个电容孔；

步骤 S103：在电容孔内形成下电极，下电极覆盖电容孔的侧壁和底部；

步骤 S104：形成第一介质层，第一介质层覆盖下电极的表面；

步骤 S105：形成第一上电极，第一上电极覆盖第一介质层的表面；

步骤 S106：去除位于电容孔之间的部分支撑结构，以形成容纳腔，容纳腔至少暴露出部分下电极，保留下来的支撑结构位于下电极的部分侧壁上；

步骤 S107：形成第二介质层，第二介质层覆盖容纳腔的侧壁和底部；

步骤 S108：形成第二上电极，第二上电极覆盖第二介质层和第一上电极的上表面。

本公开实施例中，不仅在电容孔所限定的空间内形成了用于存储电荷

的一个子电容，且在去除部分支撑结构后形成的空间内也形成了用于存储电荷的另一个子电容，两个子电容彼此独立，又互配合共同构成电容结构，提高电容结构的空间利用率，显著增加了电容结构的表面积，从而增加了电容结构对电荷的存储能力，即增加了电容结构的电容量。另外，在本公开实施例中，位于下电极内、外侧的第一介质层和第二介质层分别在两个步骤中形成，两者的材料和尺寸均可根据实际情况进行调整，有效避免了空间尺寸变化对最终形成的半导体结构即电容结构的制约，即使在极限尺寸条件下，半导体结构也能在获得较高集成度的情况下获得较高的电容量。

为使本公开的上述目的、特征和优点能够更加明显易懂，下面结合附图对本公开的具体实施方式做详细的说明。在详述本公开实施例时，为便于说明，示意图会不依一般比例作局部放大，而且示意图只是示例，其在此不应限制本公开的保护范围。

图 1 为本公开实施例提供的半导体结构的制备方法的流程框图；图 2 至图 13 为本公开实施例提供的半导体结构的制备方法的工艺流程图；图 14 为本公开实施例提供的半导体结构沿图 13 的 A1-A2 方向的剖面俯视示意图。

下面结合附图对本公开实施例提供的半导体结构的制备方法再作进一步详细的说明。

首先，执行步骤 S101，如图 2 所示，提供衬底 10，衬底 10 上形成有支撑结构 11。

这里，衬底的材料可以为锗、锗化硅、碳化硅、砷化镓或镓化铟等材料，但不限于此，衬底还可以为绝缘体表面的硅衬底或者绝缘体表面的锗衬底等。在一些实施例中，衬底可以为硅衬底。

在实际工艺中，在衬底 10 上形成支撑结构 11 之前，方法还包括:

在衬底上形成绝缘层 12;

刻蚀绝缘层 12，以在绝缘层 12 中形成多个分立的开口（图未标识）;

在开口（图未标识）中形成多个分立的节点接触插塞 14。

可选的，用于形成节点接触插塞的材料可以包括但不限于多晶硅、金属硅化物、导电金属、导电金属氮化物等中的一种或其组合。具体的，金属硅化物可以但不限于硅化钴(CoSix)等; 导电金属可以包括但不限于钨(W)等; 导电金属氮化物可以包括但不限于氮化钛(TiN)等。

继续参考图 2，在一些实施例中，形成节点接触插塞 14 之后，形成支撑结 11，包括:

提供衬底 10;

在衬底 10 上形成牺牲层 15，牺牲层 15 覆盖绝缘层 12 和节点接触插塞 14 的表面;

在牺牲层 15 上形成第一支撑层 111，第一支撑层 111 覆盖牺牲层的表面;

在第一支撑层 111 上形成牺牲层 15，牺牲层 15 覆盖第一支撑层 111 的表面；

在牺牲层 15 上形成第二支撑层 112，第二支撑层 112 覆盖牺牲层 15 的表面；

其中，第一支撑层 111 和第二支撑层 112 构成支撑结构 11。

在实际工艺中，形成牺牲层的材料可以包括但不限于经有机溶液(PGS、BPSG、TEOS 或 HDP)处理的 SiO_2 等；形成第一支撑层和第二支撑层的材料可以包括但不限于 Si_3N_4 或 SiCN 等。

接着，执行步骤 S102，如图 3 所示，在支撑结构 11 内形成多个电容孔 H1。

这里，电容孔 H1 暴露出节点接触插塞 14，当后续在电容孔 H1 内形成其他导电结构，比如下电极时，节点接触插塞 14 可用于将电容孔内的导电结构与其他结构，比如晶体管结构进行电连接。

在一些具体的实施例中，在平行于衬底的方向上，电容孔 H1 开口尺寸可以小于等于 25nm，例如 20nm，15nm，从而可以适应存储器件，例如 DRAM 器件的制程尺寸逐渐趋于极限的要求，提高器件集成度。

在实际工艺中，可采用刻蚀工艺来形成电容孔，具体的，比如干法刻蚀工艺或者湿法刻蚀工艺中的至少一种或其组合。

接下来，执行步骤 S103，如图 5 所示，在电容孔内形成下电极，下电极覆盖电容孔的侧壁和底部。

在一些具体的实施例中，如图 4 和图 5 所示，在电容孔 H1 内形成下电极 13，包括:

沉积电极材料 13a，电极材料 13a 覆盖电容孔 H1 的侧壁和底部，并覆盖支撑结构 11 的上表面；

执行刻蚀工艺，去除位于支撑结构 11 上表面的电极材料 13a，保留在电容孔 H1 侧壁和底部的电极材料 13a 构成下电极 13。

在一些实施例中，下电极的材料可以包括一种或多种导电材料，诸如掺杂的半导体，导电金属氮化物，金属，金属硅化物，导电氧化物或其组合，例如，多晶硅、氮化钛、氮化钽、钨等中的一种或其组合。

这里，下电极的材料可以包括但不限于氮化钛等。

再接着，执行步骤 S104，如图 6 所示，形成第一介质层 L1，第一介质层 L1 覆盖下电极 13 的表面。

继续参考图 6，可以看出，第一介质层 L1 覆盖下电极 13 的侧表面、底表面和顶表面，并覆盖相邻电容孔 H1 之间的支撑结构的上表面。

这里，第一介质层的材料包括低介电常数材料，比如碳化硅、碳氮化硅(SiCN)、碳氧化硅(SiCO)、氧化硅等中的至少一种或其组合。

然后，执行步骤 S105，如图 7 所示，形成第一上电极 161，第一上电极 161 覆盖第一介质层 L1 的表面。

可选的，第一上电极的材料可以与下电极的材料相同，也可以不同，在此不做具体限制。

接着，执行步骤S106，如图10所示，去除位于电容孔H1之间的部分支撑结构11，以形成容纳腔H2，容纳腔H2至少暴露出部分下电极13，保留下来的支撑结构11位于下电极13的部分侧壁上。

本公开实施例中容纳腔H2在制程工艺下，其尺寸可以大于等于电容孔H1的尺寸，例如可以为30nm、50nm等。

在一些具体的实施例中，值得说明的是，在通过不断缩小电容孔H1的尺寸以适用半导体存储器件制程尺寸逐渐趋于极限的同时，仍可以保证容纳腔H2的大小而免受影响，本公开实施例先在电容孔H1内形成完整的一个电容，之后，再形成容纳腔H2，以独立的工艺再形成另一个电容，从而可以适用电容孔H1和容纳腔H2尺寸的大小，控制并调节两个电容的性能（例如电容值，电性能），例如，选择沉积不同的介质层材料，以及不同的介质层尺寸，实现最终电容结构在电容和电性能之间的平衡。

在一些实施例中，如图8至图10所示，去除位于电容孔H1之间的部分支撑结构11，以形成容纳腔H2，包括:

在第一上电极161上形成掩膜层M，掩膜层M包含刻蚀窗口H3，刻蚀窗口H3在衬底10上的正投影与部分支撑结构11在衬底10上的正投影重叠;

刻蚀被刻蚀窗口H3暴露的第一上电极161、第一介质层L1和支撑结构11，以形成容纳腔H2，容纳腔H2至少暴露出部分下电极13，未被刻蚀的支撑结构11覆盖下电极13的部分侧壁。

这里，刻蚀部分支撑结构后，暴露出下电极的部分外侧壁，保留下来的支撑结构也位于下电极的外侧壁上。

在实际工艺中，如图9和图10所示，刻蚀被刻蚀窗口H3暴露的第一上电极161、第一介质层L1和支撑结构11后，可以获得初始容纳腔H2';接着，可以通过去除位于初始容纳腔H2'周围的牺牲层15的步骤来获得容纳腔H2。

在实际工艺中，可采用刻蚀工艺来形成容纳腔，具体的，比如干法刻蚀工艺或者湿法刻蚀工艺中的至少一种或其组合。

接下来，继续步骤S107，如图12所示，形成第二介质层L2，第二介质层L2覆盖容纳腔H2的侧壁和底部。

在一些实施例中，如图11和图12所示，形成第二介质层L2，包括:

沉积介质材料L2a，介质材料L2a覆盖容纳腔H2的侧壁及底部并覆盖第一上电极161的上表面;

执行刻蚀工艺，以将介质材料L2a覆盖第一上电极161上表面的部分去除，保留下来的介质材料L2a构成第二介质层L2。

在一些实施例中，在垂直于所述衬底的方向上，所述第二介质层的高

度大于等于所述第一介质层的高度，例如，第二介质层 L2 的上表面高于第一介质层 L1 的上表面。

可以理解的，与常规工艺中第一介质层和第二介质层为一体结构且在同一工艺步骤中形成不同的是，当第一介质层和第二介质层分别在不同的工艺步骤中形成时，在实际操作过程中很容易出现第一介质层和第二介质层在相接合的位置部分因接合不够紧密使得下电极和后续形成的上电极直接电连接造成短路的情况。

因此，在本公开实施例中，在形成覆盖容纳腔的侧壁及底部并覆盖第一上电极的上表面的第二介质层后，采用仅去除位于第一上电极上表面的第二介质层而不继续刻蚀位于容纳腔顶表面附近的第二介质层的方式，来获得比第一介质层具有较高高度的第二介质层，该刻蚀方式可以使第一介质层和第二介质层保持原本的、良好的接合状态，与继续刻蚀第二介质层以使第一介质层和第二介质层具有相同高度的方式相比，本公开实施例具有减少刻蚀时间、简化工艺过程及防止半导体结构失效的优点。

这里，第二介质层包括高介电常数材料，具体的，第二介质层的材料可以包括但不限于铝氧化物(Al_2O_3)、钽氧化物(Ta_2O_3)、钛氧化物(TiO_2)、钇氧化物(Y_2O_3)、锆氧化物(ZrO_2)、锆硅氧化物(ZrSixOy)、铪氧化物(HfO_2)、铪硅氧化物(HfSixOy)、铪硅氮氧化物(HfSiON)、铪锆酸盐($HfZrO_4$)、镧氧化物(La_2O_3)、镧铝氧化物(LaAlxOy)、镧铪氧化物(LaHfxOy)、铪铝氧化物(HfAlxOy)和/或镨氧化物(Pr_2O_3)等中的至少一种或其组合。

可以理解的，由于第一介质层 L1 和第二介质层 L2 分别在两个不同的工艺步骤中形成，因此，根据实际操作中具体情况的不同，第一介质层 L1 和第二介质层 L2 的材料可以不同，尺寸也可以不同。

例如，在一些具体的实施例中，随着制程尺寸趋于极限，电容孔 H1 相较容纳腔 H2 往往具有更小的尺寸，第一介质层的介电常数例如小于等于 3.9，例如可以采用二氧化硅，第二介质层的介电常数大于 3.9，例如采用铪氧化物。可以理解的，由于尺寸微缩容易造成电容孔的尺寸明显缩小，若在其内部形成高介电常数材料时，容易造成漏电流的增加，影响半导体结构的性能。因此，第一介质层最好使用低介电常数材料，保证电性能。此时，由于第二介质层位于支撑结构被刻蚀后形成的空间内，与第一介质层相比，第二介质层形成在具有更大表面积的空间内，当其采用高介电常数材料时，不容易产生漏电流，因此，第二介质层可采用高介电常数材料来提高电容量。

在一些实施例中，在平行于所述衬底的方向上，所述第二介质层的宽度大于等于所述第一介质层的宽度。

如此，通过设置第一介质层和第二介质层具有不同的宽度，比如第一介质层的宽度小于第二介质层的宽度，来适用尺寸微缩或者极限尺寸情况下，在两个空间内均获得用于存储电荷的结构的需求，以提高最终形成的

半导体结构的电容量。

但不限于此，可以理解的，在一些其他的实施例中，第一介质层的宽度还可以等于或大于第二介质层的宽度，具体可根据实际情况灵活调整。

最后，执行步骤 S108，如图 13 和图 14 所示，形成第二上电极 162，第二上电极 162 覆盖第二介质层 L2 和第一上电极 161 的上表面。

这里，第二上电极 162 和第一上电极 161 共同构成上电极 16。其中，第二上电极 162 和第一上电极 161 的材料可以相同，也可以不同，在一些具体的实施例中，第二上电极 162 和第一上电极 161 的材料包括但不限于氮化钛等。

至此，在电容孔所限定的空间内及刻蚀支撑结构后形成的空间内均形成了用于存储电荷的结构。

这里，下电极 13、第一介质层 L1、第一上电极 161 构成一个子电容，下电极 13、第二介质层 L2、和第二上电极 162 构成另一个子电容，两个子电容之间共用下电极，并相互之间共同构成电容结构 C。

综上，可以看出，在本公开实施例中，由于第一介质层和第二介质层分别形成在两个不同的步骤中，使得位于电容孔所限定的空间内的第一介质层的尺寸和材质均可根据实际情况进行灵活选择和调整，从而最终在电容孔所限定的空间内也可以形成用于存储电荷的结构。而位于去除部分支撑结构后形成的空间内的第二介质层的材质和厚度不受电容孔尺寸和空间大小的限制，可以正常形成甚至还可根据实际情况进行调整。与常规技术相比，本公开实施例可显著提高半导体结构形成过程的灵活性，且在极限尺寸下也可以有效提高半导体结构的电容量。

本公开实施例还提供了一种半导体结构，如图 13 和图 14 所示，包括:

衬底 10 及位于衬底 10 上的支撑结构 11，所述支撑结构内具有多个电容孔 H1;

分立设置在在多个所述电容孔 H1 内的下电极 13，支撑结构 11 位于下电极 13 的部分侧壁上;

第一介质层 L1，第一介质层 L1 覆盖下电极 13 的表面;

第一上电极 161，第一上电极 161 覆盖第一介质层 L1;

第二介质层 L2，第二介质层 L2 至少覆盖下电极 13 的部分侧壁;

第二上电极 162，第二上电极 162 覆盖第二介质层 L2 和第一上电极 161 的上表面。

在一些具体的实施例中，在平行于衬底的方向上，电容孔 H1 开口尺寸可以小于等于 25nm，例如 20nm，15nm，从而可以适应存储器件，例如 DRAM 器件的制程尺寸逐渐趋于极限的要求，提高器件集成度。

这里，下电极 13、第一介质层 L1、第一上电极 161 构成一个子电容，下电极 13、第二介质层 L2、和第二上电极 162 构成另一个子电容，两个子电容之间共用下电极，并相互之间共同构成电容结构 C。

也就是说，本公开实施例在电容孔所限定的空间内及刻蚀支撑结构后形成的空间内均设置有电容结构，可有效提高半导体结构的电容量。

在实际工艺中，衬底的材料可以为锗、锗化硅、碳化硅、砷化镓或镓化铟等材料，但不限于此，衬底还可以为绝缘体表面的硅衬底或者绝缘体表面的锗衬底等。在一些实施例中，衬底可以为硅衬底。

可选的，下电极 13 的材料可以包括一种或多种导电材料，诸如掺杂的半导体，导电金属氮化物，金属，金属硅化物，导电氧化物或其组合，例如，多晶硅、氮化钛、氮化钽、钨等中的一种或其组合。在一些具体的实施例中，下电极 13 的材料包括但不限于氮化钛等。

可以理解的，第二上电极 162 和第一上电极 161 的材料可以相同，也可以不同，在一些具体的实施例中，第二上电极 162 和第一上电极 161 的材料包括但不限于氮化钛等。

继续参考图 13，可以看出，第一介质层 L1 覆盖下电极 13 的侧表面、底表面和顶表面，并覆盖支撑结构 11 的上表面。

在一些实施例中，在垂直于所述衬底的方向上，所述第二介质层的高度大于等于高于所述第一介质层的高度，例如第二介质层 L2 的上表面高于第一介质层 L1 的上表面。

可以理解的，与常规结构中，第一介质层和第二介质层为一体结构且在同一步骤中形成的情况不相同的是，本公开实施例中的两个介质层为独立设置的两个部分，一部分为位于下电极的侧表面、底表面和上表面的第一介质层，另一部分为位于下电极部分外侧壁上的第二介质层，两者在第一介质层位于下电极上表面部分的侧壁位置存在接合处，当第二介质层比第一介质层具有更高的高度时，两者之间更容易形成良好、紧密的接合状态，可有效防止因第一介质层和第二介质层之间接合不够紧密造成下电极和上电极直接电连接引起短路的情况。

另外，在实际工艺中，通过设置第二介质层的上表面高于第一介质层的上表面，可有效较少形成第二介质层时的刻蚀时间、简化工艺过程。

由于在本公开实施例中，第一介质层 L1 和第二介质层 L2 具有相互独立性，因此，可以理解的，在一些实施例中，第一介质层 L1 和第二介质层 L2 的材料不同，和/或尺寸不同。

在实际工艺中，第一介质层 L1 的介电常数小于等于 3.9，所述第二介质层的介电常数大于 3.9。

可选的，在一些实施例中，第一介质层的材料包括但不限于碳化硅、碳氮化硅(SiCN)、碳氧化硅(SiCO)、氧化硅等中的至少一种或其组合；第二介质层的材料可以包括但不限于铝氧化物(Al_2O_3)、钽氧化物(Ta_2O_3)、钛氧化物(TiO_2)、钇氧化物(Y_2O_3)、锆氧化物(ZrO_2)、锆硅氧化物(ZrSixOy)、铪氧化物(HfO_2)、铪硅氧化物(HfSixOy)、铪硅氮氧化物(HfSiON)、铪锆酸盐($HfZrO_4$)、镧氧化物(La_2O_3)、镧铝氧化物(LaAlxOy)、镧铪氧化物(LaHfxOy)、

铪铝氧化物(HfAlxOy)和/或镨氧化物(Pr_2O_3)等中的至少一种或其组合。

这里，可以理解的，由于尺寸微缩容易造成电容孔的尺寸明显缩小，若在其内部设置的第一介质层为高介电常数材料时，容易造成漏电流的增加，影响半导体结构的性能。因此，第一介质层最好使用低介电常数材料。此时，由于第二介质层位于支撑结构被刻蚀后形成的空间内，与第一介质层相比，第二介质层设置在具有更大表面积的空间内，当其采用高介电常数材料时，不容易产生漏电流，因此，第二介质层可采用高介电常数材料来提高电容量。

可选的，在一些实施例中，在平行于所述衬底的方向上，所述第二介质层的宽度大于等于所述第一介质层的宽度。

如此，通过设置第一介质层和第二介质层具有不同的宽度，比如第一介质层 L1 的宽度小于第二介质层 L2 的宽度，来适用尺寸微缩或者极限尺寸情况下，在两个空间内均获得电容结构的需求，以提高最终形成的半导体结构的电容量。

但不限于此，可以理解的，在一些其他的实施例中，第一介质层的宽度还可以等于或大于第二介质层的宽度，具体可根据实际情况灵活调整。

继续参考图 13，可以看出，在一些实施例中，半导体结构还包括节点接触插塞 14，节点接触插塞 14 位于下电极 13 和衬底 10 之间。

另外，本公开实施例中，在相邻的接触插塞 14 之间还设置有绝缘层 12，绝缘层 12 在相邻的接触插塞 14 之间起到隔离的作用。

可选的，用于形成节点接触插塞的材料可以包括但不限于多晶硅、金属硅化物、导电金属、导电金属氮化物等中的一种或其组合。具体的，金属硅化物可以但不限于硅化钴(CoSix)等；导电金属可以包括但不限于钨(W)等；导电金属氮化物可以包括但不限于氮化钛(TiN)等。

综上所述，在本公开实施例中，由于第一介质层和第二介质层分别形成在两个不同的步骤中，使得位于电容孔所限定的空间内的第一介质层的尺寸和材质均可根据实际情况进行灵活选择和调整，从而最终在电容孔所限定的空间内也可以形成用于存储电荷的结构。而位于去除部分支撑结构后形成的空间内的第二介质层的材质和厚度不受电容孔尺寸和空间大小的限制，可以正常形成甚至还可根据实际情况进行调整。与常规技术相比，本公开实施例可显著提高半导体结构形成过程的灵活性，且在极限尺寸下也可以有效提高半导体结构的电容量。

需要说明的是，本公开实施例提供的半导体器件的制备方法可应用于 DRAM 结构或其他半导体器件中，在此不做过多限定。本公开提供的半导体器件制备方法的实施例与半导体器件的实施例属于同一构思；各实施例所记载的技术方案中各技术特征之间，在不冲突的情况下，可以任意组合。

以上，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围，凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等，

均应包含在本公开的保护范围之内。

工业实用性

本公开实施例所提供的半导体结构的制备方法及半导体结构，不仅在电容孔所限定的空间内形成了用于存储电荷的一个子电容结构，且在去除部分支撑结构后形成的空间内也形成了用于存储电荷的另一个子电容结构，两个子电容彼此独立，又互配合共同构成电容结构，提高电容结构的空间利用率，显著增加了电容结构的表面积，从而增加了电容结构对电荷的存储能力，即增加了电容结构的电容量。另外，在本公开实施例中，位于下电极内、外侧的第一介质层和第二介质层分别在两个步骤中形成，两者的材料和尺寸均可根据实际情况进行调整，有效避免了空间尺寸变化对最终形成的半导体结构即电容结构的制约，即使在极限尺寸条件下，半导体结构也能在获得较高集成度的情况下获得较高的电容量。

权利要求书

1、一种半导体结构的制备方法，包括：

提供衬底，所述衬底上形成有支撑结构；

在所述支撑结构内形成多个电容孔；

在所述电容孔内形成下电极，所述下电极覆盖所述电容孔的侧壁和底部；

形成第一介质层，所述第一介质层覆盖所述下电极的表面；

形成第一上电极，所述第一上电极覆盖所述第一介质层的表面；

去除位于所述电容孔之间的部分所述支撑结构，以形成容纳腔，所述容纳腔至少暴露出部分所述下电极，保留下来的所述支撑结构位于所述下电极的部分侧壁上；

形成第二介质层，所述第二介质层覆盖所述容纳腔的侧壁和底部；

形成第二上电极，所述第二上电极覆盖所述第二介质层和所述第一上电极的上表面。

2、根据权利要求 1 所述的方法，其中，所述第一介质层和所述第二介质层的材料不同，和/或尺寸不同。

3、根据权利要求 2 所述的方法，其中，所述第一介质层的材料的介电常数小于等于 3.9，所述第二介质层的介电常数大于 3.9。

4、根据权利要求 2 或 3 所述的方法，其中，在平行于所述衬底的方向上，所述第二介质层的宽度大于等于所述第一介质层的宽度，和/或，

在垂直于所述衬底的方向上，所述第二介质层的高度大于等于所述第一介质层的高度。

5、根据权利要求 1 所述的方法，其中，在平行于衬底的方向上，所述电容孔的开口尺寸小于等于 25nm。

6、根据权利要求 1 所述的方法，其中，在所述电容孔内形成下电极，包括：

沉积电极材料，所述电极材料覆盖所述电容孔的侧壁和底部，并覆盖所述支撑结构的上表面；

执行刻蚀工艺，去除位于所述支撑结构上表面的所述电极材料，保留在所述电容孔侧壁和底部的所述电极材料构成下电极。

7、根据权利要求 6 所述的方法，其中，去除位于所述电容孔之间的部分所述支撑结构，以形成容纳腔，包括：

在所述第一上电极上形成掩膜层，所述掩膜层包含刻蚀窗口，所述刻蚀窗口在所述衬底上的正投影与部分所述支撑结构在所述衬底上的正投影重叠；

刻蚀被所述刻蚀窗口暴露的所述第一上电极、所述第一介质层和所述

支撑结构，以形成所述容纳腔，所述容纳腔至少暴露出部分所述下电极，未被刻蚀的所述支撑结构覆盖所述下电极的部分侧壁。

8、根据权利要求 7 所述的方法，其中，形成第二介质层，包括:

沉积介质材料，所述介质材料覆盖所述容纳腔的侧壁及底部并覆盖所述第一上电极的上表面;

执行刻蚀工艺，以将所述介质材料覆盖所述第一上电极上表面的部分去除，保留下来的所述介质材料构成第二介质层。

9、一种半导体结构，包括:

衬底及位于所述衬底上的支撑结构，所述支撑结构内具有多个电容孔;

分立设置在多个所述电容孔内的下电极，所述支撑结构位于所述下电极的部分侧壁上;

第一介质层，所述第一介质层覆盖所述下电极的表面;

第一上电极，所述第一上电极覆盖所述第一介质层;

第二介质层，所述第二介质层至少覆盖所述下电极的部分侧壁;

第二上电极，所述第二上电极覆盖所述第二介质层和所述第一上电极的上表面。

10、根据权利要求 9 所述的结构，其中，所述第一介质层和所述第二介质层的材料不同，和/或，尺寸不同。

11、根据权利要求 10 所述的结构，其中，所述第一介质层的介电常数小于等于 3.9，所述第二介质层的介电常数大于 3.9。

12、根据权利要求 9 或 10 所述的结构，其中，在平行于所述衬底的方向上，所述第二介质层的宽度大于等于所述第一介质层的宽度，和/或，

在垂直于所述衬底的方向上，所述第二介质层的高度大于等于所述第一介质层的高度。

13、根据权利要求 9 所述的结构，其中，在平行于衬底的方向上，所述电容孔的开口尺寸小于等于 25nm。

14、根据权利要求 9 所述的结构，其中，所述第一介质层覆盖所述下电极的侧表面、底表面和顶表面，并覆盖所述支撑结构的上表面。

15、根据权利要求 14 所述的结构，其中，所述半导体结构还包括节点接触插塞，所述节点接触插塞位于所述下电极和所述衬底之间。

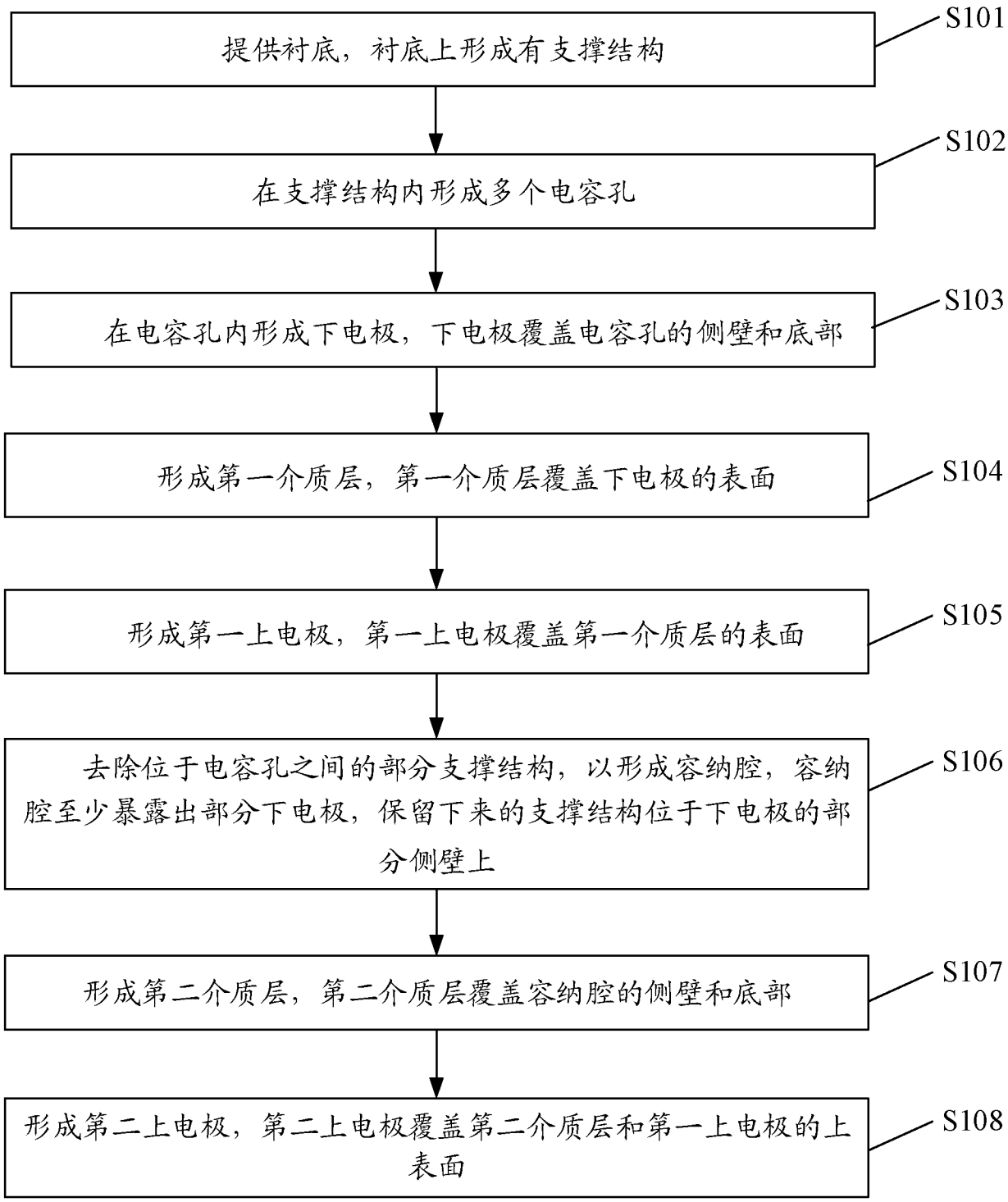

提供衬底，衬底上形成有支撑结构
S101
在支撑结构内形成多个电容孔
S102
在电容孔内形成下电极，下电极覆盖电容孔的侧壁和底部
S103
形成第一介质层，第一介质层覆盖下电极的表面
S104
形成第一上电极，第一上电极覆盖第一介质层的表面
S105
去除位于电容孔之间的部分支撑结构，以形成容纳腔，容纳腔至少暴露出部分下电极，保留下来的支撑结构位于下电极的部分侧壁上
S106
形成第二介质层，第二介质层覆盖容纳腔的侧壁和底部
S107
形成第二上电极，第二上电极覆盖第二介质层和第一上电极的上表面
S108

图 1

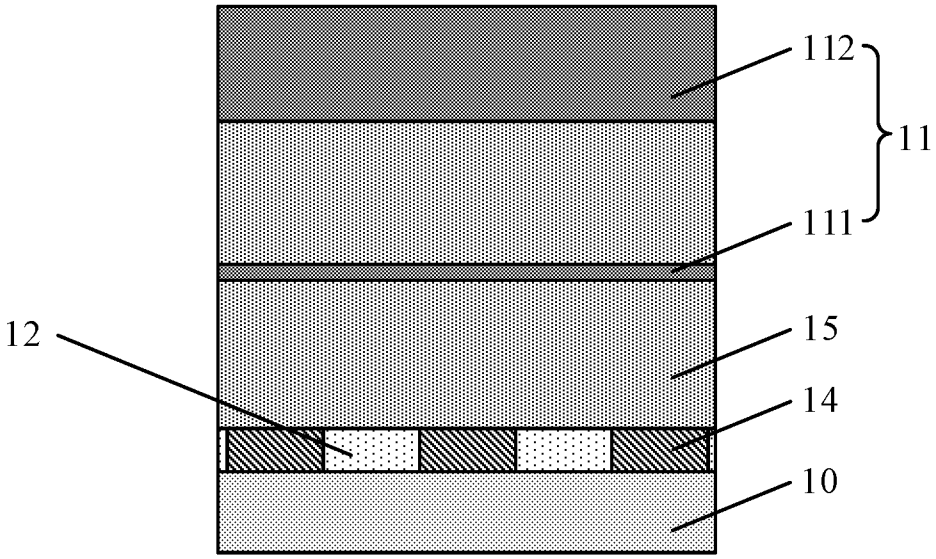


图 2

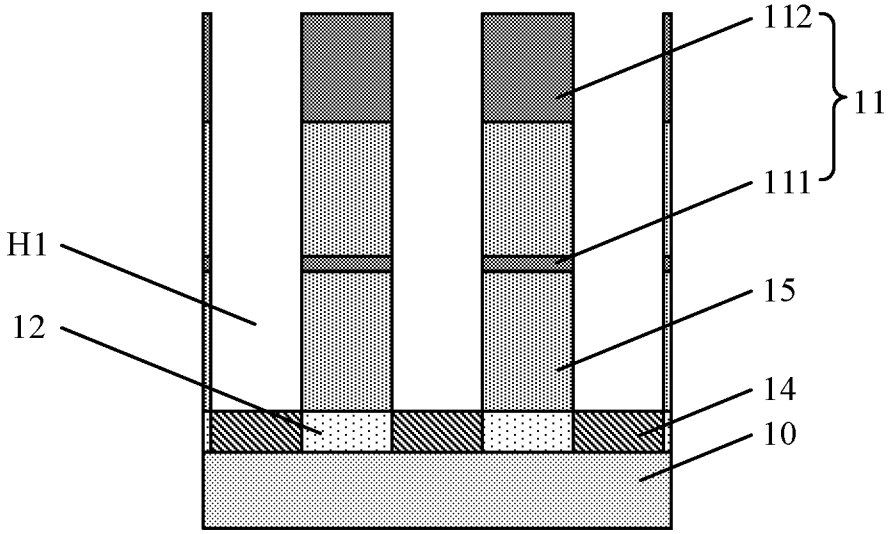


图 3

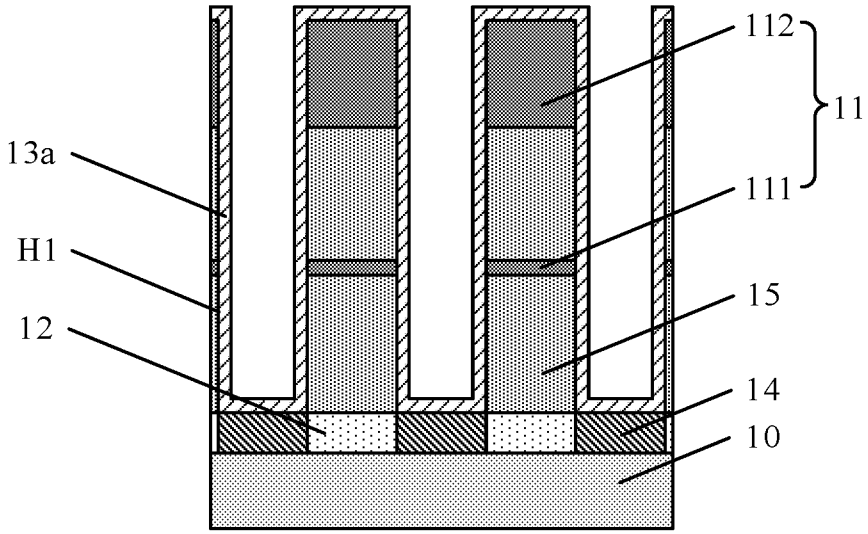


图 4

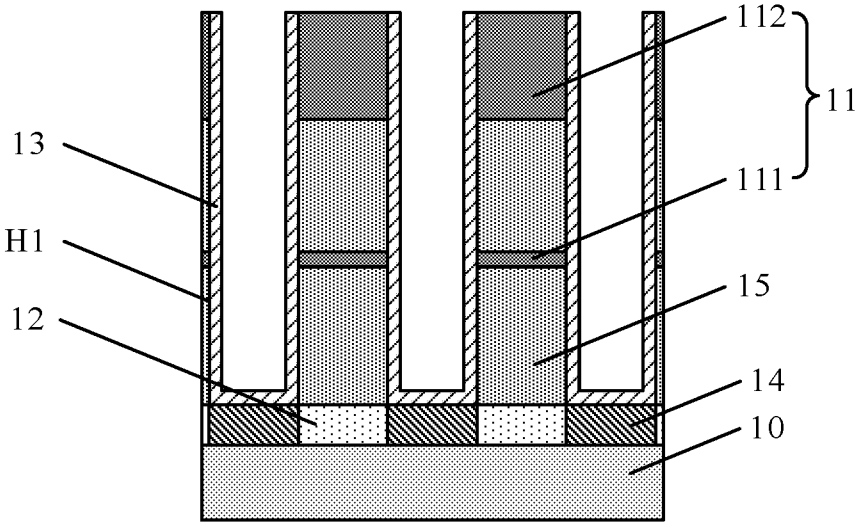


图 5

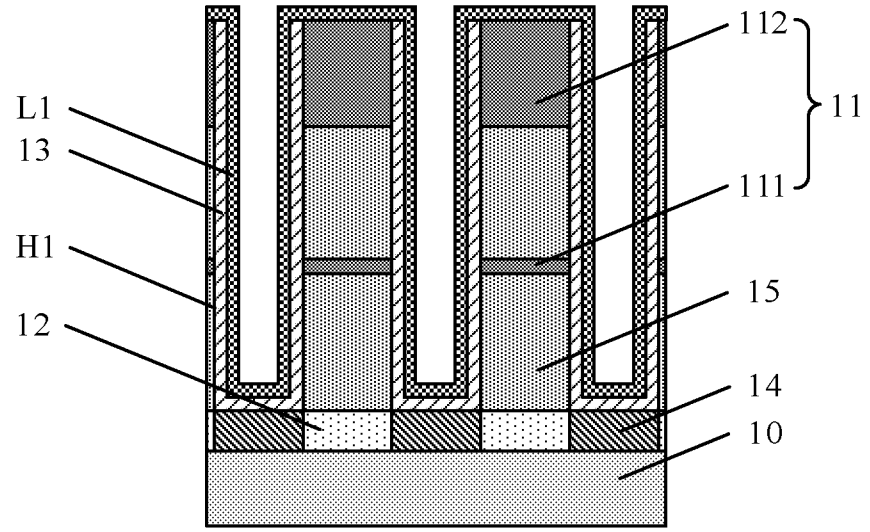


图 6

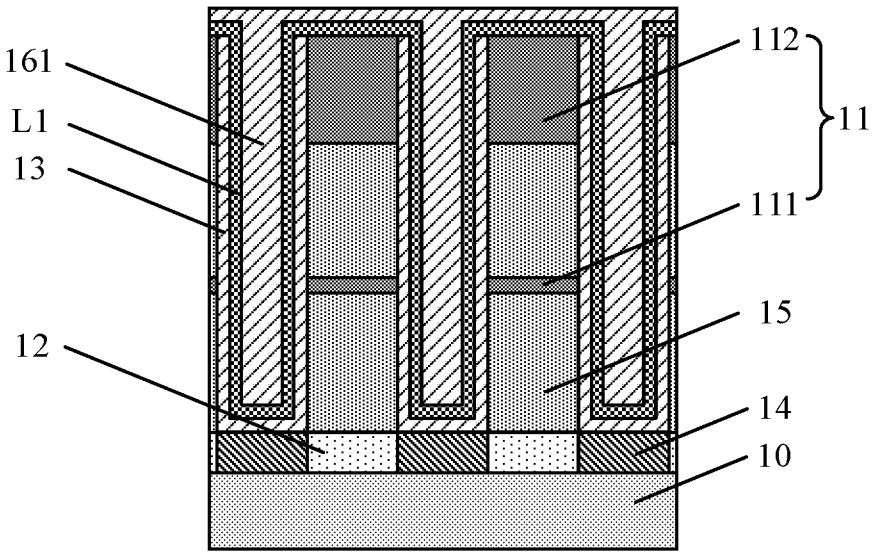


图 7

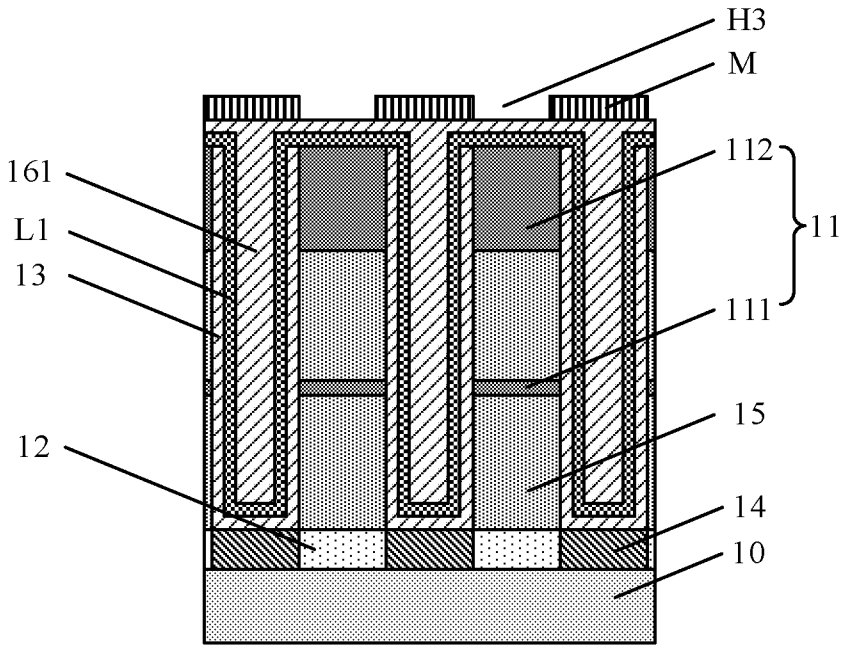


图 8

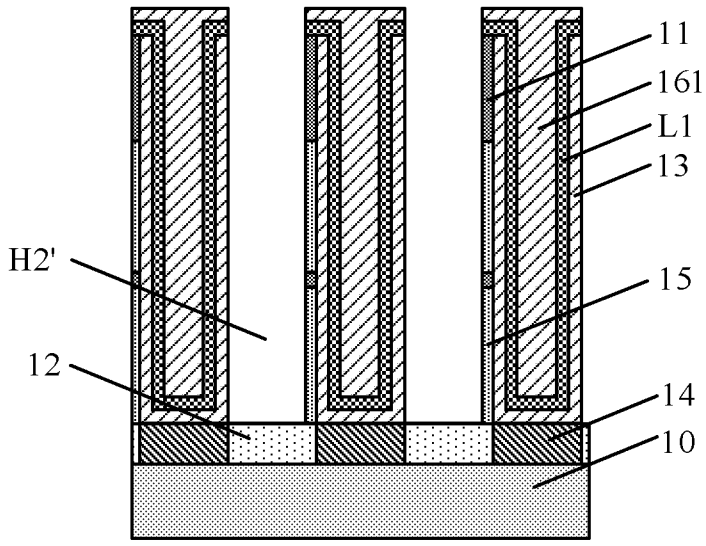


图 9

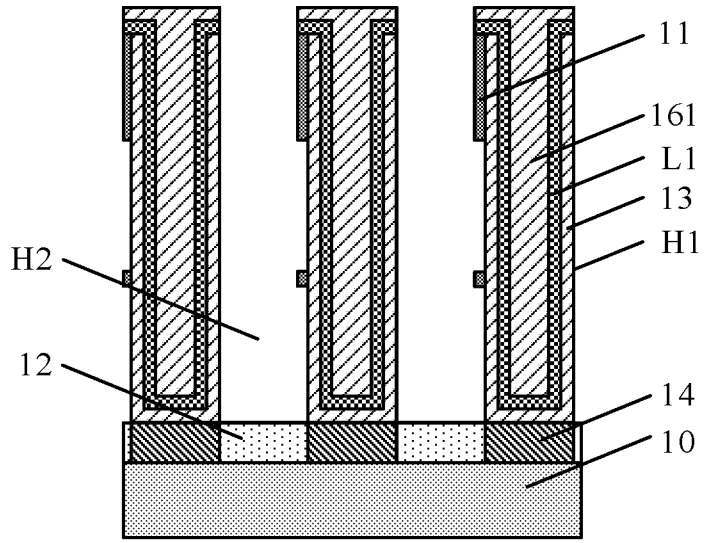


图 10

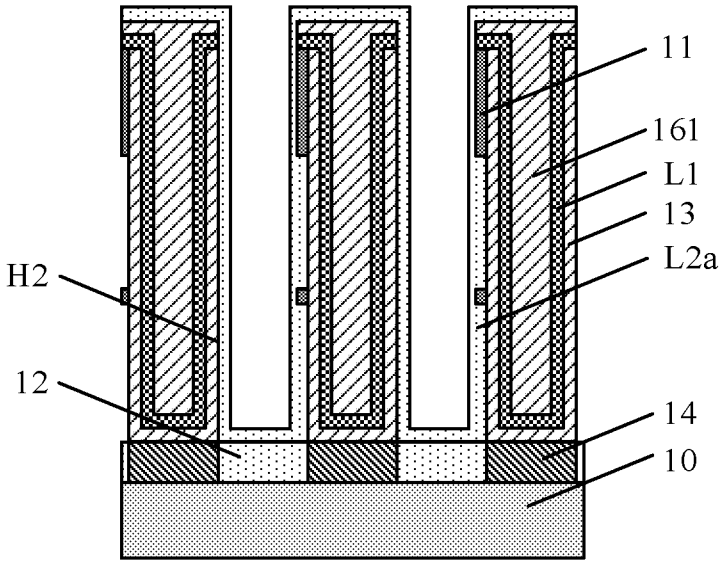


图 11

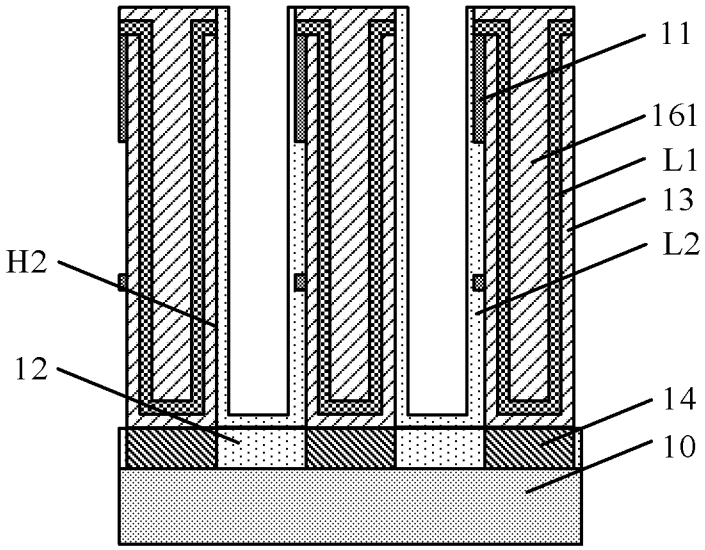

11
161
L1
13
L2
H2
12
14
10

图 12

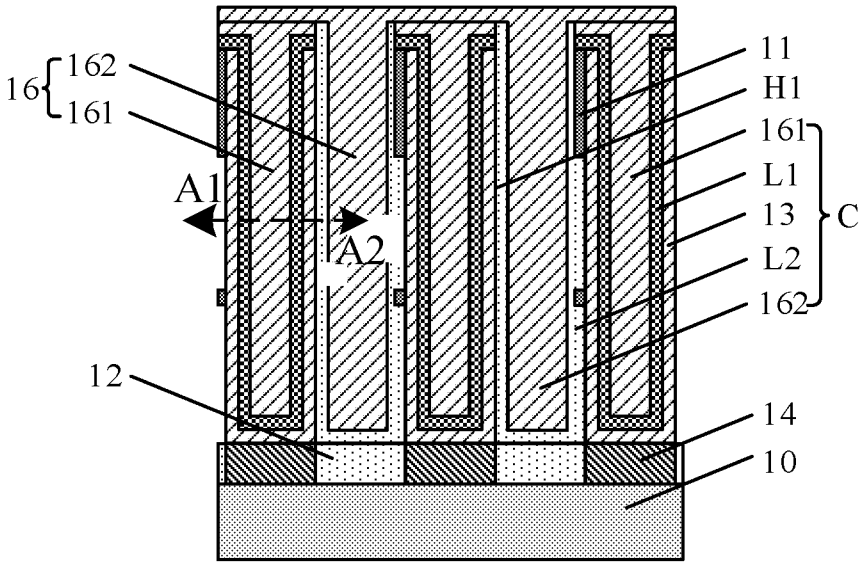

16
162
161
11
H1
161
L1
13
L2
162
C
A1
A2
12
14
10

图 13

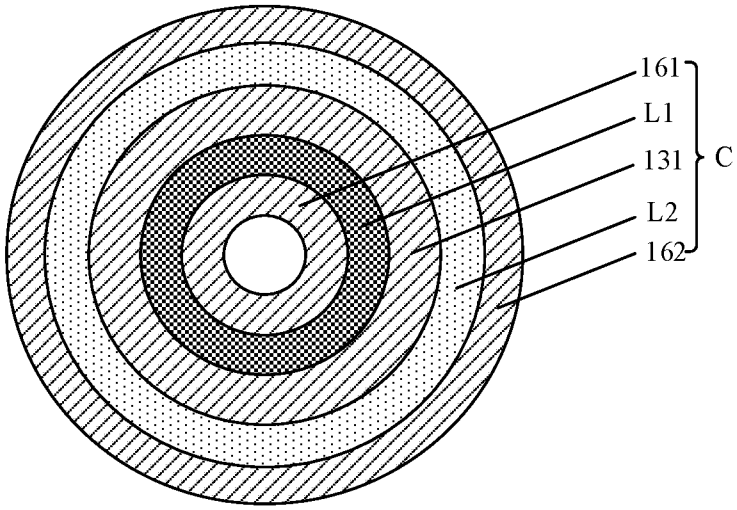

161
L1
131
L2
162
C

图 14

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/123996

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 电容, 双面, 孔, 容纳, 支撑, 电极, 介质, 介电, 绝缘, 侧壁, capacitor, double-side, hole?, contain, capacity, support, electrode?, dielectric, insulat+, side wall

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108010913 A (RUILI INTEGRATED CIRCUIT CO., LTD.) 08 May 2018 (2018-05-08) description, paragraphs [0108]-[0143], and figures 1-19	9-15
A	CN 108010913 A (RUILI INTEGRATED CIRCUIT CO., LTD.) 08 May 2018 (2018-05-08) description, paragraphs [0108]-[0143], and figures 1-19	1-8
A	CN 114078777 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 22 February 2022 (2022-02-22) entire document	1-15
A	CN 112908968 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 04 June 2021 (2021-06-04) entire document	1-15
A	CN 108717936 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 30 October 2018 (2018-10-30) entire document	1-15
A	US 2013127012 A1 (SAMSUNG ELECTRONICS CO., LTD.) 23 May 2013 (2013-05-23) entire document	1-15

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 December 2022	**20 December 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/123996

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 108010913 A	08 May 2018	None	
CN 114078777 A	22 February 2022	US 2022052151 A1	17 February 2022
		WO 2022033147 A1	17 February 2022
CN 112908968 A	04 June 2021	CN 112908968 B	10 June 2022
CN 108717936 A	30 October 2018	None	
US 2013127012 A1	23 May 2013	KR 20130057281 A	31 May 2013
		US 8716833 B2	06 May 2014
		KR 101810531 B1	20 December 2017

国际检索报告

国际申请号
PCT/CN2022/123996

A. 主题的分类

H01L 21/8242(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, WPI, EPODOC, CNKI：电容，双面，孔，容纳，支撑，电极，介质，介电，绝缘，侧壁，capacitor, double-side, hole?, contain, capacity, support, electrode?, dielectric, insulat+, side wall

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 108010913 A (睿力集成电路有限公司) 2018年5月8日 (2018-05-08) 说明书第[0108]-[0143]段、附图1-19	9-15
A	CN 108010913 A (睿力集成电路有限公司) 2018年5月8日 (2018-05-08) 说明书第[0108]-[0143]段、附图1-19	1-8
A	CN 114078777 A (长鑫存储技术有限公司) 2022年2月22日 (2022-02-22) 全文	1-15
A	CN 112908968 A (长鑫存储技术有限公司) 2021年6月4日 (2021-06-04) 全文	1-15
A	CN 108717936 A (长鑫存储技术有限公司) 2018年10月30日 (2018-10-30) 全文	1-15
A	US 2013127012 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2013年5月23日 (2013-05-23) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年12月5日	2022年12月20日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 王雪婷 电话号码 86-(10)-53961207

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/123996

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108010913	A	2018年5月8日	无			
CN	114078777	A	2022年2月22日	US	2022052151	A1	2022年2月17日
				WO	2022033147	A1	2022年2月17日
CN	112908968	A	2021年6月4日	CN	112908968	B	2022年6月10日
CN	108717936	A	2018年10月30日	无			
US	2013127012	A1	2013年5月23日	KR	20130057281	A	2013年5月31日
				US	8716833	B2	2014年5月6日
				KR	101810531	B1	2017年12月20日