



(12) 发明专利

(10) 授权公告号 CN 110675813 B

(45) 授权公告日 2025. 01. 28

(21) 申请号 201910583392.1

(22) 申请日 2019.07.01

(65) 同一申请的已公布的文献号  
申请公布号 CN 110675813 A

(43) 申请公布日 2020.01.10

(30) 优先权数据  
10-2018-0076362 2018.07.02 KR

(73) 专利权人 三星显示有限公司  
地址 韩国京畿道

(72) 发明人 金起旭 金光民 金阳完 罗志洙  
边敏雨

(74) 专利代理机构 北京金宏来专利代理事务所  
(特殊普通合伙) 11641  
专利代理师 杜正国

(51) Int. Cl.

G09G 3/3208 (2016.01)

G09G 3/3266 (2016.01)

G09G 3/3275 (2016.01)

(56) 对比文件

CN 106991963 A, 2017.07.28

CN 108021270 A, 2018.05.11

CN 110058709 A, 2019.07.26

审查员 宋澄

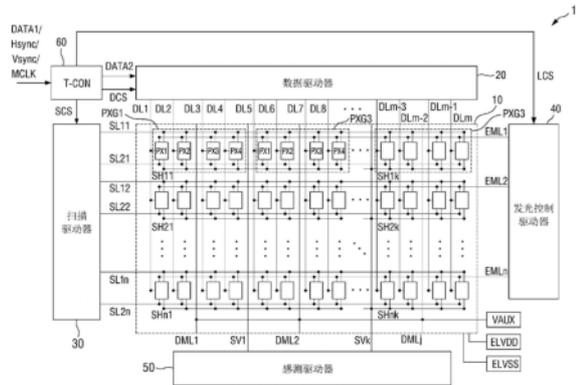
权利要求书3页 说明书22页 附图15页

(54) 发明名称

显示装置

(57) 摘要

提供了显示装置。显示装置包括显示单元和感测单元,显示单元由显示区域和定位在显示区域外部的非显示区域限定,显示单元包括排列在显示区域中的像素、电连接到像素的第一感测布线以及与像素电分离的辅助电压布线,并且感测单元电连接到第一感测布线,其中,第一感测布线和辅助电压布线在第一方向上延伸并且沿与第一方向垂直的第二方向以第一间隔顺序地排列,第一感测布线沿第二方向以大于第一间隔的第二间隔彼此间隔开并且彼此电分离,并且辅助电压布线彼此电连接。



1. 显示装置,包括:

显示单元,所述显示单元由显示区域和定位在所述显示区域外部的非显示区域限定,所述显示单元包括排列在所述显示区域中的像素、电连接到所述像素的第一感测布线以及与所述像素电分离的辅助电压布线;以及

感测单元,所述感测单元电连接到所述第一感测布线,

其中,所述第一感测布线和所述辅助电压布线在第一方向上延伸,并且沿与所述第一方向垂直的第二方向以第一间隔顺序地排列,

所述第一感测布线沿所述第二方向以大于所述第一间隔的第二间隔彼此间隔开并且彼此电分离,以及

所述辅助电压布线彼此电连接,其中,DC辅助电力施加到所述辅助电压布线。

2. 如权利要求1所述的显示装置,其中,在所述非显示区域中,所述辅助电压布线彼此电连接。

3. 如权利要求1所述的显示装置,还包括:

第二感测布线,所述第二感测布线在所述第二方向上延伸并且排列成沿所述第二方向彼此间隔开,

其中,所述第二感测布线分别连接到所述第一感测布线,并且所述第二感测布线直接连接到所述像素。

4. 如权利要求3所述的显示装置,其中,所述第一感测布线分别与所述第二感测布线相交,并且所述第一感测布线分别在所述第一感测布线和所述第二感测布线的交叉区处连接到所述第二感测布线。

5. 如权利要求3所述的显示装置,其中,所述辅助电压布线与所述第二感测布线相交,并且与所述第二感测布线电分离。

6. 如权利要求3所述的显示装置,其中,所述第二感测布线相对于所述辅助电压布线中的一些彼此间隔开。

7. 如权利要求3所述的显示装置,其中,所述第一感测布线分别连接到所述第二感测布线的端部。

8. 如权利要求1所述的显示装置,其中,所述像素包括配置成发射第一颜色的光的第一像素和配置成发射第二颜色的光的第二像素,以及

所述第一感测布线直接连接到与所述第一感测布线相邻的所述第一像素,并且间接地连接到与其相邻的所述第二像素。

9. 如权利要求8所述的显示装置,其中,所述像素还包括配置成发射第三颜色的光的第三像素,并且所述第二像素、所述第一像素、所述第三像素和所述第一像素沿所述第二方向顺序且重复地排列。

10. 如权利要求1所述的显示装置,其中,所述像素中的每个包括:

发光元件;

驱动晶体管,所述驱动晶体管配置成向所述发光元件供给电流;以及

感测晶体管,所述感测晶体管包括电连接到所述驱动晶体管的第一电极的第一电极和电连接到所述第一感测布线中的一个的第二电极。

11. 如权利要求10所述的显示装置,其中,所述驱动晶体管包括多晶硅半导体,并且所

述感测晶体管包括氧化物半导体。

12. 如权利要求10所述的显示装置,其中,所述感测晶体管的所述第一电极和所述第二电极布置在第一导电层上,

所述第一感测布线和所述辅助电压布线布置在与所述第一导电层不同的第二导电层上,

所述第一导电层和所述第二导电层通过第一绝缘层彼此绝缘,

所述第一感测布线中的每个包括在所述第一方向上延伸的本体和与所述第二方向上从所述本体突出以与所述感测晶体管的所述第二电极部分地重叠的突起,以及

所述突起通过接触孔电连接到所述感测晶体管的所述第二电极。

13. 如权利要求12所述的显示装置,还包括:

导电图案,所述导电图案具有与所述第一感测布线中的每个的所述突起相同的形状,并且布置在与所述第一导电层和所述第二导电层不同的第三导电层上,

其中,所述导电图案与所述感测晶体管的所述第二电极和所述辅助电压布线中的一个重叠,以及

所述导电图案电连接到所述感测晶体管的所述第二电极并且与所述辅助电压布线电分离。

14. 如权利要求12所述的显示装置,其中,与所述感测单元的所述突起连接的所述本体具有比所述第一感测布线的平均宽度更大的宽度,并且所述辅助电压布线中的每个具有与所述第一感测布线中的每个的所述本体相同的形状。

15. 如权利要求10所述的显示装置,其中,所述感测晶体管的所述第一电极和所述第二电极布置在第一导电层上,所述第一感测布线布置在与所述第一导电层不同的第二导电层上,所述辅助电压布线布置在与所述第一导电层和所述第二导电层不同的第三导电层上,并且所述第一导电层至所述第三导电层通过绝缘层彼此绝缘。

16. 如权利要求15所述的显示装置,其中,所述第一感测布线中的每个包括在所述第一方向上延伸的本体和与所述第二方向上从所述本体突出以与所述感测晶体管的所述第二电极部分地重叠的突起,并且所述辅助电压布线中的每个具有与所述第一感测布线中的每个相同的形状。

17. 如权利要求15所述的显示装置,其中,所述第一感测布线中的每个包括在所述第一方向上延伸的本体和与所述第二方向上从所述本体突出以与所述感测晶体管的所述第二电极部分地重叠的突起,

所述辅助电压布线中的每个具有与所述本体相同的形状,

所述第二导电层设置有与所述感测晶体管的所述第二电极和所述辅助电压布线重叠的导电图案,以及

所述导电图案电连接到所述感测晶体管的所述第二电极并且与所述辅助电压布线电分离。

18. 如权利要求15所述的显示装置,还包括:

第二感测布线,所述第二感测布线在所述第二方向上延伸并且排列成在所述第二方向上彼此间隔开,

其中,所述第二感测布线电连接到所述第一感测布线,所述第二感测布线相对于所述

辅助电压布线的第二辅助电压布线布置在彼此不同的方向上,并且所述第一辅助电压布线还包括在所述第二方向上延伸并且与所述第二感测布线重叠的突起。

19. 如权利要求10所述的显示装置,其中,所述感测晶体管的所述第一电极和所述第二电极布置在第一导电层上,所述辅助电压布线的第二辅助电压布线和所述第一感测布线布置在与所述第一导电层不同的第二导电层上,所述辅助电压布线的第二辅助电压布线布置在与所述第一导电层和所述第二导电层不同的第三导电层上,并且所述第一导电层至所述第三导电层通过绝缘层彼此绝缘。

## 显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年7月2日提交到韩国知识产权局的第10-2018-0076362号韩国专利申请的优先权和权益,该韩国专利申请的公开内容通过引用以其整体地并入本文。

### 技术领域

[0003] 本发明概念涉及显示装置,并且更具体地,涉及使用外部补偿技术补偿像素的劣化和驱动晶体管的特性中的变化的有机发光显示装置。

### 背景技术

[0004] 有机发光显示装置使用有机发光二极管来显示图像,有机发光二极管通过电子与空穴的复合来发光。有机发光显示装置包括像素,并且像素中的每个包括有机发光二极管和向有机发光二极管提供电流的驱动晶体管。

[0005] 有机发光二极管可能因使用而被劣化,并且包括在像素中的每个中的驱动晶体管的特性(例如,阈值电压/迁移率)可能是不均匀的。因此,已开发了通过测量晶体管的特性来补偿施加到像素的数据信号的补偿技术,并且根据用于测量晶体管的特性或补偿其特性的电路是设置在另一晶体管的外部或是内部,补偿技术可分类为外部补偿技术或内部补偿技术。

[0006] 在与用于像素的外部补偿的感测布线相邻的像素和与感测布线间隔开的像素之间可能发生特性差异。

### 发明内容

[0007] 本发明概念的各方面提供了消除因感测布线导致的像素之间的特性中的差异的显示装置。

[0008] 根据本公开的一方面,提供了显示装置,显示装置包括显示单元和感测单元,显示单元由显示区域和定位在显示区域外部的非显示区域限定,显示单元包括排列在显示区域中的像素、电连接到像素的第一感测布线以及与像素电分离的辅助电压布线,并且感测单元电连接到第一感测布线,其中,第一感测布线和辅助电压布线在第一方向上延伸并且沿与第一方向垂直的第二方向以第一间隔顺序地排列,第一感测布线沿第二方向以大于第一间隔的第二间隔彼此间隔开并且彼此电分离,并且辅助电压布线彼此电连接。

[0009] 在非显示区域中,辅助电压布线彼此电连接。

[0010] DC辅助电力施加到辅助电压布线。

[0011] 显示装置还包括第二感测布线,第二感测布线在第二方向上延伸并且排列成沿第二方向彼此间隔开,其中,第二感测布线分别连接到第一感测布线,并且第二感测布线直接连接到像素。

[0012] 第一感测布线分别与第二感测布线相交,并且第一感测布线分别在第一感测布线和第二感测布线的交叉区处连接到第二感测布线。

- [0013] 辅助电压布线与第二感测布线相交,并且与第二感测布线电分离。
- [0014] 第二感测布线相对于辅助电压布线中的一些彼此间隔开。
- [0015] 第一感测布线分别连接到第二感测布线的端部。
- [0016] 像素包括配置成发射第一颜色的光的第一像素和配置成发射第二颜色的光的第二像素,并且第一感测布线直接连接到与第一感测布线相邻的第一像素并且间接地连接到与其相邻的第二像素。
- [0017] 像素还包括配置成发射第三颜色的光的第三像素,并且第二像素、第一像素、第三像素和第一像素沿第二方向顺序且重复地排列。
- [0018] 像素中的每个包括发光元件、配置成向发光元件供给电流的驱动晶体管以及包括电连接到驱动晶体管的第一电极的第一电极和电连接到第一感测布线中的一个的第二电极的感测晶体管。
- [0019] 驱动晶体管包括多晶硅半导体,并且感测晶体管包括氧化物半导体。
- [0020] 感测晶体管的第一电极和第二电极布置在第一导电层上,第一感测布线和辅助电压布线布置在与第一导电层不同的第二导电层上,第一导电层和第二导电层通过第一绝缘层彼此绝缘,第一感测布线中的每个包括在第一方向上延伸的本体和在第二方向上从本体突出以与感测晶体管的第二电极部分地重叠的突起,并且突起通过接触孔电连接到感测晶体管的第二电极。
- [0021] 显示装置还包括导电图案,导电图案具有与第一感测布线中的每个的突起相同的形状,并且布置在与第一导电层和第二导电层不同的第三导电层上,其中,导电图案与感测晶体管的第二电极和辅助电压布线中的一个重叠,并且导电图案电连接到感测晶体管的第二电极并且与辅助电压布线电分离。
- [0022] 与感测单元的突起连接的本体具有比第一感测布线的平均宽度更大的宽度,并且辅助电压布线中的每个具有与第一感测布线中的每个的本体相同的形状。
- [0023] 感测晶体管的第一电极和第二电极布置在第一导电层上,第一感测布线布置在与第一导电层不同的第二导电层上,辅助电压布线布置在与第一导电层第二导电层不同的第三导电层上,并且第一导电层至第三导电层通过绝缘层彼此绝缘。
- [0024] 第一感测布线中的每个包括在第一方向上延伸的本体和在第二方向上从本体突出以与感测晶体管的第二电极部分地重叠的突起,并且辅助电压布线中的每个具有与第一感测布线中的每个相同的形状。
- [0025] 第一感测布线中的每个包括在第一方向上延伸的本体和在第二方向上从本体突出以与感测晶体管的第二电极部分地重叠的突起,辅助电压布线中的每个具有与本体相同的形状,第二导电层设置有与感测晶体管的第二电极和辅助电压布线重叠的导电图案,并且导电图案电连接到感测晶体管的第二电极并且与辅助电压布线电分离。
- [0026] 显示装置还包括第二感测布线,第二感测布线在第二方向上延伸并且排列成在第二方向上彼此间隔开,其中,第二感测布线电连接到第一感测布线,第二感测布线相对于辅助电压布线的第二辅助电压布线布置在彼此不同的方向上,并且第二辅助电压布线还包括在第二方向上延伸并且与第二感测布线重叠的突起。
- [0027] 感测晶体管的第一电极和第二电极布置在第一导电层上,辅助电压布线的第二辅助电压布线和第一感测布线布置在与第一导电层不同的第二导电层上,辅助电压布线的第

二辅助电压布线布置在与第一导电层和第二导电层不同的第三导电层上,并且第一导电层至第三导电层通过绝缘层彼此绝缘。

[0028] 根据本公开的另一方面,提供了显示装置,显示装置包括衬底、驱动电路层、第一绝缘层和第一导电层,衬底由显示区域和定位在显示区域外部的非显示区域限定,驱动电路层包括布置在衬底的显示区域上的晶体管,第一绝缘层布置在驱动电路层上,并且第一导电层包括布置在第一绝缘层上的第一感测布线和辅助电压布线,其中,第一感测布线和辅助电压布线在第一方向上延伸并且沿与第一方向垂直的第二方向以第一间隔顺序地排列,第一感测布线在第二方向上以大于第一间隔的第二间隔彼此间隔开,第一感测布线通过接触孔电连接到晶体管并且彼此电分离,并且辅助电压布线在非显示区域中彼此电连接。

[0029] 第一感测布线电连接到外部感测电路,并且DC辅助电力施加到辅助电压布线。

[0030] 显示装置还包括布置在第一导电层上的发光元件,其中,驱动电路层包括配置成向发光元件提供驱动电流的驱动晶体管以及包括连接到驱动晶体管的第一电极的第一电极和连接到第一感测布线的第二电极的感测晶体管,并且第一感测布线中的每个包括在第一方向上延伸的本体和在第二方向上从本体突出以与感测晶体管的第二电极部分地重叠的突起,并且突起通过接触孔电连接到感测晶体管的第二电极。

[0031] 显示装置还包括导电图案和第二导电层,导电图案具有与第一感测布线中的每个的突起相同的形状并且布置在驱动电路层上,并且第二导电层位于第一导电层与发光元件之间,其中,导电图案与感测晶体管的第二电极和辅助电压布线中的一个重叠,电连接到感测晶体管的第二电极,并且与辅助电压布线电分离。

[0032] 与感测单元的突起连接的本体具有比第一感测布线的平均宽度更大的宽度,并且辅助电压布线中的每个具有与本体相同的形状。

[0033] 根据本公开的另一方面,提供了显示装置,显示装置包括衬底、驱动电路层、第一绝缘层、第一导电层和第二导电层,衬底由显示区域和定位在显示区域外部的非显示区域限定,驱动电路层包括布置在衬底的显示区域上的晶体管,第一绝缘层布置在驱动电路层上,第一导电层包括第一感测布线,第一感测布线布置在第一绝缘层上,第一感测布线在第一方向上延伸并且沿与第一方向垂直的第二方向以第一间隔彼此间隔开,并且第二导电层包括辅助电压布线,辅助电压布线布置在第一导电层上,辅助电压布线在第一方向上延伸,辅助电压布线沿第二方向以小于第一间隔的第二间隔与第一感测布线间隔开,并且辅助电压布线以第二间隔彼此间隔开,其中,第一感测布线通过接触孔电连接到晶体管并且彼此电分离,并且辅助电压布线在非显示区域中彼此电连接。

[0034] 显示装置还包括布置在第二导电层上的发光元件,其中,驱动电路层包括配置成向发光元件提供驱动电流的驱动晶体管以及包括连接到驱动晶体管的第一电极的第一电极和连接到第一感测布线的第二电极的感测晶体管,并且第一感测布线中的每个包括在第一方向上延伸的本体和在第二方向上从本体突出以与感测晶体管的第二电极部分地重叠的突起,并且突起通过接触孔电连接到感测晶体管的第二电极。

[0035] 第一感测布线中的每个包括在第一方向上延伸的本体和在第二方向上从本体突出以与感测晶体管的第二电极部分地重叠的突起,并且辅助电压布线中的每个具有与本体相同的形状。

[0036] 第一感测布线中的每个包括在第一方向上延伸的本体和在第二方向上从本体突出以与感测晶体管的第二电极部分地重叠的突起,并且辅助电压布线中的每个具有与本体相同的形状,第一导电层设置有与感测晶体管的第二电极和辅助电压布线重叠的导电图案,并且导电图案电连接到感测晶体管的第二电极并且与辅助电压布线电分离。

[0037] 显示装置还包括布置在驱动电路层与第一导电层之间的第四导电层,其中,第四导电层包括在第二方向上延伸并且布置成在第二方向上彼此间隔开的第二感测布线,第二感测布线电连接到第一感测布线,并且第二感测布线相对于辅助电压布线的第二辅助电压布线布置在彼此不同的方向上,并且第一辅助电压布线中的每个还包括在第二方向上延伸以与第二感测布线中的一个重叠的突起。

[0038] 显示装置还包括第二辅助电压布线,第二辅助电压布线布置在第一导电层上,在第一方向上延伸,并且以小于第一间隔和第二间隔的第三间隔与第一感测布线和辅助电压布线间隔开,其中,第二辅助电压布线在非显示区域上电连接到第一辅助电压布线。

[0039] 然而,本发明概念的各方面不限于本文中所阐述的方面。通过参照下面给出的本发明概念的详细描述,本发明概念的上述和其它方面将对于本发明概念所属技术领域的普通技术人员变得更加明确。

## 附图说明

[0040] 通过参照附图详细描述本发明概念的示例性实施方式,本发明概念的上述和其它方面和特征将变得更加明确,在附图中:

[0041] 图1是根据实施方式的显示装置的框图;

[0042] 图2A、图2B和图2C是示出包括在图1的显示装置中的显示单元的示例的电路图;

[0043] 图3是示出包括在图2A的显示单元中的像素的示例的电路图;

[0044] 图4是图3的像素的布局图;

[0045] 图5是沿图4的线A-A'和线B-B'截取的剖面图;

[0046] 图6是示出包括在图4的像素中的下半导体层的视图;

[0047] 图7是示出包括在图4的像素中的第四导电层和第五导电层的视图;

[0048] 图8是示出包括在图4的像素中的发光元件的视图;

[0049] 图9是示出包括在图4的像素中的第五导电层的另一示例的视图;

[0050] 图10是示出包括在图4的像素中的辅助电压布线的另一示例的布局图;

[0051] 图11是示出包括在图4的像素中的辅助电压布线的另一示例的布局图;

[0052] 图12是沿图11的线C-C'和线D-D'截取的剖面图;

[0053] 图13、图14和图15是示出包括在图4的像素中的辅助电压布线的各种实施方式的布局图;

[0054] 图16是示出包括在图1的显示装置中的显示单元的另一示例的剖面图;

[0055] 图17是示出包括在图1的显示装置中的显示单元的又一示例的电路图;以及

[0056] 图18和图19是示出图1的显示装置中的显示单元的各种实施方式的电路图。

## 具体实施方式

[0057] 在下文中现在将参照示出了本发明概念的优选实施方式的附图对本发明概念进

行更加全面的描述。然而,本发明概念可以以不同的形式实施,并且不应被解释为受限于本文中所阐述的实施方式。相反,提供这些实施方式以使得本公开将是彻底和完整的,并且将向本领域技术人员全面地传达本发明概念的范围。在整个说明书中,相同的附图标记指示相同的部件。在附图中,为了清楚起见,层和区的厚度被夸大。

[0058] 也将理解,当层被称为“在”另一层或衬底“上”时,该层可直接在另一层或衬底上,或者也可存在有中间层。相反,当元件被称为“直接在”另一元件“上”时,则不存在中间元件。

[0059] 在下文中,将参照附图对本发明概念的实施方式进行描述。

[0060] 图1是根据实施方式的显示装置的框图。

[0061] 参照图1,显示装置1可包括显示单元10(或显示面板)、数据驱动器20、扫描驱动器30、发光控制驱动器40、感测单元50(或感测驱动器)以及控制器60(或T-con)。

[0062] 显示装置1(和显示单元10)可包括扫描线SL11至SL1n和SL21至SL2n(n是2或更大的整数)、数据线DL1至DLm(m是2或更大的整数)、发光控制线EML1至EMLn以及像素PX1、PX2、PX3和PX4。

[0063] 扫描线SL11至SL1n和SL21至SL2n中的每个可在行方向上延伸。发光控制线EML1至EMLn中的每个可在行方向(第一方向或水平方向)上延伸。数据线DL1至DLm中的每个可在列方向(第二方向或垂直方向)上延伸。此处,列方向垂直于行方向,并且行方向和列方向可相互反转。

[0064] 像素PX1、PX2、PX3和PX4可排列在扫描线SL11至SL1n和SL21至SL2n(n是2或更大的整数)、数据线DL1至DLm(m是2或更大的整数)和发光控制线EML1到EMLn的交叉区域中。像素PX1、PX2、PX3和PX4可以以矩阵形式排列。在下文中,在像素PX1、PX2、PX3和PX4的公共特性的描述中,像素PX1、PX2、PX3和PX4将被称为像素PX和/或多个像素PX。

[0065] 像素PX可连接到两个扫描线、一个数据线和-一个发光控制线。此外,像素PX可连接到水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk,这将在稍后进行描述。例如,定位在第一行(或第一像素行)和第一列(或第一像素列)中的像素PX可连接到第十一扫描线SL11和第二十一扫描线SL21、第一数据线DL1、第一发光控制线EML1和第十一水平感测布线SH11。

[0066] 像素PX1、PX2、PX3和PX4可以以相互不同的单色和/或相互相同的颜色发光。第一像素PX1、第二像素PX2、第三像素PX3和第四像素PX4可包括在一个单位像素组(例如,第一像素组PXG1至第三像素组PXG3)中。也就是说,根据像素PX1、PX2、PX3和PX4的排列图案,可将显示单元10中的所有像素PX分组为像素组PXG1、PXG2和PXG3。稍后将参照图2A至图2C对像素PX1、PX2、PX3和PX4的排列进行描述。

[0067] 显示装置1(和显示单元10)还可包括水平感测布线(或第二感测布线)SH11至SH1k、SH21至SH2k、……、SHn1至SHnk(k是2或更大的整数)、垂直感测布线SV1至SVk(或第一感测布线)和辅助电压布线DML1至DMLj(j是2或更大的整数)。此处,垂直感测布线SV1至SVk(或第一感测布线)和辅助电压布线DML1至DMLj可被统称为垂直布线,并且垂直布线可以规则间隔彼此间隔开。

[0068] 水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk可在行方向上延伸,并且可沿列方向排列。例如,第11水平感测布线SH11至第1k水平感测布线SH1k可沿第一行顺

序地排列,并且可彼此分离或间隔开。相似地,第21水平感测布线SH21至第2k水平感测布线SH2k沿第二行顺序地排列,并且第n1水平感测布线SHn1至第nk水平感测布线SHnk沿第n行顺序地排列。

[0069] 水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk可连接到像素PX。例如,第11水平感测布线SH11可连接到包括在(或定位在)第一行中的第一列至第八列中的像素PX,并且第1k水平感测布线SH1k可连接到包括在第m-7列至第m列中的像素PX。也就是说,水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk中的每个可连接到八个像素PX或两个像素组,并且两个像素组可共享一个水平感测布线(即,水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk中的一个)。然而,这是示意性的,并且本发明概念不限于此。例如,水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk中的每个可连接到两个像素PX、四个像素PX、六个像素PX、八个像素PX或更多个像素PX,或者可连接到三个像素组或更多个像素组。

[0070] 垂直感测布线SV1至SVk可各自在列方向上延伸,并且可沿行方向排列成以第一间隔彼此间隔开。垂直感测布线SV1至SVk与包括在一个行中的水平感测布线(例如,第11水平感测布线SH11至第1k水平感测布线SH1k)一一对应,并因此与第11水平感测布线SH11至第1k水平感测布线SH1k相似地,垂直感测布线SV1至SVk可排列成以与八个像素PX对应的间隔彼此间隔开。

[0071] 垂直感测布线SV1至SVk可连接到水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk。例如,第一垂直感测布线SV1可连接到第11水平感测布线SH11、第21水平感测布线SH21和第n1水平感测布线SHn1。

[0072] 稍后将参照图2A至图2C对垂直感测布线SV1至SVk和水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk在显示单元10中的排列和它们之间的连接关系进行描述。

[0073] 辅助电压布线DML1、DML2至DMLj可在列方向上延伸,并且可排列成在垂直感测布线SV1至SVk之间沿行方向以第二间隔彼此间隔开。辅助电压布线DML1、DML2至DMLj的排列间隔可等于或小于垂直感测布线SV1至SVk的排列间隔。例如,辅助电压布线DML1、DML2至DMLj可排列成在垂直感测布线SV1至SVk之间以与两个像素PX对应的间隔彼此间隔开(即,与垂直感测布线SV1至SVk相邻且不重叠)。

[0074] 辅助电压VAUX可施加到辅助电压布线DML1、DML2至DMLj。此处,辅助电压VAUX可为DC电压。例如,辅助电压布线DML1、DML2至DMLj可连接到外部电源单元(或电源单元)以接收辅助电压VAUX。作为另一示例,辅助电压布线DML1、DML2至DMLj可在显示单元10的外围(或显示单元10的未排列有像素PX的非显示区域)处连接到稍后将描述的第一电源电压布线以接收第一电源电压ELVDD。

[0075] 随着垂直感测布线SV1至SVk排列成以特定间隔(例如,与八个像素PX对应的间隔)间隔开,与垂直感测布线SV1至SVk相邻地排列的一些像素PX(例如,包括在第四像素列中的像素PX)可具有不同于与垂直感测布线SV1至SVk间隔开的其它像素PX(例如,包括在第二像素列中的像素PX和包括在第六像素列中的像素PX)的特性(例如,发光特性)的特性,并且可能因这种特性差异而导致在通过显示单元10显示的图像上出现特定颜色的垂直线。因此,随着辅助电压布线DML1、DML2至DMLj以与垂直感测布线SV1至SVk的排列相似的方式排列在垂直感测布线SV1至SVk之间,对应的像素PX(例如,包括在第二像素列、第四像素列和第六

像素列中的像素PX)可具有相同的特性,并因此可防止图像品质的劣化(例如,特定颜色的垂直线的出现)。

[0076] 尽管未在图1中示出,但是显示单元10可包括第一电源电压布线(或第一电源电压供给线)和第二电源电压布线(或第二电源电压供给线)。如稍后将参照图4描述的,第一电源电压布线可将第一电源电压ELVDD供给到像素PX,并且第一电源电压布线可以以网格形式排列。第二电源电压布线可将第二电源电压ELVSS供给到像素PX,并且第二电源电压布线也可以以网格形式排列。然而,本发明概念不限于此,并且可不同地改变第一电源电压布线的延伸方向和第二电源电压布线的延伸方向。

[0077] 数据驱动器20可通过数据线DL1至DL<sub>m</sub>将数据信号提供给像素PX。

[0078] 扫描驱动器30可生成第一扫描信号和第二扫描信号,并且可通过扫描线SL11至SL1<sub>n</sub>和SL21至SL2<sub>n</sub>将第一扫描信号和第二扫描信号提供给像素PX。例如,当通过第一扫描线SL11将第一扫描信号供给到第一像素PX1时,数据信号可通过第一数据线DL1提供给第一像素PX1。稍后将参照图3描述第一扫描信号和第二扫描信号。

[0079] 发光控制驱动器40可生成发光控制信号,并且可通过发光控制线EML1至EML<sub>n</sub>将发光控制信号提供给像素PX。发光控制驱动器40(或显示装置1)可基于发光控制信号来调节像素PX的发光时间。同时,尽管在图中示出了发光控制驱动器40独立于扫描驱动器30而单独实施,但是本发明概念不限于此。例如,发光控制驱动器40可包括在扫描驱动器30中并且与扫描驱动器30集成。作为另一示例,根据像素PX的电路配置,发光控制驱动器40可被省略。

[0080] 感测单元50可通过垂直感测布线SV1至SV<sub>k</sub>(以及水平感测布线SH11至SH1<sub>k</sub>、SH21至SH2<sub>k</sub>、……、SH<sub>n</sub>1至SH<sub>n</sub><sub>k</sub>)将感测电压施加到像素PX,并且可测量感测电流。像素PX中的晶体管的特性(例如,阈值电压和迁移率)可基于感测电流来测量。同时,尽管在图中示出了感测单元50独立于数据驱动器20而单独实施,但是本发明概念不限于此。例如,感测单元50可包括在数据驱动器20中并且与数据驱动器20集成,或者可与数据驱动器20相邻地布置,由此使其位于显示单元10的与数据驱动器20相同的侧上。

[0081] 感测单元50可根据垂直感测布线SV1至SV<sub>k</sub>和水平感测布线SH11至SH1<sub>k</sub>、SH21至SH2<sub>k</sub>、……、SH<sub>n</sub>1至SH<sub>n</sub><sub>k</sub>的连接配置来测量包括在特定区域中的像素PX(例如,包括在两个像素组中的八个像素PX)的特性(或平均特性)。由于彼此相邻定位的像素PX显示相似的图像或接收相似的电压(例如,相似的电压下降的电源电压或信号),因此彼此相邻的像素PX可具有相似的特性。相应地,与感测像素PX中的每个并补偿像素PX中的每个的特性中的变化的技术相比,可在补偿效率不降低太多的同时大大降低感测效率(即,感测单元50的电容)。

[0082] 控制器60可将来自外部装置(例如,应用处理器)传输的视频信号DATA1转换为视频数据信号DATA2,并且将视频数据信号DATA2传输到数据驱动器20。控制器60可接收垂直同步信号V<sub>sync</sub>、水平同步信号H<sub>sync</sub>和时钟信号MCLK,生成用于控制扫描驱动器30、数据驱动器20和发光控制驱动器40的操作(或驱动)的控制信号,并且分别将控制信号提供给扫描驱动器30、数据驱动器20和发光控制驱动器40。此处,控制信号可包括用于控制扫描驱动器30的扫描驱动控制信号SCS、用于控制数据驱动器20的数据驱动控制信号DCS和用于控制发光控制驱动器40的发光驱动控制信号LCS。

[0083] 同时,显示装置1还可包括电源单元(未示出)。电源单元可生成第一电源电压ELVDD和第二电源电压ELVSS,并且分别通过第一电源电压布线和第二电源电压布线将第一电源电压ELVDD和第二电源电压ELVSS提供给像素PX。此处,第一电源电压ELVDD可为预定的高电平电压,第二电源电压ELVSS可为预定的低电平电压,并且第二电源电压ELVSS的电压电平可低于第一电源电压ELVDD的电压电平。同时,电源单元可被实施为外部电压源。

[0084] 此外,电源单元可生成辅助电压VAUX,并且将辅助电压VAUX施加到辅助电压布线DML1至DMLj。

[0085] 如上参照图1所述,显示装置1可通过定位在显示单元10外部的感测单元50感测像素PX的特性,并且可将多个像素PX(例如,包括在两个像素组中的八个像素PX)进行分组,并且感测这些像素PX的特性(或平均特性)。因此,垂直感测布线SV1至SVk可排列成以特定间隔(例如,与八个像素PX对应的间隔)彼此间隔开。由于辅助电压布线DML1至DMLj以与垂直感测布线SV1至SVk的排列相似的方式排列在垂直感测布线SV1至SVk之间,因此可改善显示单元10的空间频率,并且像素PX可具有相同或相似的特性,而与它们是否与垂直感测布线SV1至SVk相邻无关,由此可防止显示品质的劣化(例如,特定颜色的垂直线的出现)。

[0086] 图2A至图2C是示出包括在图1的显示装置中的显示单元的示例的电路图。

[0087] 参照图2A至图2C,第一像素PX1(或第一子像素、第一类型像素或第一颜色像素)可为发射第一颜色R(例如,红色)的光的红色像素,第二像素PX2(或第二子像素、第二类型像素或第二颜色像素)可为发射第二颜色G(例如,绿色)的光的绿色像素,第三像素PX3(或第三子像素、第三类型像素或第三颜色像素)可为发射第三颜色B(例如,蓝色)的光的蓝色像素,并且第四像素PX4(或第四子像素、第四类型像素或第四颜色像素)可为发射第二颜色G(例如,绿色)的光的绿色像素。第四像素PX4可与第二像素PX2基本上相同。各自包括第一像素PX1至第四像素PX4的第一像素组PXG1\_1可沿行方向重复排列。也就是说,显示单元10可具有RGBG pentile像素排列。

[0088] 垂直感测布线SV1至SVk和辅助电压布线DML1至DMLj可与绿色像素或仅包括绿色像素的像素列相邻地排列。

[0089] 如图2A中所示,第一垂直感测布线SV1可布置在第四像素列与第五像素列之间,第二垂直感测布线SV2可布置在第十二像素列与第十三像素列之间,并且第三垂直感测布线SV3可布置在第二十像素列与第二十一像素列之间。也就是说,第k垂直感测布线SVk可布置在第 $(8*k-4)$ 像素列与第 $(8*k-3)$ 像素列之间。

[0090] 相似地,第一辅助电压布线DML1可布置在第二像素列与第三像素列之间,第二辅助电压布线DML2可布置在第六像素列与第七像素列之间,并且第三辅助电压布线DML3可布置在第八像素列与第九像素列之间。也就是说,辅助电压布线DML1至DML9可分别布置成与不直接相邻(即,邻近)于第一垂直感测布线SV1的剩余绿色像素(或仅包括剩余绿色像素的像素列)相邻。

[0091] 垂直感测布线SV1至SVk可连接到水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk中的每个的中心。也就是说,相应的水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk可相对于对应(即,连接和/或相交)的垂直感测布线对称。然而,本发明概念不限于此。例如,垂直感测布线SV1至SVk可连接到水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk中的每个的一端。

[0092] 参照图1、图2A和图2B,除了像素PX1至PX4的排列和垂直感测布线SV1\_1至SV3\_1的排列以外,图2B的显示单元10\_1可与已参照图2A描述的显示单元10基本上相同。因此,将不再重复冗余的描述。

[0093] 第一像素PX1可为红色像素,第二像素PX2可为蓝色像素,第三像素PX3可为绿色像素,并且第四像素PX4可为蓝色像素。第二像素PX2和第四像素PX4可彼此基本上相同。第一像素组PXG1\_2包括RBGB像素,并且第一像素组PXG1\_2可沿行方向重复排列。也就是说,显示单元10\_1可具有RBGB pentile像素排列。

[0094] 垂直感测布线SV1\_1至SV3\_1和辅助电压布线DML1\_1至DML9\_1可与蓝色像素或仅包括蓝色像素的像素列相邻地排列。

[0095] 如图2B中所示,第一垂直感测布线SV1\_1可布置在第八像素列与第九像素列之间,第二垂直感测布线SV2\_1可布置在第十六像素列与第十七像素列之间,并且第三垂直感测布线SV3\_1可布置在第二十四像素列与第二十五像素列之间。也就是说,第k垂直感测布线SVk\_1可布置在第 $(8*k)$ 像素列与第 $(8*k+1)$ 像素列之间。

[0096] 相似地,第一辅助电压布线DML1\_1可布置在第二像素列与第三像素列之间,第二辅助电压布线DML2\_1可布置在第四像素列与第五像素列之间,并且第三辅助电压布线DML3\_1可布置在第六像素列与第七像素列之间。也就是说,辅助电压布线DML1\_1至DML9\_1可分别布置成与不直接相邻(即,邻近)于第一垂直感测布线SV1\_1的剩余蓝色像素(或仅包括剩余蓝色像素的像素列)相邻。

[0097] 垂直感测布线SV1\_1至SV3\_1可连接到水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk中的每个的一端。然而,本发明概念不限于此。

[0098] 参照图1、图2A和图2C,除了像素PX1至PX4的排列和垂直感测布线SV1\_2至SV3\_2的排列以外,图2C的显示单元10\_2可与已参照图2A描述的显示单元10基本上相同。因此,将不再重复冗余的描述。

[0099] 第一像素PX1可为红色像素,第二像素PX2可为蓝色像素,第三像素PX3可为红色像素,并且第四像素PX4可为绿色像素。第一像素PX1和第三像素PX3可彼此基本上相同。第一像素组PXG1\_3包括RBRG像素,并且第一像素组PXG1\_3可沿行方向重复排列。也就是说,显示单元10\_2可具有RBRG pentile像素排列。

[0100] 垂直感测布线SV1\_2至SV3\_2和辅助电压布线DML1\_1至DML9\_2可与蓝色像素或仅包括蓝色像素的像素列相邻地排列。

[0101] 如图2C中所示,第一垂直感测布线SV1\_2可布置在第三像素列与第四像素列之间,第二垂直感测布线SV2\_2可布置在第十一像素列与第十二像素列之间,并且第三垂直感测布线SV3\_2可布置在第十九像素列与第二十像素列之间。也就是说,第k垂直感测布线SVk\_1可布置在第 $(8*k-5)$ 像素列与第 $(8*k-4)$ 像素列之间。

[0102] 相似地,第一辅助电压布线DML1\_2可布置在第一像素列与第二像素列之间,第二辅助电压布线DML2\_2可布置在第五像素列与第六像素列之间,并且第三辅助电压布线DML3\_2可布置在第七像素列与第八像素列之间。也就是说,辅助电压布线DML1\_2至DML9\_2可分别布置成与不与第一垂直感测布线SV1\_1相邻的剩余蓝色像素(或仅包括剩余蓝色像素的像素列)相邻。

[0103] 垂直感测布线SV1\_2至SV3\_2可连接到水平感测布线SH11至SH1k、SH21至

SH2k、……、SHn1至SHnk中的每个的中心。水平感测布线SH11至SH1k、SH21至SH2k、……、SHn1至SHnk可相对于对应的垂直感测布线对称。然而,本发明概念不限于此。

[0104] 如上面参照图2A至图2C所述,显示单元10、10\_1和10\_2可分别具有RGBG、RBGB和RBRG pentile像素排列。垂直感测布线和辅助电压布线可与任意像素(例如,绿色像素、蓝色像素或红色像素)相邻地布置,并且也可连接到水平感测布线中的每个的任意部分(例如,中心或端部)。

[0105] 图3是示出包括在图2A的显示单元中的像素的示例的电路图。

[0106] 参照图3,像素PX(或第二像素PX2、第三像素PX3和第四像素PX4中的每个)可包括发光元件EL(或有机发光二极管)、第一晶体管T1至第四晶体管T4和存储电容器CST。数据信号DATA、第一扫描信号SCAN1、第二扫描信号SCAN2和发光控制信号EM可提供到像素PX。此处,第一扫描信号SCAN1和第二扫描信号SCAN2中的每个可具有脉冲波形。例如,第一扫描信号SCAN1和第二扫描信号SCAN2中的每个可在脉冲部分中具有逻辑高电平(高电压电平或导通电压的电位),并且可在剩余部分中具有逻辑低电平(即,低于逻辑高电平的电压电平,或低电压电平或关断电压的电位)。第二扫描信号SCAN2可与第一扫描信号SCAN1基本上相同。发光控制信号EM可具有脉冲波形,并且可在脉冲部分中具有逻辑低电平并且在剩余部分中具有逻辑高电平。也就是说,发光控制信号EM的波形可与第一扫描信号SCAN1和第二扫描信号SCAN2被反转的信号相似。

[0107] 第一晶体管T1至第四晶体管T4中的每个可包括第一电极、第二电极和栅电极。第一电极和第二电极中的一个可为源电极,并且第一电极和第二电极中的另一个可为漏电极。

[0108] 第一晶体管T1至第四晶体管T4中的每个可为薄膜晶体管。第一晶体管T1至第四晶体管T4中的每个可包括氧化物半导体或多晶硅半导体。

[0109] 在实施方式中,第一晶体管T1和第四晶体管T4中的每个可包括多晶硅半导体,并且第二晶体管T2和第三晶体管T3中的每个可包括氧化物半导体。与包括多晶硅半导体的晶体管相比,包括氧化物半导体的晶体管具有相对优异的关断特性。当第三晶体管T3和第四晶体管T4中的每个包括氧化物半导体时,可减少发光元件EL的发光周期中的驱动电流的泄漏。

[0110] 在下文中,将详细描述像素PX的配置中的每个。

[0111] 首先,发光元件EL可包括阳电极和阴电极。发光元件EL的阴电极可连接到第二电源电压布线(即,供给第二电源电压ELVSS的电源电压布线)。此处,发光元件EL统称为第一发光元件(未示出)、第二发光元件EL2和第三发光元件EL3,并且第一发光元件、第二发光元件EL2和第三发光元件EL3可发射不同颜色的光。

[0112] 第一晶体管T1(或驱动晶体管)可包括间接连接到第一电源电压布线(即,供给第一电源电压ELVDD的电源电压布线)的第一电极、连接到发光元件EL的阳电极(例如,第二发光元件EL2的阳电极)的第二电极以及连接到第二晶体管T2的第二电极的栅电极。第一晶体管T1可基于栅极电压(或存储在稍后将描述的存储电容器CST中的数据电压)将驱动电流提供给发光元件EL。

[0113] 第二晶体管T2(或开关晶体管)可包括连接到数据线(或接收数据DATA)的第一电极、连接到第一晶体管T1的栅电极的第二电极以及连接到第一扫描线(例如,图1中所示的

第十一扫描线SL11)或接收第一扫描信号SCAN1的栅电极。第二晶体管T2可响应于第一扫描信号SCAN1而导通,并且可将数据信号DATA传输到第一晶体管T1的栅电极。

[0114] 第四晶体管T4(或发光控制晶体管)可包括连接到第一电源电压布线以接收第一电源电压ELVDD的第一电极、连接到第一晶体管T1的第一电极的第二电极以及连接到发光控制线(例如,图1中所示的第一发光控制线EML1)或接收发光控制信号EM的栅电极。

[0115] 第四晶体管T4响应于发光控制信号EM而导通。在这种情况下,驱动电流提供给发光元件EL,并且发光元件EL可发出具有与驱动电流对应的亮度的光。

[0116] 第三晶体管T3可包括连接到第一晶体管T1的第二电极的第一电极、连接到水平感测布线LSEN1(例如,图1中所示的第十一水平感测布线SH11)的第二电极以及连接到第二扫描线(例如,图1中所示的第二十一扫描线SL21)以接收第二扫描信号SCAN2的栅电极。

[0117] 第三晶体管T3响应于第二扫描信号SCAN2而导通。在这种情况下,感测电压从感测单元50施加到第一晶体管T1,感测电流从感测单元50流到第一晶体管T1,并且感测单元50可测量感测电流。

[0118] 同时,垂直感测布线LSEN2可与图1中所示的第一垂直感测布线SV1基本上相同。垂直感测布线LSEN2可与第四像素PX4的一侧(例如,与第三像素PX3间隔开的右侧)相邻地布置,并且可连接到第四像素PX4的第三晶体管T3的第二电极。也就是说,垂直感测布线LSEN2不直接连接到水平感测布线LSEN1,并且可通过第三晶体管T3的第二电极(或连接在第三晶体管T3与水平感测布线LSEN1之间的图案或线)连接到水平感测布线LSEN1。然而,本发明概念不限于此,垂直感测布线LSEN2可在与水平感测布线LSEN1的相交处直接连接到水平感测布线LSEN1。

[0119] 与垂直感测布线LSEN2相似地,辅助电压布线DML1可与第二像素PX2的一侧相邻地布置,第二像素PX2与第四像素PX4基本上相同。

[0120] 同时,尽管在图3中示出了像素PX包括4T1C(即,四个晶体管T1至T4和一个电容器CST),但这是示意性的,并且像素PX不限于此。例如,像素PX可具有5T1C、6T1C或相似的结构,并且稍后将参照图17描述其细节。

[0121] 如上参照图3所述,像素PX包括具有氧化物半导体的第二晶体管T2和第三晶体管T3,从而减少驱动电流的泄漏。

[0122] 图4是图3的像素的布局图。图5是沿图4的线A-A'和线B-B'截取的剖面图。图6是示出包括在图4的像素中的下半导体层的视图。图7是示出包括在图4的像素中的第四导电层和第五导电层的视图。图8是示出包括在图4的像素中的发光元件的视图。

[0123] 在下面的实施方式中,尽管一些部件与图1和图2A至图2C中提到的部件基本上相同,但是已给出新的附图标记以便于描述部件之间的布置和联接关系。

[0124] 参照图3至图8,像素PX可包括第一晶体管T1至第四晶体管T4、存储电容器CST和发光元件EL。

[0125] 第一晶体管T1至第四晶体管T4可包括形成电极的导电层、形成沟道的半导体层和绝缘层。第一晶体管T1至第四晶体管T4可为栅电极布置在半导体层上方的顶栅型晶体管。

[0126] 存储电容器CST可包括构成电极的导电层和布置在导电层之间的绝缘层。发光元件EL可包括构成阳电极和阴电极的导电层以及布置在导电层之间的有机发光层。部件之间的电连接可通过由导电层形成的布线和/或由导电材料形成的通孔来实现。上述导电层、半

导体层、绝缘层、有机发光层等布置在衬底910上。

[0127] 像素PX可包括衬底910、缓冲层920、下半导体层100、第一绝缘层810、第一导电层200、第二绝缘层820、第二导电层300、第三绝缘层830、上半导体层400、第三导电层500、第四绝缘层840、第四导电层600、第五绝缘层850和第五导电层700。衬底910、缓冲层920、下半导体层100、第一绝缘层810、第一导电层200、第二绝缘层820、第二导电层300、第三绝缘层830、上半导体层400、第三导电层500、第四绝缘层840、第四导电层600、第五绝缘层850和第五导电层700可顺序地排列或层叠。同时,下半导体层100、第一绝缘层810、第一导电层200、第二绝缘层820、第二导电层300、第三绝缘层830、上半导体层400和第三导电层500可称为驱动电路层(即,形成有晶体管的层)。

[0128] 上述层中的每个可由单个膜形成,但也可由包括多个膜的层叠膜形成。相应的层之间还可布置有另一层。

[0129] 衬底910支承布置在其上的层。当显示装置1是背面或双面发射型显示装置时,可使用透明衬底。当显示装置1是正面发射型显示装置时,可使用半透明或不透明的衬底以及透明衬底。

[0130] 衬底910可由诸如玻璃、石英或聚合物树脂的绝缘材料形成。聚合物树脂的示例可包括聚醚砜(PES)、聚丙烯酸酯(PA)、聚芳酯(PAR)、聚醚酰亚胺(PEI)、聚萘二甲酸乙二醇酯(PEN)、聚对苯二甲酸乙二醇酯(PET)、聚苯硫醚(PPS)、聚烯丙基酯、聚酰亚胺(PI)、聚碳酸酯(PC)、三乙酸纤维素(CAT)、醋酸丙酸纤维素(CAP)或它们的组合。衬底910可包括金属材料。

[0131] 衬底910可为刚性衬底或能够弯曲、折叠、卷曲等的柔性衬底。构成柔性衬底的材料示例是聚酰亚胺(PI),但不限于此。

[0132] 缓冲层920可布置在衬底910的整个表面上。缓冲层920可防止杂质离子的扩散,可防止湿气或外部空气的渗透,并且可执行表面平坦化功能。缓冲层920可包括氮化硅、氧化硅和/或氮氧化硅。根据衬底910的类型、工艺条件等,缓冲层920可被省略。

[0133] 下半导体层100是构成第一晶体管T1和第四晶体管T4的沟道的有源层。对于每个像素,下半导体层100可彼此分离,但不限于此。例如,行方向上的两个相邻的像素可共享一个下半导体层100。

[0134] 下半导体层100可包括在基本上列方向上延伸的第一纵向部分110和第二纵向部分120,并且还可包括在基本上行方向上延伸的横向部分130。第一纵向部分110、第二纵向部分120和横向部分130可物理地连接以形成一个下半导体图案。

[0135] 第一纵向部分110可布置成与像素PX的左侧相邻,并且第二纵向部分120可布置成与像素PX的右侧相邻。第一纵向部分110在列方向上的长度可比第二纵向部分120在列方向上的长度更长。

[0136] 横向部分130可连接第一纵向部分110的一端(例如,上端)与第二纵向部分120的另一端(例如,下端)。

[0137] 横向部分130可以最短距离连接第一纵向部分110和第二纵向部分120,但是可在其左侧和右侧处包括弯曲部分,如图6中所示。横向部分130的总长度可通过多次弯曲而增加。

[0138] 第一晶体管T1的沟道可布置在横向部分130处,并且第四晶体管T4的沟道可布置

在第一纵向部分110处。

[0139] 下半导体层100可包括多晶硅。多晶硅可通过使非晶硅结晶化来形成。结晶方法的示例可包括快速热退火 (RTA)、固相结晶化 (SPC)、准分子激光退火 (ELA)、金属诱导结晶化 (MIC)、金属诱导横向结晶化 (MILC) 和顺序横向凝固 (SLS), 但不限于此。作为另一示例, 下半导体层100可包括单晶硅、低温多晶硅或非晶硅。

[0140] 在下半导体层100中, 连接到第一晶体管T1和第四晶体管T4中的每个的源电极/漏电极的区(源区/漏区)可掺杂有杂质离子(在PMOS晶体管的情况下为p型杂质离子)。作为p型杂质离子, 可使用如硼(B)的三价掺杂剂。

[0141] 第一绝缘层810可布置在下半导体层100上, 并且通常可布置在衬底910的整个表面上方。第一绝缘层810可为具有栅极绝缘功能的栅极绝缘膜。

[0142] 第一绝缘层810可包括硅化合物、金属氧化物等。例如, 第一绝缘层810可包括氧化硅、氮化硅、氮氧化硅、氧化铝、氧化钽、氧化钪、氧化铪、氧化锆、氧化钛等。这些可单独使用, 也可相互组合地使用。第一绝缘层810可为单个膜或由不同材料的层叠膜构成的多层膜。

[0143] 第一导电层200布置在第一绝缘层810上。第一导电层200可包括用于传输发光控制信号EM的发光控制线210和第一晶体管T1的栅电极220。此处, 发光控制线210可与图1中所示的发光控制线EML1至EMLn基本上相同。

[0144] 在平面图中, 发光控制线210可布置在像素PX下方。发光控制线210可与下半导体层100的第一纵向部分110重叠。

[0145] 第四晶体管T4的栅电极可形成在发光控制线210与下半导体层100的第一纵向部分110重叠的重叠区中。定位在重叠区的上侧的下半导体层100的第一纵向部分110可成为第四晶体管T4的第一电极区, 并且位于重叠区的下侧的下半导体层100的第一纵向部分110可成为第四晶体管T4的第二电极区。

[0146] 第一晶体管T1的栅电极220可定位在像素PX的中心处。第一晶体管T1的栅电极220可定位在发光控制线210与稍后将描述的第一扫描线510之间。第一晶体管T1的栅电极220可针对每个像素分离, 并且可布置成岛状形状。

[0147] 第一晶体管T1的栅电极220可与下半导体层100的第二纵向部分120和横向部分130重叠。定位在第一晶体管T1的栅电极220与下半导体层100的横向部分130重叠的重叠区的上侧的下半导体层100的第二纵向部分120可成为第一晶体管T1的第一电极区, 并且定位在重叠区左侧的横向部分130(或第一纵向部分110)可成为第一晶体管T1的第二电极区。

[0148] 第一导电层200可包括选自钼(Mo)、铝(Al)、铂(Pt)、钯(Pd)、银(Ag)、镁(Mg)、金(Au)、镍(Ni)、钕(Nd)、铱(Ir)、铬(Cr)、钙(Ca)、钛(Ti)、钽(Ta)、钨(W)和铜(Cu)中的至少一种金属。第一导电层200可为单个膜或多层膜。

[0149] 第二绝缘层820可布置在第一导电层200上, 并且可布置在衬底910的整个表面上方。第二绝缘层820用于使第一导电层200与第二导电层300绝缘, 并且可为层间绝缘膜。

[0150] 第二绝缘层820可包括诸如氧化硅、氮化硅、氮氧化硅、氧化钪、氧化铝、氧化钛、氧化钽或氧化锌的无机绝缘材料, 和/或可包括诸如聚丙烯酸酯树脂、环氧树脂、酚醛树脂、聚酰胺树脂、聚酰亚胺树脂、不饱和聚酯树脂、聚苯醚树脂、聚苯硫醚树脂或苯并环丁烯(BCB)的有机绝缘层。第二绝缘层820可为单个膜或由不同材料的层叠膜制成的多层膜。

[0151] 第二导电层300布置在第二绝缘层820上。第二导电层300可包括水平感测布线310

和存储电容器CST的电极线320。此处,水平感测布线310可与图1中所示的水平感测布线SH11至SHnk基本上相同。

[0152] 水平感测布线310和存储电容器CST的电极线320中的每个可沿行方向延伸。水平感测布线310和存储电容器CST的电极线320中的每个可沿行方向延伸到像素PX的边界之外的相邻像素。

[0153] 在平面图中,水平感测布线310可定位在像素PX的最上侧(或最下侧)。

[0154] 在横跨像素PX的中心的平面图中,存储电容器CST的电极线320可布置在第一扫描线510与发光控制线210之间。存储电容器CST的电极线320可布置成与第一晶体管T1的栅电极220重叠,第二绝缘层820介入它们之间。第一晶体管T1的栅电极220可成为存储电容器CST的第一电极,存储电容器CST的电极线320的与存储电容器CST的第一电极重叠的延伸区可成为存储电容器CST的第二电极,并且介入它们之间的第二绝缘层820可成为存储电容器CST的电介质。第一电源电压ELVDD可施加到存储电容器CST的电极线320。

[0155] 在与第一晶体管T1的栅电极220重叠的区中,存储电容器CST的电极线320可具有延伸宽度。存储电容器CST的电极线320可包括在延伸区中与第一晶体管T1的栅电极220重叠的开口。

[0156] 与第一导电层200相似地,第二导电层300可包括选自钼(Mo)、铝(Al)、铂(Pt)、钯(Pd)、银(Ag)、镁(Mg)、金(Au)、镍(Ni)、钆(Gd)、铱(Ir)、铬(Cr)、钙(Ca)、钛(Ti)、钽(Ta)、钨(W)和铜(Cu)中的至少一种金属。

[0157] 第三绝缘层830可布置在第二导电层300上以覆盖第二导电层300。第三绝缘层830通常可布置在衬底910的整个表面上方。第三绝缘层830可为具有栅极绝缘功能的栅极绝缘膜。第三绝缘层830可包括与第一绝缘层810相同的材料,或者可包括选自第一绝缘层810的所举例的构成材料中的至少一种材料。第三绝缘层830可为单个膜或由不同材料的层叠膜构成的多层膜。

[0158] 上半导体层400可布置在第三绝缘层830上。上半导体层400可包括在像素PX中彼此分离的第一上半导体图案410和第二上半导体图案420。

[0159] 第一上半导体图案410可布置成与第二晶体管T2的栅电极重叠以形成第二晶体管T2的沟道。相似地,第二上半导体图案420可布置成与第三晶体管T3的栅电极重叠以形成第三晶体管T3的沟道。第一上半导体图案410可具有矩形形状,但是其形状不限于此。

[0160] 上半导体层400可包括氧化物半导体。例如,上半导体层400可包括各自选择性地包含铟(In)、锌(Zn)、镓(Ga)、锡(Sn)、钛(Ti)、铝(Al)、铪(Hf)、锆(Zr)和镁(Mg)的双组分化合物( $AB_x$ )、三组分化合物( $AB_xC_y$ )或四组分化合物( $AB_xC_yD_z$ )。在实施方式中,上半导体层400可包括ITZO(包含铟、锡和锌的氧化物)或IGZO(包含铟、镓和锌的氧化物)。

[0161] 栅极绝缘膜GI3可布置在上半导体层400上。栅极绝缘膜GI3可布置在上半导体层400与稍后将描述的第一扫描线510重叠的区中。栅极绝缘膜GI3可包括与第一绝缘层810相同的材料,或者可包括选自第一绝缘层810的所举例的构成材料中的至少一种材料。

[0162] 第三导电层500可包括用于传输第一扫描信号SCAN1的第一扫描线510。此外,第三导电层500可包括第二晶体管T2和第三晶体管T3的栅极布线。此处,第一扫描线510可与图1中所示的扫描线SL11至SL1n基本上相同。

[0163] 第一扫描线510可沿行方向延伸。第一扫描线510可沿行方向延伸到像素PX的边界

之外的相邻像素。

[0164] 在平面图中,第一扫描线510可定位在存储电容器CST的电极线320上方,并且在平面图中,可定位在水平感测布线310下方。第一扫描线510可包括第二晶体管T2的栅电极和第三晶体管T3的栅电极。第二晶体管T2的栅电极和第三晶体管T3的栅电极可比外围线更宽,但是本发明概念不限于此。

[0165] 同时,尽管在图4中示出了第三导电层500包括第一扫描线510,但这对应于已参照图3描述的第一扫描信号SCAN1和第二扫描信号SCAN2彼此相同的情况。当第一扫描信号SCAN1和第二扫描信号SCAN2彼此不同时,除了第一扫描线510以外,第三导电层500还可包括第二扫描线。第二扫描线可布置在水平感测布线310与第一扫描线510之间,或者第二扫描线可布置在第一扫描线510与存储电容器CST的电极线320之间。

[0166] 第三导电层500可包括选自钼(Mo)、铝(Al)、铂(Pt)、钯(Pd)、银(Ag)、镁(Mg)、金(Au)、镍(Ni)、钕(Nd)、铱(Ir)、铬(Cr)、钙(Ca)、钛(Ti)、钽(Ta)、钨(W)和铜(Cu)中的至少一种金属。第三导电层500可为单个膜或多层膜。例如,第三导电层500可具有Ti/Al/Ti、Mo/Al/Mo、Mo/AlGe/Mo或Ti/Cu的层叠结构。

[0167] 第四绝缘层840可布置在第三导电层500上,并且可布置在衬底910的整个表面上方。第四绝缘层840可为用于使第三导电层500与第四导电层600绝缘的层间绝缘膜。第四绝缘层840可包括与第二绝缘层820相同的材料,或者可包括选自上面列出的第二绝缘层820的构成材料中的至少一种材料。第四绝缘层840可为单个膜或由不同材料的层叠膜制成的多层膜。

[0168] 第四导电层600布置在第四绝缘层840上。第四导电层600可包括第一数据图案610、第二数据图案620和第三数据图案630、数据布线640、垂直感测布线650和辅助电压布线660。此处,数据布线640可与图1中所示的数据线DL1至DL<sub>m</sub>基本上相同,垂直感测布线650可与图1中所示的垂直感测布线SV1至SV<sub>k</sub>基本上相同,并且辅助电压布线660可与图1中所示的辅助电压布线DML1至DML<sub>j</sub>基本上相同。

[0169] 第一数据图案610、第二数据图案620和第三数据图案630可物理地彼此间隔开。第一数据图案610、第二数据图案620和第三数据图案630中的每个可在第一晶体管T1、第二晶体管T2和第三晶体管T3之间电连接彼此远离的部分,并且可构成包括氧化物半导体的晶体管(例如,第三晶体管T3)的第一电极或第二电极。当第四导电层600与上半导体层400重叠时,第四导电层600可与上半导体层400的上表面直接接触,或者可通过欧姆接触层与上半导体层400的上表面接触。

[0170] 第一数据图案610可与第一晶体管T1的栅电极220重叠。穿透第四绝缘层840、第三绝缘层830和第二绝缘层820以暴露第一晶体管T1的栅电极220的第一接触孔CNT1可形成在重叠区(即,第一数据图案610与第一晶体管T1的栅电极220重叠的区)。第一数据图案610可通过第一接触孔CNT1电连接到第一晶体管T1的栅电极220。

[0171] 第一接触孔CNT1可形成在存储电容器CST的电极线320的开口中。在第一接触孔CNT1中,第一数据图案610和与第一数据图案610相邻的存储电容器CST的电极线320可通过第三绝缘层830彼此绝缘。

[0172] 第一数据图案610可从与第一晶体管T1的栅电极220的重叠区向上延伸,并且可与第一上半导体图案410重叠。

[0173] 在第一数据图案610与第一上半导体图案410重叠的重叠区中,可形成穿透第四绝缘层840以暴露第一上半导体图案410的第十一接触孔CNT11,并且第一数据图案610可通过第十一接触孔CNT11电连接到第二晶体管T2的第一电极区,或者第一数据图案610的与第一上半导体图案410重叠的一部分可构成第二晶体管T2的第一电极区。

[0174] 第二数据图案620可与下半导体层100的第二纵向部分120重叠。在第二数据图案620与下半导体层100的第二纵向部分120重叠的区中,可形成穿透第一绝缘层810、第二绝缘层820和第三绝缘层830以暴露下半导体层100的第二纵向部分120的第二接触孔CNT2。第二数据图案620可通过第二接触孔CNT2电连接到第一晶体管T1的第二电极。

[0175] 第二数据图案620可向上延伸,并且可与第二上半导体图案420重叠。在第二数据图案620与第二上半导体图案420重叠的重叠区中,可形成穿透第四绝缘层840以暴露第二上半导体图案420的第十四接触孔CNT14,并且第二数据图案620可通过第十四接触孔CNT14电连接到第三晶体管T3的第一电极区,或者第二数据图案620的与第二上半导体图案420重叠的一部分可构成第三晶体管T3的第一电极区。

[0176] 第三数据图案630可与第二上半导体图案420重叠。在第三数据图案630与第二上半导体图案420重叠的重叠区中,可形成穿透第四绝缘层840以暴露第二上半导体图案420的第十三接触孔CNT13,并且第三数据图案630可通过第十三接触孔CNT13电连接到第三晶体管T3的第二电极区,或者第三数据图案630的与第二上半导体图案420重叠的一部分可构成第三晶体管T3的第二电极区。

[0177] 第三数据图案630可向上延伸,并且可与水平感测布线310的突起重叠。在与水平感测布线310的突起的重叠区中,可形成穿透第三绝缘层830和第四绝缘层840以暴露水平感测布线310的突起的第五接触孔CNT5。第三数据图案630可通过第五接触孔CNT5电连接到水平感测布线310。

[0178] 数据布线640可包括与第一上半导体图案410重叠的突起。数据布线640的突起的宽度可大于数据布线640的平均宽度。穿透第四绝缘层840以暴露第一上半导体图案410(或第二数据图案620)的第十二接触孔CNT12可形成在数据布线640的突起(或数据布线640与第一上半导体图案410重叠的区)中。数据布线640可通过第十二接触孔CNT12电连接到第一上半导体图案410。

[0179] 垂直感测布线650可包括本体651和突起652。

[0180] 垂直感测布线650的本体651可在像素PX和与像素PX相邻的另一个像素之间在列方向上延伸,并且其突起652可在行方向上从本体651突出并且与第三数据图案630重叠。垂直感测布线650可电连接到第三数据图案630。在这种情况下,垂直感测布线650可通过第三数据图案630连接到水平感测布线310。

[0181] 辅助电压布线660可在垂直方向上延伸,可在水平方向上与垂直感测布线650以特定间隔(例如,与两个像素对应的间隔)间隔开,并且可布置在像素之间。

[0182] 辅助电压布线660可不连接到第三数据图案630。在图4中,辅助电压布线660可不包括与垂直感测布线650的突起652对应的配置。

[0183] 第四导电层600可包括选自钼(Mo)、铝(Al)、铂(Pt)、钯(Pd)、银(Ag)、镁(Mg)、金(Au)、镍(Ni)、钆(Nd)、铱(Ir)、铬(Cr)、钙(Ca)、钛(Ti)、钽(Ta)、钨(W)和铜(Cu)中的至少一种金属。第四导电层600可为单个膜或多层膜。例如,第四导电层600可具有Ti/Al/Ti、Mo/

Al/Mo、Mo/AlGe/Mo或Ti/Cu的层叠结构。

[0184] 第五绝缘层850可布置在第四导电层600上,并且可布置在衬底910的整个表面上方。第五绝缘层850可使第四导电层600与第五导电层700绝缘。第五绝缘层850可包括与第二绝缘层820相同的材料,或者可包括选自第二绝缘层820的所举例的构成材料中的至少一种材料。第五绝缘层850可为单个膜或由不同材料的层叠膜制成的多层膜。

[0185] 第五导电层700布置在第五绝缘层850上。第五导电层700可包括通孔电极710以及第一垂直电源电压布线720和第一水平电源电压布线730。此处,第一垂直电源电压布线720和第一水平电源电压布线730可包括在已参照图2描述的第一电源电压布线中。

[0186] 通孔电极710可与第二数据图案620重叠。穿透第五绝缘层850以暴露第二数据图案620的第二十二接触孔CNT22可形成在通孔电极710与第二数据图案620重叠的区中。在这种情况下,通孔电极710可通过第二十二接触孔CNT22电连接到第二数据图案620,并且可通过第十二接触孔CNT12电连接到第一晶体管T1的第一电极。

[0187] 第一垂直电源电压布线720可在垂直方向上延伸,并且可布置成与数据布线640相邻,但是可不与数据布线640重叠。此外,第一垂直电源电压布线720可沿列方向延伸到像素的边界之外的相邻像素。

[0188] 第一垂直电源电压布线720可与下半导体层100的第一纵向部分110(或第四晶体管T4的第一电极区)重叠。在第一垂直电源电压布线720与下半导体层100的第一纵向部分110的下端重叠的重叠区中,可形成穿透第一绝缘层810、第二绝缘层820和第三绝缘层830以暴露下半导体层100的第一纵向部分110的下端的第四接触孔CNT4。此外,在重叠区中可形成穿透第四绝缘层840和第五绝缘层850的第二十一接触孔CNT21。第一垂直电源电压布线720可通过第四接触孔CNT4和第二十一接触孔CNT21电连接到第四晶体管T4的第一电极区。

[0189] 第一垂直电源电压布线720可沿行方向部分地减小,并且可不与第一数据图案610、第二数据图案620和第一晶体管T1的栅电极220重叠。

[0190] 第一水平电源电压布线730可基本上在行方向上延伸,并且可布置成与发光控制线210部分地重叠。第一水平电源电压布线730可沿图8中所示的发光元件EL的边缘具有Z字形图案(或包括凹部和凸部的图案),并且可不与发光元件EL重叠。

[0191] 此外,第一水平电源电压布线730可沿行方向延伸到像素的边界之外的相邻像素。

[0192] 在第一垂直电源电压布线720、第一水平电源电压布线730和存储电容器CST的电极线320彼此重叠的重叠区中,可形成穿透第二绝缘层820、第三绝缘层830、第四绝缘层840和第五绝缘层850以暴露存储电容器CST的电极线320的第三接触孔CNT3,并且第一垂直电源电压布线720(或第一水平电源电压布线730)可通过第三接触孔CNT3电连接到存储电容器CST的电极线320。

[0193] 第五导电层700可包括选自钼(Mo)、铝(Al)、铂(Pt)、钯(Pd)、银(Ag)、镁(Mg)、金(Au)、镍(Ni)、钕(Nd)、铱(Ir)、铬(Cr)、钙(Ca)、钛(Ti)、钽(Ta)、钨(W)和铜(Cu)中的至少一种金属。第五导电层700可为单个膜或多层膜。例如,第五导电层700可具有Ti/Al/Ti、Mo/Al/Mo、Mo/AlGe/Mo或Ti/Cu的层叠结构。

[0194] 第六绝缘层860可布置在第五导电层700上,并且可布置在衬底910的整个表面上方。第六绝缘层860可使第五导电层700与发光元件EL绝缘。第六绝缘层860可包括与第二绝

缘层820相同的材料,或者可包括选自第二绝缘层820的所举例的构成材料中的至少一种材料。第六绝缘层860可为单个膜或由不同材料的层叠膜制成的多层膜。

[0195] 发光元件EL的阳电极ANODE可布置在第六绝缘层860上。阳电极ANODE可与通孔电极710重叠。在阳电极ANODE与通孔电极710重叠的区中,可形成穿透第六绝缘层860以暴露通孔电极710的接触孔,并且阳电极ANODE可通过该接触孔电连接到通孔电极710。

[0196] 像素限定层PDL沿阳电极ANODE的边缘布置,并且发光层ELL可布置在阳电极ANODE和像素限定层PDL上。发光元件EL的阴电极CATHODE可布置在发光层ELL上。

[0197] 如上参照图4至图8所述,第一晶体管T1和第四晶体管T4中的每个可包括多晶硅半导体,并且第二晶体管T2和第三晶体管T3中的每个可包括氧化物半导体。垂直感测布线650可通过突起652电连接到第四晶体管T4的第二电极,并且可电连接到水平感测布线310。辅助电压布线660可与垂直感测布线650对应地布置,但是可不电连接到第四晶体管T4的第二电极。

[0198] 同时,尽管在图5中示出第一晶体管T1至第四晶体管T4是顶栅型晶体管,但是本发明概念不限于此。例如,第一晶体管T1和第四晶体管T4可为顶栅型晶体管,并且第二晶体管T2和第三晶体管T3可为栅电极布置在半导体层下方的底栅型晶体管。在这种情况下,第一扫描线510(即,包括第二晶体管T2和第三晶体管T3的栅电极的第一扫描线510)可包括在第二导电层300中,而不是第三导电层500中,并且可布置在第二绝缘层820上。

[0199] 图9是示出包括在图4的像素中的第五导电层的另一示例的视图。

[0200] 参照图4、图7和图9,第五导电层700还可包括突出图案740(或导电图案)。

[0201] 突出图案740可具有与垂直感测布线650的突起652基本上相同的形状,并且可与辅助电压布线660和第三数据图案630重叠。

[0202] 突出图案740可连接到选自辅助电压布线660、第三数据图案630和通孔电极710中的仅一个,并且可不连接到辅助电压布线660、第三数据图案630和通孔电极710中未被选择的剩余部分。

[0203] 例如,突出图案740可不与辅助电压布线660电连接,并且突出图案740和辅助电压布线660可通过第五绝缘层850彼此绝缘。在这种情况下,突出图案740可通过单独的接触孔电连接到第三数据图案630。

[0204] 作为另一示例,突出图案740可通过单独的接触孔电连接到辅助电压布线660,但是可不电连接到第三数据图案630。

[0205] 在这种情况下,在平面图中像素区具有相互相似的布局,以使得像素可具有相互相似的特性。

[0206] 图10是示出包括在图4的像素中的辅助电压布线的另一示例的布局图。

[0207] 参照图8和图10,辅助电压布线660\_1与已参照图4和图8描述的辅助电压布线660的不同之处在于辅助电压布线660\_1的宽度沿行方向改变。

[0208] 在与水平感测布线310重叠的第一重叠区中,辅助电压布线660\_1的第一宽度W1可大于辅助电压布线660\_1的平均宽度。在与第一扫描线510重叠的第二重叠区中,辅助电压布线660\_1的第二宽度W2可小于辅助电压布线660\_1的平均宽度。在与发光控制线210重叠的第三重叠区中,辅助电压布线660\_1的第三宽度W3可与辅助电压布线660\_1的平均宽度相似或相同,或者可等于第一宽度W1。辅助电压布线660\_1的第一宽度W1可等于或大于第三宽

度W3,并且第三宽度W3可大于第二宽度W2。然而,辅助电压布线660\_1的第一宽度W1小于垂直感测布线650\_1的突起652的宽度(或长度),并且辅助电压布线660\_1可不与第三数据图案630重叠或者可不连接到第三数据图案630。

[0209] 第三晶体管T3形成在第一扫描线510上,并且通孔电极710形成为连接到发光元件EL,以使得辅助电压布线660\_1的第二宽度W2可为相对小的。

[0210] 当辅助电压布线660\_1与第一电源电压布线(或第一垂直电源电压布线720)并联连接时,可减小第一电源电压布线的电阻,并且可进一步减轻第一电源电压ELVDD的电压降。

[0211] 同时,垂直感测布线650\_1可包括本体651\_1,并且本体651\_1可具有与辅助电压布线660\_1基本上相同的形状。也就是说,第一重叠区中的垂直感测布线650\_1的第四宽度W4、第二重叠区中的垂直感测布线650\_1的第五宽度W5以及第三重叠区中的垂直感测布线650\_1的第六宽度W6可分别等于辅助电压布线660\_1的第一宽度W1、第二宽度W2和第三宽度W3。

[0212] 图11是示出包括在图4的像素中的辅助电压布线的另一示例的布局图。图12是沿图11的线C-C'和线D-D'截取的剖面图。

[0213] 参照图4、图5、图11和图12,辅助电压布线760与图4中所示的辅助电压布线660的不同之处在于辅助电压布线760包括本体761和突起762。

[0214] 本体761可具有与垂直感测布线650的本体651相同的形状,并且突起762可具有与垂直感测布线650的突起652相同的形状。

[0215] 此外,辅助电压布线760可形成在与其上形成有垂直感测布线650的第四导电层600不同的第五导电层700(即,其上形成有电源电压布线的导电层)上。

[0216] 在这种情况下,辅助电压布线760对像素PX的特性的影响可能与垂直感测布线650的影响稍微不同,但是差异可能根据第五绝缘层850的厚度是非常轻微的。因此,与辅助电压布线760相邻的像素PX可具有与与垂直感测布线650相邻的像素的特性基本上相同的特性。

[0217] 图13至图15是示出包括在图4的像素中的辅助电压布线的各种实施方式的布局图。

[0218] 参照图11和图13,辅助电压布线760\_1与图11的辅助电压布线760的不同之处在于辅助电压布线760\_1不包括突起762。

[0219] 同时,与垂直感测布线650的突起652对应的突出图案662\_1(或参照图9描述的突出图案740)形成为与辅助电压布线760\_1重叠,但是突出图案662\_1可形成在第四导电层600上。突出图案662\_1可连接到第三数据图案630。

[0220] 也就是说,在平面图中,辅助电压布线760\_1和突出图案662\_1均具有与垂直感测布线650相似的形状,以使得与辅助电压布线760\_1相邻的像素PX可具有与与垂直感测布线650相邻的像素基本上相同的特性。

[0221] 参照图11和图14,辅助电压布线760\_2与图11的辅助电压布线760的不同之处在于辅助电压布线760\_2还包括横向部分763。

[0222] 如上参照图1所述,在一个行中,水平感测布线(例如,第十一水平布线SH11至第1k水平布线SH1k)可沿行方向排列成彼此间隔开。

[0223] 如图14中所示,水平感测布线310可包括第一水平感测布线311和第二水平感测布

线312。第一水平感测布线311和第二水平感测布线312可排列在一个线上,并且可排列成在行方向(或水平方向)上彼此间隔开。第一水平感测布线311和第二水平感测布线312可相对于辅助电压布线760\_2的本身761在彼此不同的方向上排列。例如,图1中所示的第十一水平感测布线SH11可布置在第一辅助电压布线DML1的一侧(例如,左侧)上,并且第十二水平感测布线(未示出)可布置在第一辅助电压布线DML2的另一侧(例如,右侧)上。

[0224] 在这种情况下,布置在第一水平感测布线311与第二水平感测布线312之间的辅助电压布线760\_2可包括横向部分763。辅助电压布线760\_2的横向部分763可相对于本身761在水平方向(或左右方向)上延伸,并且可与第一水平感测布线311和第二水平感测布线312重叠。

[0225] 因此,连接到第一水平感测布线311和第二水平感测布线312的端部的像素可具有与连接到第一水平感测布线311和第二水平感测布线312的其它部分的像素基本上相同的特性。

[0226] 参照图10、图11和图15,辅助电压布线760\_3与图11的辅助电压布线760的不同之处在于辅助电压布线760\_3具有沿行方向变化的宽度。

[0227] 在辅助电压布线760\_3与水平感测布线310重叠的区中,辅助电压布线760\_3的第一宽度W1可大于辅助电压布线760\_3的平均宽度。此外,辅助电压布线760\_3的第一宽度W1可等于或大于垂直感测布线650的突起652的宽度。相应地,辅助电压布线760\_3可完全覆盖第三数据图案630。在这种情况下,由于辅助电压布线760\_3的横截面积部分地增加,因此辅助电压布线760\_3的电阻值可能减小。当辅助电压布线760\_3连接到第一电源电压布线时,可进一步降低第一电源电压ELVDD的电压降。

[0228] 同时,参照图15,垂直感测布线650\_3可具有与辅助电压布线760\_3基本上相同的形状。也就是说,第一重叠区中的垂直感测布线650\_3的第四宽度W4、第二重叠区中的垂直感测布线650\_3的第五宽度W5以及第三重叠区中的垂直感测布线650\_3的第六宽度W6可分别等于辅助电压布线760\_3的第一宽度W1、第二宽度W2和第三宽度W3。

[0229] 图16是示出包括在图1的显示装置中的显示单元的另一示例的剖面图。图16可对应于沿图2A中的线XVI-XVI'截取的剖面图。

[0230] 参照图1、图2A和图16,显示单元10\_3与图2A的显示单元10的不同之处在于显示单元10\_3包括辅助电压布线DML1b至DML9b和垂直感测布线SV1b至SV3b。

[0231] 除了将形成这些辅助电压布线DML1b至DML9b的层以外,辅助电压布线DML1b至DML9b可与已参照图1和图2A描述的辅助电压布线DML1至DML9基本上相同。垂直感测布线SV1b至SV3b可与已参照图1和图2A描述的垂直感测布线SV1至SV3基本上相同。因此,将不再重复冗余描述。

[0232] 如图16中所示,第一辅助电压布线DML1b、第二辅助电压布线DML2b、第四辅助电压布线DML4b、第五辅助电压布线DML5b、第七辅助电压布线DML7b和第八辅助电压布线DML8b可形成在第四导电层600中,并且第三辅助电压布线DML3b、第六辅助电压布线DML6b和第九辅助电压布线DML9b可形成在第五导电层700中。也就是说,第四导电层600中可形成有与图2中所示的水平感测布线相交(或重叠)的辅助电压布线,并且不与图2中所示的水平感测布线相交(或不重叠)的辅助电压布线可形成在第五导电层700中。

[0233] 在这种情况下,第三辅助电压布线DML3b、第六辅助电压布线DML6b和第九辅助电

压布线DML9b可与图14中所示的辅助电压布线760\_2基本上相同。也就是说,第三辅助电压布线DML3b、第六辅助电压布线DML6b和第九辅助电压布线DML9b包括横向部分763,并且可通过横向部分763与水平感测布线重叠。

[0234] 因此,连接到第一水平感测布线311和第二水平感测布线312的端部的像素可具有与连接到第一水平感测布线311和第二水平感测布线312的其它部分的像素基本上相同的特性。

[0235] 图17是示出包括在图1的显示装置中的显示单元的又一示例的电路图。

[0236] 参照图1、图2A和图17,显示单元10\_4与图2A的显示单元10的不同之处在于显示单元10\_4包括垂直感测布线SV1\_3至SV6\_3和辅助电压布线DML1\_3至DML6\_3。

[0237] 垂直感测布线SV1\_3至SV6\_3与图2A的垂直感测布线SV1至SV3相似,但是可布置成以与四个像素对应的间隔彼此间隔开。同时,辅助电压布线DML1\_3至DML6\_3布置在垂直感测布线SV1\_3至SV6\_3之间,并且可布置成以与四个像素对应的间隔彼此间隔开。也就是说,垂直感测布线SV1\_3至SV6\_3和辅助电压布线DML1\_3至DML6\_3可沿行方向以与两个像素对应的间隔交替地排列。

[0238] 同时,垂直感测布线SV1\_3至SV6\_3可连接到一个行中的四个像素,并且为此目的,水平感测布线可在行方向上以与四个像素对应的长度延伸。

[0239] 图18和图19是示出图1的显示装置中的显示单元的各种实施方式的电路图。图18和图19是与图3对应的电路图。

[0240] 参照图3和图18,显示单元10\_5与图3的显示单元10的不同之处在于显示单元10\_5还包括像素PX\_2,其中,像素PX\_2还包括第五晶体管T5。除了第五晶体管T5以外,像素PX\_2可与参照图3描述的像素PX基本上相同或相似。

[0241] 与第二晶体管T2和第三晶体管T3相似地,第五晶体管T5可包括氧化物半导体。

[0242] 第五晶体管T5可包括连接到第一晶体管T1的栅电极的第一电极、连接到第一晶体管T1的第二电极(或发光元件EL的阳电极)的第二电极以及接收第三扫描信号SCAN3的栅电极。此处,第三扫描信号SCAN3可具有与第一扫描信号SCAN1的波形基本上相同或相似的波形。

[0243] 第五晶体管T5可响应于第三扫描信号SCAN3而导通,并且可用于补偿第一晶体管T1的阈值电压。

[0244] 参照图3和图19,显示单元10\_6与图3的显示单元10的不同之处在于显示单元10\_6包括像素PX\_3。

[0245] 像素PX\_3可包括发光元件EL、第一晶体管T1至第六晶体管T6以及存储电容器CST。也就是说,像素PX\_3可具有6T1C的结构。

[0246] 第一晶体管T1、第二晶体管T2和第四晶体管T4以及存储电容器CST可与已参照图3描述的第一晶体管T1、第二晶体管T2和第四晶体管T4以及存储电容器CST基本上相同。因此,将不再重复冗余描述。

[0247] 与第一晶体管T1相似地,第三晶体管T3和第六晶体管T6可包括多晶硅半导体,并且可为顶栅型晶体管。与第二晶体管T2相似地,第五晶体管T5可包括氧化物半导体,并且可为顶栅型晶体管。

[0248] 第三晶体管T3可包括连接到第一晶体管T1的第一电极的第一电极、连接到水平感

测布线LSEN1的第二电极以及接收第二扫描信号SCAN2的栅电极。第三晶体管T3可响应于第二扫描信号SCAN2而导通,并且在这种情况下,感测单元50可测量像素PX的特性。

[0249] 第五晶体管T5可包括连接到第一晶体管T1的第二电极的第一电极、连接到发光元件EL的阳电极的第二电极以及接收第二发光控制信号EM2的栅电极。与第四晶体管T4相似地,第五晶体管T5可响应于第二发光控制信号EM2而导通,并且驱动电流可提供到发光元件EL。

[0250] 第六晶体管T6可包括连接到发光元件EL的阳电极的第一电极、接收初始化电压VINT的第二电极以及接收第三扫描信号SCAN3的栅电极。在发光元件EL发光之前或之后,第六晶体管T6可响应于第三扫描信号SCAN3而导通,并且发光元件EL的阳电极(或寄生电容)可通过初始化电压VINT初始化。

[0251] 初始化电压VINT可从参照图1描述的电源单元(或外部电压)生成和提供。在这种情况下,施加到辅助电压布线DL2至DL4的辅助电压VAUX可等于初始化电压VINT。

[0252] 如上参照图18和图19所述,除了4T1C以外,显示单元10\_5和10\_6可包括具有5T1C或6T1C结构的像素PX\_2和PX\_3。即使在这种情况下,垂直感测布线也可在行方向上以特定间隔(例如,与八个像素对应的间隔)彼此间隔开,并且辅助电压布线可在垂直感测布线之间在行方向上以特定间隔(例如,与两个像素对应的间隔)彼此间隔开。因此,布置在显示单元10\_5和10\_6中的像素具有与垂直感测布线LSEN2的距离无关的相似特性,并且可防止显示品质的劣化。

[0253] 如上所述,根据实施方式的显示装置,因感测布线而导致的像素之间的特性中的差异可通过模拟感测布线的辅助电压布线消除。

[0254] 本发明概念的效果不受前述内容的限制,并且本文中预期了其它各种效果。

[0255] 虽然已出于示意性目的公开了本发明概念的优选实施方式,但是本领域技术人员将明确,在不背离所附权利要求书中公开的本发明概念的范围和精神的情况下可进行各种修改、添加和替换。

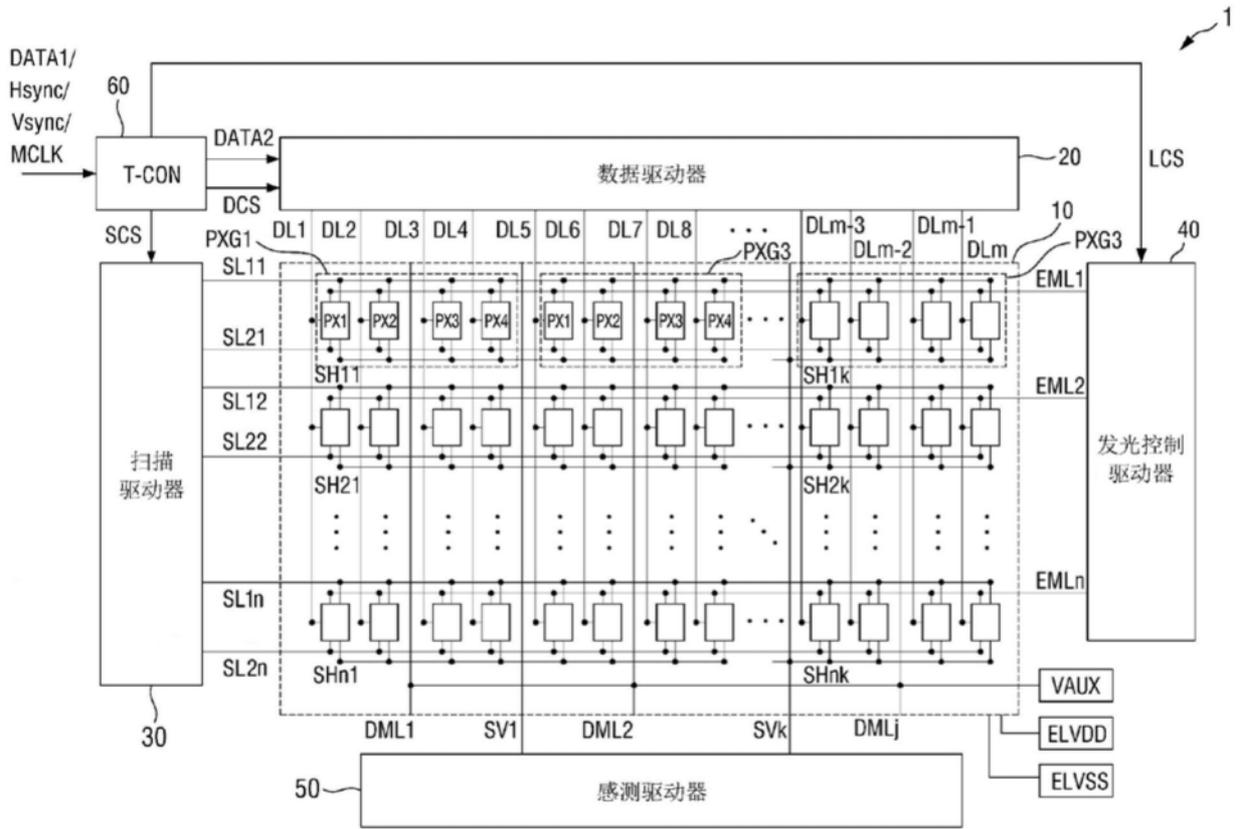


图1

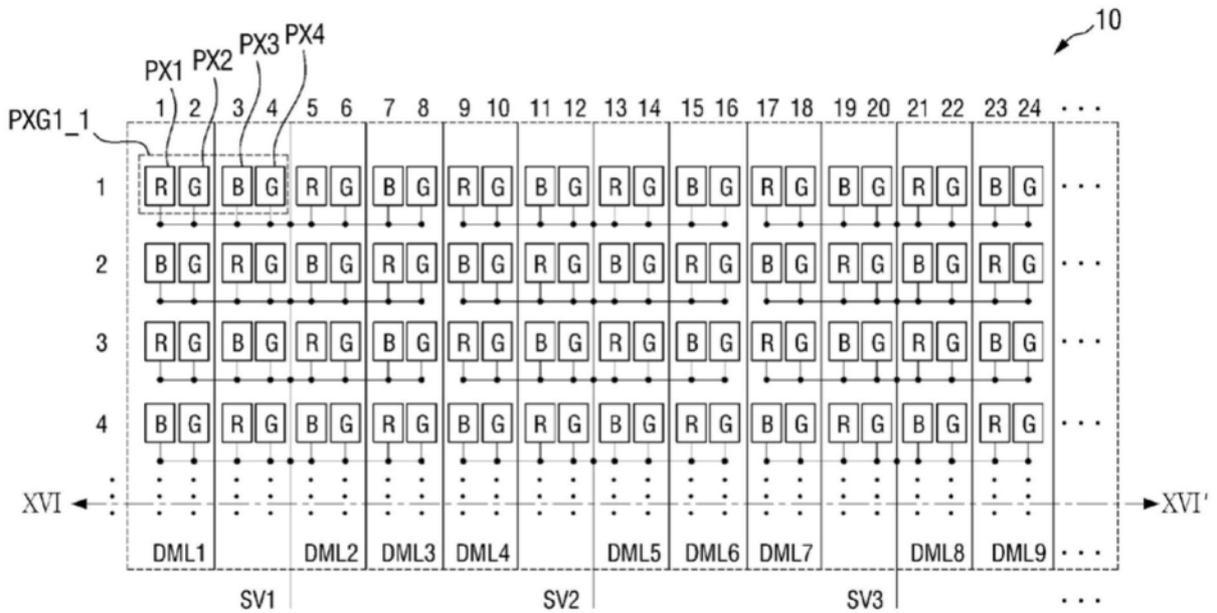


图2A

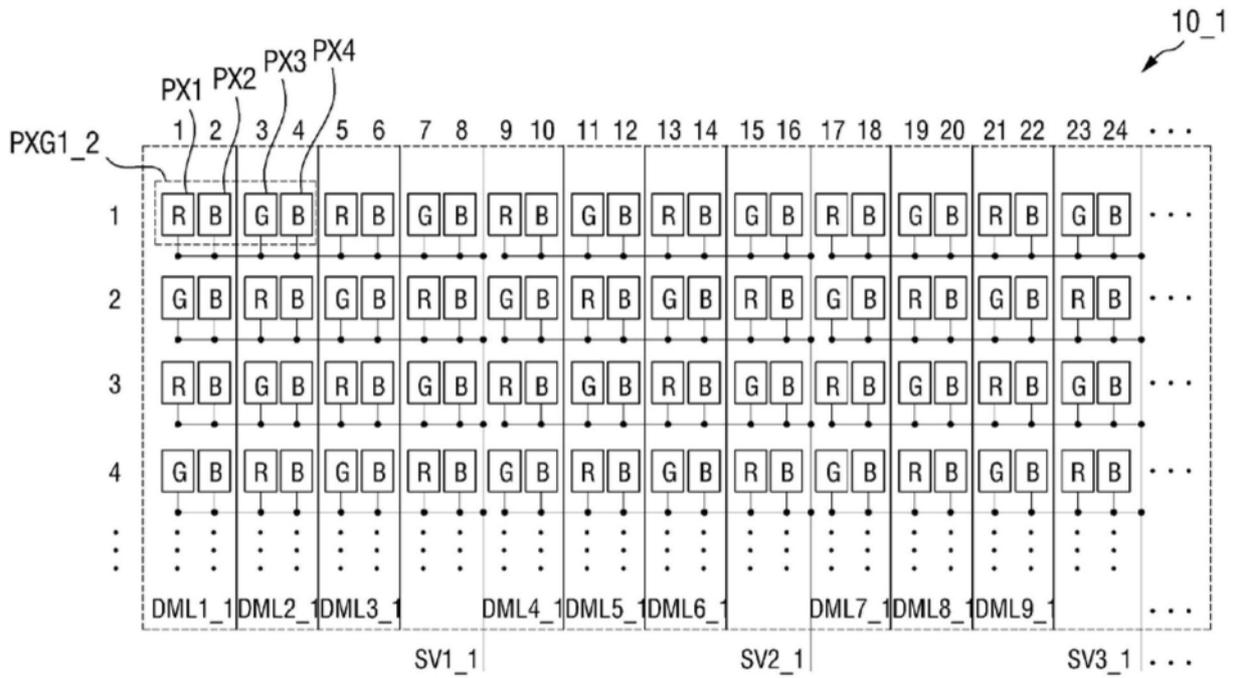


图2B

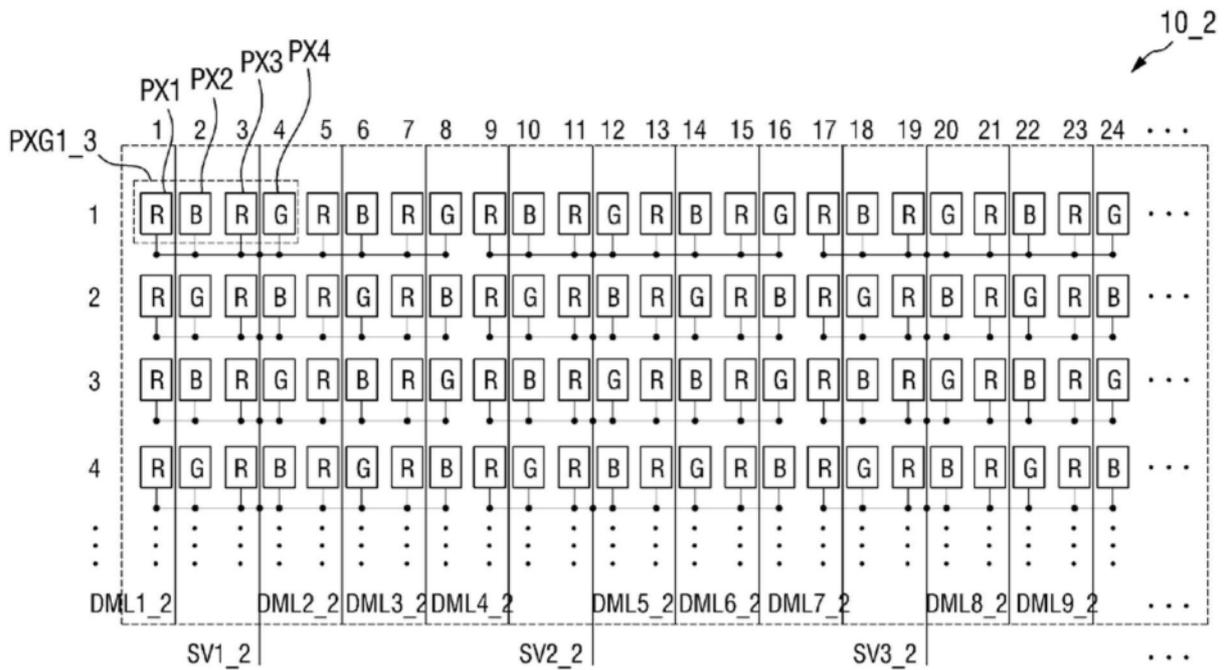


图2C

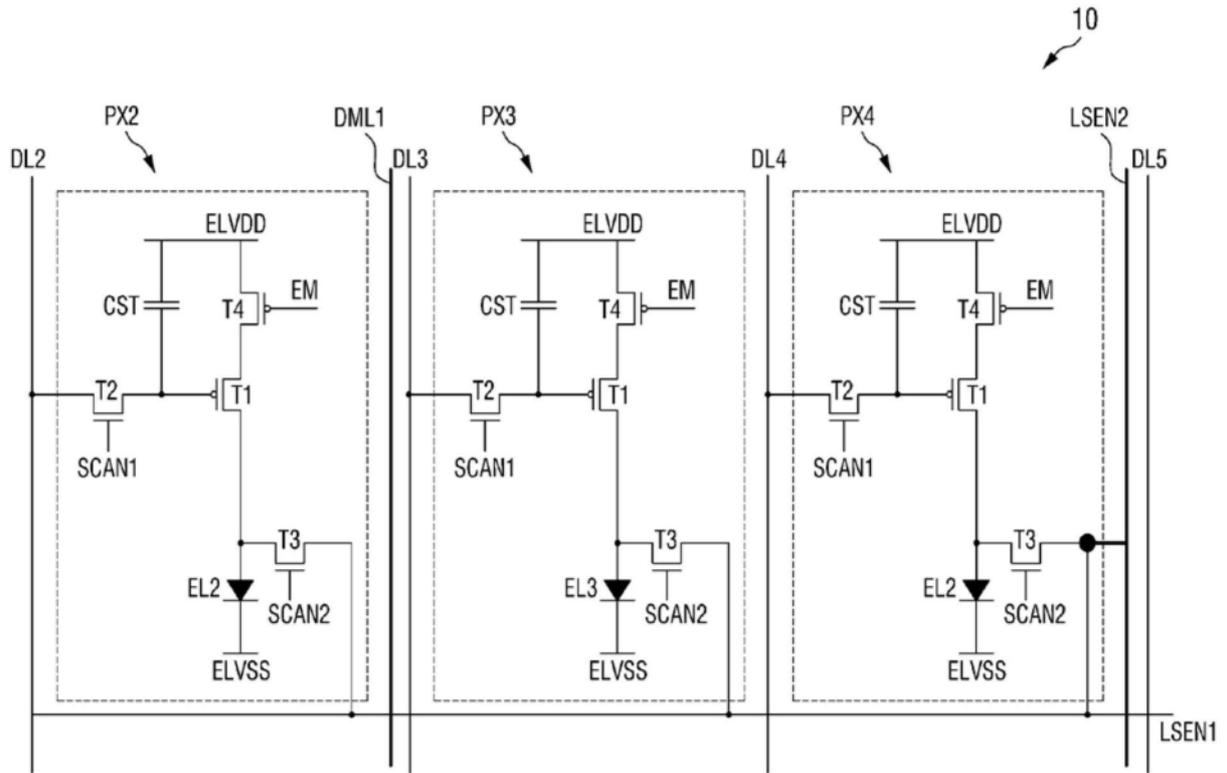


图3

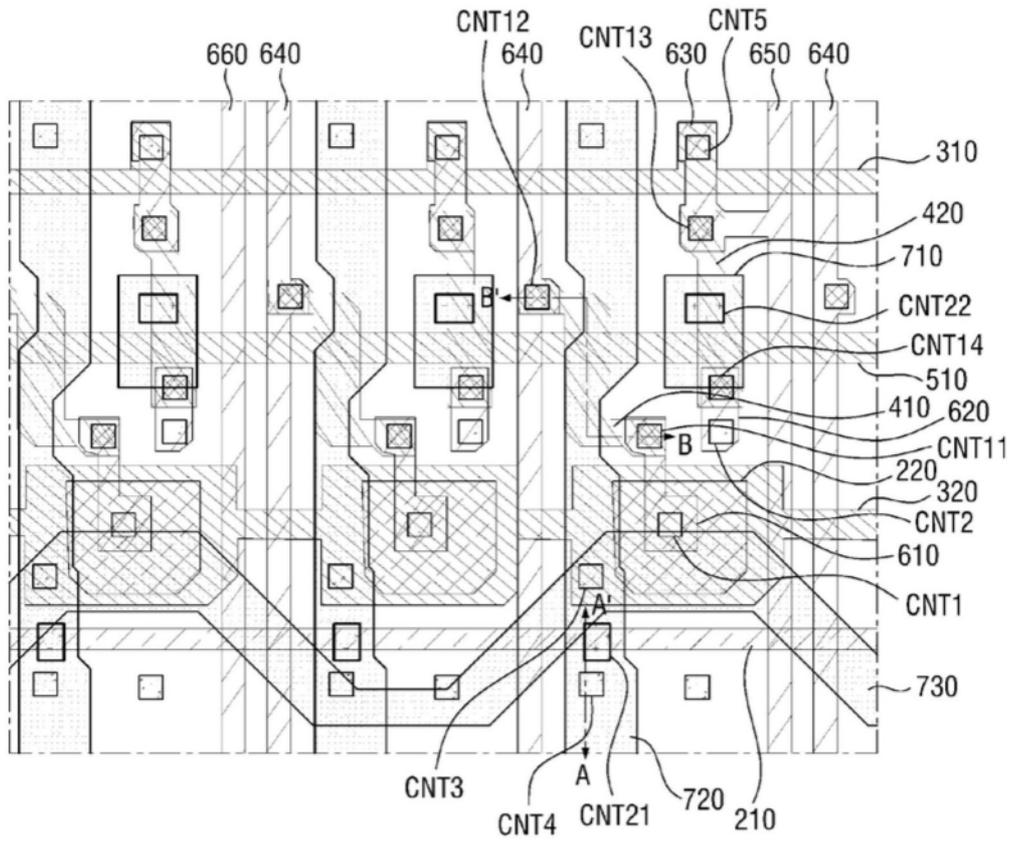


图4

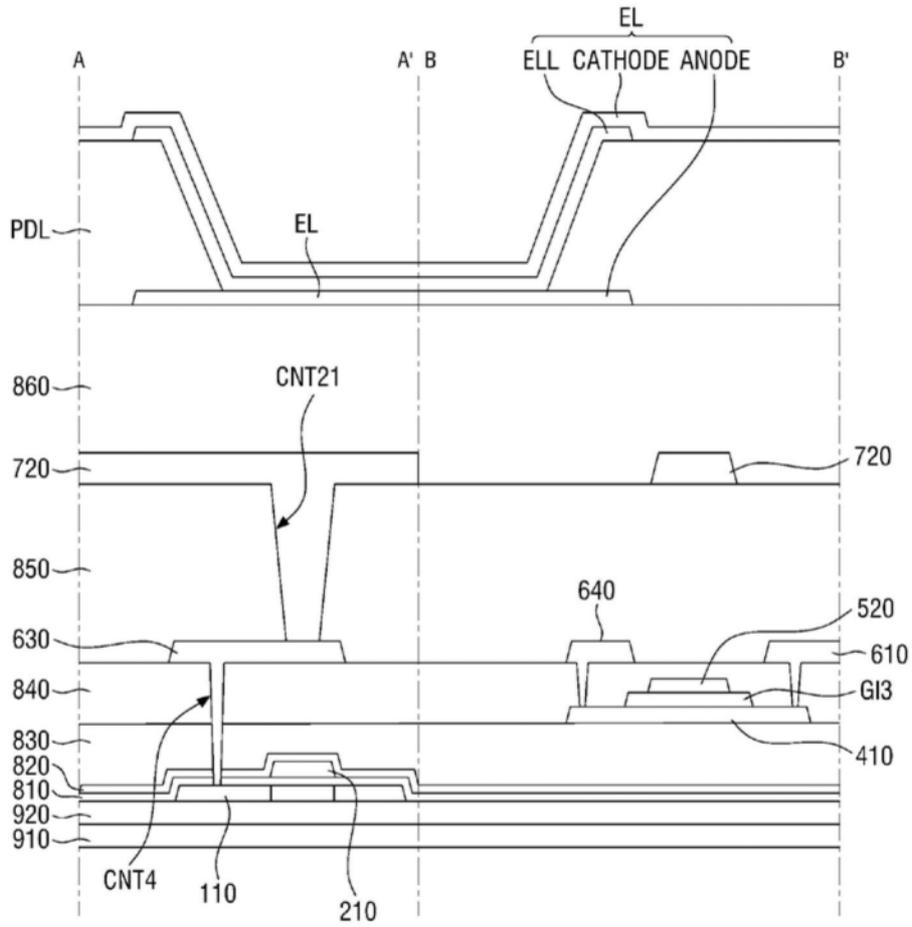


图5

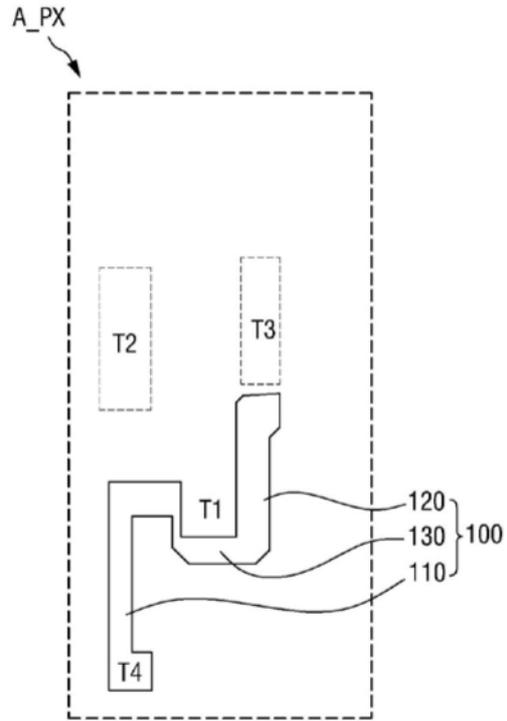


图6

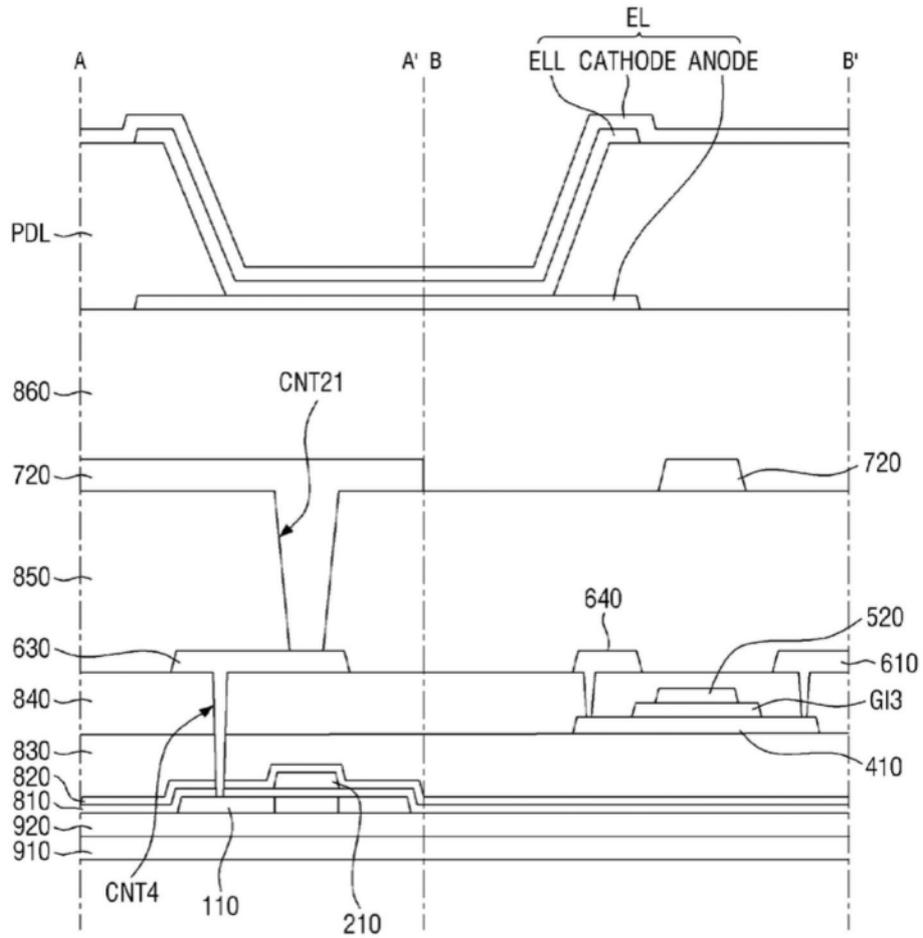


图7

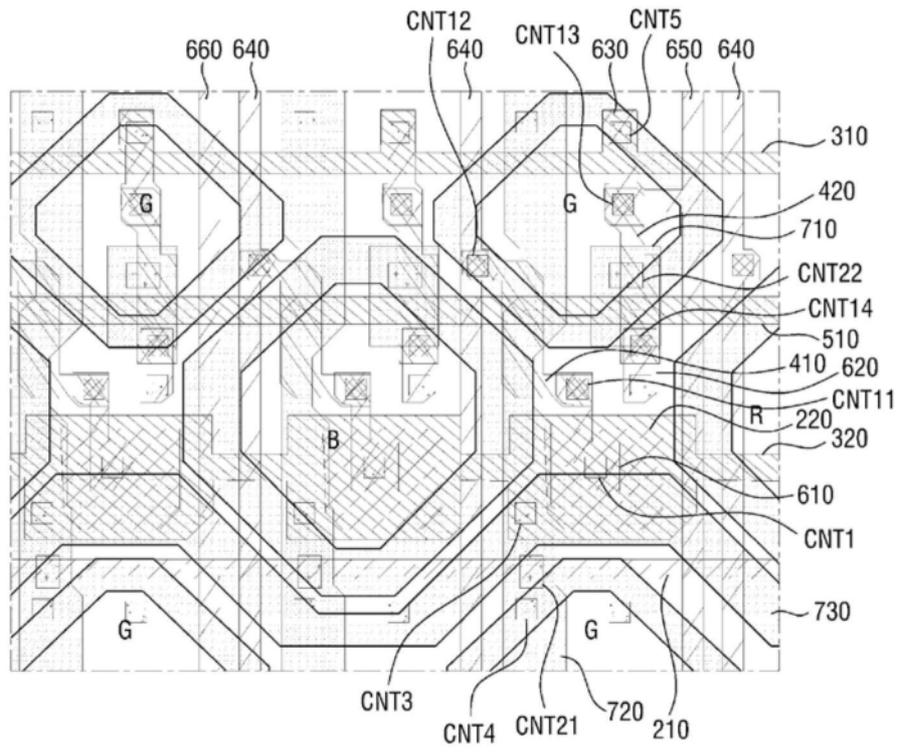


图8

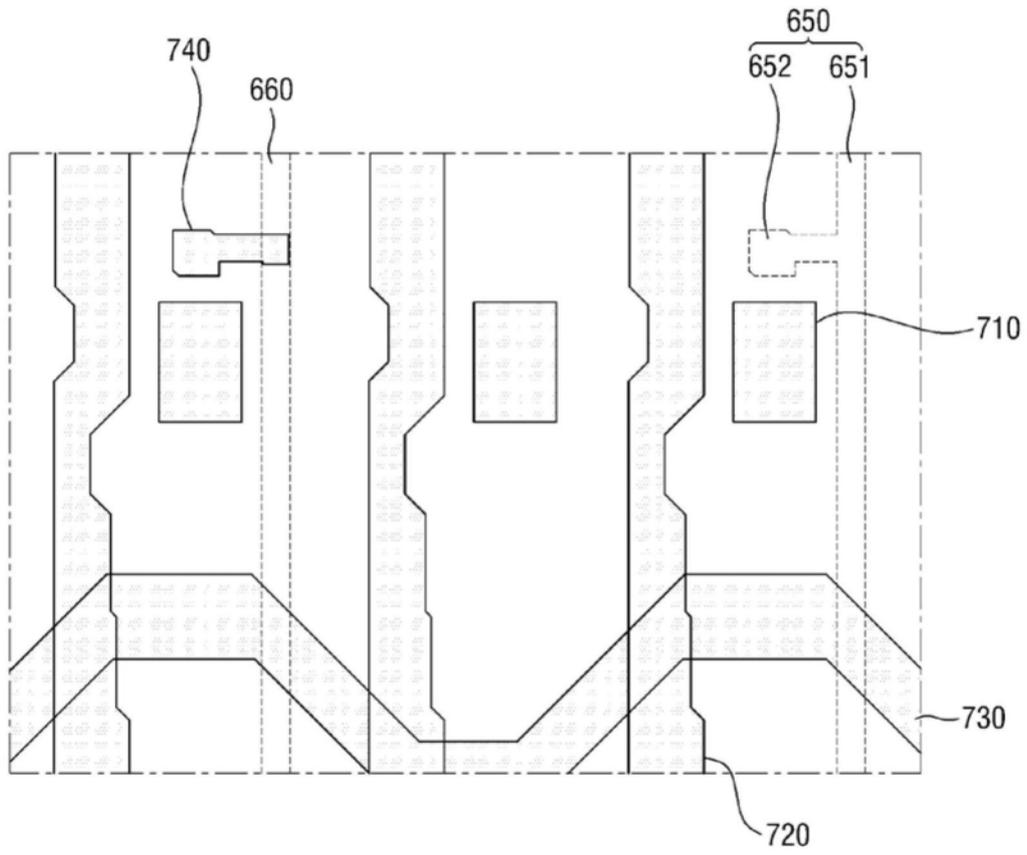


图9

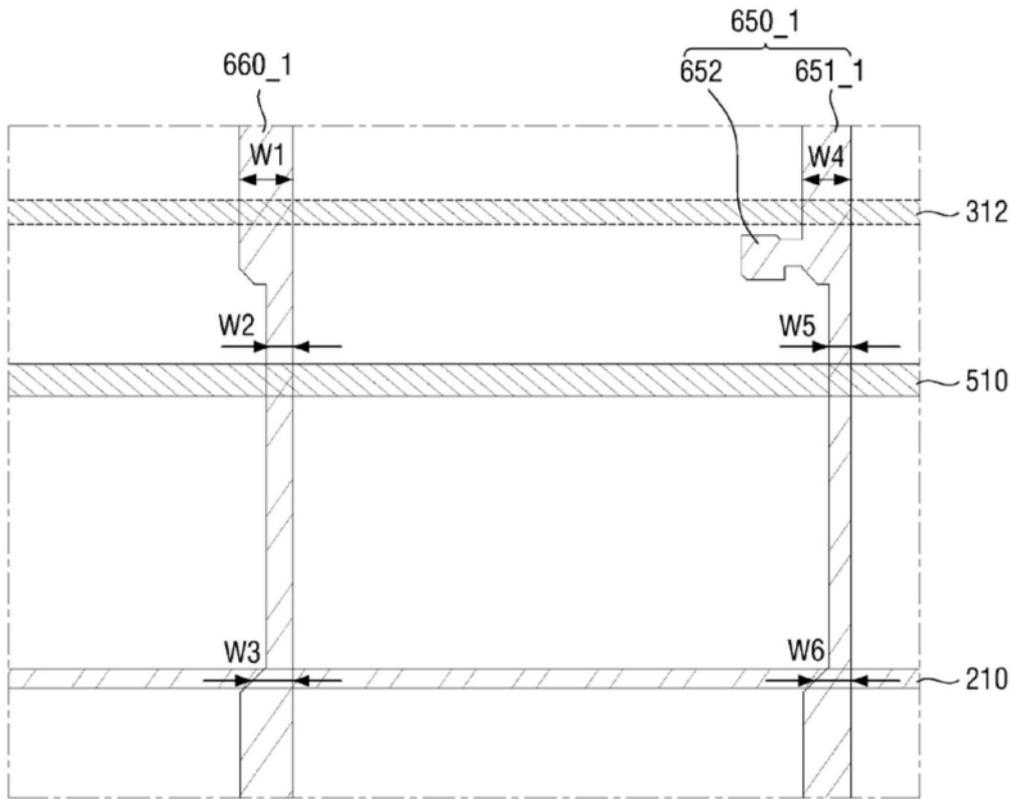


图10

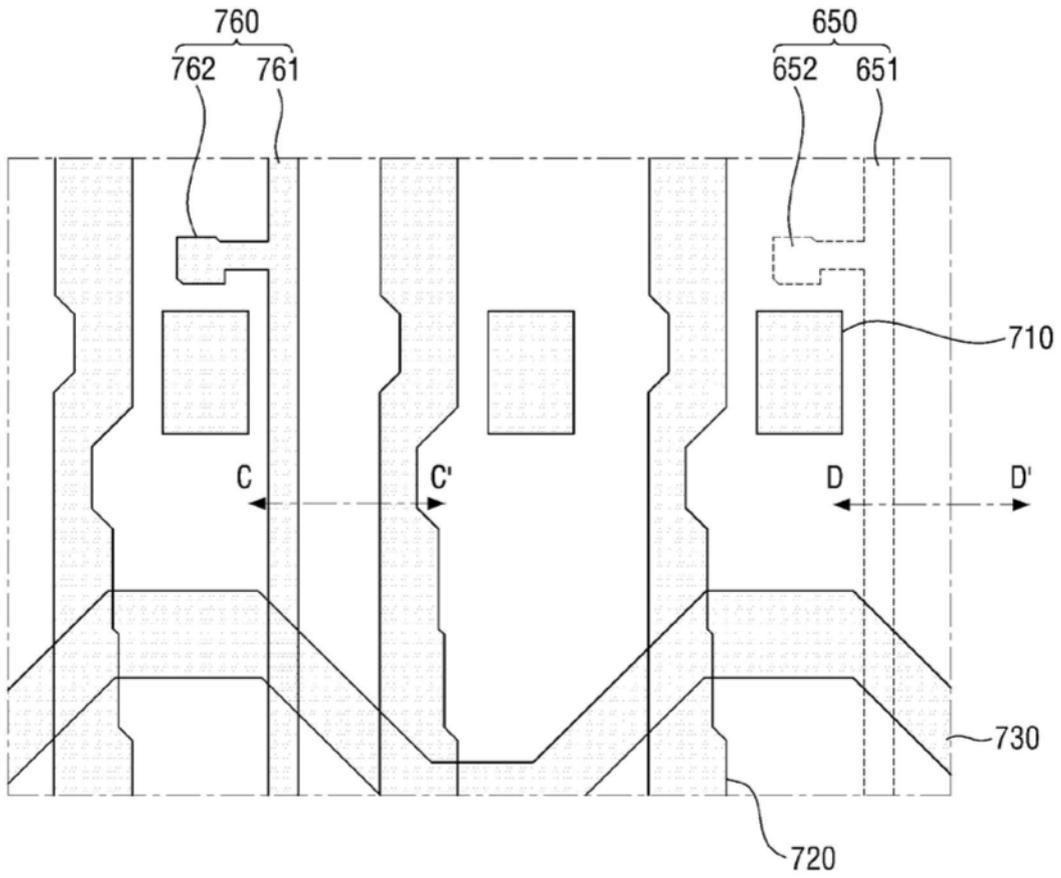


图11

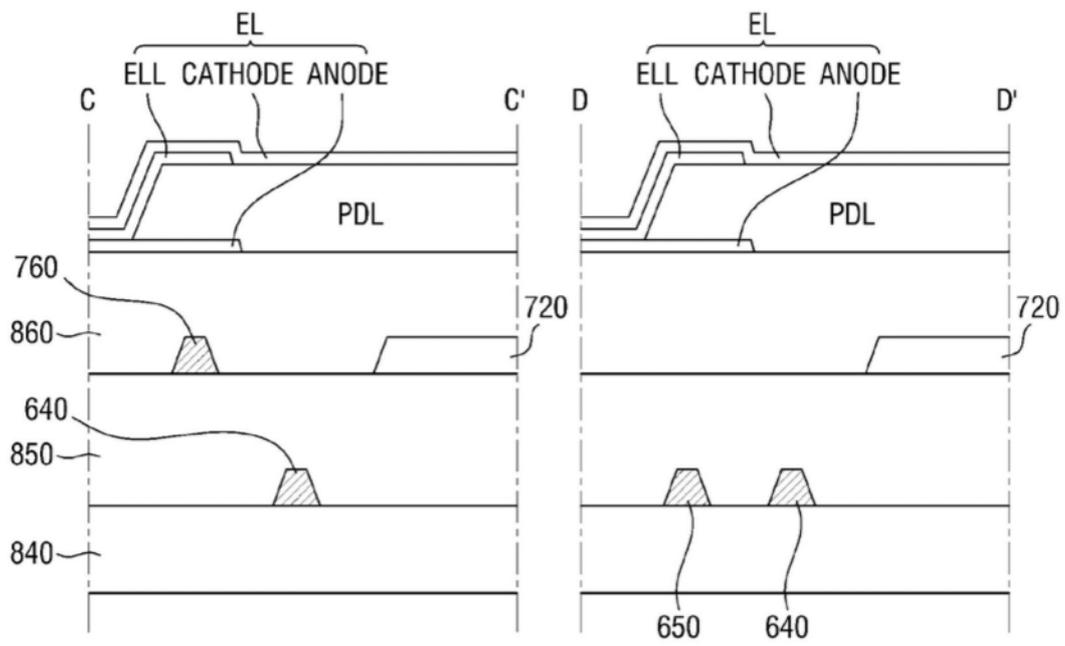


图12

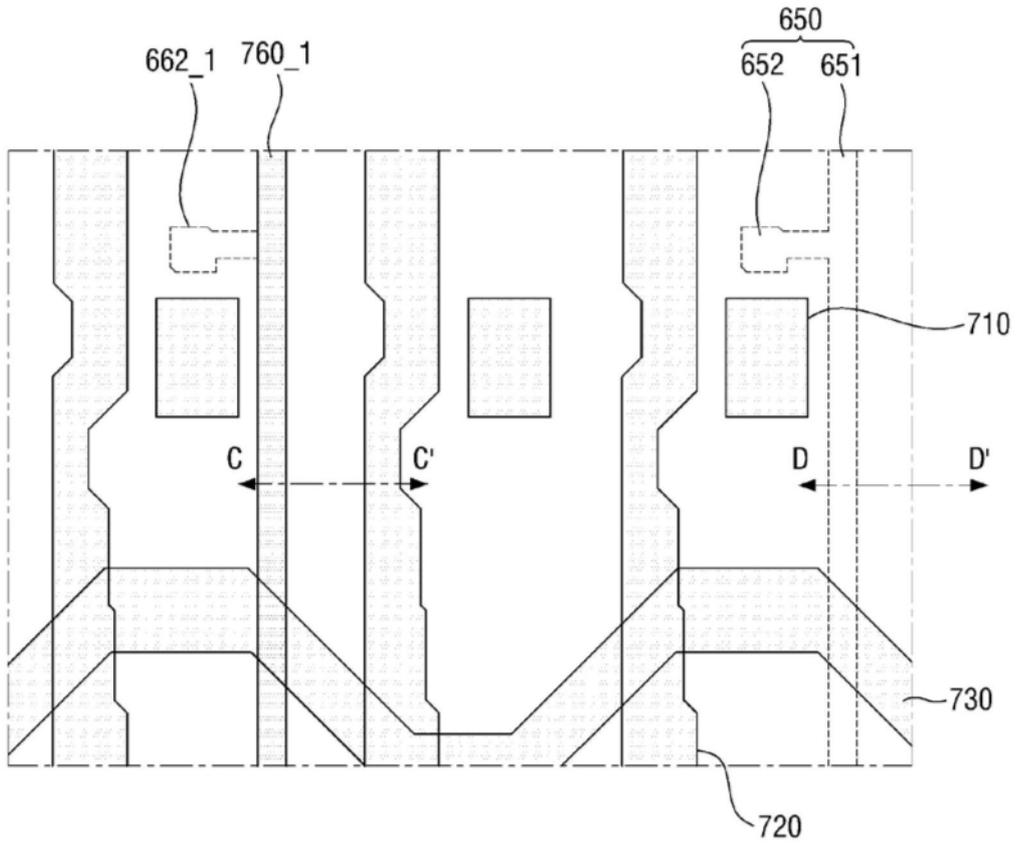


图13

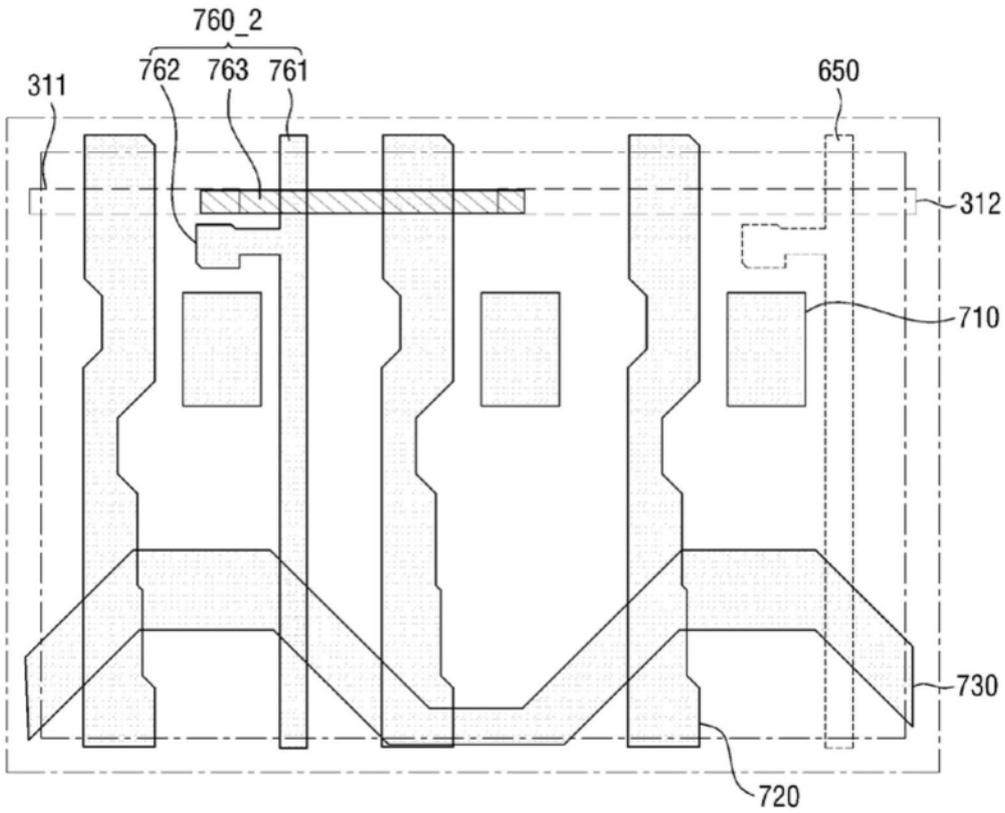


图14

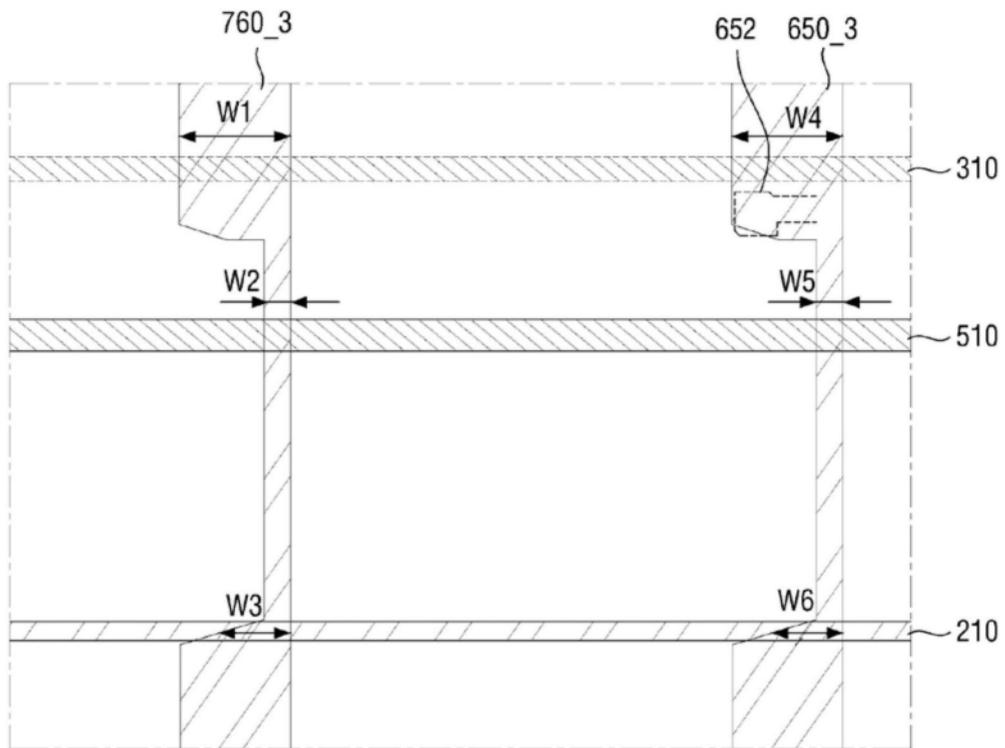


图15

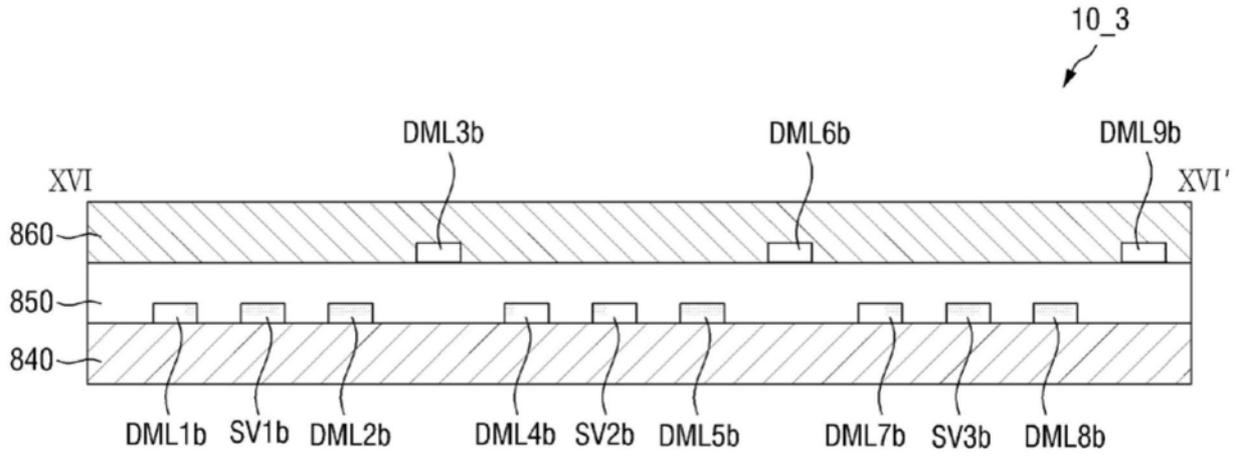


图16

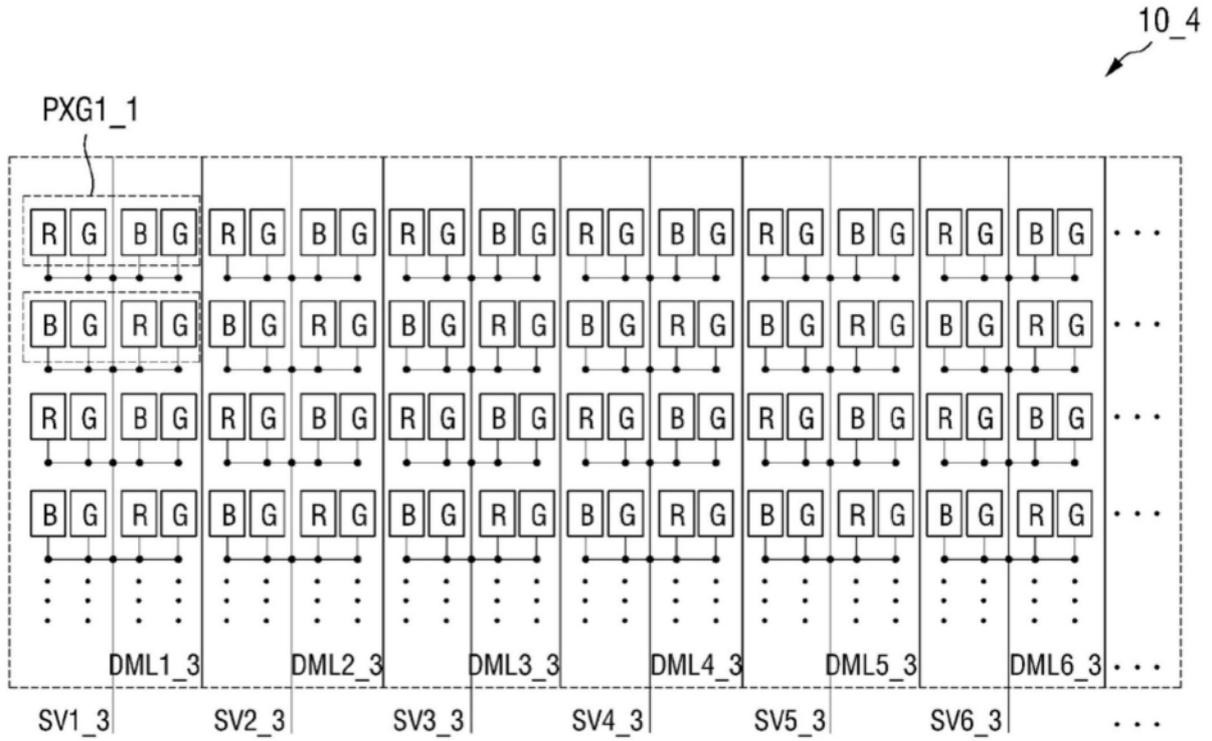


图17

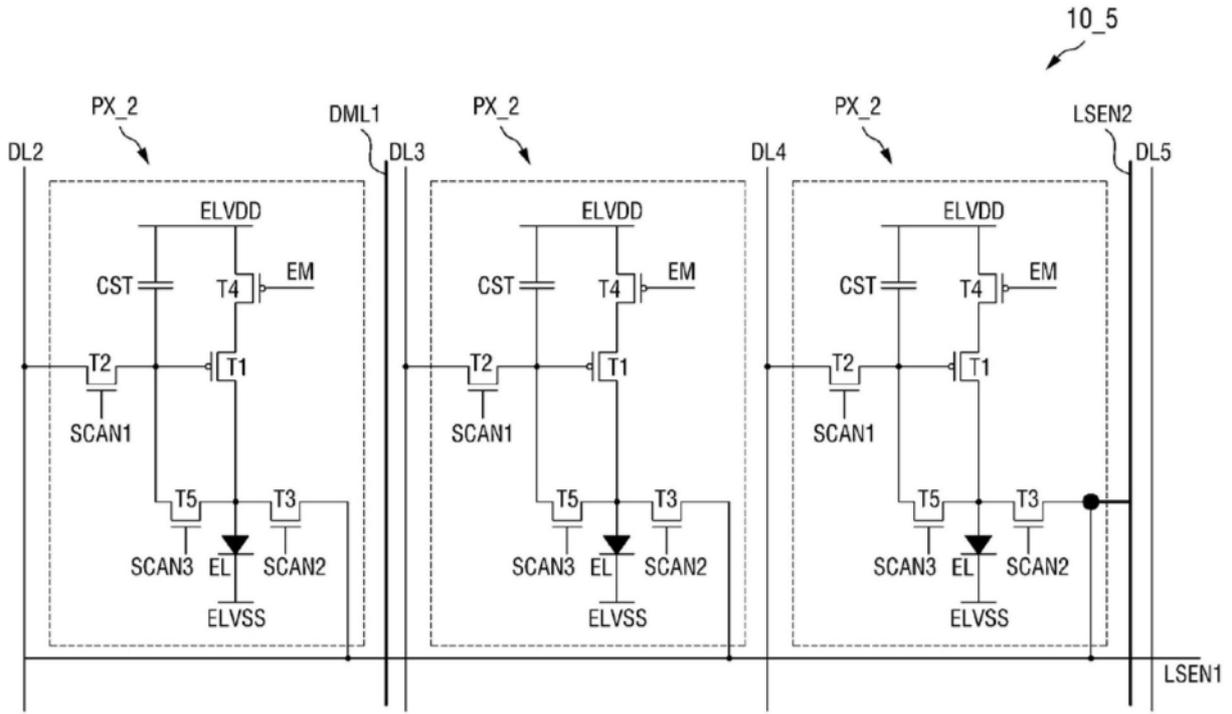


图18

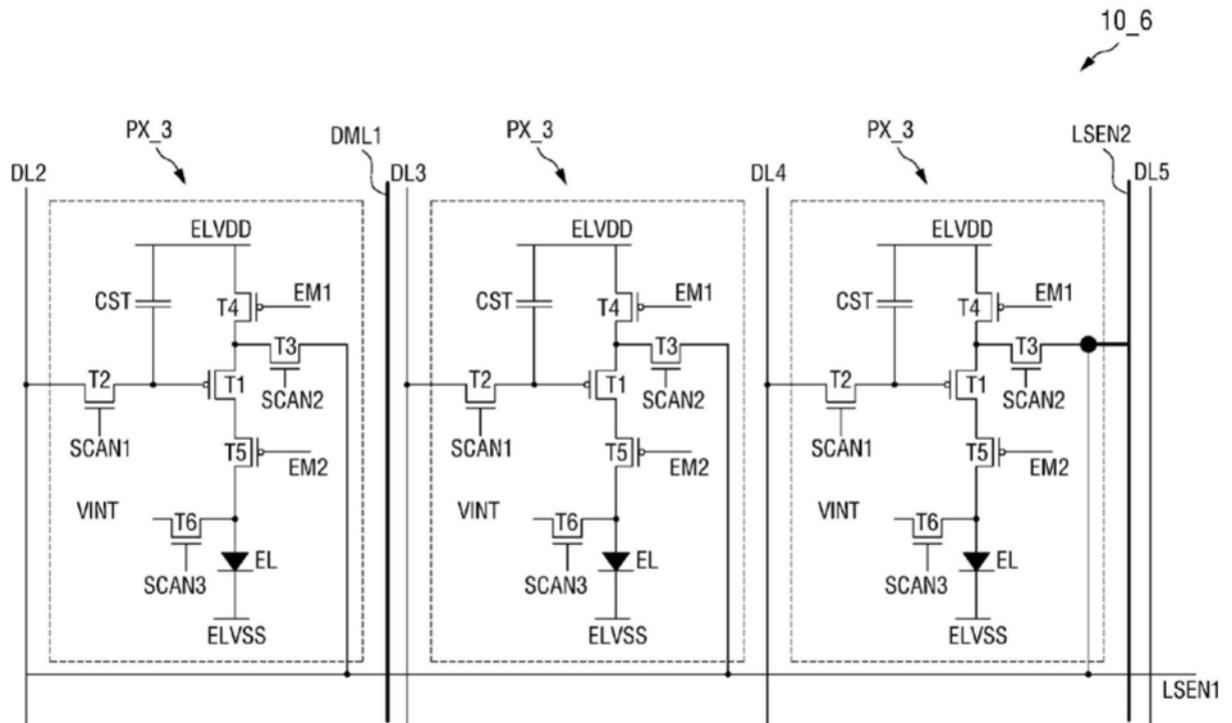


图19