



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년09월01일
(11) 등록번호 10-2150503
(24) 등록일자 2020년08월26일

(51) 국제특허분류(Int. Cl.)
H03F 3/45 (2006.01)
(21) 출원번호 10-2014-0016123
(22) 출원일자 2014년02월12일
심사청구일자 2018년12월18일
(65) 공개번호 10-2015-0095060
(43) 공개일자 2015년08월20일
(56) 선행기술조사문헌
JP2004349830 A*
US05914638 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국전자통신연구원
대전광역시 유성구 가정로 218 (가정동)
(72) 발명자
조영균
대전 유성구 반석서로 98, 609동 1806호 (반석동, 반석마을6단지아파트)
정재호
대전 유성구 지족로 317, 103동 601호 (지족동, 반석마을1단지아파트)
이광천
대전 유성구 엑스포로339번길 320, 7-403 (원촌동, 싸이언스빌)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

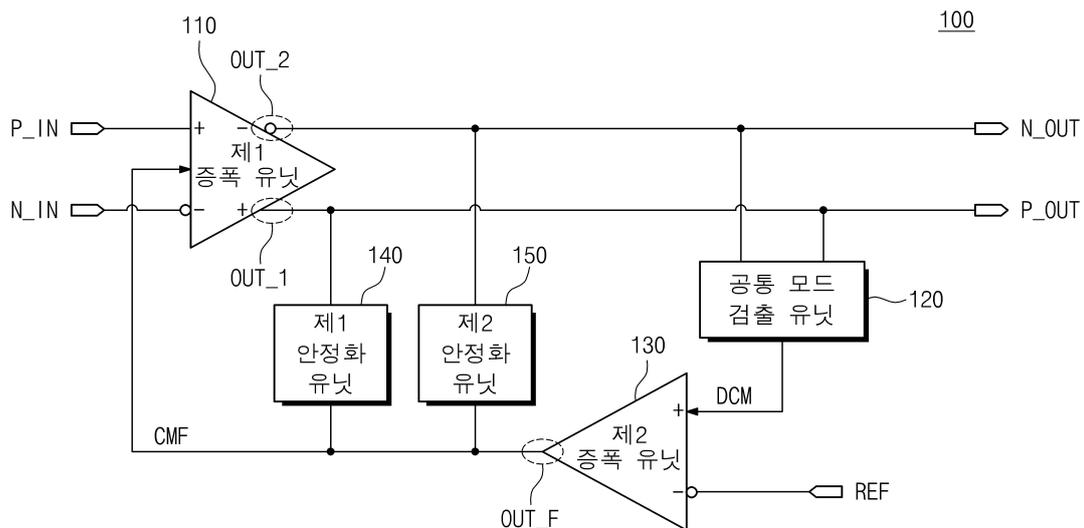
심사관 : 이준건

(54) 발명의 명칭 **공통 모드 변환 회로를 포함하는 완전 차동 신호 시스템**

(57) 요약

본 발명은 입력 차동 신호 및 공통 모드 변환 신호에 기초하여 생성되는 출력 차동 신호를 출력하기 위한 제 1 및 제 2 출력 단자를 포함하는 제 1 증폭 유닛, 출력 차동 신호에 포함되는 공통 모드 신호를 검출하는 공통 모드 검출 유닛, 검출된 공통 모드 신호 및 기준 신호에 기초하여 생성된 공통 모드 변환 신호를 출력하기 위한 변환 신호 출력 단자를 포함하는 제 2 증폭 유닛, 제 1 출력 단자와 변환 신호 출력 단자 사이에 연결되는 제 1 안정화 유닛, 및 제 2 출력 단자와 변환 신호 출력 단자 사이에 연결되는 제 2 안정화 유닛을 포함하는 완전 차동 신호 시스템을 제공한다. 본 발명에 따르면, 완전 차동 신호 시스템의 작동이 안정될 수 있다. 나아가, 본 발명에 따르면, 완전 차동 신호 시스템이 안정적으로 작동하면서도 완전 차동 신호 시스템의 성능이 향상될 수 있다.

대표도



이 발명을 지원한 국가연구개발사업

과제고유번호	10035173
부처명	지식경제부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업원천기술개발사업(차세대통신네트워크)
연구과제명	차세대 이동통신 기지국용 Class-S 전력증폭기 기술 연구
기여율	1/1
과제수행기관명	한국전자통신연구원
연구기간	2010.03.01 ~ 2014.02.28

명세서

청구범위

청구항 1

입력 차동 신호 및 공통 모드 궤환 신호에 기초하여 생성되는 출력 차동 신호를 출력하기 위한 제 1 및 제 2 출력 단자를 포함하는 제 1 증폭 유닛;

상기 출력 차동 신호에 포함되는 공통 모드 신호를 검출하는 공통 모드 검출 유닛;

상기 검출된 공통 모드 신호 및 기준 신호에 기초하여 생성된 상기 공통 모드 궤환 신호를 출력하기 위한 궤환 신호 출력 단자를 포함하는 제 2 증폭 유닛;

상기 제 1 출력 단자와 상기 궤환 신호 출력 단자 사이에 직렬로 연결되는 제 1 저항 및 제 1 커패시터를 포함하는 제 1 안정화 유닛; 및

상기 제 2 출력 단자와 상기 궤환 신호 출력 단자 사이에 직렬로 연결되는 제 2 저항 및 제 2 커패시터를 포함하는 제 2 안정화 유닛을 포함하는 완전 차동 신호 시스템.

청구항 2

제 1 항에 있어서,

상기 제 1 증폭 유닛은 피드포워드 보상 연산 트랜스컨덕턴스 증폭기인 완전 차동 신호 시스템.

청구항 3

제 1 항에 있어서

상기 제 2 증폭 유닛은 단일 스테이지 연산 트랜스컨덕턴스 증폭기인 완전 차동 신호 시스템.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 제 1 및 제 2 커패시터는 서로 같은 커패시턴스 값을 갖는 완전 차동 신호 시스템.

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 제 1 및 제 2 저항은 서로 같은 저항 값을 갖고,

상기 제 1 및 제 2 커패시터는 서로 같은 커패시턴스 값을 갖는 완전 차동 신호 시스템.

청구항 8

제 1 항에 있어서,

상기 제 1 및 제 2 커패시터의 연결에 따라, 제 1 극점이 형성되는 주파수의 값이 감소하도록 제어되고, 상기 제 1 극점이 형성되는 주파수의 값보다 크고 제 2 극점이 형성되는 주파수의 값이 증가하도록 제어되는 완전 차동 신호 시스템.

청구항 9

제 8 항에 있어서,

상기 제 1 및 제 2 저항의 연결에 따라 상기 제 2 극점이 형성되는 주파수보다 큰 값을 갖는 주파수에서 영점이 형성되도록 제어되고, 상기 형성된 영점에 의해 상기 제 2 극점을 보상하도록 제어되는 완전 차동 신호 시스템.

청구항 10

입력 차동 신호 및 공통 모드 궤환 신호에 기초하여 생성되는 출력 차동 신호를 출력하기 위한 제 1 및 제 2 출력 단자를 포함하는 제 1 증폭부;

상기 출력 차동 신호에 포함되는 공통 모드 신호를 검출하는 공통 모드 검출부;

상기 검출된 공통 모드 신호 및 기준 신호에 기초하여 생성된 상기 공통 모드 궤환 신호를 출력하기 위한 궤환 신호 출력 단자를 포함하는 제 2 증폭부;

제 1 저항성 유닛과 제 1 용량성 유닛의 직렬 연결을 포함하되, 상기 제 1 저항성 유닛의 일단과 상기 제 1 용량성 유닛의 일단이 서로 연결되고, 상기 제 1 저항성 유닛의 타단은 상기 제 1 출력 단자 및 상기 궤환 신호 출력 단자 중 어느 하나에 연결되고, 상기 제 1 용량성 유닛의 타단은 상기 제 1 출력 단자 및 상기 궤환 신호 출력 단자 중 상기 제 1 저항성 유닛의 타단과 연결되지 않은 단자에 연결되도록 구성되는 제 1 안정화부; 및

제 2 저항성 유닛과 제 2 용량성 유닛의 직렬 연결을 포함하되, 상기 제 2 저항성 유닛의 일단과 상기 제 2 용량성 유닛의 일단이 서로 연결되고, 상기 제 2 저항성 유닛의 타단은 상기 제 2 출력 단자 및 상기 궤환 신호 출력 단자 중 어느 하나에 연결되고, 상기 제 2 용량성 유닛의 타단은 상기 제 2 출력 단자 및 상기 궤환 신호 출력 단자 중 상기 제 2 저항성 유닛의 타단과 연결되지 않은 단자에 연결되도록 구성되는 제 2 안정화부를 포함하는 완전 차동 신호 시스템.

청구항 11

제 10 항에 있어서,

상기 제 1 및 제 2 용량성 유닛의 연결에 따라, 제 1 극점이 형성되는 주파수의 값이 감소하도록 제어되고, 상기 제 1 극점이 형성되는 주파수의 값보다 크고 제 2 극점이 형성되는 주파수의 값이 증가하도록 제어되는 완전 차동 신호 시스템.

청구항 12

제 11 항에 있어서,

상기 제 1 및 제 2 저항성 유닛의 연결에 따라 상기 제 2 극점이 형성되는 주파수보다 큰 값을 갖는 주파수에서 영점이 형성되도록 제어되고, 상기 형성된 영점에 의해 상기 제 2 극점을 보상하도록 제어되는 완전 차동 신호 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 완전 차동(Fully Differential) 신호 시스템에 관한 것으로, 좀 더 구체적으로는 공통 모드 궤환(Common Mode Feedback) 회로를 포함하면서도 안정적으로 작동하고 높은 성능을 갖는 완전 차동 신호 시스템에 관한 것이다.

배경 기술

[0002] 완전 차동 신호 시스템은 집적 회로 설계에 널리 이용되고 있다. 완전 차동 신호 시스템이 이용되는 경우, 높은 공급 전력 잡음 제거율(Power Supply Rejection Ratio) 특성을 갖는 집적 회로가 구현될 수 있다. 그리고, 시스템-온-칩(System on Chip)의 기관에서 노이즈가 발생하더라도, 완전 차동 신호 시스템은 노이즈의 영향을 크게 받지 않고 올바른 신호를 전송할 수 있다. 뿐만 아니라, 완전 차동 신호 시스템이 이용되는 경우, 신호의 정확도를 떨어뜨리는 짝수 차 고조파 왜곡(Even Order Harmonic Distortion)이 감소할 수 있다.

[0003] 일반적으로, 완전 차동 신호 시스템은 공통 모드 케환 회로를 포함한다. 공통 모드 케환 회로는 완전 차동 신호 시스템의 직류 동작점(DC Operating Point)을 일정하게 유지시키기 위해 사용된다. 공통 모드 케환 회로가 포함되지 않는 경우, 특히, 낮은 전압으로 작동하는 시스템의 경우, 소자 간 미스매치(Mismatch), 공급 전력의 변동, 및 공정 오차에 의해 직류 동작점이 포화 영역(Saturation Region)에서 이탈할 수 있다. 즉, 공통 모드 케환 회로가 포함되지 않는 경우, 완전 차동 신호 시스템이 적절히 작동하지 않을 수 있다. 완전 차동 신호 시스템이 공통 모드 케환 회로를 포함하는 경우, 소자 간 미스매치, 공급 전력의 변동, 및 공정 오차에 둔감한 완전 차동 신호 시스템이 얻어질 수 있다.

[0004] 공통 모드 케환 회로를 포함하는 완전 차동 신호 시스템의 직류 동작점을 일정하게 유지시키기 위해, 시스템 루프(Loop)의 직류 이득(DC Gain)이 충분히 커야 한다. 그리고, 완전 차동 신호 시스템의 작동 속도가 감소하는 것을 막기 위해, 입력 신호의 주파수보다 완전 차동 신호 시스템의 단위 이득 대역폭(Unity Gain Bandwidth)이 더 커야 한다. 즉, 완전 차동 신호 시스템의 단위 이득 대역폭이 충분히 커야 한다. 또한, 완전 차동 신호 시스템의 출력 신호의 스윙 범위(Swing Range)에 포함되는 신호를 모두 처리할 수 있는 공통 모드 케환 회로가 설계되어야 한다. 위 조건들은 증폭기의 이득 및 대역폭의 조절, 그리고 회로의 적절한 설계에 의해 충족될 수 있다.

[0005] 나아가, 공통 모드 케환 회로를 포함하는 완전 차동 신호 시스템을 적절히 작동시키려면 시스템의 안정된 작동을 위한 루프 보상(Loop Compensation)이 수행되어야 한다. 뿐만 아니라, 공통 모드 케환 회로의 연결에 의해 완전 차동 신호 시스템의 성능을 떨어뜨리지 않아야 한다. 완전 차동 신호 시스템의 작동이 불안정하거나 성능이 떨어진다면, 적절한 완전 차동 신호 시스템이 설계되었다고 보기 어렵기 때문이다.

발명의 내용

해결하려는 과제

[0006] 공통 모드 케환 회로를 포함하면서도 안정적으로 작동하고 높은 성능을 갖는 완전 차동 신호 시스템이 제공된다. 본 발명의 실시 예에서, 완전 차동 신호 시스템의 안정성과 높은 성능을 얻기 위해, 안정화 유닛이 완전 차동 신호 시스템에 연결될 수 있다. 안정화 유닛의 연결에 따라, 완전 차동 신호 시스템의 극점이 형성되는 주파수가 조절될 수 있다. 나아가, 영점을 형성함으로써, 완전 차동 신호 시스템의 극점이 보상될 수 있다.

과제의 해결 수단

[0007] 본 발명의 실시 예에 따른 완전 차동 신호 시스템은 입력 차동 신호 및 공통 모드 케환 신호에 기초하여 생성되는 출력 차동 신호를 출력하기 위한 제 1 및 제 2 출력 단자를 포함하는 제 1 증폭 유닛; 출력 차동 신호에 포함되는 공통 모드 신호를 검출하는 공통 모드 검출 유닛; 검출된 공통 모드 신호 및 기준 신호에 기초하여 생성된 공통 모드 케환 신호를 출력하기 위한 케환 신호 출력 단자를 포함하는 제 2 증폭 유닛; 제 1 출력 단자와 케환 신호 출력 단자 사이에 연결되는 제 1 안정화 유닛; 및 제 2 출력 단자와 케환 신호 출력 단자 사이에 연결되는 제 2 안정화 유닛을 포함할 수 있다.

[0008] 본 발명의 실시 예에 따른 완전 차동 신호 시스템에서, 제 1 증폭 유닛은 피드포워드 보상 연산 트랜스컨덕턴스 증폭기일 수 있다.

[0009] 본 발명의 실시 예에 따른 완전 차동 신호 시스템에서, 제 2 증폭 유닛은 단일 스테이지 연산 트랜스컨덕턴스 증폭기일 수 있다.

[0010] 본 발명의 실시 예에 따른 완전 차동 신호 시스템에서, 제 1 안정화 유닛은 제 1 출력 단자와 케환 신호 출력 단자 사이에 연결되는 제 1 커패시터이고, 제 2 안정화 유닛은 제 2 출력 단자와 케환 신호 출력 단자 사이에 연결되는 제 2 커패시터일 수 있다. 이 실시 예에서, 제 1 및 제 2 커패시터는 서로 같은 커패시턴스 값을 가질 수 있다.

[0011] 본 발명의 실시 예에 따른 완전 차동 신호 시스템에서, 제 1 안정화 유닛은 제 1 출력 단자와 케환 신호 출력 단자 사이에 직렬로 연결되는 제 1 저항 및 제 1 커패시터이고, 제 2 안정화 유닛은 제 2 출력 단자와 케환 신호 출력 단자 사이에 직렬로 연결되는 제 2 저항 및 제 2 커패시터일 수 있다. 이 실시 예에서, 제 1 및 제 2 저항은 서로 같은 저항 값을 갖고, 제 1 및 제 2 커패시터는 서로 같은 커패시턴스 값을 가질 수 있다. 특히, 이 실시 예에 따른 완전 차동 신호 시스템은 제 1 및 제 2 커패시터의 연결에 따라, 제 1 극점이 형성되는 주파수의 값이 감소하도록 제어되고, 제 1 극점이 형성되는 주파수의 값보다 크고 제 2 극점이 형성되는 주파수의

값이 증가하도록 제어될 수 있다. 나아가, 이 실시 예에 다른 완전 차동 신호 시스템은 제 1 및 제 2 저항의 연결에 따라 제 2 극점이 형성되는 주파수보다 큰 값을 갖는 주파수에서 영점이 형성되도록 제어되고, 형성된 영점에 의해 제 2 극점을 보상하도록 제어될 수 있다.

[0012] 본 발명의 다른 실시 예에 따른 완전 차동 신호 시스템은 입력 차동 신호 및 공통 모드 변환 신호에 기초하여 생성되는 출력 차동 신호를 출력하기 위한 제 1 및 제 2 출력 단자를 포함하는 제 1 증폭부; 출력 차동 신호에 포함되는 공통 모드 신호를 검출하는 공통 모드 검출부; 검출된 공통 모드 신호 및 기준 신호에 기초하여 생성된 공통 모드 변환 신호를 출력하기 위한 변환 신호 출력 단자를 포함하는 제 2 증폭부; 제 1 저항성 유닛과 제 1 용량성 유닛의 직렬 연결을 포함하되, 제 1 저항성 유닛의 일단과 제 1 용량성 유닛의 일단이 서로 연결되고, 제 1 저항성 유닛의 타단은 제 1 출력 단자 및 변환 신호 출력 단자 중 어느 하나에 연결되고, 제 1 용량성 유닛의 타단은 제 1 출력 단자 및 변환 신호 출력 단자 중 제 1 저항성 유닛의 타단과 연결되지 않은 단자에 연결되도록 구성되는 제 1 안정화부; 및 제 2 저항성 유닛과 제 2 용량성 유닛의 직렬 연결을 포함하되, 제 2 저항성 유닛의 일단과 제 2 용량성 유닛의 일단이 서로 연결되고, 제 2 저항성 유닛의 타단은 제 2 출력 단자 및 변환 신호 출력 단자 중 어느 하나에 연결되고, 제 2 용량성 유닛의 타단은 제 2 출력 단자 및 변환 신호 출력 단자 중 제 2 저항성 유닛의 타단과 연결되지 않은 단자에 연결되도록 구성되는 제 2 안정화부를 포함할 수 있다.

[0013] 본 발명의 다른 실시 예에 따른 완전 차동 신호 시스템은 제 1 및 제 2 용량성 유닛의 연결에 따라, 제 1 극점이 형성되는 주파수의 값이 감소하도록 제어되고, 제 1 극점이 형성되는 주파수의 값보다 크고 제 2 극점이 형성되는 주파수의 값이 증가하도록 제어될 수 있다. 나아가, 본 발명의 다른 실시 예에 따른 완전 차동 신호 시스템은 제 1 및 제 2 저항성 유닛의 연결에 따라 제 2 극점이 형성되는 주파수보다 큰 값을 갖는 주파수에서 영점이 형성되도록 제어되고, 형성된 영점에 의해 제 2 극점을 보상하도록 제어될 수 있다.

발명의 효과

[0014] 본 발명의 일 실시 예에 따르면, 완전 차동 신호 시스템의 작동이 안정될 수 있다. 나아가, 본 발명의 다른 실시 예에 따르면, 완전 차동 신호 시스템이 안정적으로 작동하면서도 완전 차동 신호 시스템의 성능이 향상될 수 있다.

도면의 간단한 설명

[0015] 도 1 및 도 2는 본 발명의 실시 예에 따른 완전 차동 신호 시스템이 가질 수 있는 구성을 나타낸 블록도이다.
 도 3 내지 도 6은 본 발명의 실시 예가 적용되지 않은 경우의 완전 차동 신호 시스템의 작동을 설명하기 위한 그래프이다.
 도 7 내지 도 10은 본 발명의 실시 예에 따라 완전 차동 신호 시스템에 커패시터가 연결된 경우에 얻어지는 효과를 설명하기 위한 그래프이다.
 도 11은 본 발명의 실시 예에 따른 완전 차동 신호 시스템이 가질 수 있는 다른 구성을 나타낸 블록도이다.
 도 12 내지 도 15는 본 발명의 실시 예에 따라 완전 차동 신호 시스템에 커패시터와 저항이 연결된 경우에 얻어지는 효과를 설명하기 위한 그래프이다.
 도 16은 본 발명의 실시 예에 따른 완전 차동 신호 시스템이 가질 수 있는 또 다른 구성을 나타낸 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 전술한 특성 및 이하 상세한 설명은 모두 본 발명의 설명 및 이해를 돕기 위한 예시적인 사항이다. 즉, 본 발명은 이와 같은 실시 예에 한정되지 않고 다른 형태로 구체화될 수 있다. 다음 실시 형태들은 단지 본 발명을 완전히 개시하기 위한 예시이며, 본 발명이 속하는 기술 분야의 통상의 기술자들에게 본 발명을 전달하기 위한 설명이다. 따라서, 본 발명의 구성 요소들을 구현하기 위한 방법이 여럿 있는 경우에는, 이들 방법 중 특정한 것 또는 이와 동일성 있는 것 가운데 어떠한 것으로든 본 발명의 구현이 가능함을 분명히 할 필요가 있다.

[0017] 본 명세서에서 어떤 구성이 특정 요소들을 포함한다는 언급이 있는 경우, 또는 어떤 과정이 특정 단계들을 포함한다는 언급이 있는 경우는, 그 외 다른 요소 또는 다른 단계들이 더 포함될 수 있음을 의미한다. 즉, 본 명세서에서 사용되는 용어들은 특정 실시 형태를 설명하기 위한 것일 뿐이고, 본 발명의 개념을 한정하기 위한 것이 아니다. 나아가, 발명의 이해를 돕기 위해 설명한 예시들은 그것의 상보적인 실시 예도 포함한다.

- [0018] 본 명세서에서 사용되는 용어들은 본 발명이 속하는 기술 분야의 통상의 기술자들이 일반적으로 이해하는 의미를 갖는다. 보편적으로 사용되는 용어들은 본 명세서의 맥락에 따라 일관적인 의미로 해석되어야 한다. 또한, 본 명세서에서 사용되는 용어들은, 그 의미가 명확히 정의된 경우가 아니라면, 지나치게 이상적이거나 형식적인 의미로 해석되지 않아야 한다. 이하 첨부된 도면을 통하여 본 발명의 실시 예가 설명된다.
- [0019] 도 1은 본 발명의 실시 예에 따른 완전 차동 신호 시스템이 가질 수 있는 구성을 나타낸 블록도이다. 완전 차동 신호 시스템(100)은 제 1 증폭 유닛(110), 공통 모드 검출 유닛(120), 제 2 증폭 유닛(130), 제 1 안정화 유닛(140), 및 제 2 안정화 유닛(150)을 포함할 수 있다.
- [0020] 제 1 증폭 유닛(110)은 입력 차동 신호(P_IN, N_IN)를 제공받을 수 있다. 나아가, 제 1 증폭 유닛(110)은 공통 모드 케환(Common Mode Feedback) 신호(CMF)를 제공받을 수 있다. 공통 모드 케환 신호(CMF)는 제 1 증폭 유닛(110)의 직류 동작점(DC Operating Point)을 유지시키기 위한 신호이다. 공통 모드 케환 신호(CMF)는 제 2 증폭 유닛(130)으로부터 제공될 수 있다. 제 2 증폭 유닛(130)의 기능에 관한 설명은 뒤에서 언급된다. 제 1 증폭 유닛(110)은 출력 차동 신호(P_OUT, N_OUT)를 생성할 수 있다. 제 1 증폭 유닛(110)은 출력 차동 신호(P_OUT, N_OUT) 각각을 출력하기 위한 제 1 출력 단자(OUT_1) 및 제 2 출력 단자(OUT_2)를 포함할 수 있다. 이로써, 완전 차동 신호 시스템(100)은 노이즈의 영향을 크게 받지 않고 올바른 신호를 전송할 수 있다.
- [0021] 공통 모드 검출 유닛(120)은 출력 차동 신호(P_OUT, N_OUT)를 제공받을 수 있다. 실시 예로서, 공통 모드 검출 유닛(120)은 제 1 증폭 유닛(110)의 제 1 출력 단자(OUT_1) 및 제 2 출력 단자(OUT_2)와 연결될 수 있다. 공통 모드 검출 유닛(120)은 출력 차동 신호(P_OUT, N_OUT)에 포함되는 공통 모드 신호를 검출할 수 있다. 공통 모드 신호는, 예컨대, 공급 전력에 포함된 노이즈일 수 있다. 공통 모드 검출 유닛(120)은 검출 결과에 기초하여, 검출된 공통 모드 신호(DCM)를 생성할 수 있다.
- [0022] 제 2 증폭 유닛(130)은 검출된 공통 모드 신호(DCM)를 제공받을 수 있다. 나아가, 제 2 증폭 유닛(130)은 기준 신호(REF)를 제공받을 수 있다. 제 2 증폭 유닛(130)은 검출된 공통 모드 신호(DCM) 및 기준 신호(REF)에 기초하여 공통 모드 케환 신호(CMF)를 생성할 수 있다. 제 2 증폭 유닛(130)은 공통 모드 케환 신호(CMF)를 출력하기 위한 케환 신호 출력 단자(OUT_F)를 포함할 수 있다. 공통 모드 케환 신호(CMF)는 제 1 증폭 유닛(110)으로 제공될 수 있다. 완전 차동 신호 시스템(100)이 공통 모드 검출 유닛(120) 및 제 2 증폭 유닛(130)을 따라 형성되는 공통 모드 케환 회로를 포함하는 경우, 소자 간 미스매치(Mismatch), 공급 전력의 변동, 및 공정 오차에 둔감한 완전 차동 신호 시스템(100)이 얻어질 수 있다.
- [0023] 실시 예로서, 제 1 증폭 유닛(110) 및 제 2 증폭 유닛(130)은 연산 트랜스컨덕턴스 증폭기(Operational Transconductance Amplifier, 이하 OTA)를 포함할 수 있다. 실시 예로서, 제 1 증폭 유닛(110)은 피드포워드 보상(Feedforward Compensation) OTA를 포함할 수 있다. 실시 예로서, 제 2 증폭 유닛(130)은 단일 스테이지(Single Stage) OTA를 포함할 수 있다. 그러나, 제 1 증폭 유닛(110) 및 제 2 증폭 유닛(130)은 다른 종류의 증폭기를 포함할 수 있다. 즉, 본 발명의 기술 사상은 위 실시 예들로 제한되지 않음이 명백하다.
- [0024] 제 1 안정화 유닛(140)은 제 1 증폭 유닛(110)의 제 1 출력 단자(OUT_1)와 제 2 증폭 유닛(130)의 케환 신호 출력 단자(OUT_F) 사이에 연결될 수 있다. 제 2 안정화 유닛(150)은 제 1 증폭 유닛(110)의 제 2 출력 단자(OUT_2)와 제 2 증폭 유닛(130)의 케환 신호 출력 단자(OUT_F) 사이에 연결될 수 있다. 본 발명의 일 실시 예에서, 제 1 안정화 유닛(140) 및 제 2 안정화 유닛(150)의 연결에 따라, 완전 차동 신호 시스템(100)이 안정적으로 작동할 수 있다. 본 발명의 다른 실시 예에서, 제 1 안정화 유닛(140) 및 제 2 안정화 유닛(150)의 연결에 따라, 완전 차동 신호 시스템(100)이 안정적으로 작동하면서도 완전 차동 신호 시스템(100)의 성능이 향상될 수 있다.
- [0025] 제 1 안정화 유닛(140) 및 제 2 안정화 유닛(150)이 가질 수 있는 구성은 도 2, 도 11, 및 도 16에 대한 설명과 함께 자세히 언급된다. 그리고, 제 1 안정화 유닛(140) 및 제 2 안정화 유닛(150)의 연결에 따라 얻어지는 효과는 도 3 내지 도 10, 및 도 12 내지 도 15에 대한 설명과 함께 자세히 언급된다.
- [0026] 도 2는 본 발명의 실시 예에 따른 완전 차동 신호 시스템이 가질 수 있는 구성을 나타낸 블록도이다. 완전 차동 신호 시스템(200)은 제 1 증폭 유닛(210), 공통 모드 검출 유닛(220), 제 2 증폭 유닛(230), 제 1 안정화 유닛(240), 및 제 2 안정화 유닛(250)을 포함할 수 있다. 제 1 증폭 유닛(210), 공통 모드 검출 유닛(220), 제 2 증폭 유닛(230), 제 1 안정화 유닛(240), 및 제 2 안정화 유닛(250)의 구성 및 기능에는 도 1의 완전 차동 신호 시스템(100)의 제 1 증폭 유닛(110), 공통 모드 검출 유닛(120), 제 2 증폭 유닛(130), 제 1 안정화 유닛(140), 및 제 2 안정화 유닛(150) 각각의 구성 및 기능이 포함될 수 있다. 제 1 증폭 유닛(210), 공통 모드 검

출 유닛(220), 제 2 증폭 유닛(230), 제 1 안정화 유닛(240), 및 제 2 안정화 유닛(250)에 관한 자세한 설명은 도 1에 대한 설명과 중복되는 범위에서 생략된다.

- [0027] 실시 예로서, 제 1 안정화 유닛(240)은 제 1 커패시터(C1)를 포함할 수 있다. 제 1 커패시터(C1)는 제 1 증폭 유닛(210)의 제 1 출력 단자(OUT_1)와 제 2 증폭 유닛(230)의 제한 신호 출력 단자(OUT_F) 사이에 연결될 수 있다. 실시 예로서, 제 2 안정화 유닛(250)은 제 2 커패시터(C2)를 포함할 수 있다. 제 2 커패시터(C2)는 제 1 증폭 유닛(210)의 제 2 출력 단자(OUT_2)와 제 2 증폭 유닛(230)의 제한 신호 출력 단자(OUT_F) 사이에 연결될 수 있다. 위 실시 예에서, 제 1 커패시터(C1)와 제 2 커패시터(C2)는 서로 같은 커패시턴스 값을 가질 수 있다.
- [0028] 위 실시 예는 본 발명의 이해를 돕기 위한 예일 뿐이고, 본 발명의 기술 사상은 위 실시 예로 제한되지 않는다. 즉, 제 1 안정화 유닛(240) 및 제 2 안정화 유닛(250)은 다른 구성을 가질 수 있다. 위 실시 예에 따라 얻어지는 효과는 도 3 내지 도 10에 대한 설명과 함께 자세히 언급된다.
- [0029] 도 3 내지 도 10, 및 도 12 내지 도 15의 그래프는 제 1 증폭 유닛(110)으로서 피드포워드 보상 OTA가, 제 2 증폭 유닛(130)으로서 단일 스테이지 OTA가 이용된 경우에 얻어진 결과이다.
- [0030] 도 3 내지 도 6은 본 발명의 실시 예가 적용되지 않은 경우의 완전 차동 신호 시스템의 작동을 설명하기 위한 그래프이다. 즉, 도 3 내지 도 6은 완전 차동 신호 시스템(100, 도 1 참조)에 제 1 안정화 유닛(140, 도 1 참조) 및 제 2 안정화 유닛(150, 도 1 참조)이 연결되지 않은 경우의 완전 차동 신호 시스템(100)의 작동을 설명하기 위한 그래프이다.
- [0031] 먼저, 도 3은 본 발명의 실시 예가 적용되지 않은 경우 제 1 증폭 유닛(110, 도 1 참조)의 이득(Gain) 특성을 설명하기 위한 그래프이다. 제 1 증폭 유닛(110)의 직류 이득(DC Gain)의 값은 57.01dB이다. 제 1 증폭 유닛(110)의 단위 이득 대역폭(Unity Gain Bandwidth)의 값은 1.35GHz이다(점 A 참조).
- [0032] 다음으로, 도 4는 본 발명의 실시 예가 적용되지 않은 경우 제 1 증폭 유닛(110)의 위상 마진(Phase Margin) 특성을 설명하기 위한 그래프이다. 제 1 증폭 유닛(110)의 위상 마진의 값은 61.1° 이다(점 B 참조). 제 1 증폭 유닛(110)의 위상 마진의 값이 60° 보다 크기 때문에, 제 1 증폭 유닛(110)은 안정적으로 작동할 수 있다. 즉, 도 3 및 도 4에 따르면, 제 1 증폭 유닛(110)은 충분한 크기의 이득을 갖고 안정적으로 작동한다.
- [0033] 다음으로, 도 5는 본 발명의 실시 예가 적용되지 않은 경우 제 1 증폭 유닛(110), 공통 모드 검출 유닛(120, 도 1 참조), 및 제 2 증폭 유닛(130, 도 1 참조)으로 형성되는 시스템 루프(Loop)의 이득 특성을 설명하기 위한 그래프이다. 시스템 루프의 직류 이득의 값은 49.0dB이다. 시스템 루프의 단위 이득 대역폭의 값은 167MHz이다(점 C 참조).
- [0034] 마지막으로, 도 6은 본 발명의 실시 예가 적용되지 않은 경우 시스템 루프의 위상 마진 특성을 설명하기 위한 그래프이다. 시스템 루프의 위상 마진의 값은 -14.3° 이다(점 D1 참조). 시스템 루프의 위상 마진이 음수 값을 갖기 때문에, 완전 차동 신호 시스템(100)의 작동이 불안정할 수 있다. 작동 환경에 따라, 완전 차동 신호 시스템(100)이 발진할 가능성이 있다.
- [0035] 도 5 및 도 6에 따르면, 완전 차동 신호 시스템(100)은 충분한 크기의 이득을 갖지만, 완전 차동 신호 시스템(100)의 작동은 불안정할 수 있다. 따라서, 완전 차동 신호 시스템(100)의 안정된 작동을 위한 루프 보상(Loop Compensation)이 수행되어야 한다. 완전 차동 신호 시스템(100)의 안정된 작동을 위해, 제 1 극점(즉, 위상 마진의 값이 135° 인 점, D2 참조)이 형성되는 주파수의 값을 증가시키고 제 2 극점(즉, 위상 마진의 값이 45° 인 점, D3 참조)이 형성되는 주파수의 값을 증가시키는 방법이 사용될 수 있다. 이 방법이 사용되면, 시스템 루프의 위상 마진의 값이 증가할 수 있다. 그러나, 이 방법을 물리적으로 구현하기 위한 한계가 있다.
- [0036] 따라서, 완전 차동 신호 시스템(100)의 안정된 작동을 위해, 다른 방법이 사용되어야 한다. 본 발명의 실시 예에서, 제 1 극점(D2 참조)이 형성되는 주파수의 값을 감소시키고 제 2 극점(D3 참조)이 형성되는 주파수의 값을 증가시키는 방법이 사용된다. 이 방법이 사용되면, 시스템 루프의 위상 마진의 값이 증가하고 완전 차동 신호 시스템(100)이 안정적으로 작동할 수 있다.
- [0037] 도 7 내지 도 10은 본 발명의 실시 예에 따라 완전 차동 신호 시스템에 커패시터가 연결된 경우에 얻어지는 효과를 설명하기 위한 그래프이다. 즉, 도 7 내지 도 10은 완전 차동 신호 시스템(200, 도 2 참조)의 작동을 설명하기 위한 그래프이다.
- [0038] 먼저, 도 7은 완전 차동 신호 시스템(200)의 제 1 증폭 유닛(210, 도 2 참조)의 이득 특성을 설명하기 위한 그래프이다. 제 1 증폭 유닛(210)의 직류 이득의 값은 57.01dB이다. 제 1 증폭 유닛(210)의 단위 이득 대역폭의

값은 0.991GHz이다(점 E 참조).

- [0039] 다음으로, 도 8은 완전 차동 신호 시스템(200)의 제 1 증폭 유닛(210)의 위상 마진 특성을 설명하기 위한 그래프이다. 제 1 증폭 유닛(210)의 위상 마진의 값은 48.7° 이다(점 F 참조). 도 7 및 도 8에 따르면, 커패시터가 연결되더라도, 제 1 증폭 유닛(210)의 직류 이득의 값은 크게 변하지 않는다. 그러나, 제 1 증폭 유닛(210)의 단위 이득 대역폭의 값은 약 26%만큼 감소한다. 또한, 제 1 증폭 유닛(210)의 위상 마진의 값 역시 감소한다. 즉, 커패시터의 연결에 의해, 제 1 증폭 유닛(210)의 성능이 다소 떨어진다. 이는 커패시터의 연결에 의해 제 1 증폭 유닛(210)의 부하가 커지는 것과 같은 효과가 생기기 때문이다.
- [0040] 다음으로, 도 9는 완전 차동 신호 시스템(200)의 제 1 증폭 유닛(210), 공통 모드 검출 유닛(220, 도 2 참조), 및 제 2 증폭 유닛(230, 도 2 참조)으로 형성되는 시스템 루프의 이득 특성을 설명하기 위한 그래프이다. 시스템 루프의 직류 이득의 값은 49.0dB이다. 시스템 루프의 단위 이득 대역폭의 값은 26.7MHz이다(점 G 참조).
- [0041] 마지막으로, 도 10은 완전 차동 신호 시스템(200)의 시스템 루프의 위상 마진 특성을 설명하기 위한 그래프이다. 시스템 루프의 위상 마진의 값은 69.2° 이다(점 H1 참조). 커패시터가 연결되지 않은 경우와 비교하면, 시스템 루프의 위상 마진의 값이 많이 증가한 것을 알 수 있다. 시스템 루프의 위상 마진이 60° 보다 큰 값을 갖기 때문에, 완전 차동 신호 시스템(200)이 안정적으로 작동할 수 있다. 이는 커패시터의 연결에 따라, 제 1 극점(H2 참조)이 형성되는 주파수의 값이 감소하고 제 2 극점(H3)이 형성되는 주파수의 값이 증가했기 때문이다. 즉, 커패시터의 연결에 의해 루프 보상이 수행될 수 있다.
- [0042] 도 7 내지 도 10에 따르면, 커패시터를 포함하는 완전 차동 신호 시스템(200)은 안정적으로 작동할 수 있다. 다만, 커패시터의 연결에 의해 제 1 증폭 유닛(210)의 단위 이득 대역폭의 값이 감소한다. 이 때문에, 도 2의 실시 예에 따른 완전 차동 신호 시스템(200)은 입력 신호의 주파수가 낮은 경우에 유용하게 활용될 수 있다. 그러나, 도 2의 실시 예에 따른 완전 차동 신호 시스템(200)은, 안정적인 작동에도 불구하고, 입력 신호의 주파수가 높은 경우에 유용하게 활용되기 어렵다. 따라서, 안정적으로 작동하면서도 높은 성능을 갖는 완전 차동 신호 시스템이 설계될 필요가 있다.
- [0043] 도 11은 본 발명의 실시 예에 따른 완전 차동 신호 시스템이 가질 수 있는 다른 구성을 나타낸 블록도이다. 완전 차동 신호 시스템(300)은 제 1 증폭 유닛(310), 공통 모드 검출 유닛(320), 제 2 증폭 유닛(330), 제 1 안정화 유닛(340), 및 제 2 안정화 유닛(350)을 포함할 수 있다. 제 1 증폭 유닛(310), 공통 모드 검출 유닛(320), 제 2 증폭 유닛(330), 제 1 안정화 유닛(340), 및 제 2 안정화 유닛(350)의 구성 및 기능에는 도 1의 완전 차동 신호 시스템(100)의 제 1 증폭 유닛(110), 공통 모드 검출 유닛(120), 제 2 증폭 유닛(130), 제 1 안정화 유닛(140), 및 제 2 안정화 유닛(150) 각각의 구성 및 기능이 포함될 수 있다. 제 1 증폭 유닛(310), 공통 모드 검출 유닛(320), 제 2 증폭 유닛(330), 제 1 안정화 유닛(340), 및 제 2 안정화 유닛(350)에 관한 자세한 설명은 도 1에 대한 설명과 중복되는 범위에서 생략된다.
- [0044] 실시 예로서, 제 1 안정화 유닛(340)은 제 1 저항(R1) 및 제 1 커패시터(C1)의 직렬 연결을 포함할 수 있다. 제 1 저항(R1) 및 제 1 커패시터(C1)의 직렬 연결은 제 1 증폭 유닛(310)의 제 1 출력 단자(OUT_1)와 제 2 증폭 유닛(330)의 궤환 신호 출력 단자(OUT_F) 사이에 연결될 수 있다. 실시 예로서, 제 2 안정화 유닛(350)은 제 2 저항(R2) 및 제 2 커패시터(C2)의 직렬 연결을 포함할 수 있다. 제 2 저항(R2) 및 제 2 커패시터(C2)의 직렬 연결은 제 1 증폭 유닛(310)의 제 2 출력 단자(OUT_2)와 제 2 증폭 유닛(330)의 궤환 신호 출력 단자(OUT_F) 사이에 연결될 수 있다. 위 실시 예에서, 제 1 저항(R1)과 제 2 저항(R2)은 서로 같은 저항 값을 가질 수 있다. 그리고, 제 1 커패시터(C1)와 제 2 커패시터(C2)는 서로 같은 커패시턴스 값을 가질 수 있다.
- [0045] 위 실시 예는 본 발명의 이해를 돕기 위한 예일 뿐이고, 본 발명의 기술 사상은 위 실시 예로 제한되지 않는다. 즉, 제 1 안정화 유닛(340) 및 제 2 안정화 유닛(350)은 다른 구성을 가질 수 있다. 예컨대, 제 1 저항(R1)의 위치와 제 1 커패시터(C1)의 위치는 서로 바뀔 수 있다. 또한, 제 2 저항(R2)의 위치와 제 2 커패시터(C2)의 위치는 서로 바뀔 수 있다. 즉, 제 1 안정화 유닛(340)은 제 1 저항(R1)과 제 1 커패시터(C1)의 직렬 연결을 포함하는 것으로 충분하다. 또한, 제 2 안정화 유닛(350)은 제 2 저항(R2)과 제 2 커패시터(C2)의 직렬 연결을 포함하는 것으로 충분하다.
- [0046] 위 실시 예에 따라 얻어지는 효과는 도 12 내지 도 15에 대한 설명과 함께 자세히 언급된다. 다만, 제 1 커패시터(C1) 및 제 2 커패시터(C2)의 연결에 따라 얻어지는 효과는 도 7 내지 도 10에 대한 설명에서 언급된 것과 같다. 따라서, 제 1 저항(R1) 및 제 2 저항(R2)의 연결에 따라 얻어지는 효과가 더 설명된다.
- [0047] 도 12 내지 도 15는 본 발명의 실시 예에 따라 완전 차동 신호 시스템에 커패시터와 저항이 연결된 경우에 얻어

지는 효과를 설명하기 위한 그래프이다. 즉, 도 12 내지 도 15는 완전 차동 신호 시스템(300, 도 11 참조)의 작동을 설명하기 위한 그래프이다.

[0048] 먼저, 도 12는 완전 차동 신호 시스템(300)의 제 1 증폭 유닛(310, 도 11 참조)의 이득 특성을 설명하기 위한 그래프이다. 제 1 증폭 유닛(310)의 직류 이득의 값은 57.01dB이다. 제 1 증폭 유닛(310)의 단위 이득 대역폭의 값은 1.32GHz이다(점 J 참조).

[0049] 다음으로, 도 13은 완전 차동 신호 시스템(300)의 제 1 증폭 유닛(310)의 위상 마진 특성을 설명하기 위한 그래프이다. 제 1 증폭 유닛(310)의 위상 마진의 값은 65.0° 이다(점 K 참조). 도 12 및 도 13에서, 저항의 추가 연결에 의해, 제 1 증폭 유닛(310)의 단위 이득 대역폭의 값이 다시 증가한 것을 알 수 있다. 또한, 제 1 증폭 유닛(310)의 위상 마진의 값 역시 다시 증가한 것을 알 수 있다. 즉, 저항이 추가로 연결되는 경우, 제 1 증폭 유닛(310)의 성능이 떨어지지 않는다. 이는 커패시터의 연결에 의해 생긴 제 1 증폭 유닛(310)의 부하가 커지는 것과 같은 효과가 저항의 추가 연결에 의해 보상되기 때문이다. 오히려, 제 1 증폭 유닛(310)의 성능 및 안정성은 커패시터와 저항이 연결되지 않은 경우보다 커패시터와 저항이 연결된 경우에 더 향상될 수 있다.

[0050] 다음으로, 도 14는 완전 차동 신호 시스템(300)의 제 1 증폭 유닛(310), 공통 모드 검출 유닛(320, 도 11 참조), 및 제 2 증폭 유닛(330, 도 11 참조)으로 형성되는 시스템 루프의 이득 특성을 설명하기 위한 그래프이다. 시스템 루프의 직류 이득의 값은 49.0dB이다. 시스템 루프의 단위 이득 대역폭의 값은 26.6MHz이다(점 L 참조).

[0051] 마지막으로, 도 15는 완전 차동 신호 시스템(300)의 시스템 루프의 위상 마진 특성을 설명하기 위한 그래프이다. 시스템 루프의 위상 마진의 값은 76.0° 이다(점 M1 참조). 커패시터와 저항이 연결되지 않은 경우와 비교하면, 시스템 루프의 위상 마진의 값이 많이 증가한 것을 알 수 있다. 즉, 완전 차동 신호 시스템(300)이 안정적으로 작동할 수 있다. 이는 커패시터의 연결에 따라, 제 1 극점(M2 참조)이 형성되는 주파수의 값이 감소하고 제 2 극점이 형성되는 주파수의 값이 증가했기 때문이다.

[0052] 나아가, 커패시터만 연결된 경우와 비교하면, 시스템 루프의 위상 마진의 값이 오히려 더 증가한 것을 알 수 있다. 이는 저항의 추가 연결에 따라 제 2 극점이 형성되는 주파수보다 큰 값을 갖는 주파수에서 영점(즉, 위상 마진의 값이 90° 인 점, M3 참조)이 형성되기 때문이다. 영점(M3 참조)의 형성에 따라 제 2 극점이 보상되기 때문에, 시스템 루프의 위상 마진의 값이 더 증가할 수 있다.

[0053] 도 12 내지 도 15에 따르면, 커패시터와 저항을 포함하는 완전 차동 신호 시스템(300)은 안정적으로 작동할 수 있다. 뿐만 아니라, 저항의 추가 연결에 따라, 시스템 루프 및 제 1 증폭 유닛(310)의 특성이 개선될 수 있다. 따라서, 도 11의 실시 예에 따른 완전 차동 신호 시스템(300)은 입력 신호의 주파수가 높은 경우에도 유용하게 활용될 수 있다.

[0054] 도 2 내지 도 15에 대한 설명에서 언급된 특성 값들이 다음 표 1에 정리되어 있다.

표 1

[0055]

	본 발명의 실시 예가 적용되지 않은 경우	본 발명의 실시 예에 따라 커패시터만 연결된 경우	본 발명의 실시 예에 따라 커패시터와 저항이 연결된 경우
제 1 증폭 유닛의 직류 이득 (dB)	57.01	57.01	57.01
제 1 증폭 유닛의 단위 이득 대역폭 (GHz)	1.35	0.991	1.32
제 1 증폭 유닛의 위상 마진 (°)	61.1	48.7	65.0
시스템 루프의 직류 이득 (dB)	49.0	49.0	49.0
시스템 루프의 위상 마진 (°)	-14.3	69.2	76.0

[0056] 본 발명의 실시 예가 적용되지 않은 경우, 완전 차동 신호 시스템의 시스템 루프의 위상 마진은 음수 값을 갖는

다. 따라서, 완전 차동 신호 시스템은 작동 중 발진할 수 있다. 완전 차동 신호 시스템의 안정된 작동을 위해, 본 발명의 실시 예에 따라 안정화 유닛이 연결될 수 있다.

- [0057] 특히, 안정화 유닛으로서 커패시터만 연결된 경우, 시스템 루프의 위상 마진의 값이 증가하여 완전 차동 신호 시스템이 안정적으로 작동할 수 있다. 다만, 제 1 증폭 유닛의 단위 이득 대역폭의 값이 감소할 수 있다. 따라서, 커패시터만 포함하는 완전 차동 신호 시스템은 입력 신호의 주파수가 낮은 경우에 유용하게 활용될 수 있다.
- [0058] 반면, 안정화 유닛으로서 커패시터와 저항의 직렬 연결이 연결된 경우, 제 1 증폭 유닛의 단위 이득 대역폭의 값이 다시 증가할 수 있다. 뿐만 아니라, 시스템 루프의 안정성이 오히려 더 향상될 수 있다. 커패시터와 저항의 직렬 연결을 포함하는 완전 차동 신호 시스템은 입력 신호의 주파수가 높은 경우에도 유용하게 활용될 수 있다.
- [0059] 이상의 설명은 본 발명의 이해를 돕기 위한 예이고, 본 발명의 기술 사상은 이상의 설명에 의해 제한되지 않음이 명백하다. 완전 차동 신호 시스템에 포함되는 구성 요소 각각은 본 발명이 속하는 기술 분야의 통상의 기술자에 의해 다른 형태로 또는 다른 회로를 포함하도록 구현될 수 있다. 변경된 구성을 갖는 완전 차동 신호 시스템에서, 이상의 설명과 다른 특성 값들이 얻어질 수 있다. 그러나, 변경된 구성을 갖는 완전 차동 신호 시스템 역시 본 발명의 기술 사상에 따른 효과를 얻을 수 있다. 즉, 본 발명의 기술 사상에 따라, 안정적으로 작동하면서도 향상된 성능을 갖는 완전 차동 신호 시스템이 얻어질 수 있다.
- [0060] 도 16은 본 발명의 실시 예에 따른 완전 차동 신호 시스템이 가질 수 있는 또 다른 구성을 나타낸 블록도이다. 완전 차동 신호 시스템(400)은 제 1 증폭부(410), 공통 모드 검출부(420), 제 2 증폭부(430), 제 1 안정화부(440), 및 제 2 안정화부(450)를 포함할 수 있다.
- [0061] 제 1 증폭부(410)는 입력 차동 신호(P_IN, N_IN)를 제공받을 수 있다. 나아가, 제 1 증폭부(410)는 공통 모드 케환 신호(CMF)를 제공받을 수 있다. 공통 모드 케환 신호(CMF)는 제 1 증폭부(410)의 직류 동작점을 유지시키기 위한 신호이다. 공통 모드 케환 신호(CMF)는 제 2 증폭부(430)로부터 제공될 수 있다. 제 2 증폭부(430)의 기능에 관한 설명은 뒤에서 언급된다. 제 1 증폭부(410)는 출력 차동 신호(P_OUT, N_OUT)를 생성할 수 있다. 제 1 증폭부(410)는 출력 차동 신호(P_OUT, N_OUT) 각각을 출력하기 위한 제 1 출력 단자(OUT_1) 및 제 2 출력 단자(OUT_2)를 포함할 수 있다. 이로써, 완전 차동 신호 시스템(400)은 노이즈의 영향을 크게 받지 않고 올바른 신호를 전송할 수 있다.
- [0062] 공통 모드 검출부(420)는 출력 차동 신호(P_OUT, N_OUT)를 제공받을 수 있다. 실시 예로서, 공통 모드 검출부(420)는 제 1 증폭부(410)의 제 1 출력 단자(OUT_1) 및 제 2 출력 단자(OUT_2)와 연결될 수 있다. 공통 모드 검출부(420)는 출력 차동 신호(P_OUT, N_OUT)에 포함되는 공통 모드 신호를 검출할 수 있다. 공통 모드 신호는, 예컨대, 공급 전력에 포함된 노이즈일 수 있다. 공통 모드 검출부(420)는 검출 결과에 기초하여, 검출된 공통 모드 신호(DCM)를 생성할 수 있다.
- [0063] 제 2 증폭부(430)는 검출된 공통 모드 신호(DCM)를 제공받을 수 있다. 나아가, 제 2 증폭부(430)는 기준 신호(REF)를 제공받을 수 있다. 제 2 증폭부(430)는 검출된 공통 모드 신호(DCM) 및 기준 신호(REF)에 기초하여 공통 모드 케환 신호(CMF)를 생성할 수 있다. 제 2 증폭부(430)는 공통 모드 케환 신호(CMF)를 출력하기 위한 케환 신호 출력 단자(OUT_F)를 포함할 수 있다. 공통 모드 케환 신호(CMF)는 제 1 증폭부(410)로 제공될 수 있다. 완전 차동 신호 시스템(400)이 공통 모드 검출부(420) 및 제 2 증폭부(430)를 따라 형성되는 공통 모드 케환 회로를 포함하는 경우, 소자 간 mismatch, 공급 전력의 변동, 및 공정 오차에 둔감한 완전 차동 신호 시스템(400)이 얻어질 수 있다.
- [0064] 제 1 안정화부(440)는 제 1 증폭부(410)의 제 1 출력 단자(OUT_1)와 제 2 증폭부(430)의 케환 신호 출력 단자(OUT_F) 사이에 연결될 수 있다. 특히, 제 1 안정화부(440)는 제 1 저항성 유닛과 제 1 용량성 유닛의 직렬 연결을 포함할 수 있다. 즉, 제 1 안정화부(440)는 주파수 영역에서 다음 수학적 식 1과 같은 특성을 갖도록 구성될 수 있다.

수학식 1

$$R + \frac{1}{j\omega C}$$

[0065]

[0066]

(단, R은 저항 값, C는 커패시턴스 값, ω 는 주파수 값)

[0067]

실시 예로서, 제 1 안정화부(440)에 포함되는 제 1 저항성 유닛과 제 1 용량성 유닛 각각은 하나의 저항 소자와 하나의 커패시터 소자일 수 있다. 그러나, 본 발명의 기술 사상은 위 실시 예로 제한되지 않는다. 제 1 안정화부(440)에 포함되는 제 1 저항성 유닛과 제 1 용량성 유닛 각각은 저항 성분과 용량 성분을 갖는 어떠한 소자 또는 어떠한 회로로든 구현될 수 있다. 뿐만 아니라, 하나의 소자 또는 하나의 회로가 저항 성분과 용량 성분을 동시에 갖는다면, 제 1 안정화부(440)는 그 하나의 소자 또는 하나의 회로만을 포함할 수도 있다.

[0068]

실시 예로서, 제 1 안정화부(440)에서, 제 1 저항성 유닛의 일단과 제 1 용량성 유닛의 일단이 서로 연결될 수 있다. 제 1 저항성 유닛의 타단은 제 1 출력 단자(OUT_1) 및 궤환 신호 출력 단자(OUT_F) 중 어느 하나에 연결될 수 있다. 제 1 용량성 유닛의 타단은 제 1 출력 단자(OUT_1) 및 궤환 신호 출력 단자(OUT_F) 중 제 1 저항성 유닛의 타단과 연결되지 않은 단자에 연결될 수 있다. 즉, 제 1 안정화부(440)는 제 1 저항성 유닛과 제 1 용량성 유닛의 직렬 연결을 포함하는 것으로 충분하다. 이로써, 제 1 안정화부(440)는 주파수 영역에서 수학식 1과 같은 특성을 가질 수 있다.

[0069]

제 2 안정화부(450)는 제 1 증폭부(410)의 제 2 출력 단자(OUT_2)와 제 2 증폭부(430)의 궤환 신호 출력 단자(OUT_F) 사이에 연결될 수 있다. 특히, 제 2 안정화부(450)는 제 2 저항성 유닛과 제 2 용량성 유닛의 직렬 연결을 포함할 수 있다. 즉, 제 2 안정화부(450) 역시 주파수 영역에서 수학식 1과 같은 특성을 갖도록 구성될 수 있다.

[0070]

실시 예로서, 제 2 안정화부(450)에 포함되는 제 2 저항성 유닛과 제 2 용량성 유닛 각각은 하나의 저항 소자와 하나의 커패시터 소자일 수 있다. 그러나, 본 발명의 기술 사상은 위 실시 예로 제한되지 않는다. 제 2 안정화부(450)에 포함되는 제 2 저항성 유닛과 제 2 용량성 유닛 각각은 저항 성분과 용량 성분을 갖는 어떠한 소자 또는 어떠한 회로로든 구현될 수 있다. 뿐만 아니라, 하나의 소자 또는 하나의 회로가 저항 성분과 용량 성분을 동시에 갖는다면, 제 2 안정화부(450)는 하나의 소자 또는 하나의 회로만을 포함할 수도 있다.

[0071]

제 2 안정화부(450)에서, 제 2 저항성 유닛의 일단과 제 2 용량성 유닛의 일단이 서로 연결될 수 있다. 제 2 저항성 유닛의 타단은 제 2 출력 단자(OUT_2) 및 궤환 신호 출력 단자(OUT_F) 중 어느 하나에 연결될 수 있다. 제 2 용량성 유닛의 타단은 제 2 출력 단자(OUT_2) 및 궤환 신호 출력 단자(OUT_F) 중 제 2 저항성 유닛의 타단과 연결되지 않은 단자에 연결될 수 있다. 즉, 제 2 안정화부(450)는 제 2 저항성 유닛과 제 2 용량성 유닛의 직렬 연결을 포함하는 것으로 충분하다. 이로써, 제 2 안정화부(450)는 주파수 영역에서 수학식 1과 같은 특성을 가질 수 있다.

[0072]

제 1 용량성 유닛 및 제 2 용량성 유닛의 연결에 따라, 완전 차동 신호 시스템(400)의 제 1 극점이 형성되는 주파수의 값이 감소할 수 있다. 나아가, 제 1 용량성 유닛 및 제 2 용량성 유닛의 연결에 따라, 완전 차동 신호 시스템(400)의 제 1 극점이 형성되는 주파수의 값보다 크고 제 2 극점이 형성되는 주파수의 값이 증가할 수 있다. 즉, 제 1 용량성 유닛 및 제 2 용량성 유닛의 연결에 의해 루프 보상이 수행될 수 있다. 이로써, 완전 차동 신호 시스템(400)은 안정적으로 작동할 수 있다.

[0073]

제 1 저항성 유닛 및 제 2 저항성 유닛의 연결에 따라, 완전 차동 신호 시스템(400)의 제 2 극점이 형성되는 주파수보다 큰 값을 갖는 주파수에서 영점이 형성될 수 있다. 영점의 형성에 따라 제 2 극점이 보상될 수 있다. 이로써, 시스템 루프 및 제 1 증폭부(410)의 특성이 개선될 수 있다. 즉, 제 1 안정화부(440) 및 제 2 안정화부(450)의 연결에 따라, 안정적으로 작동하면서도 향상된 성능을 갖는 완전 차동 신호 시스템(400)이 얻어질 수 있다. 제 1 안정화부(440) 및 제 2 안정화부(450)의 연결에 의해 얻어지는 효과는 도 3 내지 도 10, 및 도 12 내지 도 15에 대한 설명과 함께 언급되었다. 뿐만 아니라, 복잡한 회로 사용이나 많은 전력 소모 없이, 간단한 구성을 갖는 제 1 안정화부(440) 및 제 2 안정화부(450)의 연결만으로도 위에 설명된 효과가 얻어질 수 있다.

[0074] 각각의 블록도에 도시된 장치 구성은 발명의 이해를 돕기 위한 것이다. 각각의 블록은 기능에 따라 더 작은 단위의 블록들로 형성될 수 있다. 또는, 복수의 블록들은 기능에 따라 더 큰 단위의 블록을 형성할 수 있다. 즉, 본 발명의 기술 사상은 블록도에 도시된 구성에 의해 한정되지 않는다.

[0075] 이상에서 본 발명에 대한 실시 예를 중심으로 본 발명이 설명되었다. 다만, 본 발명이 속하는 기술 분야의 특성 상, 본 발명이 이루고자 하는 목적은 본 발명의 요지를 포함하면서도 위 실시 예들과 다른 형태로 달성될 수 있다. 따라서, 위 실시 예들은 한정적인 것이 아니라 설명적인 측면에서 이해되어야 한다. 즉, 본 발명의 요지를 포함하면서 본 발명과 같은 목적을 달성할 수 있는 기술 사상은 본 발명의 기술 사상에 포함되는 것으로 해석되어야 한다.

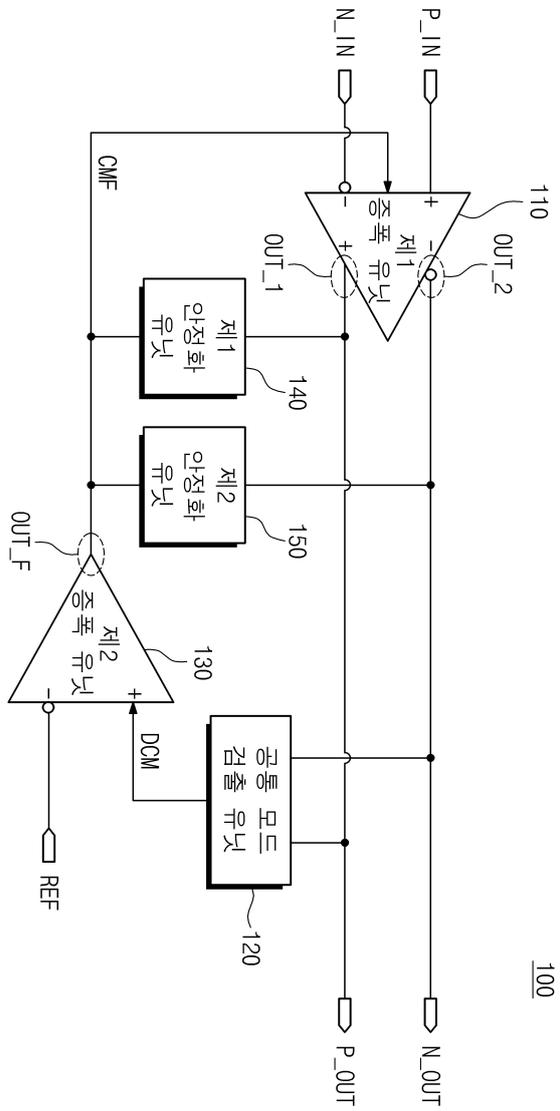
[0076] 따라서, 본 발명의 본질적인 특성을 벗어나지 않는 범위 내에서 수정 또는 변형된 기술 사상은 본 발명이 청구하는 보호 범위에 포함되는 것이다. 또한, 본 발명의 보호 범위는 위 실시 예들로 한정되는 것이 아니다.

부호의 설명

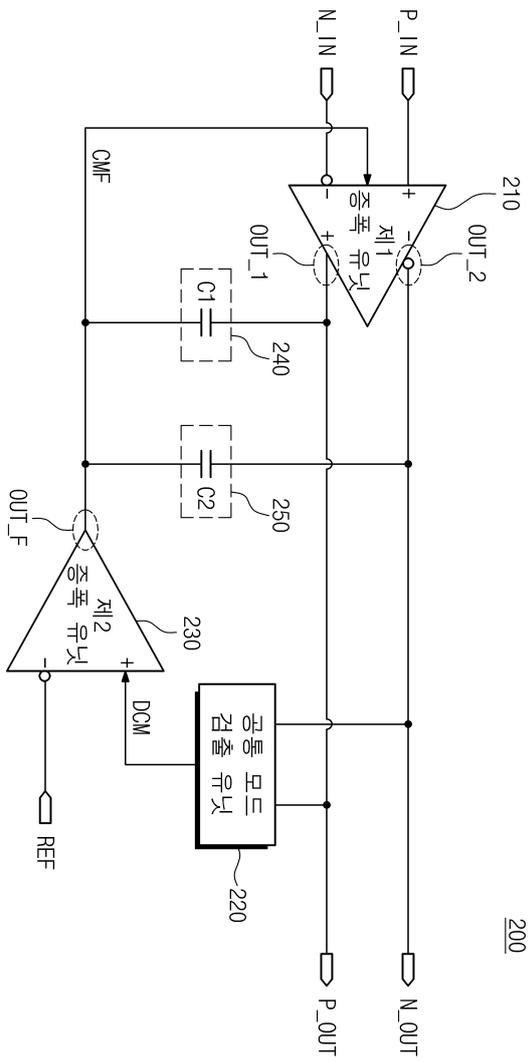
- [0077] 100, 200, 300 : 완전 차동 신호 시스템
 110, 210, 310 : 제 1 증폭 유닛 120, 220, 320 : 공통 모드 검출 유닛
 130, 230, 330 : 제 2 증폭 유닛 140, 240, 340 : 제 1 안정화 유닛
 150, 250, 350 : 제 2 안정화 유닛
 400 : 완전 차동 신호 시스템 410 : 제 1 증폭부
 420 : 공통 모드 검출부 430 : 제 2 증폭부
 440 : 제 1 안정화부 450 : 제 2 안정화부

도면

도면1



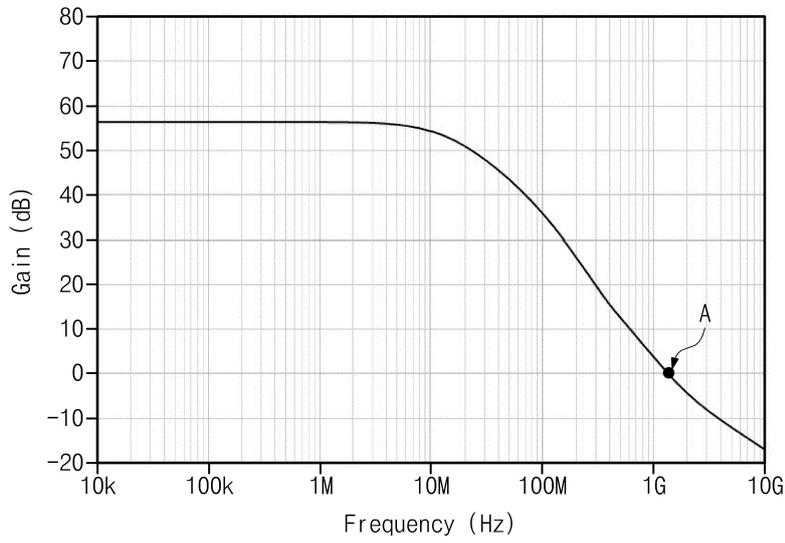
도면2



200

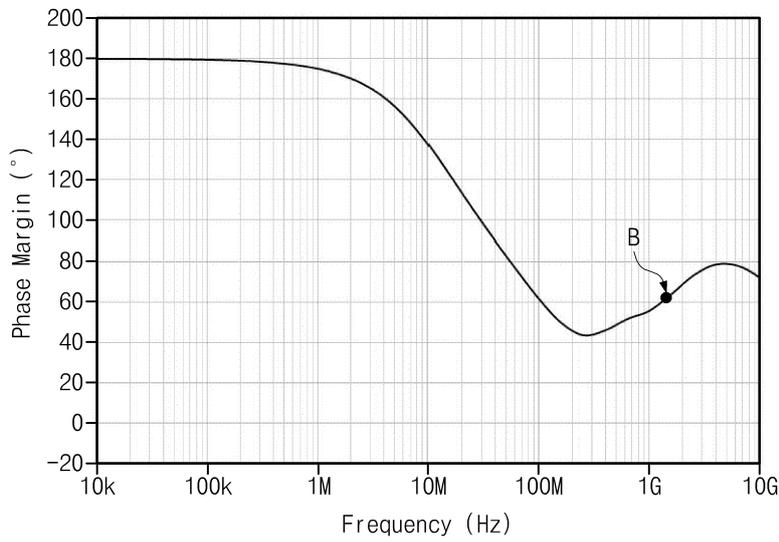
도면3

본 발명의 실시 예가 적용되지 않은 경우
제1 증폭 유닛의 이득 특성



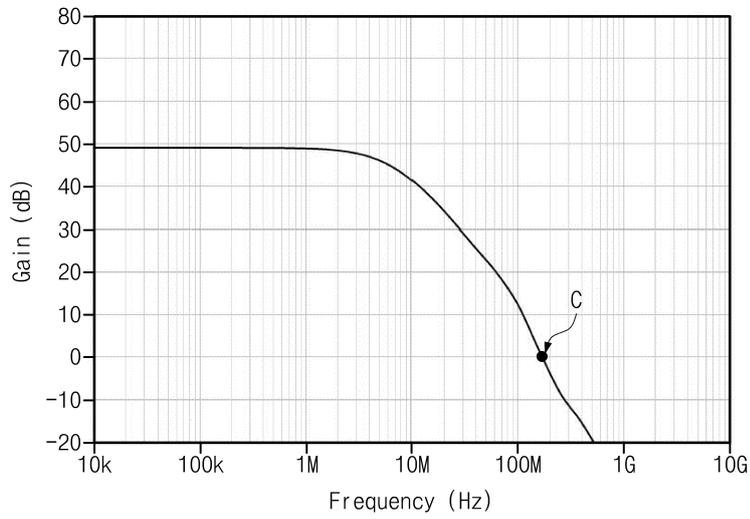
도면4

본 발명의 실시 예가 적용되지 않은 경우
제1 증폭 유닛의 위상 마진 특성



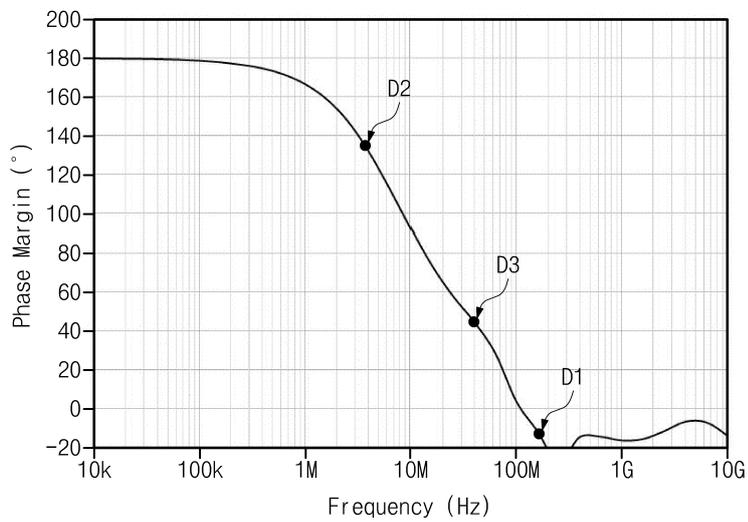
도면5

본 발명의 실시 예가 적용되지 않은 경우
시스템 루프의 이득 특성



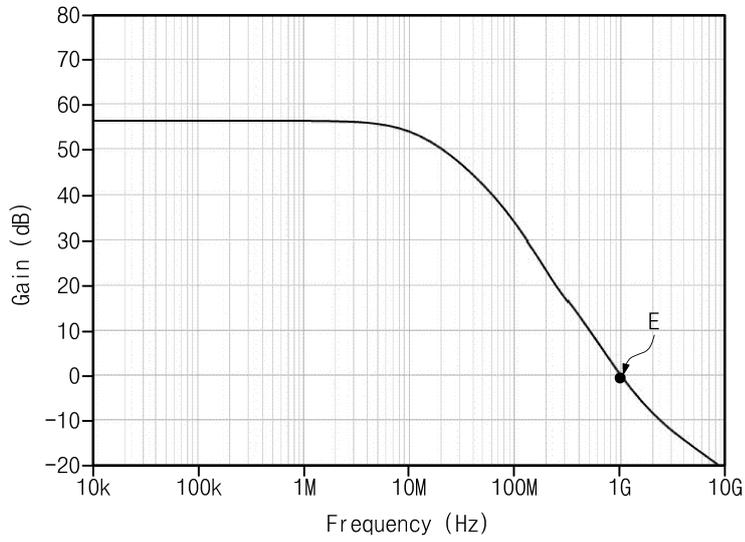
도면6

본 발명의 실시 예가 적용되지 않은 경우
시스템 루프의 위상 마진 특성



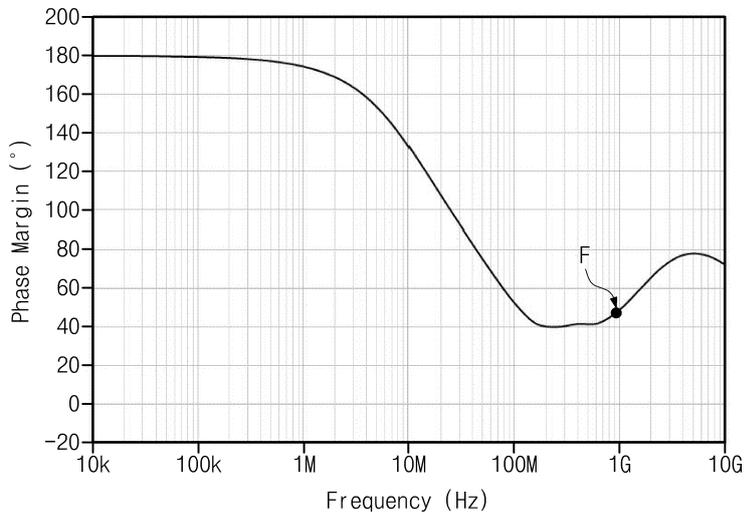
도면7

본 발명의 실시 예에 따라 커패시터만 연결된 경우
제1 증폭 유닛의 이득 특성



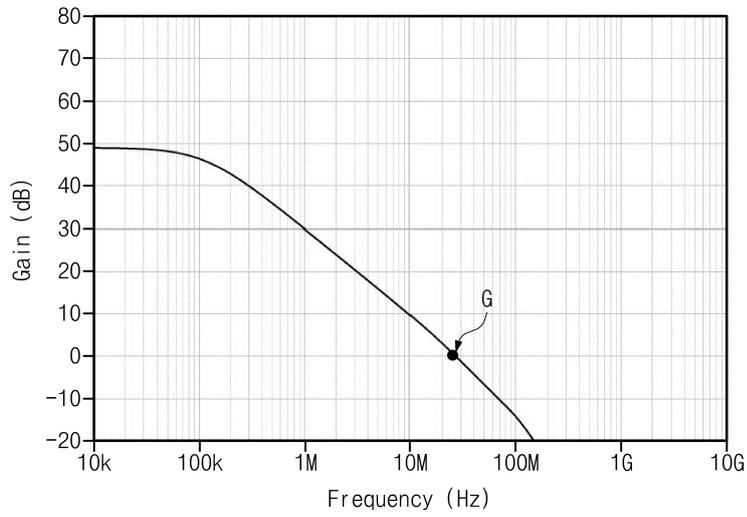
도면8

본 발명의 실시 예에 따라 커패시터만 연결된 경우
제1 증폭 유닛의 위상 마진 특성



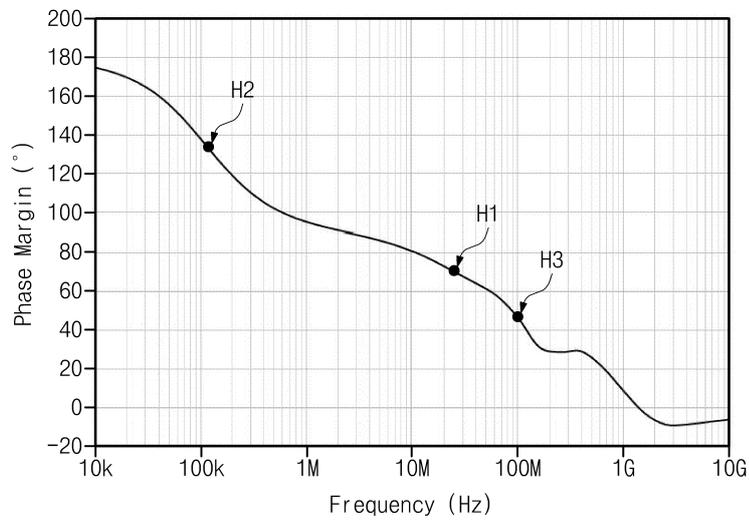
도면9

본 발명의 실시 예에 따라 커패시터만 연결된 경우
시스템 루프의 이득 특성

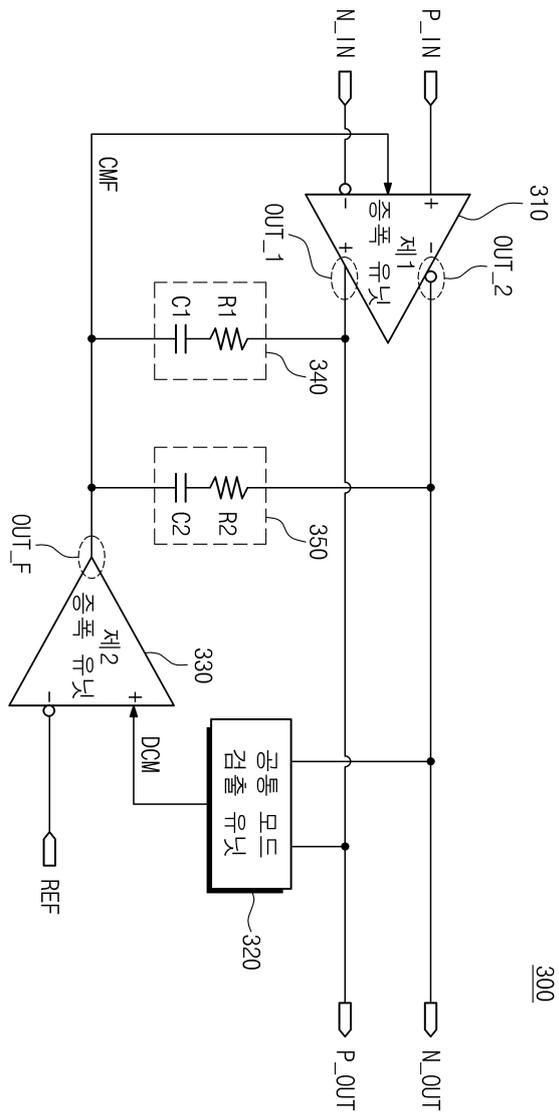


도면10

본 발명의 실시 예에 따라 커패시터만 연결된 경우
시스템 루프의 위상 마진 특성



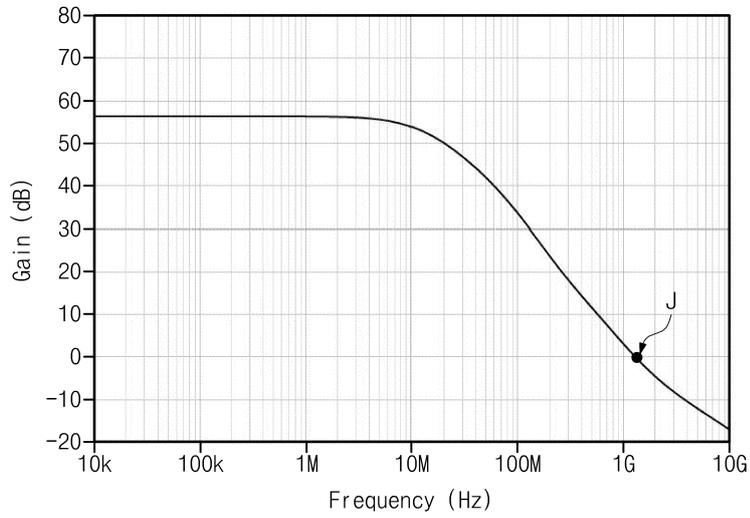
도면11



300

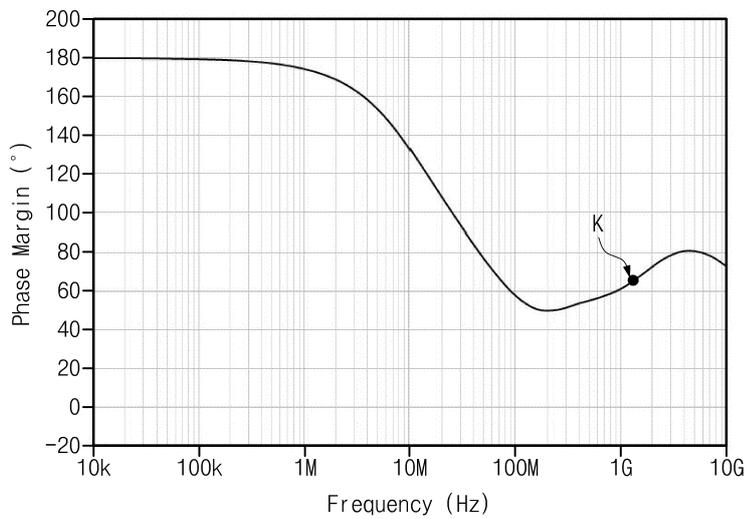
도면12

본 발명의 실시 예에 따라 커패시터와 저항이 연결된 경우 제1 증폭 유닛의 이득 특성



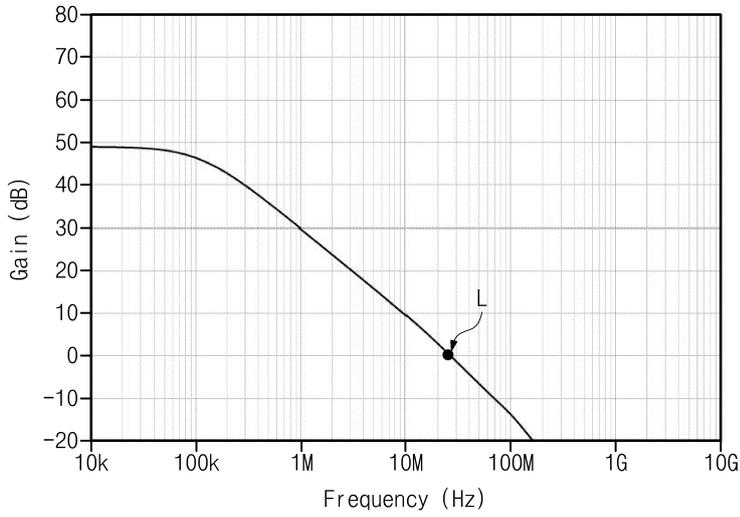
도면13

본 발명의 실시 예에 따라 커패시터와 저항이 연결된 경우 제1 증폭 유닛의 위상 마진 특성



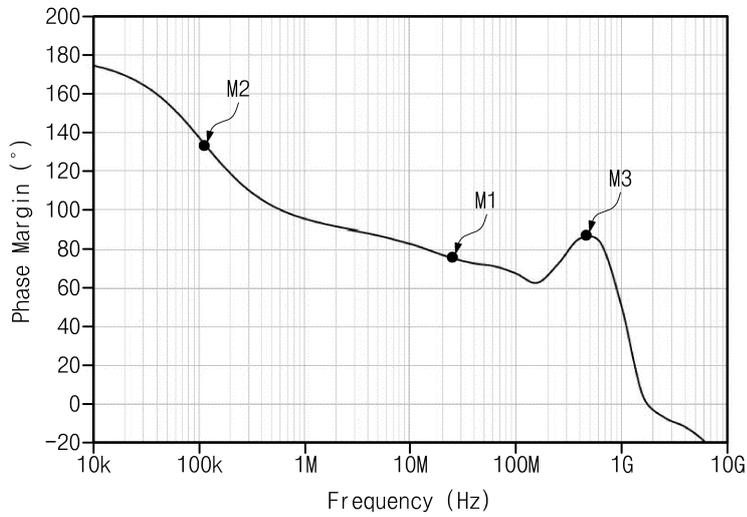
도면14

본 발명의 실시 예에 따라 커패시터와 저항이 연결된 경우 시스템 루프의 이득 특성



도면15

본 발명의 실시 예에 따라 커패시터와 저항이 연결된 경우 시스템 루프의 위상 마진 특성



도면16

