

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-197090

(P2008-197090A)

(43) 公開日 平成20年8月28日(2008.8.28)

(51) Int.Cl.		F I	テーマコード (参考)			
GO1R	31/36	(2006.01)	GO1R	31/36	A	2G016
HO1M	10/48	(2006.01)	HO1M	10/48	P	5G503
HO2J	7/02	(2006.01)	HO2J	7/02	H	5H030

審査請求 有 請求項の数 10 O L (全 23 頁)

(21) 出願番号 特願2008-5171 (P2008-5171)
 (22) 出願日 平成20年1月15日 (2008.1.15)
 (62) 分割の表示 特願2003-204219 (P2003-204219) の分割
 原出願日 平成12年2月7日 (2000.2.7)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100100310
 弁理士 井上 学
 (72) 発明者 江守 昭彦
 茨城県日立市大みか町七丁目1番1号
 株式会社日立製作所
 日立研究所内
 (72) 発明者 木下 拓哉
 茨城県日立市大みか町七丁目1番1号
 株式会社日立製作所
 日立研究所内

最終頁に続く

(54) 【発明の名称】 蓄電装置及び蓄電器の電圧検出方法

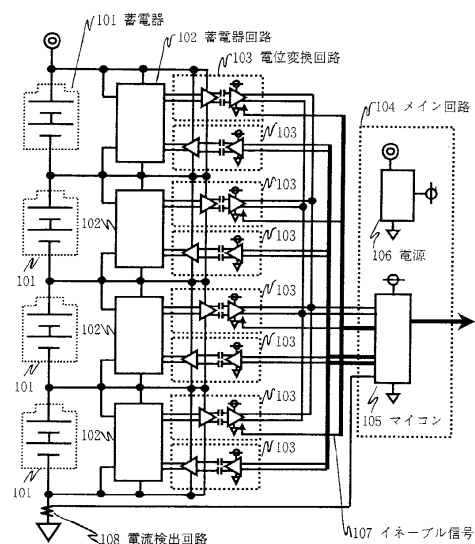
(57) 【要約】 (修正有)

【課題】複数の蓄電器、二次電池等が直列接続された回路において、それぞれの電位レベルに合わせた回路の数が増加し、蓄電装置のコスト及びサイズ、消費電力が増加する。また、非常に高耐圧のコンパレータなどの部品が必要となるが、回路数が少なく小型、低消費電力で信頼性の高い蓄電装置を実現する。

【解決手段】直列に接続された複数の蓄電器、又は二次電池等を制御または監視する蓄電器回路をそれぞれの蓄電器、又は、二次電池に設ける。そして、蓄電器回路と電位レベルの異なるメイン回路とを電位変換回路を介して接続する。

【選択図】 図 1

図 1



【特許請求の範囲】**【請求項 1】**

直列に接続される複数の蓄電器と、
前記複数の蓄電器の各々の電圧を検出する複数の蓄電器回路と、
検出された前記電圧を入力して所定の処理を行う処理回路と、
を備え、
前記処理回路は、前記複数の蓄電器回路の誤差に基づいて、入力された前記電圧を補正する補正演算処理を行う蓄電装置。

【請求項 2】

直列に接続される複数の蓄電器と、
前記複数の蓄電器の各々の電圧に応じたパルス信号を出力する複数の蓄電器回路と、
前記パルス信号の各々の電位レベルを変換する複数の電位変換回路と、
を備える蓄電装置。

10

【請求項 3】

請求項 2 において、前記蓄電器回路は、蓄電素子を有し、前記蓄電器の電圧によって前記蓄電素子を充電し、または前記蓄電器の電圧によって充電してから放電し、充電時間または放電時間に応じたパルス幅の前記パルス信号を出力する蓄電装置。

【請求項 4】

蓄電器と、
前記蓄電器の電圧に応じたパルス幅を有するパルス信号または蓄電器の電圧に応じた時間幅において継続するパルス列を発生する回路と、
を備える蓄電装置。

20

【請求項 5】

蓄電器を準備する第 1 のステップと、
前記蓄電器の電圧に応じたパルス幅を有するパルス信号または蓄電器の電圧に応じた時間幅において継続するパルス列を発生する第 2 のステップと、
前記パルス幅または前記パルス列のパルス数に基づいて前記蓄電器の電圧を検出する蓄電器の電圧検出方法。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、リチウム二次電池やニッケル水素電池，電気二重層キャパシタなどの蓄電器が複数直列に接続された蓄電装置に関する。

【背景技術】**【0002】**

従来の蓄電装置の一例が特開平 8 - 78060 号公報に開示されている。

【0003】

この蓄電装置においては、二次電池が 2 個直列に接続され、それぞれの二次電池の両端に、電圧判定器および複数個直列接続された抵抗が接続されている。各電圧判定器は、二次電池の電圧が所定の電圧に達したか否かに応じた電圧を出力する。直列接続された抵抗は二次電池の電圧を分圧し、基準電圧を作る。

40

【0004】

電圧判定器の出力電圧と抵抗分圧による基準電圧とはコンパレータで比較される。そして、いずれかの二次電池が満充電に達し、電圧判定器の出力電圧が、基準電圧を越えたら、コンパレータの出力はローとなる。コンパレータのロー出力によって二次電池と直列に接続された F E T を O F F して、充電を停止する。

【0005】

【特許文献 1】 特開平 8 - 78060 号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0006】

上記従来技術において、各電圧判定器の出力は、直列接続された二次電池の最下マイナス端子を基準とする電位レベルがそれぞれ異なる。このため、基準電圧を作る直列接続された抵抗は各二次電池にそれぞれ専用に設ける必要がある。この様に、各二次電池に対し同じ機能を果たす回路であっても、それぞれの電位レベルに合った回路がそれぞれの二次電池毎に必要となる。

【0007】

また、抵抗の値は公称値に対しある範囲のばらつきが必ず存在するため、満充電を規定する基準電圧がばらつき、基準電圧の精度が低下する。このため、抵抗は抵抗値のばらつきが小さい物を選択する必要がある、高価となる。

10

【0008】

さらに、コンパレータの耐圧は直列接続された電池の合計の電圧が必要となる。

【0009】

従って、多数の電池を直列接続すると、それぞれの電位レベルに合わせた回路の数が増加し、蓄電装置のコスト及びサイズ、消費電力が増加する。また、非常に高耐圧のコンパレータなどの部品が必要となる。

【0010】

本発明は上記問題点を考慮してなされたものである。

【課題を解決するための手段】

【0011】

20

本発明による蓄電装置は、直列に接続される複数の蓄電器の各々の電圧に応じた信号を出力する複数の蓄電器回路と、出力された信号の各々の電位レベルを変換する複数の電位変換回路とを備える。電位レベルが変換された信号は処理回路に入力される。入力された信号に基づいて、処理回路は所定の処理を行う。あるいは、処理回路は、蓄電器を制御するための制御信号を作成する。制御信号は、電位変換回路によって電位レベルを変換されてから、複数の蓄電器回路に入力される。入力された制御信号に基づいて、蓄電器回路は、例えばバイパス回路によって各蓄電器の電圧をバランスさせるように、蓄電器を制御する。本発明によれば、電位レベルの変換により、処理回路が複数の電圧検出信号を処理できる。従って、蓄電装置の部品点数が削減される。

【0012】

30

電位変換回路としては、蓄電器回路と処理回路との間に接続される絶縁カプラを備える回路やレベルシフト回路など各種の回路が適用される。処理回路としては、マイコン等の各種のプロセッサや各種のコントローラが適用される。

【0013】

本発明による他の蓄電装置の処理回路においては、蓄電器回路によって検出された蓄電器の電圧を構成素子の特性ばらつきなどによって生じる蓄電器回路の誤差に基づいて補正する補正演算処理が行われる。これによって、検出精度が向上する。

【0014】

40

本発明によるさらに他の蓄電装置においては、蓄電器回路は、蓄電器の各々の電圧に応じたパルス信号を出力する。パルス信号の各々は、電位変換回路によって、電位レベルが変換される。パルス信号としては、デジタル信号や微分パルス信号などがある。パルス信号を用いることによって、電位変換に伴う電圧検出誤差が低減する。また、パルス信号として、蓄電器の電圧に応じたパルス幅を有するパルス信号または蓄電器の電圧に応じた時間幅において継続するパルス列が適用される。アナログ量である蓄電器の電圧をこれらのパルス信号に変換することにより、電圧の検出精度が向上する。なお、パルス信号への変換は、回路によるハード的手段やマイコンなどによるソフト的処理など、各種の方法が適用される。

【0015】

なお、本発明は、リチウム電池、ニッケル水素電池などの二次電池や、電気二重層、キャパシタなどの、電力貯蔵機能を有する各種の蓄電器およびそれらの直列接続体に適用さ

50

れる。また、複数の蓄電器セルが直列または並列に接続された蓄電器群が、複数個直列に接続されたものなど、各種の蓄電器接続体に適用される。

【発明の効果】

【0016】

以上説明した様に本発明によれば、複数の蓄電器が直列接続された回路において、回路数が少なく安価で小型、低消費電力で、または制御精度、ノイズマージンが高く信頼性の高い蓄電装置を実現できる。

【0017】

このため、リチウム二次電池やニッケル水素電池、電気二重層キャパシタなどの蓄電器や蓄電器が多数直列に接続された蓄電装置、および、これらを評価する評価装置、これらの製造装置で有益である。

10

【発明を実施するための最良の形態】

【0018】

以下本発明の実施例について図面を用いて詳細に説明する。図において同一の部分が2つ以上あるものに関しては同一の符号を付し、説明を省略している。

【0019】

図1は、本発明の第1の実施例を示す図である。図において、101は蓄電器、102は蓄電器回路、103は電位変換回路、104はメイン回路、105はマイコン、106は電源、107はイネーブル信号、108は電流検出回路である。

【0020】

蓄電器101が4個直列接続され、各蓄電器101に蓄電器回路102が並列に接続されている。また、蓄電器回路102は電位変換回路103を介して、メイン回路104と接続されている。

20

【0021】

蓄電器回路102は電圧検出回路やバイパス回路を有し、各蓄電器101の端子間電圧を検出する。また、バイパス回路によって各蓄電器101間の電圧アンバランスを解消するに各蓄電器の電圧が制御される。

【0022】

また、メイン回路104は、マイコン105と電源106などを有し、電源106によって作られる電源で動作する。電流検出回路108の出力はマイコン105に

30

【0023】

マイコン105では各蓄電器101の端子間電圧と電流検出回路108の検出値をもとに各蓄電器101の開路電圧を推定したり、充電状態や電圧アンバランスを判定し、残量表示やバイパス回路の駆動、蓄電装置全体の制御を行う。

【0024】

各蓄電器101は直列に接続されている為、各蓄電器回路101とメイン回路104は電位レベルが異なる。電位変換回路103は、電位レベルがそれぞれ異なる各回路間において、電位を変換して電気信号を伝送する。

【0025】

図1では電位変換回路103は、コンデンサカップリング型の絶縁カプラであるが、トランス結合型やフォトカプラ型など、その他の絶縁カプラや、MOSトランジスタと分圧抵抗から成るレベルシフト回路も適用される。また、絶縁カプラの入力はノイズ耐性向上の為に差動の信号対であるが、シングルエンドも適用される。本実施例における絶縁カプラは、蓄電器回路102とメイン回路104との間に接続される容量性絶縁バリヤであるキャパシタを備えている。

40

【0026】

また、イネーブル信号107と接続された絶縁カプラの出力は、共通点で接続され、マイコン105に。絶縁カプラの出力をそれぞれマイコン105に50

07により絶縁カプラの動作を制御し、絶縁カプラの出力の共通化及びマイコン105への入力数の削減を図っている。

【0027】

これにより、電位レベルの異なる各回路が機能的に接続され、各蓄電器や蓄電器全体の状態を監視、管理可能な蓄電装置を実現できる。

【0028】

また、各回路はそれぞれの電位レベルで動作するため、最低限の耐圧で実現できる。

【0029】

そして、各蓄電器101に対し充電状態や電圧アンバランスを判定する様な同じ機能を果たす回路はメイン回路104で共通化され、回路数や部品点数、消費電力の削減、小型、低コスト化が図られる。

【0030】

更に、各制御信号や検出値は絶縁カプラを通す際にデジタル値等のパルス信号として処理すると、信号伝送や電位変換に伴う制御精度やノイズマージンの低下を防止できる。

【0031】

ここで、図1では蓄電器101が4個直列に接続されているが、その他の直列接続数でも実現可能であることは言うまでも無い。

【0032】

この様に、本実施例によれば、回路数が少なく安価で小型、低消費電力で、かつ制御精度、ノイズ耐性が高く信頼性の高い蓄電装置を実現することができる。

【0033】

図2は、本発明の第2の実施例を示す図である。図において、121は選択回路、122は比較回路、123は記憶回路、124は補正回路、125は電圧検出回路である。

【0034】

蓄電器回路102は蓄電器101の端子間電圧を検出する電圧検出回路125を有している。また、メイン回路104は選択回路121と補正回路124を有し、補正回路124はマイコン105と、比較回路122、記憶回路123より構成されている。

【0035】

選択回路121は、電位変換回路103を介して入力される各電圧検出回路125の出力を選択し、マイコン105及び比較回路122に入力する。

【0036】

またマイコン105では記憶回路123に記憶されている補正基準となる真の値を読み取り、VREFとして比較回路122へ入力する。

【0037】

そして比較回路122では選択回路121の出力とVREFとを比較する。その比較結果である比較回路122の出力は記憶回路123に入力される。

【0038】

ここで、蓄電器101はある電圧からある電圧までの使用電圧範囲が存在する。従って、記憶回路123に記憶されている補正基準となる真の値は、予めこれらの使用電圧範囲外に設定する。

【0039】

そして、蓄電器101を接続する前に電圧検出回路125の入力にVREFの基準電源を印加すると、選択回路121の出力をマイコン105が判定し、補正モードと判断する。次に、この時の電圧検出回路125の検出値、すなわち選択回路121の出力とVREFとを比較回路122で比較し、これらの差を電圧検出回路125の誤差として記憶回路123に記憶し補正モードを完了する。

【0040】

後に蓄電器101が接続され、使用電圧が電圧検出回路125に印加されると補正式と記憶した誤差をもとにマイコン105が補正演算処理する。これにより、電圧検出器125の誤差が補正され、検出精度や信頼性が向上する。

10

20

30

40

50

【 0 0 4 1 】

ここで、V R E F は記憶回路 1 2 3 に予め記憶された値をマイコン 1 0 5 で読み取り生成するが、別の基準電源を設けてもよい。また、補正回路 1 2 4 はマイコン 1 0 5 , 比較回路 1 2 2 , 記憶回路 1 2 3 で構成したが、比較回路 1 2 2 及び記憶回路 1 2 3 を同一のマイコン 1 0 5 に組み込むことも可能である。この場合、消費電力や部品点数, レイアウト面積等を削減することが可能となる。

【 0 0 4 2 】

図 3 は、本発明の第 3 の実施例を示す図である。図において、1 3 1 は補正スイッチであり、比較回路 1 2 2 の出力と記憶回路 1 2 3 の入力の間挿入されている。補正スイッチ 1 3 1 は通常の電圧検出時は O F F している。

10

【 0 0 4 3 】

前記本発明の第 2 の実施例では、補正モードの判断を電圧検出回路 1 2 5 に印加する基準電源の電圧値 V R E F によってマイコンが判定した。ここでは、補正スイッチ 1 3 1 を O N すると比較回路 1 2 2 と記憶回路 1 2 3 が接続されるため、補正モードであることを確実に判定できる。従って補正モードにおける誤差の記憶を確実に行うことができるので、信頼性が向上する。なお、本実施例においては、電位変換後の電圧検出値を補正するので、補正後に生じる誤差を防止できる。

【 0 0 4 4 】

本実施例においても比較回路 1 2 2 及び記憶回路 1 2 3 を同一のマイコン 1 0 5 に組み込むことができる。この場合、補正スイッチ 1 3 1 またはこれに代わる信号入力をマイコン 1 0 5 に設ける。これにより消費電力や部品点数, レイアウト面積等が低減する。

20

【 0 0 4 5 】

図 4 は、本発明の第 4 の実施例を示す図である。図において、1 4 1 は補正手段、1 4 2 は選択回路、1 4 3 は電圧検出基準回路である。

【 0 0 4 6 】

補正手段 1 4 1 は選択回路 1 4 2 と電圧検出基準回路 1 4 3 , 比較回路 1 2 2 で構成され、選択回路 1 4 2 の入力には各蓄電器 1 0 1 の各端子間に接続されている。また、選択回路 1 4 2 の出力は電圧検出基準回路 1 4 3 を介して比較回路 1 2 2 に入力されている。この電圧検出基準回路 1 4 3 は予め校正、または精度が保証された冗長系の高精度の電圧検出回路である。

30

【 0 0 4 7 】

補正モードでは、選択している電圧検出回路 1 2 5 の出力と、この基準となる電圧検出基準回路 1 4 3 の出力とを比較回路 1 2 2 で比較し、電圧検出回路 1 2 5 の誤差を求め、記憶回路 1 2 3 にこの誤差を記憶する。

【 0 0 4 8 】

そして、記憶した誤差と補正式をもとに後の各電圧検出回路 1 2 5 の検出値をマイコン 1 0 5 で補正演算処理する。これにより、電圧検出回路 1 2 5 の誤差が補正され検出精度や信頼性を向上させることが可能となる。

【 0 0 4 9 】

ここで、電圧検出基準回路 1 4 3 は各蓄電器 1 0 1 にそれぞれ設けることも可能であるが、比較的高価であり回路数の増加にもつながる。そこで、ここでは選択回路 1 4 2 を設けて電圧検出基準回路 1 4 3 の共有化を図っている。また、比較回路 1 2 2 は補正手段 1 4 1 に設けることも可能である。そして、補正手段 1 4 1 は補正モード時に使用するため、蓄電装置から切り離し可能とすることもできる。

40

【 0 0 5 0 】

図 5 は、本発明の第 5 の実施例を示す図である。図において、2 0 1 は差動増幅回路、2 0 2 は絶縁バリヤ、2 0 3 は負荷抵抗、2 0 4 は遷移検出回路、2 0 5 はパルス再生回路である。これらにより、図 1 ~ 図 4 における電位変換回路 1 0 3 が微分型の遷移信号を伝送する絶縁カプラとして構成される。

【 0 0 5 1 】

50

差動増幅回路201は入力パルス信号P1s_inを入力して相補のパルス信号対P1s_1を出力する。初段はCMOSの差動アンプで構成され、基準電圧Vrefと入力パルス信号P1s_inとの比較結果を相補信号で出力する。次段(駆動段)のドライバはCMOSインバータで構成され、これにより、ほぼ電源電圧に等しい振幅を有する相補のパルス信号対(差動増幅回路出力)P1s_1を出力する。

【0052】

絶縁バリヤ202は1次側と2次側との絶縁耐圧を有する容量性の絶縁バリヤである。1次側及び2次側の各々の端子はそれぞれ、高電位電源(VDD1又は、VDD2)との間、また、低電位電源(VSS1又は、VSS2)との間とに逆方向接続のダイオードを設け、ノイズ等によるサージを吸収する。

10

【0053】

負荷抵抗203は、1次側からの容量性結合により2次側の端子に微分波形を出力するために設けた微分手段である。負荷抵抗203は高電位電源VDD2と2次側の端子間を短絡するように設けている。このため、2次側の端子は定常的には高電位電源VDD2の電位に固定され、1次側の端子の“Hi”レベルから“Lo”レベルに遷移した時に、“Lo”レベル側へスパイク状の微分波形を発生する。

【0054】

遷移検出回路204は、微分信号対P1s_3を入力して、入力パルス信号P1s_inの立ち上がりエッジと立ち下がりエッジの各々を検出してワンショットパルスP1s_4を発生する。入力段は、微分信号対P1s_3を互いに逆接続して入力信号とする、対のCMOS差動アンプを用いる。対のCMOS差動アンプは、各々、シングルエンドの信号を出力する。CMOS差動アンプの入力信号は定常的に同レベルとなるため、負荷はPMOSのカレントミラーで構成する。

20

【0055】

CMOS差動アンプは微分信号対P1s_3に電位差が生じた(入力パルス信号P1s_inが遷移した)時にのみ、その電位差に対する差動出力(個々のCMOS差動アンプはシングルエンド出力)P1s_40を出力する。よって、対のCMOS差動アンプの出力P1s_40は定常的には同一のレベルとなる。このため、次段のPMOS入力のレベル変換回路の出力は入力信号が同一レベルの時に中間レベル(次段のゲートの論理しきい値付近のレベル)を出力しないように設計する必要がある。

30

【0056】

例えば、本実施例の場合、次段のフリップフロップからなるパルス再生(復調)回路205はCMOSのNANDゲートで受けるため、P1s_40が同一レベルの時は“Hi”レベルを出力するようにレベル変換回路のMOSのゲート幅等を設計する。よって、レベル変換回路は、入力側のPMOSのゲート幅とNMOSのゲート幅との比と、出力側のPMOSのゲート幅とNMOSのゲート幅との比は異なる。遷移検出回路204の出力は定常的には双方とも“Hi”レベルであり、入力パルス信号P1s_inの遷移に対応して、立ち上がり時に一方に、また、立ち下がり時に他方に“Lo”レベルのワンショットパルスを発生する。

【0057】

40

パルス再生回路205は遷移検出回路204の出力信号P1s_4により、入力パルス信号P1s_inを2次側に再生して出力パルスP1s_outを出力するフリップフロップで構成される。本実施例は2組のCMOS-NANDゲートで構成されるフリップフロップと、1組のCMOSインバータのドライバとでパルス再生回路205を構成する。必要によりフリップフロップをリセットするための手段を盛り込むことも容易である。

【0058】

本実施例の絶縁カプラでは2次側の端子が負荷抵抗203を介して高電位電源VDD2に短絡されているため、1次側の立ち下がり動作が重要になってくる。このため、差動増幅回路201の出力段CMOSインバータは、例えば、CMOSインバータのように論理しきい値VLTを、(VDD-VSS)/2より低く設定すると、立ち下がりの遷移時間

50

が短くなりタイミングのバラツキを抑えることができる。

【0059】

本実施例の説明に当たっては回路の遅延時間に関して特に触れていないが、動作の説明に係わる入力パルス信号のパルス幅などに比して回路の遅延時間が十分小さい場合であり、回路の遅延時間はあるものの特に考慮しない。

【0060】

本実施例では絶縁バリヤ202前後の回路を差動回路で構成しているためコモンモードノイズの耐性が向上するので、S/Nが向上する。また、絶縁バリヤ202後段の回路を対の差動アンプで構成することにより、CMRR(Common Mode Rejection Rate)に優れた増幅回路を実現できる。更に回路を単純なCMOSゲートで構成しているため、5V以下(1.8V程度まで)の低電圧化にも十分対応できると共に、消費電力を抑える効果もある。

10

【0061】

図6は図5の回路の動作を示す図である。入力パルス信号Pls_inを受けて、差動増幅回路201の出力Pls_1は差動の信号となっている。また負荷抵抗203の波形は絶縁バリヤ202の1次側からの容量性結合により、微分信号Pls_3となる。そして、遷移検出回路204の出力、遷移検出信号Pls_4は微分信号Pls_3と同期した矩形波である。最終出力段のパルス再生回路205の出力、再生パルス信号Pls_outはPls_4の相補の遷移と同期したパルス幅の矩形波であり、Pls_inと一致した波形となっている。

20

【0062】

この様に微分型の絶縁カプラはその遷移信号が微分波形となるので、絶縁カプラの消費電力が低減する。

【0063】

図7は、本発明の第6の実施例を示す図である。図において、401はアクティブフィルタ、402は電圧検出回路である。

【0064】

アクティブフィルタ401はOPアンプ及び抵抗、コンデンサで構成され、電圧検出回路402の入力と蓄電器101との間に設けられている。

【0065】

アクティブフィルタ401は蓄電器101の端子間に重畳されるノイズ成分を除去し、蓄電器101の直流電圧成分を電圧検出器402へ入力する。

30

【0066】

これにより、電圧検出回路402はノイズ成分による誤検出が防止され、検出精度や信頼性が向上する。

【0067】

図8は、本発明の第7の実施例を示す図である。図において、501は電圧時間変換回路、502は充電スイッチ、503は蓄電素子、504は放電スイッチ、505は判定回路、506は時間電圧変換回路、507は充放電抵抗である。

【0068】

電圧時間変換回路501は蓄電器回路102内に設けられ、充電スイッチ502と放電スイッチ504の直列接続、蓄電素子503と放電スイッチ504の充放電抵抗507を介した並列接続、及び充放電抵抗507と蓄電素子503の共通接続点を入力とする判定回路505で構成されている。

40

【0069】

また、時間電圧変換回路506はコンパレータで構成されている。

【0070】

そして、電圧時間変換回路501と時間電圧変換回路506を接続する絶縁カプラはシングルエンドで、絶縁バリヤ202の2次側は共通に接続され、負荷抵抗203、遷移検出回路204、パルス再生回路205を共有した構成となっている。

50

【 0 0 7 1 】

電圧時間変換回路 5 0 1 は以下の様に動作する。まず、充電スイッチ 5 0 2 を ON し、放電スイッチ 5 0 4 を OFF して、蓄電器 1 0 1 の端子間電圧 V_B と等電圧になるまで蓄電素子 5 0 3 を充電する。次に充電スイッチ 5 0 2 を OFF し、放電スイッチ 5 0 4 を ON して蓄電素子 5 0 3 を放電させる。そして判定回路 5 0 5 により蓄電素子 5 0 3 の電圧が、スレシヨルド電圧 V_{TH} (本実施例においては判定回路 5 0 5 の MOSFET のゲートスレシヨルド電圧) になったことを判定し、判定回路 5 0 5 の出力を反転させる。

【 0 0 7 2 】

いま、蓄電素子 5 0 3 の放電時間を t 、蓄電素子 5 0 3 の電圧を $V_c (= V_B)$ 、蓄電素子 5 0 3 の容量を C 、放電スイッチ 5 0 4 及び充放電抵抗 5 0 7 の抵抗を R とすると、以下の関係がある。

【 0 0 7 3 】

$$V_{TH} = V_c \cdot \exp(-t / CR) \quad \dots (1)$$

$$t = CR \cdot \ln(V_c / V_{TH}) \quad \dots (2)$$

これより、電圧時間変換回路 5 0 1 は蓄電器 1 0 1 の電圧 $V_B (= V_c)$ を放電時間 t 、すなわち判定回路 5 0 5 の出力のパルス幅または間隔に変換する。

【 0 0 7 4 】

ここでは放電時間 t をもってパルス幅または間隔に変換したが、充電時間でも同様である。

【 0 0 7 5 】

この時、(2) 式より明らかな様に電圧時間変換回路 5 0 1 の変換精度は C 、 R 及び V_{TH} に依存する。このため、蓄電素子 5 0 3、放電スイッチ 5 0 4、充放電抵抗 5 0 7 及び判定回路 5 0 5 は、素子特性のばらつきに注意する必要がある。

【 0 0 7 6 】

特に、判定回路 5 0 5 は素子ばらつきの小さいバイポーラトランジスタや高精度のコンパレータを用いることが好ましい。バイポーラトランジスタはビルトインポテンシャルが素子毎や温度等に対し安定しており、 V_{TH} のばらつきの面からも好ましい。

【 0 0 7 7 】

また、 C や R は一般的に温度に対し値が変化する。このため必要に応じ、(2) 式の値を温度に対し補正する。

【 0 0 7 8 】

次に時間電圧変換回路 5 0 6 は、パルス再生回路 2 0 5 の出力とクロック CLK 信号とをコンパレータで比較し、パルス再生回路 2 0 5 の出力が H_i の期間、パルス列を出力する。マイコン 1 0 5 はこのパルス数をカウントし、パルス数に応じて電圧に変換する。

【 0 0 7 9 】

仮に、蓄電素子 5 0 3 の電圧を $5V$ 、これを $1msec$ で放電し、 CLK を $16MHz$ とすると、パルス列のパルス数は

$$1msec / 1 / 16MHz = 16k \text{ コ} \quad \dots (3)$$

1 パルス当りの電圧は

$$5V / 16k = 0.3mV \quad \dots (4)$$

となる。従って、本実施例によれば、高い電圧検出精度が得られる。

【 0 0 8 0 】

ここで、時間電圧変換回路 5 0 6 ではコンパレータの替りに、インプットキャプチャ機能を備えたマイコンを用いてもよい。

【 0 0 8 1 】

また、絶縁カプラの絶縁バリヤ 2 0 2 の 2 次側が共通に接続され、負荷抵抗 2 0 3、遷移検出回路 2 0 4、パルス再生回路 2 0 5 を共有した構成としているため、各蓄電器 1 0 1 に接続される電圧時間変換回路 5 0 1 は順次動作される。

【 0 0 8 2 】

更に、各蓄電器 1 0 1 の電圧をマイコン 1 0 5 で比較する。その結果、各蓄電器 1 0 1

10

20

30

40

50

の電圧にアンバランスがある場合、電圧が他より大きい蓄電器101に接続される電圧時間変換回路501の充電スイッチ502と放電スイッチ504を同時にONさせる。これにより充電電流のバイパスまたは自己放電を充電スイッチ502と放電スイッチ504の直列接続で行い、電圧のアンバランスを解消する。

【0083】

本実施例においては、充電スイッチ502と放電スイッチ504の直列接続パスに含まれない充放電抵抗507を放電スイッチ504と蓄電素子503の間に挿入し、放電時間を調整している。従って、バイパス電流を大きくするために各スイッチの抵抗値を低減する場合において、十分な電圧検出精度が得られるように放電時間の大きさを設定できる。

【0084】

この様に本実施例よれば、直列接続された蓄電器101の電圧検出回路とバイパス回路を共有化し、電圧検出と電圧アンバランス解消機能を同時に実現することが可能となる。

【0085】

図9は、図8の動作を示す図である。充電スイッチ502がON(Hi)の期間、蓄電素子503は充電され、蓄電器101の電圧と等電圧になる。次に充電スイッチ502がOFF(Lo)、放電スイッチ504がONとなると、蓄電素子503の電圧は指数関数的に減少していく。そして、蓄電素子503の電圧がある電圧以下になると、判定回路505(遷移検出回路205)の出力はLoに反転する。また、コンパレータによるクロックCLKと遷移検出回路205の比較結果は判定回路505(遷移検出回路205)の出力がLoに反転するまでパルス列として連続する。

【0086】

マイコン105では放電スイッチ504がONの期間のこのパルス列をカウントし電圧値に変換する。またパルス列が規定数未満では蓄電器101が過放電状態または充電スイッチ502が異常を起こし誤動作していると検出できる。または規定数以上では蓄電器101が過充電状態または放電スイッチ504が異常を起こし誤動作していると検出できる。そして、充電スイッチ502がONの期間、パルス列が発生しない場合は、蓄電器101が過放電状態または短絡状態または充電スイッチ502が異常を起こし誤動作していると検出できる。

【0087】

更に、電圧時間変換回路501の充電スイッチ502と放電スイッチ504をバイパス回路として用いている場合は、パルス列の有無を判定することで、バランス回路が正常に動作しているか否かを検証できる。

【0088】

この様に本実施例によれば、電圧検出機能やアンバランス解消機能の他に、過充電や過放電、短絡など蓄電器101の状態検出、バイパス回路を兼ねる電圧時間変換回路501の動作検証を同時に達成することが可能となる。更にバイパス回路としては充電スイッチ502と放電スイッチ504が直列に接続されるため、万が一どちらかのスイッチが短絡故障した場合などでも、もう一つのスイッチによってバイパス回路を確実に遮断するといった冗長性を持たせることも可能となる。

【0089】

図10は、本発明の第8の実施例を示す図である。図において、701は補正基準回路、702はスイッチ、703は基準電源となるツェナーダイオードである。補正基準回路701はスイッチ702と基準電源703で構成されている。

【0090】

適時、充電スイッチ502とスイッチ702をONし、蓄電素子503を基準電源703と等電圧となるまで充電する。次に充電スイッチ502とスイッチ702をOFFし、放電スイッチ504をONし蓄電素子503を放電させる。

【0091】

基準電源703の電圧(Vref)はあらかじめ設定され既知のため、放電時間(tref)を基準とし、時間電圧変換時における蓄電素子503の容量C、放電スイッチ504

10

20

30

40

50

の抵抗 R , 判定回路 505 のスレシヨルド電圧 V_{TH} , 温度 T などによる放電時間 t の誤差を補正する。

【0092】

すなわち基準電源 703 の電圧を V_{ref1} 、この放電時間を t_{ref1} とすると

$$V_{ref1} = V_{TH} \cdot \exp(t_{ref1} / CR) \quad \dots (5)$$

より、電圧が V_c の蓄電素子 503 の放電時間 t は

$$t = CR \cdot \ln(V_c / V_{ref1}) + t_{ref1} \quad \dots (6)$$

と表され、 V_{TH} が未知でも放電時間 t を測ることが可能となる。

【0093】

更に、第 2 の基準電源 (図示せず) を設け、この時の電圧を V_{ref2} 、放電時間を t_{ref2} とすると、(6) 式は

$$t = (t_{ref2} - t_{ref1}) \cdot \ln(V_c / V_{ref1}) / \ln(V_{ref2} / V_{ref1}) + t_{ref1} \quad \dots (7)$$

と表され、更に CR が未知でも放電時間 t を測ることが可能となる。

【0094】

これにより蓄電素子 503 の容量 C や放電スイッチ 504 の抵抗 R が不明な場合や温度などで値が変化した場合でも、蓄電器 101 の電圧 V_c を正確に検出される。

【0095】

図 11 は、本発明の第 9 の実施例を示す図である。図において、801 は単蓄電器、802 はレベルシフト回路である。

【0096】

レベルシフト回路 802 はここでは PMOS と抵抗 R_H , R_L で構成され、入力信号の電位レベル及び振幅を抵抗 R_H と R_L の比に変換する。

【0097】

蓄電器 101 は複数の単蓄電器 801 が更に直列に接続されている。また、蓄電器回路 102 は単蓄電器 801 のそれぞれに接続される電圧時間変換回路 501 と、補正基準回路 701 , レベルシフト回路 802 , 時間電圧変換回路 506 で構成されている。

【0098】

ここでも、部品点数を削減するため、レベル変換回路 802 は R_L が共有され、出力は共通接続されている。

【0099】

ここで、単蓄電器 801 をリチウム二次電池、その最高起電圧を 4.2 V とすると、4 直列では 16.8 V、8 直列で 33.6 V となる。これらの時、蓄電器回路 102 は 18 V または 36 V の一般的な半導体デバイスの使用に適する。また、これらの直列接続数以内で構成すれば、蓄電器回路 102 を同一チップの IC またはハイブリッド IC で実現することが容易で、部品点数を削減でき、装置のサイズ及びコストが低減する。

【0100】

図 12 は、本発明の第 10 の実施例を示す図である。901 は SOI (Silicon on Insulator) ウェーハ、902 は絶縁トレンチ、903 はボンディングパッドである。

【0101】

絶縁トレンチ 902 は SOI ウェーハ内に溝を形成し、溝を絶縁物で埋め込むことによって形成される。蓄電器回路 102 , 絶縁カプラ , メイン回路 104 がこの絶縁トレンチ 902 で囲まれ、同一の SOI ウェーハ 901 に集積されている。

【0102】

図 13 は、図 12 の断面図を示す図である。1001 は絶縁層、1002 は半導体層、1003 は保護層であり、多くの絶縁トレンチ 902 によって半導体層 1002 が分割され、左から、蓄電器回路 102 の領域、電位変換回路 103 の領域、メイン回路 104 の領域が配列される。

【0103】

この構造は、約 2 ミクロン厚さの SiO_2 を絶縁層 1001 として内層とした SOI ウ

10

20

30

40

50

エーハ901を用意し、この上にホトマスクを使用した薄膜プロセスを用いて各領域を作成している。

【0104】

SOIウェーハ901は、単結晶シリコンの基板に、 SiO_2 層、あるいはさらに表面を酸化したポリシリコンを重ねた多層の絶縁層1001を重ね、さらに単結晶シリコンの半導体層を重ねた構成になっている。張り合わせは、この実施例では、ポリシリコン表面のシリコン酸化膜の表面を鏡面研磨して重ね合わせた後に特定温度で熱処理によって接合する方法を用いる。

【0105】

絶縁トレンチ902は、 SiO_2 層であり絶縁物である。一旦、溝(トレンチ)を掘って SiO_2 やBPSGで埋め込む方法、トレンチ側壁を薄く酸化してからポリシリコンを埋め込む方法、あるいは、PIQやSOGを塗布する方法、あるいは、上面からの酸素イオン照射で半導体層を絶縁体に変えるなどの方法で形成する。

【0106】

保護層1003は、 SiO_2 、HLDあるいはSiNなどの絶縁物でありこの層の中にポリシリコンやアルミニウムによる配線層を含んでいる。

【0107】

絶縁カプラの絶縁バリア202は、3つの電極領域202a、202b、202cと絶縁トレンチ902で構成する。このようにすると、絶縁層1001の厚さに比べて絶縁トレンチ902の幅に制限がある溝掘り方式の場合でも絶縁バリア202を直列接続することで絶縁耐圧を確保することができる。また、絶縁バリア202は帯を折りたたむようにパターン化して電極領域が接する長さを長くすると、小さな半導体面積で効率よく容量値を得ることができる。

【0108】

ちなみに、この実施例では約160ミクロンの正方形で約2pF、耐圧は直流耐圧試験で1絶縁トレンチ902当たり約750Vの絶縁性能が得られている。なお、絶縁トレンチ902のパターンを形成するに当たっては、鋭角のパターンが生じないように、折りたたむ部分や角部分には、可能な限り円弧パターン(半径2ないし5ミクロン)を用いる。これにより絶縁耐圧の低下を防ぐことができる。

【0109】

また、複数の回路が基板901から絶縁トレンチ902及び絶縁層1001によって物理的に絶縁しているので、この集積回路は、パッケージ実装に際して、フレームに直接接着することができ、熱放散が良い利点がある。また、多層構造のICには反りが少なからず見られるが、絶縁層を多層とし各層の厚さを調節することで、応力を分散して反りを軽減する効果もある。

【0110】

ここで、蓄電器101をリチウム二次電池、その最高起電圧を4.2Vとすると、蓄電器回路102の耐圧は5V程度で良い。また、メイン回路104の耐圧も5V程度となる。すなわち、絶縁トレンチ902で囲まれる各回路はいずれも5Vの耐圧を有する。また、リチウム二次電池を96個直列に接続した場合の最高電圧は約400V程度であり、絶縁トレンチ902の絶縁性能より十分に低い。よって、絶縁カプラ及びその他の回路をSOIウェーハ901に集積するのに好適である。また、これらをSOIウェーハ901に集積することにより、回路数が少なく安価で小型、低消費電力で、かつ制御精度、ノイズマージンが高く信頼性の高い蓄電装置の実現が可能となる。

【0111】

図14は、本発明の第11の実施例を示す図である。図において、1101はシリコンウェーハである。シリコンウェーハ1101上に電圧時間変換回路501、補正基準回路701、レベルシフト回路802、時間電圧変換回路506が形成され、モノリシックICとなっている。

【0112】

10

20

30

40

50

単蓄電器 801 をリチウム二次電池、その最高起電圧を 4.2 V とすると、4 直列では 16.8 V、8 直列で 33.6 V となる。これらの時、蓄電器回路 102 及びレベルシフト回路 802 は 18 V または 36 V の耐圧が必要になる。従って、これらを同一のシリコンウェーハ 1101 上に形成し、モノリシック IC を実現することは十分に可能である。これにより、部品点数を削減でき、小型で安価に蓄電装置を実現することが可能となる。

【0113】

図 15 は、本発明の第 12 の実施例を示す図である。図において、1201 は商用電源、1202 は太陽光発電装置、1203 は負荷装置、1204 は制御変換器、1205 は切替器、1206 はマルチプレクサである。

【0114】

複数の蓄電器 101 が直列接続され、蓄電器回路 102 が蓄電器 101 の両端にそれぞれ接続され、その出力は絶縁カプラ、マルチプレクサ 1206 を順に介してメイン回路 104 に接続されている。また、蓄電器 101 列の両端に制御変換器 1204 が接続され、メイン回路 104 内のマイコン 105 と制御変換器 1204 内の MCU も絶縁カプラを介して相互に接続されている。

【0115】

更に、太陽光発電装置 1202、負荷装置 1203、制御変換器 1204 は、それぞれ切替器 1205 を介して共通の商用電源 1201 に接続されている。同時に、太陽光発電装置 1202、負荷装置 1203、制御変換器 1204、切替器 1205、メイン回路 104 は絶縁カプラ 103 によって双方向に結ばれている。

【0116】

太陽光発電装置 1202 は太陽電池により、太陽光を直流電力に変換し、インバータ装置により交流電力を出力する装置である。

【0117】

また、負荷装置 1203 は、エアコン、冷蔵庫、電子レンジ、照明などの家電品や、モータ、コンピュータ、医療機器などの電気機器である。そして、制御変換器 1204 は交流電力を直流電力に変換、または、直流電力を交流電力に変換する充放電器である。また、これら充放電の制御や上述の太陽光発電装置 1202、負荷装置 1203 などの機器を制御する制御器を兼ねる。

【0118】

ここで、これらの機器は装置内に切替器 1205 を有する。また、本実施例の蓄電装置は図示した構成以外の制御変換器 1204 や、その他の機器の接続形態をとることも可能である。

【0119】

本構成によれば、負荷装置 1203 が必要とする電力を商用電源 1201 や太陽光発電装置 1202 で賄い切れない時、制御変換器 1204 を介して蓄電器 101 から電力を供給する。そして、商用電源 1201 や太陽光発電装置 1202 からの電力供給が過剰となっている時に、制御変換器 1204 を介して蓄電器 101 に蓄電する。

【0120】

これらの動作の中で、蓄電器 101 の端子間電圧が放電停止や充電停止レベルに達すると、メイン回路 104 はその信号を制御変換器 1204 に送り、制御変換器 1204 は充放電等を制御する。

【0121】

これらの構成では、商用電源 1201 の契約電力や消費電力、太陽光発電装置 1202 の発電定格を下げる事が可能となり、設備費やランニングコストが低減する。

【0122】

また、消費電力がある時間帯に集中している時に、蓄電器 101 から商用電源 1201 に電力を供給し、消費電力が少ない時に、蓄電装置に蓄電することで、消費電力の集中を緩和し、消費電力が平準化される。

【0123】

10

20

30

40

50

更に、制御変換器 1204 は負荷装置 1203 の電力消費を監視し、負荷装置 1203 を制御するため、省エネや電力の有効利用が達成できる。

【0124】

図 16 は、検出データの処理の一例を示す図である。縦軸（Y 軸）は電圧、横軸（X 軸）は電流である。マイコン内では実際に作図は行わないが、説明の為に図を用いる。

【0125】

記憶された或る期間の電圧検出回路 125 の電圧検出データ、及び電流検出回路 108 の電流検出データを最小二乗法により直線近似する。

【0126】

この得られた直線の Y 切片は $X = 0$ より、蓄電器 101 の開路電圧 OCV に相当する。また、傾きは蓄電器 101 の内部抵抗 R に相当する。そして、近似直線は $Y = R I + O C V$ と表される。

10

【0127】

この様にマイコン内では、電圧検出回路 125 の電圧検出データ、及び電流検出回路 108 の電流検出データより蓄電器 101 の開路電圧や内部抵抗を求める。更に、これらを用いて、蓄電器 101 の残存容量や寿命を推定する。

【0128】

図 17 は本発明の第 13 の実施例を示す図である。図は図 15 の構成に対するマイコン処理アルゴリズムの要部を抜粋したものである。

【0129】

20

図 15 において、メイン回路 104 内のマイコン 105 と制御変換器 1204 内の M C U の 2 つが蓄電装置に関係し、これらは通信で結ばれている。また、蓄電器回路 102 には電圧検出回路 125 を兼ねる電圧時間変換回路 501 が含まれ、その出力は電位変換回路 103, マルチプレクサ 1206 を順に介してマイコン 105 のインプットキャプチャ端子（図示せず）に入力されている。また、電流検出回路 108 の出力は M C U に入力されている。

【0130】

先ず、蓄電器回路 102 及びメイン回路 104 側では、全充電スイッチ 502 を O N しておく。そして、電流検出回路 108 及び M C U 側で検出開始指令が出されると、その指令を通信する。通信では受信が完了した割込みと送信が完了した割込みが送受信側でそれぞれほぼ同時に発生する。これを受けて蓄電器回路 102 及びメイン回路 104 側では、全充電スイッチ 502 を O F F する。また、電流検出回路 108 及び M C U 側では電流測定を開始する。

30

【0131】

これにより電流測定と複数ある充電スイッチ 502 の O F F もほぼ同時に行われる。すなわち、複数ある蓄電器 101 の電圧クランプと電流測定が同時に行われる。

【0132】

次に、図 15 では電圧時間変換回路 501 の出力がマルチプレクサ 1206 を介して一つのインプットキャプチャ端子に入力されている為、蓄電器回路 102 及びメイン回路 104 側では、一つの放電スイッチ a 504 のみを O N し、次いで時間電圧変換及び電圧記録を行う。そして、次の放電スイッチ b の O N と、順次同じ動作を繰り返して行く。

40

【0133】

この場合も、電流測定時の電圧が既にクランプされている為、順次複数の蓄電器 101 の時間電圧変換を行っても、電圧と電流検出データの同時性を達成することが可能となる。

【0134】

図 18 は、本発明の第 14 の実施例を示す図である。図において、1207 はノートパソコン、1208 はカードスロット、1209 は P C カード、1210 は電流プローブ、1211 は電圧プローブである。

【0135】

50

PCカード1209はノートパソコン1207のカードスロット1208に装着される。そして、電流プローブ1210及び電圧プローブ1211はPCカード1209に接続されている。また、PCカード1209は蓄電器回路102，電位変換回路103，メイン回路104より構成されている。

【0136】

本構成では電流プローブ1210及び電圧プローブ1211を検出端子とする評価装置として機能する。特に、電位変換回路103を絶縁カプラで構成すると、ノートパソコン1207系の電位レベルと電流プローブ1210及び電圧プローブ1211の電位レベルが異なっても検出が可能となる。

【図面の簡単な説明】

10

【0137】

【図1】本発明の第1の実施例を示す図である。

【図2】本発明の第2の実施例を示す図である。

【図3】本発明の第3の実施例を示す図である。

【図4】本発明の第4の実施例を示す図である。

【図5】本発明の第5の実施例を示す図である。

【図6】図5の実施例の動作を示す図である。

【図7】本発明の第6の実施例を示す図である。

【図8】本発明の第7の実施例を示す図である。

【図9】図8の実施例の動作を示す図である。

20

【図10】本発明の第8の実施例を示す図である。

【図11】本発明の第9の実施例を示す図である。

【図12】本発明の第10の実施例を示す図である。

【図13】図12の断面図を示す図である。

【図14】本発明の第11の実施例を示す図である。

【図15】本発明の第12の実施例を示す図である。

【図16】検出データの処理の一例を示す図である。

【図17】本発明の第13の実施例を示す図である。

【図18】本発明の第14の実施例を示す図である。

【符号の説明】

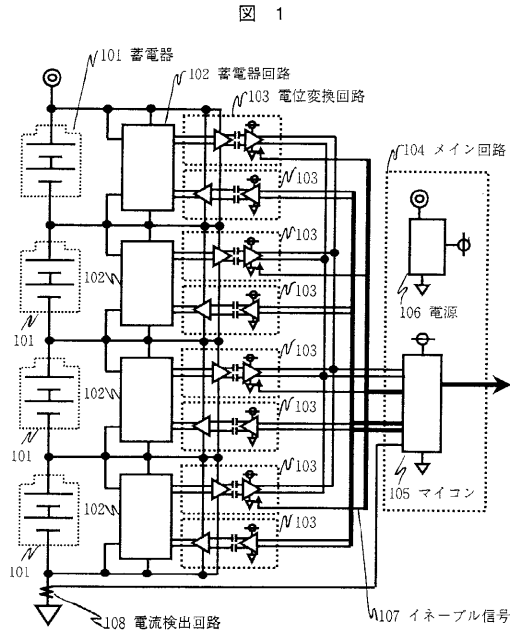
30

【0138】

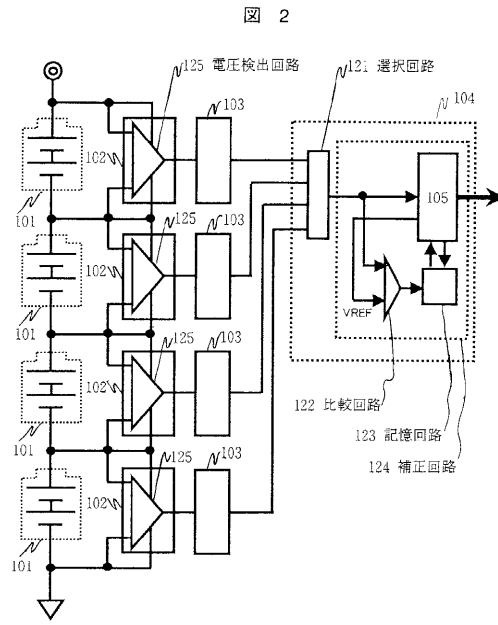
101...蓄電器、102...蓄電器回路、103...電位変換回路、104...メイン回路、105...マイコン、106...電源、107...イネーブル信号、108...電流検出回路、121...選択回路、122...比較回路、123...記憶回路、124...補正回路、125...電圧検出回路、131...補正スイッチ、141...補正手段、142...選択回路、143...電圧検出基準回路、201...差動増幅回路、202...絶縁バリヤ、203...負荷抵抗、204...遷移検出回路、205...パルス再生回路、401...アクティブフィルタ、402...電圧検出回路、501...電圧時間変換回路、502...充電スイッチ、503...蓄電素子、504...放電スイッチ、505...判定回路、506...時間電圧変換回路、507...充放電抵抗、701...補正基準回路、702...スイッチ、703...基準電源、801...単蓄電器、802...レベルシフト回路、901...SOIウェーハ、902...絶縁トレンチ、903...ボンディングパッド、1001...絶縁層、1002...半導体層、1003...保護層、1101...シリコンウェーハ、1201...商用電源、1202...太陽光発電装置、1203...負荷装置、1204...制御変換器、1205...切替器、1206...マルチプレクサ、1207...ノートパソコン、1208...カードスロット、1209...PCカード、1210...電流プローブ、1211...電圧プローブ、1301...二次電池、1302...電圧検出回路、1303...抵抗、1304...コンパレータ、1305...FET。

40

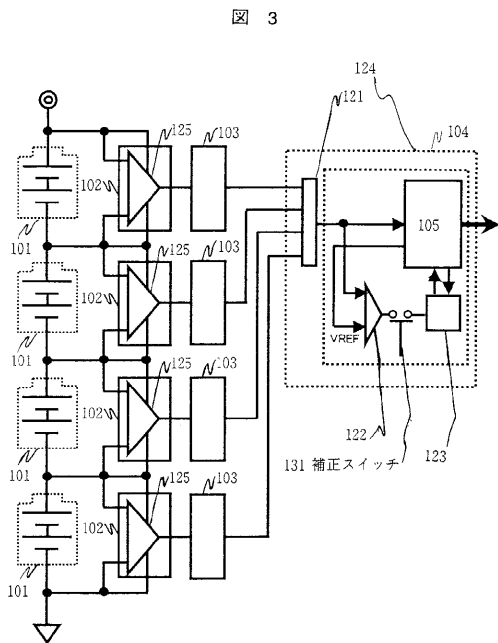
【 図 1 】



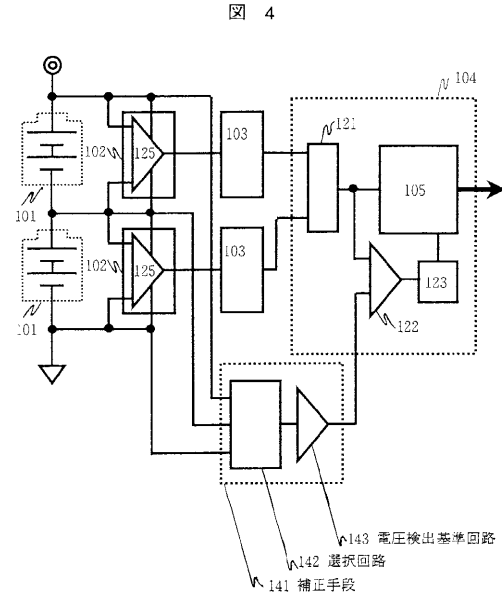
【 図 2 】



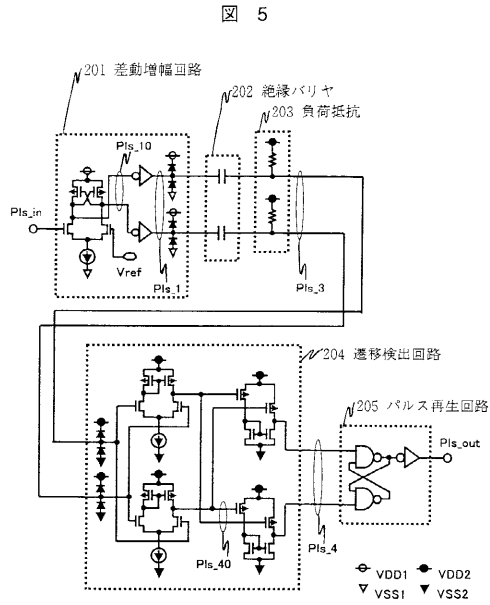
【 図 3 】



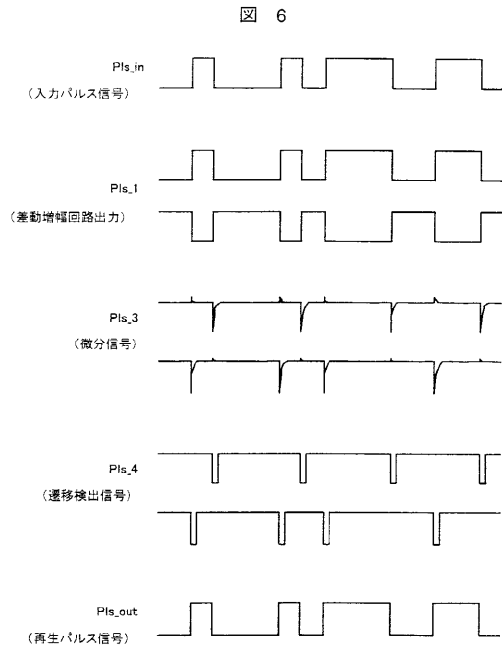
【 図 4 】



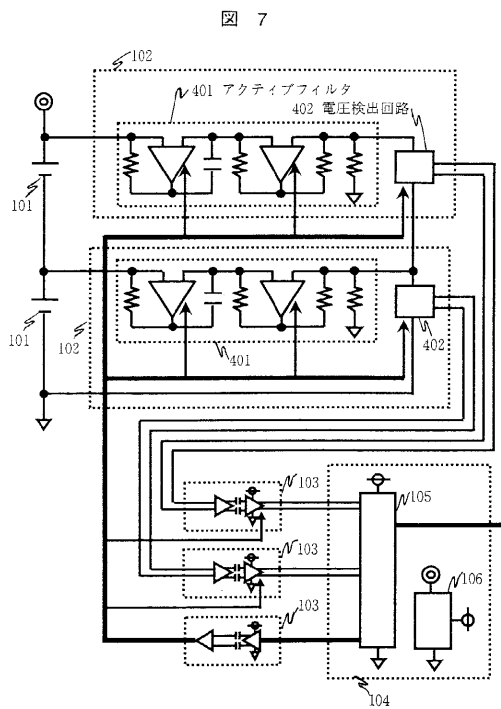
【 図 5 】



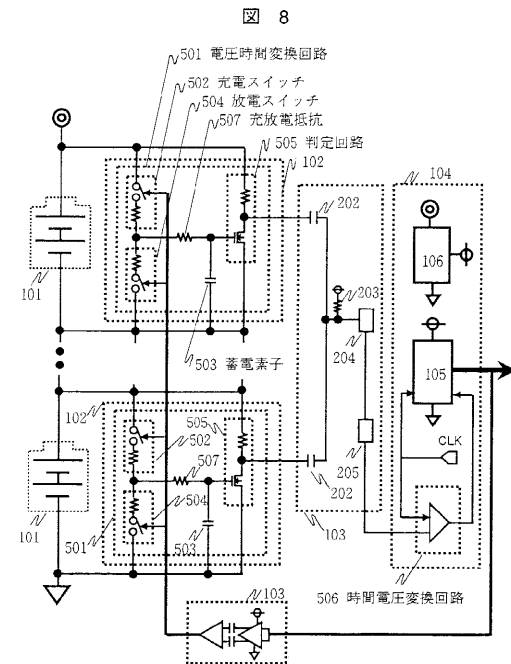
【 図 6 】



【 図 7 】

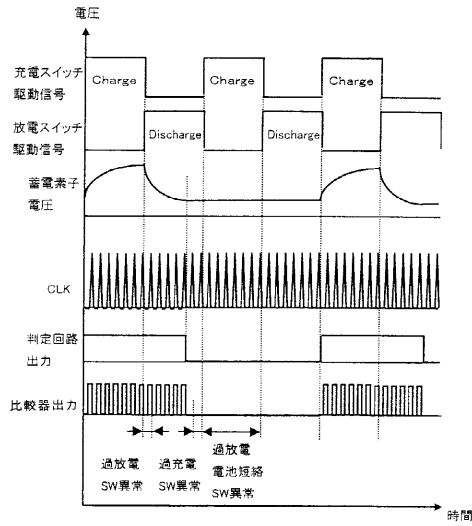


【 図 8 】



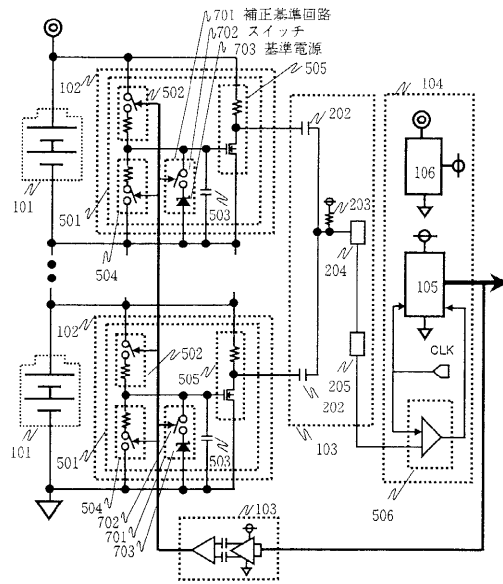
【 図 9 】

図 9



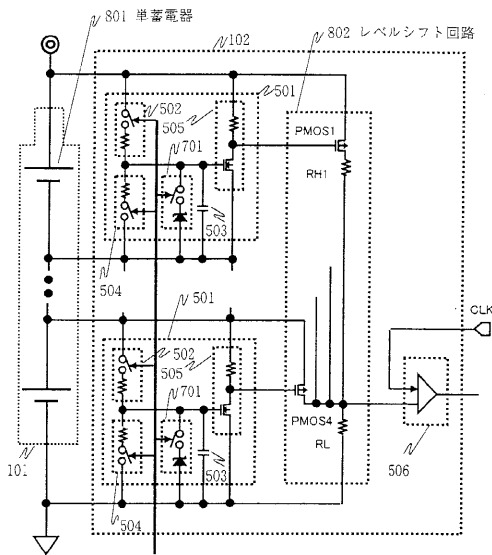
【 図 1 0 】

図 10



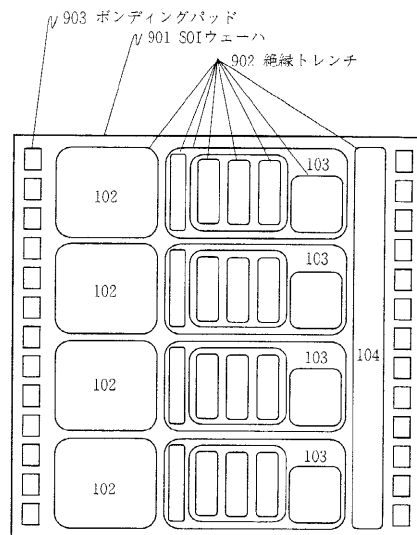
【 図 1 1 】

図 11

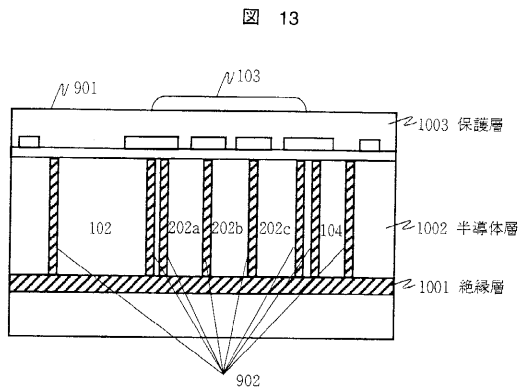


【 図 1 2 】

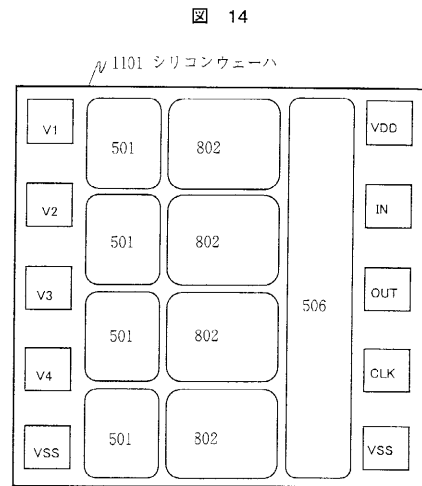
図 12



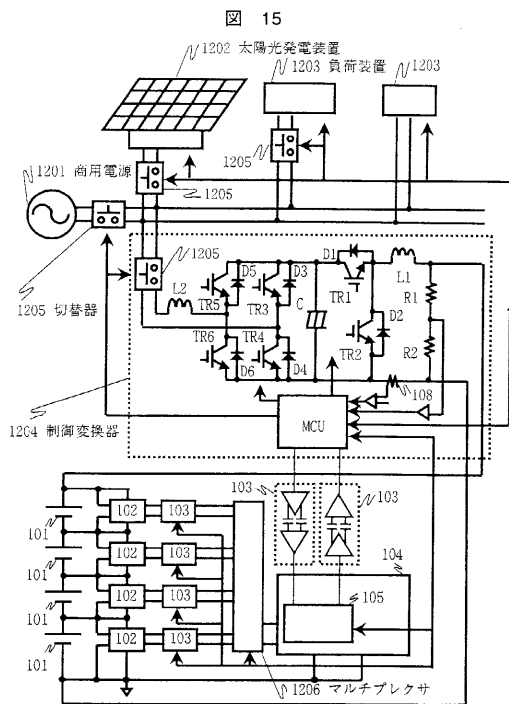
【 図 1 3 】



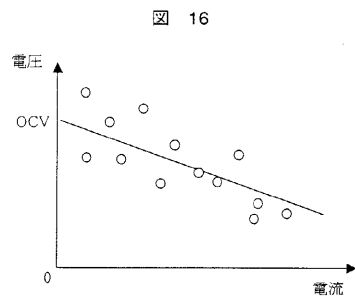
【 図 1 4 】



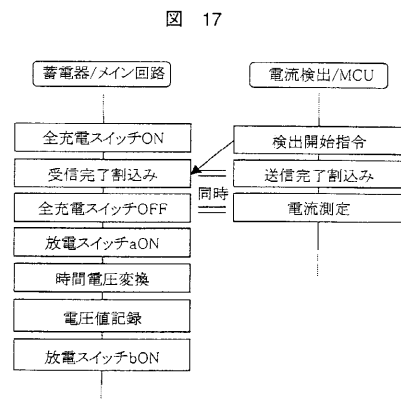
【 図 1 5 】



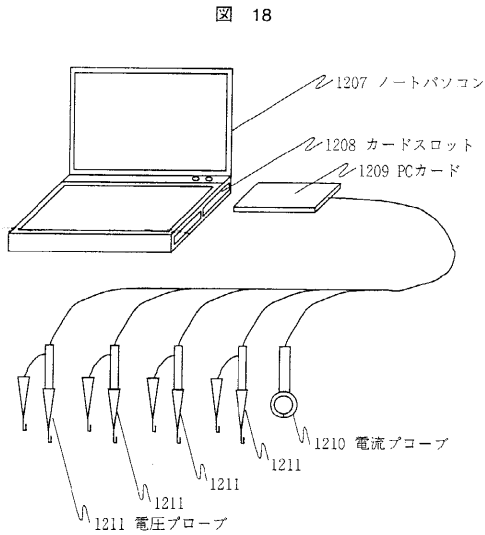
【 図 1 6 】



【 図 1 7 】



【図 18】



【手続補正書】

【提出日】平成20年2月14日(2008.2.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

直列に接続された複数の蓄電器と、
該複数の蓄電器の各々に対応して設けられ、対応する前記蓄電器の端子電圧を受け、その端子電圧に対応する信号を出力する複数の蓄電回路と、
該複数の蓄電回路の各々に対応して設けられ、対応する前記蓄電回路から出力された信号の電位を変換する複数の電位変換回路と、
該複数の電位変換回路から出力された信号を選択して出力する選択回路と、
該選択回路を介して選択的に取り込まれた信号に基づいて前記蓄電器の電圧を求める処理回路と、
該処理回路に接続された絶縁カプラと、
該絶縁カプラを介して前記処理回路に接続され、前記処理回路との間で信号を送受信する制御装置と、を有する、
ことを特徴とする蓄電装置。

【請求項2】

直列に接続された複数の蓄電器と、
該複数の蓄電器の各々に対応して設けられ、対応する前記蓄電器の端子電圧を受け、その端子電圧に対応する信号を出力する複数の蓄電回路と、

該複数の蓄電回路の各々に対応して設けられ、対応する前記蓄電回路から出力された信号の電位を変換する複数の電位変換回路と、

該複数の電位変換回路から出力された信号を選択して出力する選択回路と、

該選択回路を介して選択的に取り込まれた信号に基づいて前記蓄電器の電圧を求める処理回路と、

該処理回路に接続された絶縁カプラと、を有し、

前記処理回路と上位制御装置との間の信号の送受信は絶縁カプラを介して行われる、ことを特徴とする蓄電装置。

【請求項 3】

請求項 1 又は 2 に記載の蓄電装置において、

前記蓄電器はリチウム電池である、

ことを特徴とする蓄電装置。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の蓄電装置において、

前記電位変換回路はレベルシフト回路である、

ことを特徴とする蓄電装置。

【請求項 5】

請求項 1 乃至 4 のいずれかに記載の蓄電装置において、

前記複数の蓄電回路は、それぞれ、制御信号によって開閉し、対応する前記蓄電器の充電量を制御するためのバイパス回路を備えている、

ことを特徴とする蓄電装置。

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の蓄電装置において、

前記複数の蓄電回路、前記複数の電位変換回路、前記選択回路、及び前記処理回路は集積回路（IC）で構成されている、

ことを特徴とする蓄電装置。

【請求項 7】

直列に接続された複数のリチウム電池と、

該複数のリチウム電池の各々に対応して設けられ、対応する前記リチウム電池の端子電圧を受け、その端子電圧に対応する信号を出力する複数の蓄電回路と、

該複数の蓄電回路の各々に対応して設けられ、対応する前記蓄電回路から出力された信号の電位および大きさを変換する複数の電位変換回路と、

該複数の電位変換回路から出力された信号を選択して出力する選択回路と、

該選択回路を介して選択的に取り込まれた信号に基づいて前記リチウム電池の電圧を求める処理回路と、を有し、

直列に接続された複数のリチウム電池に対して集積回路（IC）が設けられ、

前記複数の蓄電回路、前記複数の電位変換回路、前記選択回路、及び前記処理回路は前記集積回路（IC）に設けられている、

ことを特徴とする蓄電装置。

【請求項 8】

直列に接続された複数のリチウム電池と、

該複数のリチウム電池の各々に対応して設けられ、対応する前記リチウム電池の端子電圧を受け、その端子電圧に対応する信号を出力する複数の蓄電回路と、

該複数の蓄電回路の各々に対応して設けられ、対応する前記蓄電回路から出力された信号の電位および大きさを変換する複数の電位変換回路と、

該複数の電位変換回路から出力された信号を選択して出力する選択回路と、

該選択回路を介して選択的に取り込まれた信号に基づいて前記リチウム電池の電圧を求める処理回路と、

該処理回路に接続された絶縁カプラと、を有し、

直列に接続された複数のリチウム電池に対して集積回路（IC）が設けられ、

前記複数の蓄電回路，前記複数の電位変換回路，前記選択回路、及び前記処理回路は前記集積回路（IC）に設けられ、

前記処理回路と上位制御装置との間の信号の送受信は絶縁カプラを介して行われる、ことを特徴とする蓄電装置。

【請求項 9】

直列に接続された複数のリチウム電池と、

該複数のリチウム電池の各々に対応して設けられ、対応する前記リチウム電池の端子電圧を受け、その端子電圧に対応する信号を出力する複数の蓄電回路と、

該複数の蓄電回路の各々に対応して設けられ、対応する前記蓄電回路から出力された信号の電位および大きさを変換する複数の電位変換回路と、

該複数の電位変換回路から出力された信号を選択して出力する選択回路と、

該選択回路を介して選択的に取り込まれた信号に基づいて前記リチウム電池の電圧を求める処理回路と、

該処理回路に接続された絶縁カプラと、

該絶縁カプラを介して前記処理回路に接続され、前記処理回路との間で信号を送受信する制御装置と、を有し、

直列に接続された複数のリチウム電池に対して集積回路（IC）が設けられ、

前記複数の蓄電回路，前記複数の電位変換回路，前記選択回路、及び前記処理回路は前記集積回路（IC）に設けられている、

ことを特徴とする蓄電装置。

【請求項 10】

請求項 7 乃至 9 のいずれかに記載の蓄電装置において、

前記複数の蓄電回路は、それぞれ、制御信号によって開閉し、対応する前記リチウム電池器の充電量を制御するためのバイパス回路を備えている、

ことを特徴とする蓄電装置。

フロントページの続き

- (72)発明者 宮崎 英樹
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
- (72)発明者 小嶋 康行
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
- (72)発明者 秋山 登
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
- Fターム(参考) 2G016 CB01 CC16 CC27
5G503 AA01 BA03 BB02 BB03 GA01 GD03 HA01 HA03
5H030 AA01 AA09 AS20 FF44 FF52