

【特許請求の範囲】

【請求項 1】

半導体光素子を作製する方法であって、

劈開性を有する支持基体と、該支持基体の主面上に配列された複数の素子区画の各々に設けられ光導波路のための半導体構造物とを含んでおり、複数の第 1 溝及び複数の第 2 溝を備える裏面を有する基板生産物を準備する工程と、

前記複数の第 1 溝のうちの一の第 1 溝の位置において前記基板生産物の前記裏面を押圧することによって、別の基板生産物と半導体バーとを形成する工程と、を備え、

前記半導体バーの一端面は、前記押圧による分離によって形成され、前記半導体構造物は前記一端面に到達しており、

前記複数の第 1 溝は、第 1 方向に延在すると共に該第 1 方向に交差する第 2 方向に第 1 ピッチで配列されており、前記複数の第 2 溝は、前記第 2 方向に延在しており、前記第 2 溝の幅は、前記第 1 溝の幅より小さく、

前記第 1 溝の各々は、第 1 側面、第 2 側面及び底面を有しており、前記第 1 側面、前記第 2 側面及び前記底面は前記第 1 方向に延在する、半導体光素子を作製する方法。

【請求項 2】

別の基板生産物と半導体バーとを形成する前記工程では、前記基板生産物の前記第 1 溝の前記底面にブレードを当てる、請求項 1 に記載された半導体光素子を作製する方法。

【請求項 3】

前記支持基体の半導体は、InP、GaAs、GaSb、及びInAsのいずれかである、請求項 1 又は請求項 2 に記載された半導体光素子を作製する方法。

【請求項 4】

前記素子区画の配列を備える生産物を準備する工程と、

前記第 1 溝のための第 1 開口パターン及び前記第 2 溝のための第 2 開口パターンを有するマスクを前記生産物の裏面に形成する工程と、

前記マスクを用いて前記生産物の前記裏面のエッチングを行うと共に、前記生産物から前記基板生産物を形成する工程と、を更に備え、

前記基板生産物は、前記第 1 溝及び前記第 2 溝を有しており、

前記第 1 開口パターンの幅は、前記第 2 開口パターンの幅より大きく、

前記支持基体は、 $[01\bar{1}]$ 方向及び $[0\bar{1}1]$ 方向に劈開性を有する半導体を備え、

前記第 1 方向は、前記支持基体の前記半導体の $[01\bar{1}]$ 方向及び $[0\bar{1}1]$ 方向のいずれか一方である、請求項 1 ～請求項 3 のいずれか一項に記載された半導体光素子を作製する方法。

【請求項 5】

前記支持基体は、InPからなり、

前記エッチングのエッチャントは、HBrを含む、請求項 4 に記載された半導体光素子を作製する方法。

【請求項 6】

半導体光素子であって、

劈開性を示す半導体からなり主面を有する支持体と、

一又は複数の半導体層を含み前記支持体の前記主面上に設けられ光導波路のための半導体構造物と、を備え、

前記支持体は、第 1 方向に延在する第 1 縁を有し、前記支持体は、前記第 1 方向に交差する第 2 方向に延在する第 2 縁を有し、

前記支持体は、前記主面の反対側にある裏面と、前記第 1 縁に対応する第 1 素子端面を前記支持体の前記裏面に繋ぐ第 1 斜面と、前記第 2 縁に対応する第 2 素子端面から延在す

10

20

30

40

50

るテラス面と、前記テラス面を前記支持体の前記裏面に繋ぐ第2斜面と、を含み、前記第1斜面は、第1基準面に沿って延在する部分を有しており、前記第2斜面は、第2基準面に沿って延在する部分を有しており、前記支持体の前記裏面は、前記主面の法線軸に交差する第3基準面に沿って延在しており、前記第1基準面及び前記第2基準面は前記第3基準面に対して傾斜し、前記半導体構造物は、前記第2素子端面に到達しており、

前記法線軸の方向に関して、前記支持体の前記主面と前記テラス面との間隔は、前記支持体の前記主面と前記裏面との間隔より小さい、半導体光素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体光素子を作製する方法、及び半導体光素子に関する。

【背景技術】

【0002】

特許文献1は、半導体レーザチップを製造する方法を開示する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2000-124537号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1の作製方法では、生産物の一方の面にスクライブ傷を形成すると共に生産物の他方の面に分割刃を用いて押圧することによって、生産物を分割する。劈開面を形成すべき位置における基板の厚さは、生産物の全体における基板の厚さと同じであり、劈開面を形成すべき位置の基板を薄くするためには、生産物の全体にわたって基板の厚さを薄くすることが必要である。厚い基板は、劈開における難しさ、及び劈開面の品質の均一性に関する難易度を高める。薄い基板は、ハンドリングに関する煩雑さを高める。

【0005】

また、半導体光素子を作製する方法に用いられる基板は、そのおもて面及び／又はうら面上に形成される半導体層、絶縁層及び金属層といった一又は複数の薄膜の成長及び堆積のための下地を提供する。これ故に、基板は、製造工程における熱履歴に応じて、単一の薄膜及び／又は薄膜の積層から熱応力を受ける。基板は、おもて面及び／又はうら面上に形成された薄膜及び積層を支持する機能を有する。薄い基板は、半導体チップにおいて基板に求められる支持能を低下させる。

【0006】

本発明の一側面は、このような背景の下に為されたものであり、所望の品質の劈開面を光導波路に提供できると共に所望の支持能を素子のための基板に提供できる、半導体光素子を作製する方法を提供することを目的とする。また、本発明の別の側面は、所望の品質の劈開端面を光導波路に提供できると共に所望の支持能を基板に提供できる半導体光素子を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一側面によれば、半導体光素子を作製する方法は、劈開性を有する支持基体と、該支持基体の主面上に配列された複数の素子区画の各々に設けられ光導波路のための半導体構造物とを含んでおり、複数の第1溝及び複数の第2溝を備える裏面を有する基板生産物を準備する工程と、前記複数の第1溝のうちの一の第1溝の位置において前記基板生産物の前記裏面を押圧することによって、別の基板生産物と半導体バーとを形成する工程と、を備え、前記半導体バーの一端面は、前記押圧による分離によって形成され、前記半導体構造物は前記一端面に到達しており、前記複数の第1溝は、第1方向に延在すると共に、該第1方向に交差する第2方向に第1ピッチで配列されており、前記複数の第2溝は

10

20

30

40

50

、前記第 2 方向に延在しており、前記第 2 溝の幅は、前記第 1 溝の幅より小さく、前記第 1 溝の各々は、第 1 側面、第 2 側面及び底面を有しており、前記第 1 側面、前記第 2 側面及び前記底面は前記第 1 方向に延在する。

【0008】

本発明の別の側面によれば、半導体光素子は、劈開性を示す半導体からなり主面を有する支持体と、一又は複数の半導体層を含み前記支持体の前記主面上に設けられ光導波路のための半導体構造物と、を備え、前記支持体は、第 1 方向に延在する第 1 縁を有し、前記支持体は、前記第 1 方向に交差する第 2 方向に延在する第 2 縁を有し、前記支持体は、前記主面の反対側にある裏面と、前記第 1 縁に対応する第 1 素子端面を前記支持体の前記裏面に繋ぐ第 1 斜面と、前記第 2 縁に対応する第 2 素子端面から延在するテラス面と、前記テラス面を前記支持体の前記裏面に繋ぐ第 2 斜面と、を含み、前記第 1 斜面は、第 1 基準面に沿って延在する部分を有しており、前記第 2 斜面は、第 2 基準面に沿って延在する部分を有しており、前記支持体の前記裏面は、前記法線軸に交差する第 3 基準面に沿って延在しており、前記半導体構造物は、前記第 2 素子端面に到達しており、前記第 1 基準面及び前記第 2 基準面は前記第 3 基準面に対して傾斜し、前記法線軸の方向に関して、前記支持体の前記主面と前記テラス面との間隔は、前記支持体の前記主面と前記裏面との間隔より小さい。

【0009】

本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

【発明の効果】

【0010】

以上説明したように、本発明の一側面によれば、所望の品質の劈開面を光導波路に提供できると共に所望の支持能を素子のための基板に提供できる、半導体光素子を作製する方法が提供される。また、本発明の別の側面によれば、所望の品質の劈開端面を光導波路に提供できると共に所望の支持能を基板に提供できる半導体光素子が提供される。

【図面の簡単な説明】

【0011】

【図 1】図 1 は、本実施形態に係る半導体光素子を作製する方法における主要な工程を示す図面である。

【図 2】図 2 は、本実施形態に係る製造方法におけるいくつかの工程における生産物を模式的に示す斜視図である。

【図 3】図 3 は、本実施形態に係る第 1 生産物における素子区画の配列を示す図面である。

【図 4】図 4 は、本実施形態に係る素子区画の配列を示す図面である。

【図 5】図 5 は、本実施形態に係る生産物のうら面上に設けられたマスクのパターンと素子区画との配置を模式的に示す図面である。

【図 6】図 6 は、図 5 に示されたいくつかの断面線における生産物及び支持体の断面を示す図面である。

【図 7】図 7 は、本実施形態に係る製造方法内のいくつかの工程における生産物を模式的に示す斜視図である。

【図 8】図 8 は、本実施形態に係る第 2 生産物のおもて面及びうら面を模式的に示す図面である。

【図 9】図 9 は、図 8 に示された典型的な断面線における断面を示す図面である。

【図 10】図 10 は、本実施形態に係る基板生産物のおもて面及びうら面を示す図面である。

【図 11】図 11 は、実施例における基板生産物への分割刃の押し当てを模式的に表す図面である。

【図 12】図 12 は、実施例における半導体バーへの分割刃の押し当てを模式的に表す図面である。

【図 1 3】図 1 3 は、本実施形態に係る作製方法により形成された半導体チップを模式的に示す図面である。

【発明を実施するための形態】

【0012】

引き続き、いくつかの具体例を説明する。

【0013】

一形態に係る半導体光素子を作製する方法は、(a) 劈開性を有する支持基体と、該支持基体の主面上に配列された複数の素子区画の各々に設けられ光導波路のための半導体構造物とを含んでおり、複数の第 1 溝及び複数の第 2 溝を備える裏面を有する基板生産物を準備する工程と、(b) 前記複数の第 1 溝のうちの一の第 1 溝の位置において前記基板生産物の前記裏面を押圧することによって、別の基板生産物と半導体バーとを形成する工程と、を備え、前記半導体バーの一端面は、前記押圧による分離によって形成され、前記半導体構造物は前記一端面に到達しており、前記複数の第 1 溝は、第 1 方向に延在すると共に、該第 1 方向に交差する第 2 方向に第 1 ピッチで配列されており、前記複数の第 2 溝は、前記第 2 方向に延在しており、前記第 2 溝の幅は、前記第 1 溝の幅より小さく、前記第 1 溝の各々は、第 1 側面、第 2 側面及び底面を有しており、前記第 1 側面、前記第 2 側面及び前記底面は前記第 1 方向に延在する。

10

【0014】

この半導体光素子を作製する方法によれば、基板生産物の裏面のエッチングにより第 1 溝及び第 2 溝を形成できる。第 1 溝の幅が第 2 溝の幅より大きいので、各第 1 溝は、エッチングによる形成により実質的に平坦な底面を有する。第 1 溝の底面と支持基体主面との距離は、基板生産物の裏面と支持基体主面との距離より小さい。したがって、支持基体の劈開のための厚さが、第 1 溝では小さい。

20

【0015】

一形態に係る半導体光素子を作製する方法では、別の基板生産物と半導体バーとを形成する前記工程では、前記基板生産物の前記第 1 溝の前記底面にブレードを当てる。

【0016】

半導体光素子を作製する方法によれば、ブレードが底面に押し当てられるので、押圧力が第 1 溝の底面に的確に加えられる。

【0017】

一形態に係る半導体光素子を作製する方法では、前記支持基体の半導体は、InP、GaAs、GaSb、及び InAs のいずれかである。

30

【0018】

半導体光素子を作製する方法によれば、これらの材料は、半導体光素子の作製に有用である。

【0019】

一形態に係る半導体光素子を作製する方法は、前記素子区画の配列を備える生産物を準備する工程と、前記第 1 溝のための第 1 開口パターン及び前記第 2 溝のための第 2 開口パターンを有するマスクを前記生産物の裏面に形成する工程と、前記マスクを用いて前記生産物の前記裏面のエッチングを行うと共に、前記生産物から前記基板生産物を形成する工程と、を更に備え、前記基板生産物は、前記第 1 溝及び前記第 2 溝を有しており、前記第 1 開口パターンの幅は、前記第 2 開口パターンの幅より大きく、前記支持基体は、[01-1] 方向及び[0-1-1] 方向に劈開性を有する半導体を備え、前記第 1 方向は、前記支持基体の前記半導体の[01-1] 方向及び[0-1-1] 方向のいずれか一方である。

40

【0020】

半導体光素子を作製する方法によれば、劈開性を示す半導体に、[01-1] 方向及び[0-1-1] 方向のいずれか一方に延在する第 1 溝を形成できる。

【0021】

一形態に係る半導体光素子を作製する方法では、前記支持基体は、InP からなり、前

50

記エッチングのエッチャントは、H B rを含む。

【0022】

半導体光素子を作製する方法によれば、I n P基板の裏面に、第1溝として台形断面の溝を形成でき、第2溝としてV字形断面の溝を形成できる。

【0023】

一形態に係る半導体光素子は、(a)劈開性を示す半導体からなり主面を有する支持体と、(b)一又は複数の半導体層を含み前記支持体の前記主面上に設けられ光導波路のための半導体構造物と、を備え、前記支持体は、第1方向に延在する第1縁を有し、前記支持体は、前記第1方向に交差する第2方向に延在する第2縁を有し、前記支持体は、前記主面の反対側にある裏面と、前記第1縁に対応する第1素子端面を前記支持体の前記裏面に繋ぐ第1斜面と、前記第2縁に対応する第2素子端面から延在するテラス面と、前記テラス面を前記支持体の前記裏面に繋ぐ第2斜面と、を含み、前記第1斜面は、第1基準面に沿って延在する部分を有しており、前記第2斜面は、第2基準面に沿って延在する部分を有しており、前記支持体の前記裏面は、前記主面の法線軸に交差する第3基準面に沿って延在しており、前記第1基準面及び前記第2基準面は前記第3基準面に対して傾斜し、前記半導体構造物は、前記第2素子端面に到達しており、前記法線軸の方向に関して、前記支持体の前記主面と前記テラス面との間隔は、前記支持体の前記主面と前記裏面との間隔より小さい。

10

【0024】

この半導体光素子によれば、半導体構造物の光導波路構造が、支持体の第2縁に対応する素子端面に到達しており、また、支持体の半導体は劈開性を示すので、素子端面は劈開面を備える。支持体の第2縁において、支持体の主面とテラス面との間隔の最大値が支持体の主面と裏面との間隔の最小値より小さいので、素子端面の形成に際して生成される素子端面付近の厚さは、素子端面から離れた位置の支持体厚に比べて小さく、これ故に、偶発的な事象に起因して生じる端面の乱れが少ない。第2素子端面付近における厚さを薄くするために、素子端面から離れた位置の支持体厚を薄くすることがない。この裏面構造は、支持体に半導体構造物に対する支持能を提供できると共に、支持体の厚さ方向に関する劈開面の長さを小さくできる。

20

【0025】

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続いて、添付図面を参照しながら、半導体光素子を作製する方法、及び半導体光素子に係る本発明の実施形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

30

【0026】

図1は、本実施形態に係る半導体光素子を作製する方法における工程フローを示す図面である。図2は、本実施形態に係る製造方法におけるいくつかの工程における生産物を模式的に示す斜視図である。図2の(a)部に示されるように、工程S101では、第1生産物SP1を準備する。第1生産物SP1は、複数の素子区画SECTの配列を含む。第1生産物SP1は、劈開性を有する材料からなる基板11と、劈開性を有する材料からなる半導体を備える構造物13とを備え、必要な場合には、この構造物13に電気信号を与える金属構造物15を更に備えることができる。基板11は、半導体のエピタキシャル成長のために半導体主面11aと、半導体主面11aの反対側の裏面11bとを有する。基板11は、例えばインチサイズの半導体ウェハであることができ、半導体ウェハは、導電性又は半絶縁性の半導体を備える。半導体ウェハは、例えばI n P、G a A s、G a S b、及びI n A s等の半導体ウェハであることができる。これらの材料は、半導体光素子の作製に有用であって、また劈開性を有する。基板11は、例えば(100)面の半導体主面を有することができる。図2の(a)部を参照すると、代表として一の素子区画SECTに導波路構造(13a又は13b)が示されている。構造物13は、例えばマッハツェンダ変調器のための導波路構造13aを含むことができ、また例えば90度ハイブリットのための多モード干渉器及びフォトダイオードのための導波路構造13bを含むことがで

40

50

きる。また、構造物 13 は、量子カスケード半導体レーザのための導波路を含むことができる。マッハツェンダ変調器、多モード干渉器及びフォトダイオード、並びに量子カスケード半導体レーザに光学的に結合される半導体導波路構造は、素子区画の境界に到達しており、また境界を横切っている。構造物 13 は、光導波路のための半導体積層構造 17 を有する。半導体積層構造 17 は、基板 11 の半導体主面 11a 上に設けられる。半導体積層構造 17 は、例えば導波路構造 13a のために複数の半導体層 19（例えば、下部クラッド層、コア層、上部クラッド層及びコンタクト層）を含むことができ、また導波路構造 13b のフォトダイオードのために複数の半導体層 19（例えば、カソード領域、受光層、アノード領域及びコンタクト層）を含むことができる。構造物 13 は、半導体積層構造 17 の保護のために、及び／又は金属構造物 15 を半導体積層構造 17 から絶縁するために無機絶縁膜及び／又は樹脂膜を含むことができる。無機絶縁膜は、例えば SiN、SiON、SiO₂ といったシリコン系無機絶縁体を備え、また樹脂膜は、例えばベンゾシクロブテン（BCB）、ポリイミドを備えることができる。引き続き説明における参照のために、第 1 生産物 SP1 のエピ面をおもて面 F として参照すると共に、第 1 生産物 SP1 の基板 11 の裏面 11b をうら面 B として参照する。第 1 生産物 SP1 の作製は、半導体のエピタキシャル成長、フォトリソグラフィ、エッチング、絶縁膜の気相成長、樹脂のスピン塗布、金属膜の堆積といった半導体素子の製造手法によって行われる。

【0027】

図 3 は、第 1 生産物 SP1 における素子区画の配列を示す図面である。図 3 の (a) 部は、第 1 生産物 SP1 のおもて面 F における素子区画の配列を示す平面図である。第 1 生産物 SP1 では、素子区画 SECT は二次元に配列されている。本実施例では、第 1 生産物 SP1 の基板 11 の半導体主面 11a は、例えば (100) 面を有する。本製造工程において、半導体バーとして分離されるバー区画 SBAR も、二次元に配列されている。バー区画 SBAR は、素子区画 SECT の一次元配列と、この配列の一端に設けられたハンドリング区画 H とを含む。図 3 の (a) 部には、結晶座標系 CR が示されており、本実施例では、(100) 面の半導体主面上に素子構造が形成される。[0-11] 方向（又は [01-1] 方向）にバー区画 SBAR が配列されている。具体的には、[0-11] 方向（又は [01-1] 方向）に所定の数だけ連続して素子区画 SECT が並ぶと共に、この並びの端にハンドリング区画 H が設けられて、バー区画 SBAR を構成する。[0-1-1] 方向（又は [011] 方向）にもバー区画 SBAR が配列されている。具体的には、個々のバー区画 SBAR 内の素子区画 SECT が [0-1-1] 方向（又は [011] 方向）に連続して並ぶと共に、個々のバー区画 SBAR 内のハンドリング区画 H が連続して並ぶ。図 3 の (b) 部は、バー区画 SBAR のおもて面を示す図面であり、図 3 の (c) 部は、バー区画 SBAR のうら面を示す図面である。バー区画 SBAR のおもて面には、素子区画 SECT の各々において、構造物 13 として 2 本の光導波路が描かれており、これらの光導波路は、素子区画 SECT の境界を横切って延在している。本実施例では、バー区画 SBAR のうら面には、基板 11 の裏面 11b が現れている。

【0028】

図 2 の (b) 部に示されるように、工程 S102 では、第 1 生産物 SP1 を支持板 21 に固定する。この固定において、第 1 生産物 SP1 のおもて面 F は、ワックスといった接着部材 23 により支持板 21 の主面 21a に貼り付けられる。支持板 21 に固定された第 1 生産物 SP1 のうら面 B は、露出されている。第 1 生産物 SP1 を支持板 21 に固定した後に、必要な場合には、工程 S103 では、第 1 生産物 SP1 の基板 11 の裏面 11b を研磨して、第 1 生産物 SP1 における基板 11 の厚さを薄くする。また、必要な場合には、工程 S104 では、第 1 生産物 SP1 のうら面 B 上に裏面メタルを形成することができる。図 4 は、素子区画の配列を示す図面である。図 4 の (a) 部は、第 1 生産物 SP1 のおもて面 F の一部分における素子区画 SECT の配列を示し、図 4 の (b) 部は、図 4 の (a) 部に対応するように第 1 生産物 SP1 のうら面 B における素子区画 SECT の配列を示す。裏面メタル 28 は、素子区画 SECT の各々に設けられており、各素子区画 SECT における裏面メタル 28 は、当該素子区画 SECT における境界から離れており、

各裏面メタル２８は素子区画ＳＥＣＴ毎に設けられている。素子区画ＳＥＣＴの境界上に裏面メタル２８の空隙が延在している。本実施例では、ハンドリング区画Ｈの裏面にも裏面メタル２８が設けられている。引き続き説明において、理解の容易のために、必要がある場合を除き裏面メタル２８を描かない。

【００２９】

図２の（ｃ）部に示されるように、工程Ｓ１０５では、支持板２１上の第１生産物ＳＰ１のうら面Ｂ上にマスク２５を形成する。第１生産物ＳＰ１の基板１１の厚さは、例えば１５０～６００μｍであることができる。マスク２５はフォトリソ製であることができる。図５は、生産物のうら面上に設けられたマスクのパターンと素子区画との配置を模式的に示す図面である。図５の（ａ）部は、第１生産物ＳＰ１のうら面Ｂの一部分におけるマスクのパターンの配列を示し、図５の（ｂ）部は、図５の（ａ）部に対応するように第１生産物ＳＰ１のおもて面Ｆにおける素子区画ＳＥＣＴの配列を示す。既に説明したように、図５の（ａ）部において、裏面メタル２８を描くことなくマスク２５のパターンの理解を容易にしている。第１生産物ＳＰ１のうら面Ｂにおいて、マスク２５は、素子区画ＳＥＣＴに設けられた第１パターン２５ａと、ハンドリング区画Ｈに設けられた第２パターン２５ｂとを有する。引き続き説明から理解されるように、素子区画ＳＥＣＴの境界に溝を形成するために、第１パターン２５ａは素子区画ＳＥＣＴ毎に設けられて、第１パターン２５ａは二次元に配列されている。導波路のための構造物１３の延在方向に関して、素子区画ＳＥＣＴの配列のうちの一の素子区画ＳＥＣＴ上の第１パターン２５ａは、この隣の素子区画ＳＥＣＴ上の第１パターン２５ａから第１間隔Ｄ１で離れており、第１間隔Ｄ１の大きさは、形成されるべき溝の形状に関連している。上記の延在方向に直交する方向に関して、素子区画ＳＥＣＴの配列のうちの一の素子区画ＳＥＣＴ上の第１パターン２５ａは、この隣の素子区画ＳＥＣＴ上の第１パターン２５ａから第２間隔Ｄ２で離れており、第２間隔Ｄ２の大きさは、形成されるべき溝の形状に関連している。ハンドリング区画Ｈは、形成されるべき半導体バーの一端に位置するように配列されている。導波路のための構造物１３の延在方向に関して、ハンドリング区画Ｈの配列のうちの一のハンドリング区画Ｈ上の第２パターン２５ｂは、この隣のハンドリング区画Ｈ上の第２パターン２５ｂから第３間隔Ｄ３で離れている。第３間隔Ｄ３の大きさは、形成されるべき溝の形状に関連している。素子区画ＳＥＣＴの配列のうちの一の素子区画ＳＥＣＴ上の第１パターン２５ａと、この隣のハンドリング区画Ｈ上の第２パターン２５ｂから第４間隔Ｄ４で離れている。第４間隔Ｄ４の大きさは、形成されるべき溝の形状に関連している。したがって、マスク２５は、第１パターン２５ａ及び第２パターン２５ｂの配列を可能にする開口パターンを有する。第１間隔Ｄ１は、第２間隔Ｄ２、第３間隔Ｄ３及び第４間隔Ｄ４より大きく、一例では、第２間隔Ｄ２、第３間隔Ｄ３及び第４間隔Ｄ４は同じ幅であることができるが、これに限定されるものではない。第１間隔Ｄ１は、ブレードを押し当て可能な程度の幅の底面を有する溝が素子区画ＳＥＣＴと素子区画ＳＥＣＴとの境界に形成されるように決定される。このような溝は、底面だけでなく第１側面及び第２側面を有する。これに対して、第２間隔Ｄ２、第３間隔Ｄ３及び第４間隔Ｄ４は、例えばハンドリング区画Ｈと素子区画ＳＥＣＴとの境界、及び素子区画ＳＥＣＴと素子区画ＳＥＣＴとの境界に、底面無しの溝（例えばＶ溝）が形成されるように決定されることが好ましい。このような溝は、底線を共有する第１側面及び第２側面を有する。

【００３０】

図６は、図５に示されたいくつかの断面線における生産物及び支持体の断面を示す。図６の（ａ）部は、図５におけるＶＩａ－ＶＩａ線に沿って取られた断面を示しており、図６の（ｂ）部は、図５におけるＶＩｂ－ＶＩｂ線に沿って取られた断面を示しており、図６の（ｃ）部は、図５におけるＶＩｃ－ＶＩｃ線に沿って取られた断面を示している。図６の（ａ）部を参照すると、個々の第１パターン２５ａは、第１間隔Ｄ１を取って、素子サイズのピッチで配列される。光導波路のための構造物１３が、素子区画ＳＥＣＴの一の境界を横切って延在している。この境界において、第１パターン２５ａの二次元配列のうちの一の第１パターン２５ａは、別の第１パターン２５ａから第１ストライプ開口２５ｃ

によって分離されている。第1ストライプ開口25cは、素子区画の境界線上を延在する。第1ストライプ開口25cの幅は第1間隔D1に等しい。図6の(b)部を参照すると、第2パターン25bが、素子サイズのピッチで配列される。光導波路のための構造物13は設けられておらず、個々の第2パターン25bは、第3間隔D3で離れている。第2パターン25bの一次元配列のうちの一の第2パターン25bは、別の第2パターン25bから第3ストライプ開口25eによって分離されている。第3ストライプ開口25eは、素子区画の境界線上を延在する。第3ストライプ開口25eの幅は第3間隔D3に等しい。図6の(c)部を参照すると、個々の第1パターン25aは、第2間隔D2で離れており、第2パターン25bが、第1パターン25aから第4間隔D4で離れている。第1パターン25aの二次元配列のうちの一の第1パターン25aは、隣の第1パターン25aから第2ストライプ開口25dによって分離されている。第2ストライプ開口25dは、素子区画の境界線上を延在する。第1パターン25aの二次元配列のうちの一の第1パターン25aは、第2パターン25bの一次元配列のうちの一の第2パターン25bから第4ストライプ開口25fによって分離されている。第4ストライプ開口25fは、素子区画の境界線上を延在する。第4ストライプ開口25fの幅は第4間隔D4に等しい。

【0031】

図7は、本実施形態に係る製造方法におけるいくつかの工程における生産物を模式的に示す斜視図である。図7の(a)部に示されるように、工程S106では、エッチング装置10を用いて、第1生産物SP1のうら面Bをエッチングして第2生産物SP2を形成する。第1生産物SP1のおもて面Fは、該第1生産物SP1を支持板21に固定するワックスにより覆われているので、第1生産物SP1のうら面Bがエッチャントに曝される。エッチャントは、例えばHBr、HBr及び H_3PO_4 の混合液を用いることができる。このエッチャントは、基板11の半導体のエッチングにおいて異方性を有するので、エッチングにより特定の結晶面が現れてくる。このエッチングにより、マスクの開口サイズに応じて、例えばV字形断面、や台形断面の溝を形成できる。

【0032】

エッチングの後に、工程S107では、マスク25を除去する。

【0033】

次いで、図7の(b)部に示されるように、工程S108では、第2生産物SP2を支持板21から取り外す。支持板21による被覆のお陰で、第1生産物SP1のおもて面Fの構造物13は、第2生産物SP2のおもて面Fにおいてもそのまま保たれている。一方、第2生産物SP2のうら面Bは、エッチングにより形成された格子状の溝を有する。

【0034】

図8は、第2生産物のおもて面及びうら面を模式的に示す図面である。図8の(a)部を参照すると、第2生産物SP2のおもて面Fは、素子区画SECTの境界を横切るように延在する導波路のための構造物13を有する。図8の(b)部を参照すると、第2生産物SP2のうら面Bは、素子区画の境界線上を延在する格子状の、エッチングにより形成された溝を有する。図9は、図8に示された典型的な断面線における断面を示す図面である。図9の(a)部は、図8におけるIXa-IXa線に沿って取られた断面を示しており、図9の(b)部は、図8におけるIXb-IXb線に沿って取られた断面を示しており、図9の(c)部は、図8におけるIXc-IXc線に沿って取られた断面を示している。図8の(b)部及び図9の(a)部を参照すると、マスク25の第1間隔D1が、ブレードを押し当て可能な程度の幅の底面を有する溝が素子区画SECTと素子区画SECTとの境界に形成されるように決定されたので、素子区画SECTと素子区画SECTとの境界線上に第1溝27が形成される。第1溝27は、この境界線上を延在する底面27a並びに第1側面27b及び第2側面27cを有する。上記の境界線の方に、第1溝27の底面27aと第1側面27bによって共有される底線、及び底面27aと第2側面27cとによって共有される底線が延在する。第1溝27は、いくつかの素子区画の並びの一端から他端まで延在する。InP半導体においては、第1側面27b及び第2側面27cは、例えば{111}面であることができ、底面27aは、例えば{100}面である

ことができる。第1溝27の幅は、ほかの溝の幅より広く、十分な長時間のエッチングにより溝の断面形状はV形状になる。しかしながら、エッチング時間の調整により、V形状の断面になる前にエッチングを停止することによって、第1溝27は、第1側面27b及び第2側面27cだけでなく底面27aも有する形状にできる。

【0035】

これに対して、第3間隔D3が第1間隔D1の幅より小さい幅を有するようには決定されたので、図8の(b)部及び図9の(b)部を参照すると、ハンドリング区画Hとハンドリング区画Hとの境界線上に第3溝29が形成されて、第3溝29は、この境界線上を延在する第1側面29a及び第2側面29bを有する。上記の境界線の方に、第3溝29の第1側面29aと第2側面29bとによって共有される底線が延在する。第3溝29は第1溝27につながる。同様に、第2溝31も第1溝27につながる。第4溝33は第1溝27及び第3溝29につながる。

【0036】

また、図8の(b)部及び図9の(c)部を参照すると、第2間隔D2が、第1間隔D1の幅より小さい幅を有するようには決定されたので、導波路のための構造物13の延在方向に交差する方向に関して、素子区画SECTと素子区画SECTとの境界線上に第2溝31が形成されて、第2溝31は、この境界線上を延在する第1側面31a及び第2側面31bを有する。上記の境界線の方に、第2溝31の第1側面31aと第2側面31bとによって共有される底線が延在する。第4間隔D4が、第1間隔D1の幅より小さい幅を有するようには決定されたので、ハンドリング区画Hと素子区画SECTとの境界線上に第4溝33が形成されて、第4溝33は、この境界線上を延在する第1側面33a及び第2側面33bを有する。上記の境界線の方に、第4溝33の第1側面33aと第2側面33bとによって共有される底線が延在する。

InP半導体をHBrによってエッチングする実施例における具体例。

第1溝27：例えば、幅320 μ m、230～470 μ mの範囲であっても良い。深さ200 μ m程度。

第2溝31：例えば、幅230 μ m、140～380 μ mの範囲であっても良い。深さ150 μ m程度。

第3溝29：例えば、幅230 μ m、140～380 μ mの範囲であっても良い。深さ150 μ m程度。

第4溝33：例えば、幅230 μ m、140～380 μ mの範囲であっても良い。深さ150 μ m程度。

第1溝27、第2溝31、第3溝29及び第4溝33の側面は、基板11の裏面11bに対して、約55度。

ハンドリング区画Hの幅；例えば1.5mm。

溝の位置及び幅の正確さは、フォトリソグラフィの精度に依存しており、スクライブの精度に依存しない。エッチャントとしてHBrが用いられ、エッチング時間は例えば30分であることができる。

【0037】

工程S109では、第2生産物SP2の分割を行って、半導体チップを形成する。図7の(c)部に示されるように、工程S110では、第2生産物SP2を加工して、基板生産物SP3を形成する。具体的には、第2生産物SP2の加工においては、第1生産物SP1及び第2生産物SP2の作製に際して用いられたウエハといった支持体の形状から第2生産物SP2の周辺部分を分割により取り除いて、基板生産物SP3を形成する。この分割により、上記の第1溝27、第3溝29、第4溝33を利用することができる(必要な場合には、第2溝31も用いることができる)。基板生産物SP3は、半導体パーに残されるべき素子区画SECT及びハンドリング区画Hの一次元又は二次元の配列を含む。好ましくは、基板生産物SP3は、実質的な直方体又は立方体の形状を有しており、その縁に劈開面を有する。基板生産物SP3においても、基板11からの支持基体35、及び導波路のための構造物13から半導体構造体37を含む。基板生産物SP3における素子

区画 S E C T は、[0 1 - 1] 方向及び [0 - 1 - 1] 方向に配列される。図 1 0 は、基板生産物 S P 3 のおもて面 F 及びうら面 B を示す図面である。図 1 0 の (a) 部に示されるように、基板生産物 S P 3 のおもて面 F の構造は、基板生産物 S P 3 の外形の点を除いて、第 2 生産物 S P 2 のおもて面 F の構造と同じである。また、図 1 0 の (b) 部に示されるように、基板生産物 S P 3 のうら面 B の構造は、基板生産物 S P 3 の外形の点を除いて、第 2 生産物 S P 2 のうら面 B の構造と同じである。

【 0 0 3 8 】

これらの工程により、基板生産物 S P 3 が準備された。この基板生産物 S P 3 は、劈開性を有する支持基体 3 5 と、複数の素子区画 S E C T の各々に設けられ光導波路のための半導体構造体 3 7 とを含む。半導体構造体 3 7 は、支持基体 3 5 の支持基体主面 3 5 a 上に設けられる。支持基体 3 5 の裏面 3 5 b は、複数の第 1 溝 2 7、複数の第 2 溝 3 1、複数の第 3 溝 2 9、及び複数の第 4 溝 3 3 を有する。

10

【 0 0 3 9 】

引き続き、工程 S 1 1 1 では、基板生産物 S P 3 から半導体バー S B の作製を行う。図 1 1 は、本実施例における基板生産物への分割刃の押し当てを模式的に表す図面である。本実施例では、基板生産物 S P 3 のおもて面 F にスクライプ溝を形成していない。基板生産物 S P 3 の第 1 溝 2 7 の底面 2 7 a に、ブレードといった分割刃 3 9 を当てて押圧する。分割刃 3 9 の押し当てにより押当位置において劈開 B R K が生じる。この劈開の結果、基板生産物 S P 3 の裏面 3 5 b への押圧によって別の基板生産物 (S P 4) と半導体バー S B とが形成される。このバーの形成の手法は、第 2 生産物 S P 2 から基板生産物 S P 3 を形成する上記の分割に適用されることができる。

20

【 0 0 4 0 】

基板生産物 S P 3 のうら面のエッチングにより第 1 溝 2 7 及び第 2 溝 3 1 を形成でき、第 1 溝 2 7 の幅が第 2 溝 3 1、第 3 溝 2 9 及び第 4 溝 3 3 の幅より大きい。各第 1 溝 2 7 は、エッチングによる形成により実質的に平坦な底面 2 7 a を有する。第 1 溝 2 7 の底面 2 7 a と支持基体主面 3 5 a との間隔は、支持基体主面 3 5 a と支持基体 3 5 の裏面 3 5 b との間隔より小さい。したがって、支持基体 3 5 の劈開のための厚さが、第 1 溝 2 7 では小さい。このため、半導体構造体 3 7 から形成される光導波路端面に乱れが少ない。また、分割刃 3 9 が第 1 溝 2 7 の底面 2 7 a に押し当てられるので、押圧力が第 1 溝 2 7 の底面 2 7 a に的確に加えられて、この押当位置が、第一義的には劈開の起点になる。

30

【 0 0 4 1 】

必要な場合には、工程 S 1 1 2 では、第 1 溝 2 7 に対応する劈開端面に端面コーティングを行う。この端面コーティングでは、例えば反射防止膜が堆積される。反射防止膜は、具体的には $A l_2 O_3$ と S i の多層膜であることができる。

【 0 0 4 2 】

次いで、工程 S 1 1 3 では、半導体バー S B の分離により、半導体チップの作製を行う。図 1 2 は、本実施例における半導体バーへの分割刃の押し当てを模式的に表す図面である。半導体バー S B の一端にはハンドリング区画 H が位置しており、ハンドリング区画 H に続いて複数の素子区画 S E C T の一次元配列がある。本実施例では、半導体バー S B (基板生産物 S P 3) のおもて面 F にスクライプ溝を形成していない。半導体バー S B のうら面 B の第 2 溝 3 1 の位置に合わせて、ブレードといった分割刃 3 9 を半導体バー S B のおもて面 F に当てておもて面 F を押圧する。分割刃 3 9 の押圧により第 2 溝 3 1 が押し広げられて、第 2 溝 3 1 の底線の位置において劈開 B R K 2 が生じる。この劈開の結果、半導体バー S B から単一の半導体チップ C P 及び残りの半導体バー (S B 1) が形成される。この押圧を順次に繰り返すことによって、ハンドリング区画 H の反対側の素子区画から、順に半導体チップ C P に分離される。この作製方法によれば、基板生産物 S P 3 から半導体バー S B の作製において、第 1 溝 2 7 内に押圧を行ってブレードの押し当てにより正確に劈開の位置を決定する一方で、半導体バー S B から半導体チップ C P の形成では、第 2 溝 3 1 の位置する面の反対側の面に押圧を行って、第 2 溝 3 1 の底線の位置で分離を行う。この作製の手順を第 2 生産物 S P 2 から基板生産物 S P 3 の作製に適用することがで

40

50

きる。

【0043】

これらの工程により、第1生産物SP1から、半導体光素子のための半導体チップCPが形成される。

【0044】

支持基体35の劈開のための厚さが、第1溝27では小さいので、半導体構造体37から形成される光導波路端面に乱れが少ない。また、支持基体35においては、半導体チップCPの底面の四辺の近傍を除いて、支持のために必要な厚さが保持されて、引き続き工程における処理によるチップ反り（半導体チップCPの反り）の低減に寄与する。

【0045】

図13は、本実施形態に係る作製方法により形成された半導体光素子のための半導体チップを模式的に示す図面である。図13の(a)部は、本実施形態に係る半導体チップのおもて面を示す平面図であり、図13の(b)部は、本実施形態に係る半導体チップの一端を示す正面図であり、図13の(c)部は、本実施形態に係る半導体チップの側面を示す側面図であり、図13の(d)部は、本実施形態に係る半導体チップのうら面を示す背面図である。半導体光素子のための半導体チップCPは、劈開性を示す半導体からなる支持体51と、支持体51の主面51a上に設けられ光導波路のための半導体構造物53とを備える。半導体構造物53は、一又は複数の半導体層を含むことができ、例えば上部クラッド層55a、コア層55b及び下部クラッド層55cを含む。支持体51は、第1方向（例えば「0-1-1」方向）に延在する第1縁51cを有し、支持体51は、第1方向に交差する第2方向（例えば「01-1」方向）に延在する第2縁51dを有する。半導体構造物53は、支持体51の第2縁51dに対応する第2素子端面CP2Eに到達している。支持体51は、主面51aの反対側にある裏面51bと、第1縁51cに対応する第1素子端面CP1Eを支持体51の裏面51bに繋ぐ第1斜面51e（31a、31b）と、第2縁51dに対応する第2素子端面CP2Eから延在するテラス面51f（27a）と、テラス面51fを支持体51の裏面51bに繋ぐ第2斜面51g（27b、27c）と、を含む。第1斜面51e（31b）は、第1基準面R1に沿って延在する部分を有しており、第2斜面51gは、第2基準面R2に沿って延在する部分を有している。支持体51の裏面51bは、主面51aの法線軸NXに交差する第3基準面R3に沿って延在しており、テラス面51fは、主面51aの法線軸NXに交差する第4基準面R4に沿って延在している。第3基準面R3は、第1基準面R1及び第2基準面R2に対して傾斜している。法線軸NXの方向に関して、支持体51の主面51aとテラス面51fとの間隔は、支持体51の主面51aと裏面51bとの間隔より小さい。一実施例では、第3基準面R3及び第4基準面R4は法線軸NXに直交しており、また第1基準面R1及び第2基準面R2に対して55度で傾斜している。半導体チップCPの支持体51の主面51aと裏面51bとの間隔（支持体51の厚さ）は、例えば150～600μmであることができ、支持体51の主面51aとテラス面51fとの間隔は、例えば50～200μmであることができる。

【0046】

また、半導体チップCPがある程度大きなサイズを有するとき、チップ全体としての反りが大きくなる可能性がある。この反りに敏感な半導体光デバイスを半導体チップCPがモノリシックに集積するとき、チップ全体の反りの低減が求められる。一方で、半導体光デバイスの光入力及び／又は光出力のための導波路端の品質の均一（例えばロット内の均一性）が求められる。発明者らの知見によれば、支持体51の裏面51bの縦サイズ及び横サイズの少なくとも一方が2mm以上であるとき、光デバイスに対する反りの影響が光デバイスの特性の変化に現れることがある。また、支持体51の裏面51bの面積が0.6mm²以上であるとき、光デバイスに対する反りの影響が光デバイスの特性の変化に現れることがある。

半導体チップCPによれば、半導体構造物53の光導波路構造が支持体51の第2縁51dに対応する第2素子端面CP2Eに到達しており、支持体51の半導体は劈開性を示

10

20

30

40

50

すので、素子端面は劈開面を備える。支持体 5 1 の第 2 縁 5 1 d において、支持体 5 1 の主面 5 1 a とテラス面 5 1 f (2 7 a) との間隔の最大値が支持体 5 1 の主面 5 1 a と裏面 5 1 b との間隔の最小値より小さいので、第 2 素子端面 C P 2 E の形成に際して劈開されるべき支持体 5 1 の厚さは、第 2 素子端面 C P 2 E から離れた位置の支持基体厚に比べて小さく、これ故に、偶発的な事象に起因して生じる端面の乱れが少ない。一方で、第 2 素子端面 C P 2 E における厚さに起因する制約が、第 2 素子端面 C P 2 E から離れた位置の支持基体厚に対して緩和されるので、この裏面構造は、支持体 5 1 に半導体構造物 5 3 に対する支持能を提供でき、実装によって生じる可能性があるチップの反りを低減できる。

【 0 0 4 7 】

支持体 5 1 の半導体は、I n P、G a A s、G a S b、及び I n A s のいずれかであることができる。これらの材料は、劈開性を有しており、また半導体光素子の支持体として有用である。これ故に、第 1 素子端面 C P 1 E は劈開面を備え、第 2 素子端面 C P 2 E は劈開面を備える。

【 0 0 4 8 】

具体的な例示では、半導体構造物 5 3 は、多モード干渉器のための導波路構造、マッハツェンダー変調器のための導波路構造、及び量子カスケード半導体レーザのための導波路構造の少なくともいずれか一つを含むことができる。半導体チップ C P の裏面構造は、これらの半導体デバイスに、優れた光結合を達成するための導波路端面と半導体構造物 5 3 に対する支持能とを提供できる。

【 0 0 4 9 】

既に説明したことが理解されるように、半導体チップ C P は、裏面 5 1 b 上に設けられた裏面金属体 5 5 を更に備えることができる。裏面金属体 5 5 は、支持体 5 1 の第 1 縁 5 1 c 及び第 2 縁 5 1 d の構造が裏面金属体 5 5 の配置から独立するように、裏面 5 1 b の 4 つの縁から離れている。

【 0 0 5 0 】

好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更

に権利を請求する。

【産業上の利用可能性】

【 0 0 5 1 】

以上説明したように、本実施形態によれば、所望の品質の劈開面を光導波路のために提供できると共に素子のための基板に所望の支持能を提供できる、半導体光素子を作製する方法が提供される。また、本実施形態によれば、所望の品質の劈開端面を光導波路に付与できると共に基板に所望の支持能を付与できる半導体光素子が提供される。

【符号の説明】

【 0 0 5 2 】

S P 1 …第 1 生産物、S P 2 …第 2 生産物、1 1 …基板、1 3 …構造物、1 5 …金属構造物、S E C T …素子区画、H …ハンドリング区画、S B A R …バー区画、2 1 …支持板、2 3 …接着部材、2 5 …マスク、2 5 a …第 1 パターン、2 5 b …第 2 パターン、2 5 c …第 1 ストライプ開口、2 5 d …第 2 ストライプ開口、2 5 e …第 3 ストライプ開口、2 8 …裏面メタル、2 7 …第 1 溝、2 9 …第 3 溝、3 1 …第 2 溝、3 3 …第 4 溝、S P 3 …基板生産物、S B …半導体バー、3 9 …分割刃、B R K …劈開、3 5 …支持基体、3 7 …半導体構造体、C P …半導体チップ。

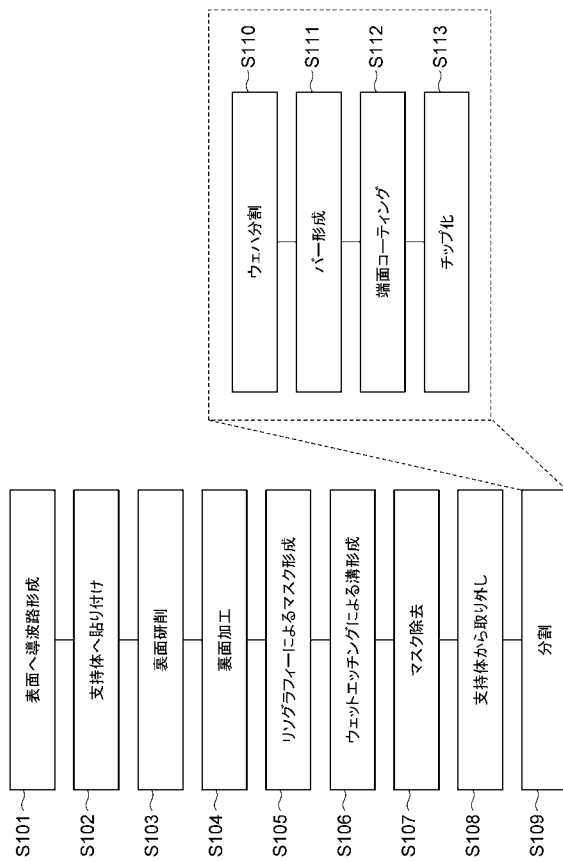
10

20

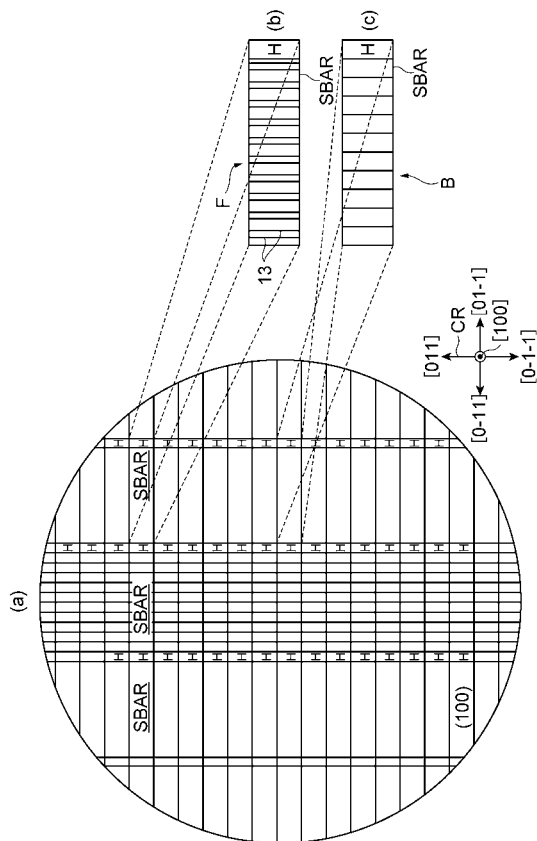
30

40

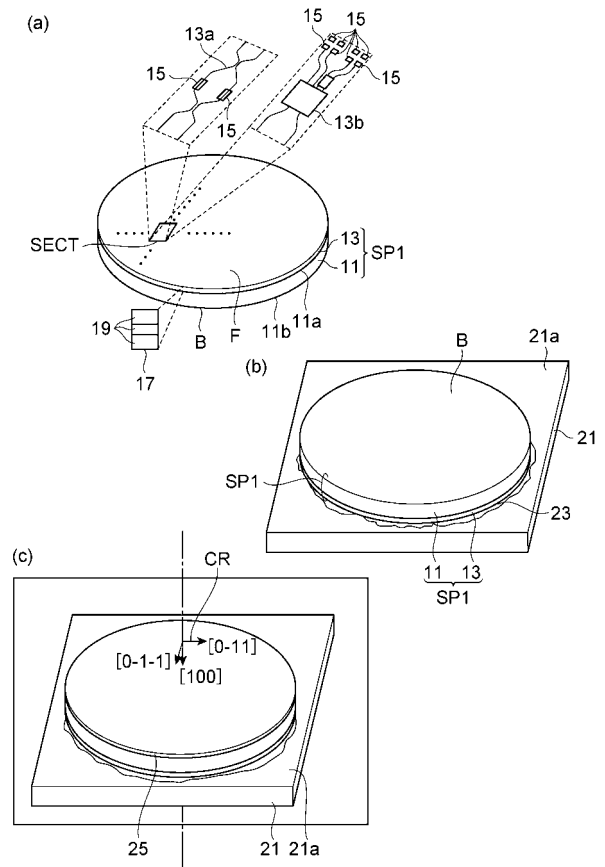
【図 1】



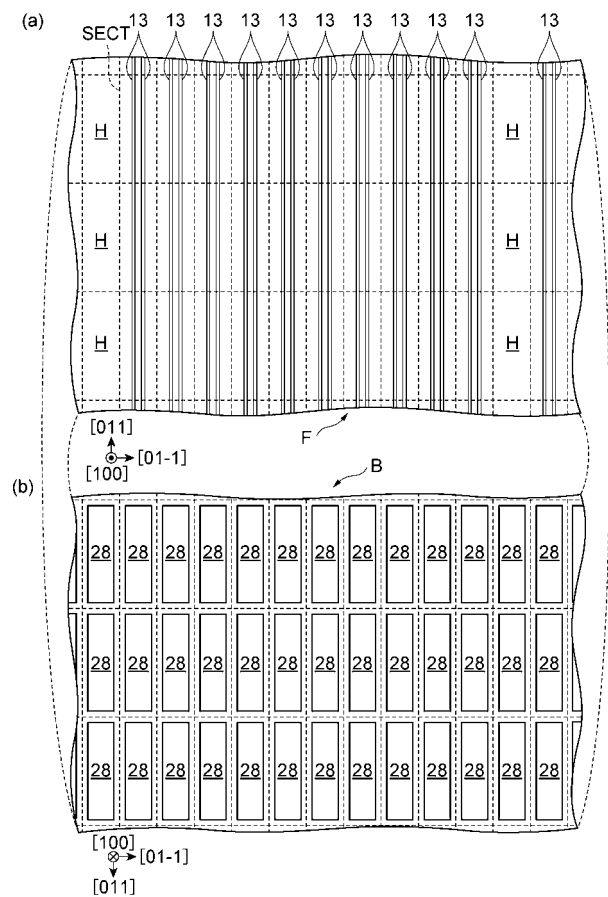
【図 3】



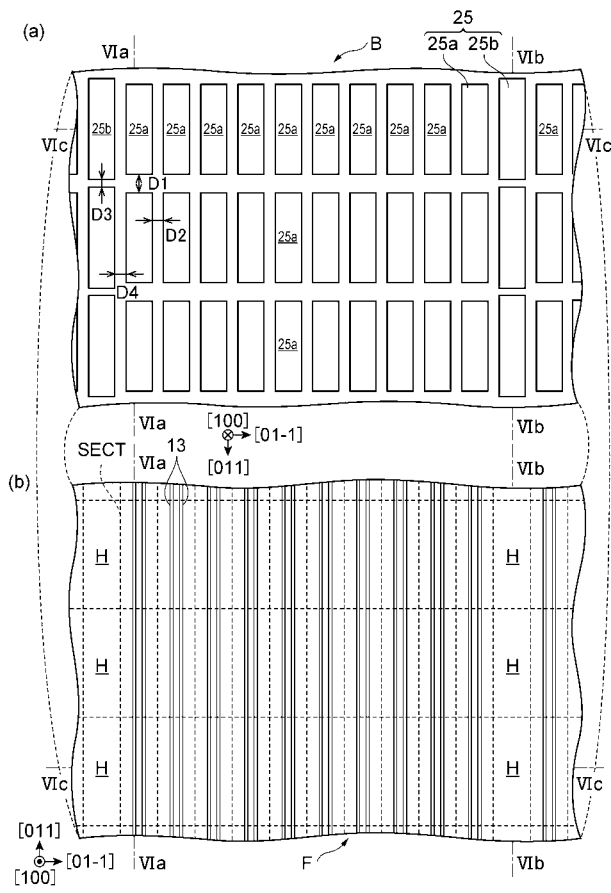
【図 2】



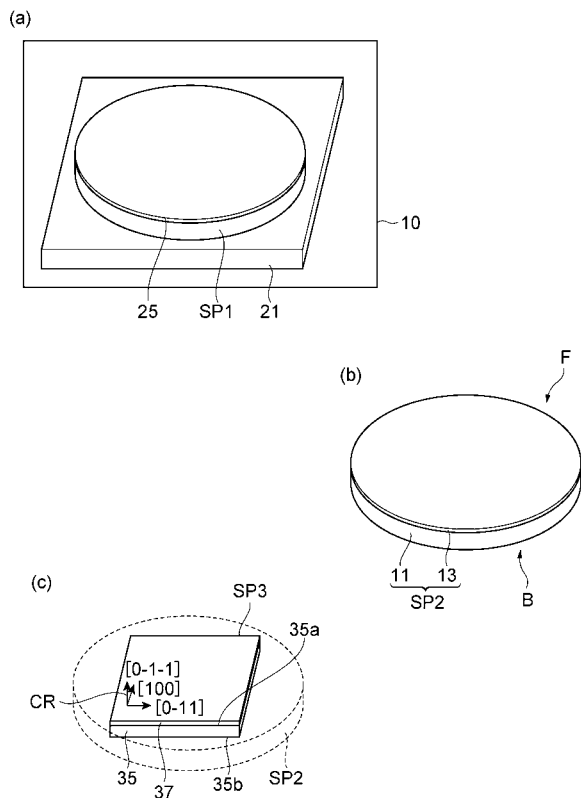
【図 4】



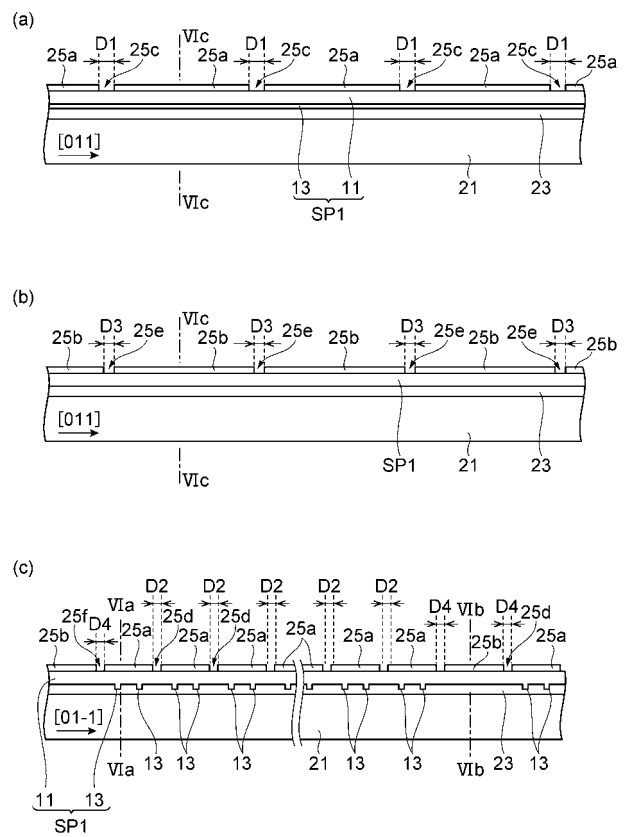
【図 5】



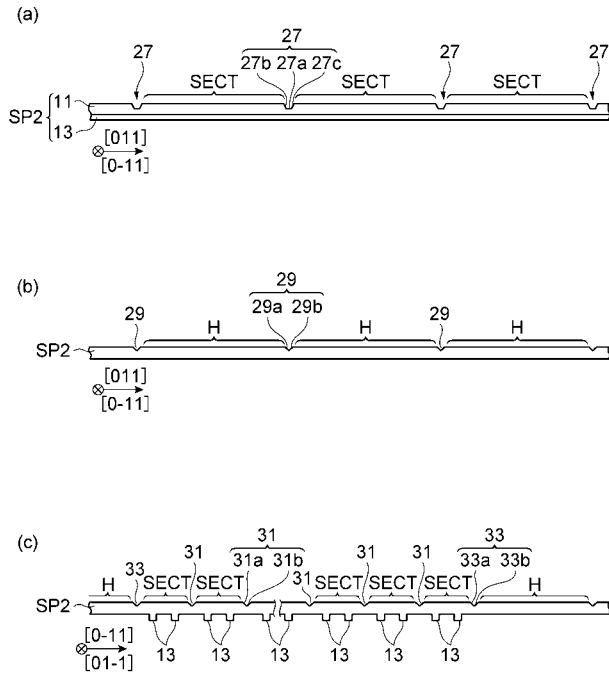
【図 7】



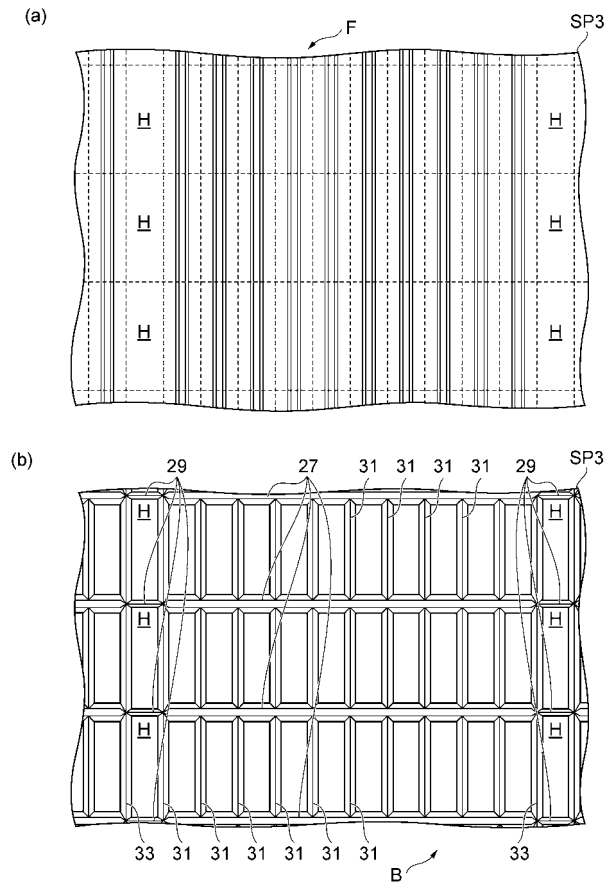
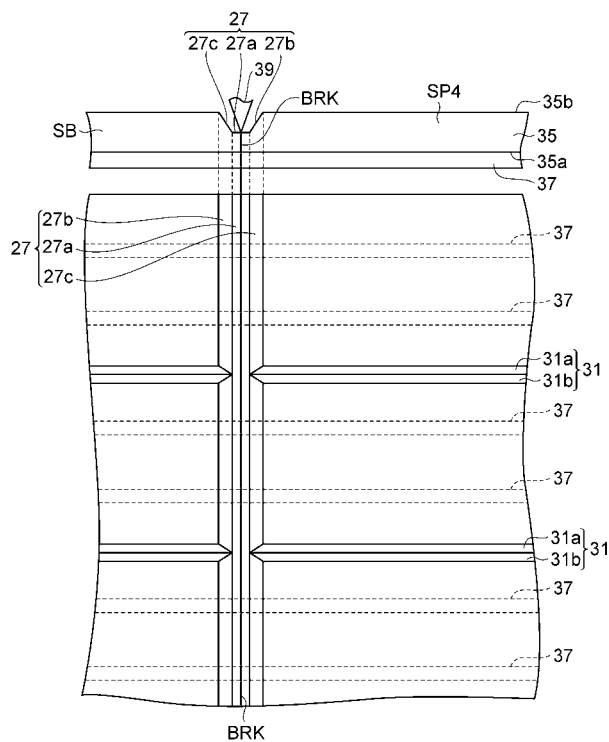
【図 6】



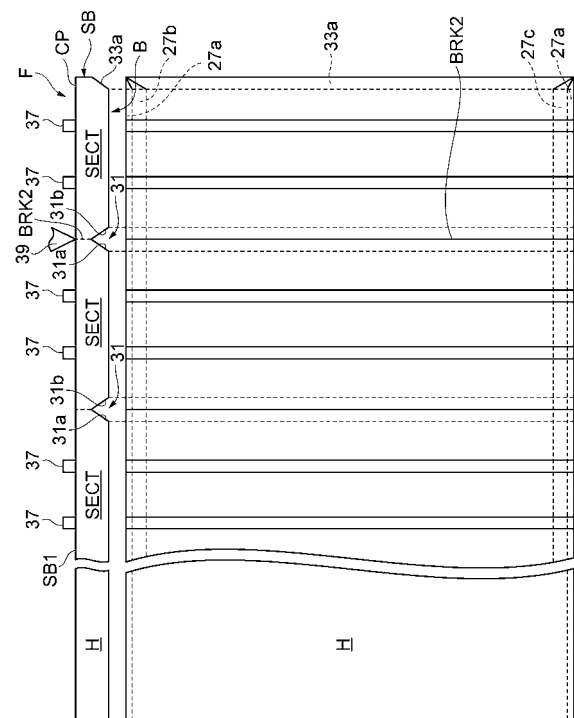
【 図 1 0 】



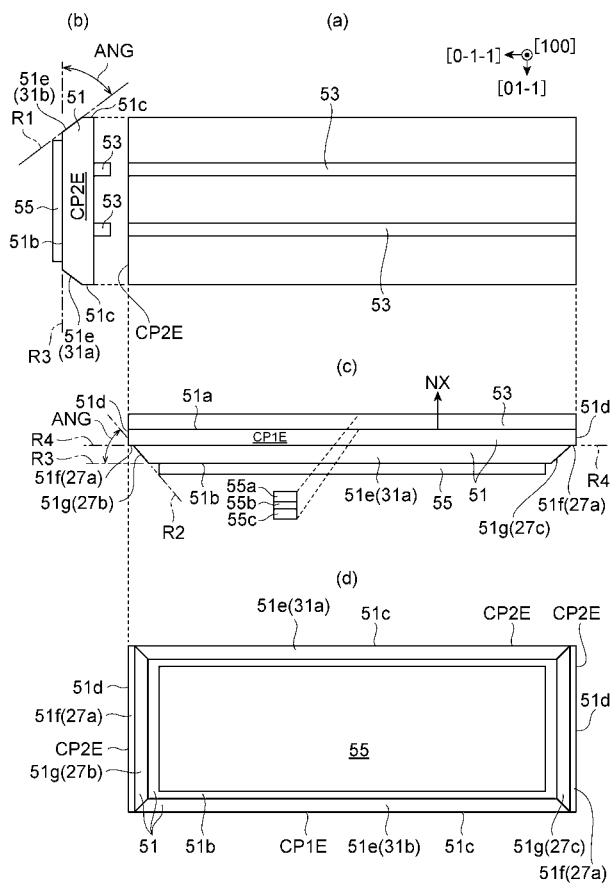
【 図 1 1 】



【图 1 2】



【図 13】



フロントページの続き

(72)発明者 櫻井 謙司

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

Fターム(参考) 2K102 BA01 BA40 CA28 DA04 DB04 DD03

5F063 AA04 BA33 BA43 BA44 CB03 CB08 CB23 CB28 CC08 CC35

CC46 CC52 DD42 DD49 DD81 DF03 EE36

5F173 AP32 AP42 AP47 AP83 AP84 AP85 AP93 AP94 AP95 AR93