

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成20年1月31日(2008.1.31)

【公表番号】特表2004-500757(P2004-500757A)
 【公表日】平成16年1月8日(2004.1.8)
 【年通号数】公開・登録公報2004-001
 【出願番号】特願2001-542460(P2001-542460)
 【国際特許分類】

H 0 3 F 3/45 (2006.01)

H 0 3 G 7/06 (2006.01)

【F I】

H 0 3 F 3/45 B

H 0 3 G 7/06

【手続補正書】
 【提出日】平成19年11月30日(2007.11.30)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

時変信号とコモンモードバイアスを含む部分的な差動信号を増幅して、前記部分的な差動信号にかかる時変コモンモード信号を阻止するためのプロセッサと、

前記コモンモードバイアスの代表値である閾値レベルを決定するための手段と、

前記プロセッサに非線形の伝達関数を提供するように、前記時変信号と前記閾値レベルの間に存在する所定の関係に応答して、前記プロセッサの利得を変更するための手段と、

前記時変コモンモード信号が前記所定の関係を変更することを実質的に防ぐための手段と、

を備える非線形プロセッサ。

【請求項 2】

前記利得を変更するための 1 つ以上の前記手段が設けられ、第 1 の利得の領域から相対的に高い利得の領域への利得の変更を生じる、

請求項 1 記載の非線形プロセッサ。

【請求項 3】

前記利得を変更するための 1 つ以上の前記手段が設けられ、第 1 の利得の領域から相対的に低い利得の領域への利得の変更を生じる、

請求項 1 記載の非線形プロセッサ。

【請求項 4】

前記利得を変更するための 2 つ以上の前記手段が設けられ、第 1 の利得の領域から相対的に低い利得の第 2 の領域への利得の変更、第 1 の利得の領域から前記第 2 の領域よりも相対的に高い利得を有する第 3 の領域への利得の変更を生じる、

請求項 1 記載の非線形プロセッサ。

【請求項 5】

前記利得を変更するための 2 つ以上の前記手段が設けられ、第 1 の利得の領域から相対的に高い利得の第 2 の領域への利得の変更、第 1 の利得の領域から前記第 2 の領域よりも相対的に低い利得を有する第 3 の領域への利得の変更を生じる、

請求項 1 記載の非線形プロセッサ。

【請求項 6】

前記閾値は、前記コモンモードバイアスの減衰及び直流変換された代表値である、請求項 1 記載の非線形プロセッサ。

【請求項 7】

1 つ以上の前記閾値は、前記コモンモードバイアスの値よりも下に配置される、請求項 6 記載の非線形プロセッサ。

【請求項 8】

1 つ以上の前記閾値は、前記コモンモードバイアスの値よりも上に配置される、請求項 6 記載の非線形プロセッサ。

【請求項 9】

信号を非線形に処理する方法であって、

時変信号と部分的な差動信号のためのコモンモードバイアスとを含む部分的な差動信号を処理して、前記部分的な差動信号にかかる時変コモンモード信号を阻止するステップと、

前記コモンモードバイアスの代表値である閾値レベルを決定するステップと、

前記時変信号と前記閾値レベルの間に存在する所定の関係に応答して、前記部分的な差動信号の前記処理を非線形に変更するステップと、

前記時変コモンモード信号に応答して、前記所定の関係の変更を防ぐステップと、を備える方法。

【請求項 10】

電気信号を非線形に増幅する装置であって、

第 1 のトランジスタのベースへの第 1 の入力と、

第 2 のトランジスタのベースへの第 2 の入力と、

前記第 1 のトランジスタのエミッタと前記第 2 のトランジスタのエミッタとの間に相互接続される第 1 の抵抗素子と、

前記第 1 のトランジスタのベース - コレクタ接合を逆バイアスするのに十分な直流電源電位のソースに接続される前記第 1 のトランジスタのコレクタと、

前記第 2 のトランジスタのベース - コレクタ接合を逆バイアスするのに十分な直流電源電位のソースに第 2 の抵抗素子を介して接続される前記第 2 のトランジスタのコレクタと

、
前記第 2 のトランジスタのコレクタと前記第 2 の抵抗素子の一端からなる接合で、前記第 2 のトランジスタのコレクタに接続される出力端子と、

前記第 1 のトランジスタのエミッタと前記第 2 のトランジスタのエミッタのそれぞれから、直流電源電位の第 2 のソースに接続される電流源と、

前記第 2 のトランジスタのエミッタから、第 3 のトランジスタのコレクタが第 3 のトランジスタのベース - コレクタ接合を逆バイアスするのに十分な直流電源電位のコレクタに接続される、第 3 のトランジスタのエミッタに接続される第 1 の 2 次利得設定抵抗素子と

、
閾値電位のソースに接続される前記第 3 のトランジスタのベースと、
を備える装置。

【請求項 11】

前記第 1 のトランジスタのエミッタにその入力に接続され、その出力が前記閾値電位のソースを提供するバッファをさらに含む、

請求項 10 記載の装置。

【請求項 12】

前記第 1 のトランジスタのエミッタにその入力に接続され、1 つ以上の分圧点を備える抵抗性ディバイダをその出力が駆動するバッファと、前記抵抗性ディバイダの一端は前記バッファの出力に接続され、前記抵抗性ディバイダの他端は直流バイアス電位のソースに接続され、

前記閾値電位のソースを提供する前記抵抗性ディバイダのネットワークの第 1 の分圧点

と、

前記バッファの出力と前記第3のトランジスタのベースの間に接続されるバイパスキャパシタと、

をさらに含む請求項 10 記載の装置。

【請求項 13】

前記直流バイアス電位のソースは、前記バッファの出力で直流電位よりも低い、請求項 12 記載の装置。

【請求項 14】

前記直流バイアス電位のソースは、前記バッファの出力で直流電位よりも高い、請求項 12 記載の装置。

【請求項 15】

前記第3のトランジスタのベース電位を超える前記第2のトランジスタのベースへの信号入力に応答して、前記第3のトランジスタが導通されるように、前記第3のトランジスタが保持される、

請求項 13 記載の装置。

【請求項 16】

前記第 2 のトランジスタのエミッタから前記第4のトランジスタのエミッタに接続される第 2 の 2 次利得設定抵抗素子をさらに備え、

前記第4のトランジスタのコレクタは、前記第4のトランジスタのベース - コレクタ接合を逆バイアスするのに十分な直流電源電位のコレクタに接続され、前記第4のトランジスタのベースは、前記抵抗性ディバイダの第 2 の分圧点に接続され、

前記第4のトランジスタのベース電位を超える前記第2のトランジスタのベースへの前記信号入力に応答して、前記第4のトランジスタが導通されるように、前記第4のトランジスタが保持される、

請求項 15 記載の装置。

【請求項 17】

前記第 2 のトランジスタのエミッタから前記第4のトランジスタのエミッタに接続される第 2 の 2 次利得設定抵抗素子をさらに備え、

前記第4のトランジスタのコレクタは、前記第4のトランジスタのベース - コレクタ接合を逆バイアスするのに十分な直流電源電位のコレクタに接続され、前記第4のトランジスタのベースは、前記抵抗性ディバイダの第 2 の分圧点に接続され、

前記第4のトランジスタのベース電位を超える前記第2のトランジスタのベースへの前記信号入力に応答して、前記第4のトランジスタが非導通にされるように、前記第4のトランジスタが保持される、

請求項 15 記載の装置。

【請求項 18】

前記第3のトランジスタのベース電位を超える前記第2のトランジスタのベースへの前記信号入力に応答して、前記第3のトランジスタが非導通にされるように、前記第3のトランジスタが保持される、

請求項 13 記載の装置。

【請求項 19】

前記第 2 のトランジスタのエミッタから前記第4のトランジスタのエミッタに接続される第 2 の 2 次利得設定抵抗素子をさらに備え、

前記第4のトランジスタのコレクタは、前記第4のトランジスタのベース - コレクタ接合を逆バイアスするのに十分な直流電源電位のコレクタに接続され、前記第4のトランジスタのベースは、前記抵抗性ディバイダの第 2 の分圧点に接続され、

前記第4のトランジスタのベース電位を超える前記第2のトランジスタのベースへの前記信号入力に応答して、前記第4のトランジスタが導通されるように、前記第4のトランジスタが保持される、

請求項 18 記載の装置。

【請求項 20】

前記第 2 のトランジスタのエミッタから前記第 4 のトランジスタのエミッタに接続される第 2 の 2 次利得設定抵抗素子をさらに備え、

前記第 4 のトランジスタのコレクタは、前記第 4 のトランジスタのベース - コレクタ接合を逆バイアスするのに十分な直流電源電位のコレクタに接続され、前記第 4 のトランジスタのベースは、前記抵抗性ディバイダの第 2 の分圧点に接続され、

前記第 4 のトランジスタのベース電位を超える前記第 2 のトランジスタのベースへの前記信号入力に応答して、前記第 4 のトランジスタが非導通にされるように、前記第 4 のトランジスタが保持される、

請求項 18 記載の装置