

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】令和 7 年 6 月 4 日(2025.6.4)

【国際公開番号】WO2023/189487
【出願番号】特願 2024-511696(P2024-511696)
【国際特許分類】
H 1 0 D 3 0 / 6 7 (2 0 2 5 . 0 1)
【 F I 】
H 0 1 L 2 9 / 7 8 6 1 7 T
H 0 1 L 2 9 / 7 8 6 1 8 B

10

【手続補正書】
【提出日】令和 7 年 5 月 27 日(2025.5.27)
【手続補正 1】
【補正対象書類名】明細書
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【発明の詳細な説明】
【技術分野】

20

【 0 0 0 1 】

本発明の一実施形態は、半導体装置に関する。特に、本発明の一実施形態は、チャネルとして酸化物半導体を用いられた半導体装置に関する。

【背景技術】

【 0 0 0 2 】

近年、アモルファスシリコン、低温ポリシリコン、及び単結晶シリコンに替わり、酸化物半導体がチャネルに用いられた半導体装置の開発が進められている（例えば、特許文献 1～6 参照）。酸化物半導体がチャネルに用いられた半導体装置は、アモルファスシリコンがチャネルに用いられた半導体装置と同様に、単純な構造かつ低温プロセスで形成することができる。酸化物半導体がチャネルに用いられた半導体装置は、アモルファスシリコンがチャネルに用いられた半導体装置よりも高い移動度を有することが知られている。

30

【 0 0 0 3 】

酸化物半導体がチャネルに用いられた半導体装置が安定した動作をするために、その製造工程において酸化物半導体層に酸素を供給し、酸化物半導体層に形成された酸素欠損を低減することが重要である。例えば、酸化物半導体層に酸素を供給する方法の一つとして、絶縁層が酸素をより多く含む条件で、酸化物半導体層を覆う絶縁層を形成する技術が開示されている。

【先行技術文献】

【特許文献】

40

【 0 0 0 4 】

【特許文献 1】特開 2021-141338 号公報

【特許文献 2】特開 2014-099601 号公報

【特許文献 3】特開 2021-153196 号公報

【特許文献 4】特開 2018-006730 号公報

【特許文献 5】特開 2016-184771 号公報

【特許文献 6】特開 2021-108405 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

50

しかしながら、酸素をより多く含む条件で形成された絶縁層は欠陥を多く含む。その影響で、その欠陥に電子がトラップされることが原因と考えられる半導体装置の特性異常又は信頼性試験における特性変動が発生する。一方、欠陥の少ない絶縁層を用いると、絶縁層に含まれる酸素を多くすることができない。したがって、絶縁層から酸化物半導体層に十分に酸素を供給することができない。このように、半導体装置の特性変動の原因となる絶縁層中の欠陥を低減しつつ、酸化物半導体層に形成された酸素欠損を修復することができる構造を実現することが要求されている。

【0006】

本発明の一実施形態は、高移動度かつ信頼性が高い半導体装置を提供することを目的の一つとする。

10

【課題を解決するための手段】

【0007】

本発明の一実施形態に係る半導体装置は、絶縁表面の上の酸化金属層と、酸化金属層の上の酸化物半導体層と、酸化物半導体層の上の絶縁層と、を含み、絶縁層は、酸化物半導体層と重畳する第1領域を含み、第1領域の第1アルミニウム濃度が、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以上である。

【図面の簡単な説明】

【0008】

【図1】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図2】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

20

【図3】本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。

【図4】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図5】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図6】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図7】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図8】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図9】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図10】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図11】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図12】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

30

【図13】本発明の一実施形態に係る表示装置の概要を示す平面図である。

【図14】本発明の一実施形態に係る表示装置の回路構成を示すブロック図である。

【図15】本発明の一実施形態に係る表示装置の画素回路を示す回路図である。

【図16】本発明の一実施形態に係る表示装置の概要を示す断面図である。

【図17】本発明の一実施形態に係る表示装置の画素電極及び共通電極の平面図である。

【図18】本発明の一実施形態に係る表示装置の画素回路を示す回路図である。

【図19】本発明の一実施形態に係る表示装置の概要を示す断面図である。

【図20】半導体装置の酸化物半導体層のチャンネル領域におけるSIMS分析の測定結果を示すグラフである。

【図21】半導体装置の酸化物半導体層のソース領域又はドレイン領域におけるSIMS分析の測定結果を示すグラフである。

40

【図22】半導体装置の電気特性を示すグラフである。

【図23】半導体装置の信頼性試験を示すグラフである。

【発明を実施するための形態】

【0009】

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。以下の開示はあくまで一例にすぎない。当業者が、発明の主旨を保ちつつ、実施形態の構成を適宜変更することによって容易に想到し得る構成は、当然に本発明の範囲に含有される。説明をより明確にするため、図面は、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合がある。しかし、図示された形状は、あくまで一例であって、本発明の解釈

50

を限定しない。本明細書と各図において、既出の図に関して前述した構成と同様の構成には、同一の符号を付して、詳細な説明を適宜省略することがある。

【 0 0 1 0 】

本発明の各実施の形態において、基板から酸化物半導体層に向かう方向を上又は上方という。逆に、酸化物半導体層から基板に向かう方向を下又は下方という。このように、説明の便宜上、上方又は下方という語句を用いて説明するが、例えば、基板と酸化物半導体層との上下関係が図示と異なる向きに配置されてもよい。以下の説明で、例えば基板上の酸化物半導体層という表現は、上記のように基板と酸化物半導体層との上下関係を説明しているに過ぎず、基板と酸化物半導体層との間に他の部材が配置されていてもよい。上方又は下方は、複数の層が積層された構造における積層順を意味するものであり、トランジスタの上方の画素電極と表現する場合、平面視において、トランジスタと画素電極とが重ならない位置関係であってもよい。一方、トランジスタの鉛直上方の画素電極と表現する場合は、平面視において、トランジスタと画素電極とが重なる位置関係を意味する。

10

【 0 0 1 1 】

「表示装置」とは、電気光学層を用いて映像を表示する構造体を指す。例えば、表示装置という用語は、電気光学層を含む表示パネルを指す場合もあり、又は表示セルに対して他の光学部材（例えば、偏光部材、バックライト、タッチパネル等）を装着した構造体を指す場合もある。「電気光学層」には、技術的な矛盾が生じない限り、液晶層、エレクトロルミネセンス（ＥＬ）層、エレクトロクロミック（ＥＣ）層、電気泳動層が含まれ得る。したがって、後述する実施形態について、表示装置として、液晶層を含む液晶表示装置、及び有機ＥＬ層を含む有機ＥＬ表示装置を例示して説明するが、本実施形態における構造は、上述した他の電気光学層を含む表示装置へ適用することができる。

20

【 0 0 1 2 】

本明細書において「 はＡ、Ｂ又はＣを含む」、「 はＡ、Ｂ及びＣのいずれかを含む」、「 はＡ、Ｂ及びＣからなる群から選択される一つを含む」、といった表現は、特に明示が無い限り、 がＡ～Ｃの複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、 が他の要素を含む場合も排除しない。

【 0 0 1 3 】

なお、以下の各実施形態は、技術的な矛盾を生じない限り、互いに組み合わせることができる。

30

【 0 0 1 4 】

< 第１実施形態 >

図１～図１２を参照して、本発明の一実施形態に係る半導体装置について説明する。例えば、以下に示す実施形態の半導体装置は、表示装置に用いられるトランジスタの他に、マイクロプロセッサ（Micro-Processing Unit：MPU）などの集積回路（Integrated Circuit：IC）、又はメモリ回路に用いられてもよい。

【 0 0 1 5 】

[半導体装置１０の構成]

図１及び図２を参照して、本発明の一実施形態に係る半導体装置１０の構成について説明する。図１は、本発明の一実施形態に係る半導体装置の概要を示す断面図である。図２は、本発明の一実施形態に係る半導体装置の概要を示す平面図である。

40

【 0 0 1 6 】

図１に示すように、半導体装置１０は基板１００の上方に設けられている。半導体装置１０は、ゲート電極１０５、ゲート絶縁層１１０、１２０、酸化金属層１３０、酸化物半導体層１４０、ゲート絶縁層１５０、ゲート電極１６０、絶縁層１７０、１８０、ソース電極２０１、及びドレイン電極２０３を含む。ソース電極２０１及びドレイン電極２０３を特に区別しない場合、これらを併せてソース・ドレイン電極２００という場合がある。

【 0 0 1 7 】

ゲート電極１０５は基板１００の上に設けられている。ゲート絶縁層１１０及びゲート

50

絶縁層 120 は基板 100 及びゲート電極 105 の上に設けられている。酸化金属層 130 はゲート絶縁層 120 の上に設けられている。酸化金属層 130 はゲート絶縁層 120 に接している。酸化物半導体層 140 は酸化金属層 130 の上に設けられている。酸化物半導体層 140 は酸化金属層 130 に接している。酸化物半導体層 140 の主面のうち、酸化金属層 130 に接する面を下面 142 という。酸化金属層 130 の端部は、酸化物半導体層 140 の端部と略一致している。

【0018】

本実施形態では、酸化金属層 130 と基板 100 との間に、半導体層又は酸化物半導体層は設けられていない。

【0019】

本実施形態では、酸化金属層 130 がゲート絶縁層 120 に接し、酸化物半導体層 140 が酸化金属層 130 に接している構成が例示されているが、この構成に限定されない。ゲート絶縁層 120 と酸化金属層 130 との間に他の層が設けられていてもよい。酸化金属層 130 と酸化物半導体層 140 との間に他の層が設けられていてもよい。

【0020】

図 1 では、酸化金属層 130 の側壁と酸化物半導体層 140 の側壁とが直線上に並んでいるが、この構成に限定されない。基板 100 の主面に対する酸化金属層 130 の側壁の角度が酸化物半導体層 140 の側壁の角度と異なってもよい。酸化金属層 130 及び酸化物半導体層 140 の少なくともいずれか一方の側壁の断面形状が湾曲していてもよい。

【0021】

ゲート電極 160 は酸化物半導体層 140 に対向している。ゲート絶縁層 150 は、酸化物半導体層 140 とゲート電極 160 との間に設けられている。ゲート絶縁層 150 は酸化物半導体層 140 に接している。酸化物半導体層 140 の主面のうち、ゲート絶縁層 150 に接する面を上面 141 という。上面 141 と下面 142 との間の面を側面 143 という。絶縁層 170、180 はゲート絶縁層 150 及びゲート電極 160 の上に設けられている。絶縁層 170、180 には、酸化物半導体層 140 に達する開口 171、173 が設けられている。ソース電極 201 は開口 171 の内部に設けられている。ソース電極 201 は開口 171 の底部で酸化物半導体層 140 に接している。ドレイン電極 203 は開口 173 の内部に設けられている。ドレイン電極 203 は開口 173 の底部で酸化物半導体層 140 に接している。

【0022】

ゲート電極 105 は、半導体装置 10 のボトムゲートとしての機能及び酸化物半導体層 140 に対する遮光膜としての機能を備える。ゲート絶縁層 110 は、基板 100 から酸化物半導体層 140 に向かって拡散する不純物を遮蔽するバリア膜としての機能を備える。ゲート絶縁層 110、120 は、ボトムゲートに対するゲート絶縁層としての機能を備える。酸化金属層 130 は、アルミニウムを主成分とする酸化金属を含む層であり、酸素や水素などのガスを遮蔽するガスバリア膜としての機能を備える。

【0023】

酸化物半導体層 140 は、ソース領域 S、ドレイン領域 D、及びチャネル領域 CH に区分される。チャネル領域 CH は、酸化物半導体層 140 のうちゲート電極 160 の鉛直下方の領域である。ソース領域 S は、酸化物半導体層 140 のうちゲート電極 160 と重ならない領域であって、チャネル領域 CH よりもソース電極 201 に近い側の領域である。ドレイン領域 D は、酸化物半導体層 140 のうちゲート電極 160 と重ならない領域であって、チャネル領域 CH よりもドレイン電極 203 に近い側の領域である。チャネル領域 CH における酸化物半導体層 140 は、半導体としての物性を備えている。ソース領域 S 及びドレイン領域 D における酸化物半導体層 140 は、導電体としての物性を備えている。

【0024】

ゲート電極 160 は半導体装置 10 のトップゲート及び酸化物半導体層 140 に対する

10

20

30

40

50

遮光膜としての機能を備える。ゲート絶縁層 150 は、トップゲートに対するゲート絶縁層としての機能を備え、製造プロセスにおける熱処理によって酸素を放出する機能を備える。絶縁層 170、180 はゲート電極 160 とソース・ドレイン電極 200 とを絶縁し、両者間の寄生容量を低減する機能を備える。半導体装置 10 の動作は、主にゲート電極 160 に供給される電圧によって制御される。ゲート電極 105 には補助的な電圧が供給される。ただし、ゲート電極 105 を単に遮光膜として用いる場合、ゲート電極 105 に特定の電圧が供給されず、ゲート電極 105 がフローティング状態であってもよい。つまり、ゲート電極 105 は単に「遮光膜」と呼ばれてもよい。

【0025】

本実施形態では、半導体装置 10 として、ゲート電極が酸化物半導体層の上方及び下方の両方に設けられたデュアルゲート型トランジスタが用いられた構成を例示するが、この構成に限定されない。例えば、半導体装置 10 として、ゲート電極が酸化物半導体層の下方のみに設けられたボトムゲート型トランジスタ、又はゲート電極が酸化物半導体層の上方のみに設けられたトップゲート型トランジスタが用いられてもよい。上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

【0026】

図 2 に示すように、平面視において、酸化金属層 130 の平面パターンは、酸化物半導体層 140 の平面パターンと略同一である。図 1 及び図 2 を参照すると、酸化物半導体層 140 の下面 142 は酸化金属層 130 によって覆われている。特に、本実施形態では、酸化物半導体層 140 の下面 142 の全てが、酸化金属層 130 によって覆われている。D1 方向において、ゲート電極 105 の幅はゲート電極 160 の幅より大きい。D1 方向は、ソース電極 201 とドレイン電極 203 とを結ぶ方向であり、半導体装置 10 のチャネル長 L を示す方向である。具体的には、酸化物半導体層 140 とゲート電極 160 とが重なる領域（チャネル領域 CH）における D1 方向の長さがチャネル長 L であり、当該チャネル領域 CH の D2 方向の幅がチャネル幅 W である。

【0027】

本実施形態では、酸化物半導体層 140 の下面 142 の全てが酸化金属層 130 によって覆われた構成を例示したが、この構成に限定されない。例えば、酸化物半導体層 140 の下面 142 の一部が酸化金属層 130 と接していなくてもよい。例えば、チャネル領域 CH における酸化物半導体層 140 の下面 142 の全てが酸化金属層 130 によって覆われ、ソース領域 S 及びドレイン領域 D における酸化物半導体層 140 の下面 142 の全て又は一部が酸化金属層 130 によって覆われていなくてもよい。つまり、ソース領域 S 及びドレイン領域 D における酸化物半導体層 140 の下面 142 の全て又は一部が酸化金属層 130 と接していなくてもよい。ただし、上記の構成において、チャネル領域 CH における酸化物半導体層 140 の下面 142 の一部が酸化金属層 130 によって覆われておらず、当該下面 142 のその他の部分が酸化金属層 130 と接していてもよい。

【0028】

本実施形態では、ゲート絶縁層 150 が全面に形成され、ゲート絶縁層 150 に開口 171、173 が設けられた構成を例示したが、この構成に限定されない。ゲート絶縁層 150 がパターニングされていてもよい。例えば、ソース領域 S 及びドレイン領域 D の酸化物半導体層 140 を露出するようにゲート絶縁層 150 がパターニングされていてもよい。つまり、ソース領域 S 及びドレイン領域 D のゲート絶縁層 150 が除去され、これらの領域で酸化物半導体層 140 と絶縁層 170 とが接していてもよい。

【0029】

図 2 では、平面視において、ソース・ドレイン電極 200 がゲート電極 105 及びゲート電極 160 と重ならない構成が例示されているが、この構成に限定されない。例えば、平面視において、ソース・ドレイン電極 200 がゲート電極 105 及びゲート電極 160 の少なくともいずれか一方と重なっていてもよい。上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

【0030】

10

20

30

40

50

〔半導体装置 10 の各部材の材質〕

基板 100 として、ガラス基板、石英基板、及びサファイア基板など、透光性を有する剛性基板が用いられる。基板 100 が可撓性を備える必要がある場合、基板 100 として、ポリイミド基板、アクリル基板、シロキサン基板、フッ素樹脂基板など、樹脂を含む基板が用いられる。基板 100 として樹脂を含む基板が用いられる場合、基板 100 の耐熱性を向上させるために、上記の樹脂に不純物が導入されてもよい。特に、半導体装置 10 がトップエミッション型のディスプレイである場合、基板 100 が透明である必要はないため、基板 100 の透明度を低下させる不純物が用いられてもよい。表示装置ではない集積回路に半導体装置 10 が用いられる場合は、基板 100 としてシリコン基板、炭化シリコン基板、化合物半導体基板などの半導体基板、又は、ステンレス基板などの導電性基板のように、透光性を備えない基板が用いられる。 10

【0031】

ゲート電極 105、ゲート電極 160、及びソース・ドレイン電極 200 として、一般的な金属材料が用いられる。例えば、これらの部材として、アルミニウム (Al)、チタン (Ti)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、モリブデン (Mo)、ハフニウム (Hf)、タンタル (Ta)、タングステン (W)、ビスマス (Bi)、銀 (Ag)、銅 (Cu)、及びこれらの合金又はこれらの化合物が用いられる。ゲート電極 105、ゲート電極 160、及びソース・ドレイン電極 200 として、上記の材料が単層で用いられてもよく積層で用いられてもよい。 20

【0032】

なお、ゲート電極 160 とソース・ドレイン電極 200 とは、同じ金属材料が用いられてもよく、異なる金属材料が用いられてもよい。例えば、ゲート電極 160 がアルミニウムを含まず、ソース・ドレイン電極 200 がアルミニウムを含んでいてもよい。

【0033】

ゲート絶縁層 110、120 及び絶縁層 170、180 として、一般的な絶縁性材料が用いられる。例えば、これらの絶縁層として、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y)、窒化シリコン (SiN_x)、窒化酸化シリコン (SiN_xO_y)、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y)、窒化酸化アルミニウム (AlN_xO_y)、窒化アルミニウム (AlN_x) などの無機絶縁層が用いられる。 30

【0034】

上記の SiO_xN_y 及び AlO_xN_y は、酸素 (O) よりも少ない比率 ($x > y$) の窒素 (N) を含有するシリコン化合物及びアルミニウム化合物である。 SiN_xO_y 及び AlN_xO_y は、窒素よりも少ない比率 ($x > y$) の酸素を含有するシリコン化合物及びアルミニウム化合物である。

【0035】

ゲート絶縁層 150 として、上記の絶縁層のうち酸素を含む絶縁層が用いられる。例えば、ゲート絶縁層 150 として、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y) などの無機絶縁層が用いられる。

【0036】

ゲート絶縁層 120 として、熱処理によって酸素を放出する機能を備える絶縁層が用いられる。例えば、ゲート絶縁層 120 が酸素を放出する熱処理の温度は、600 以下、500 以下、450 以下、又は 400 以下である。つまり、例えば、ゲート絶縁層 120 は、基板 100 としてガラス基板が用いられた場合において、半導体装置 10 の製造工程で行われる熱処理温度で酸素を放出する。 40

【0037】

ゲート絶縁層 150 として、欠陥が少ない絶縁層が用いられる。例えば、ゲート絶縁層 150 における酸素の組成比と、ゲート絶縁層 150 と同様の組成の絶縁層 (以下、「他の絶縁層」という) における酸素の組成比と、を比較した場合、ゲート絶縁層 150 における酸素の組成比の方が当該他の絶縁層における酸素の組成比よりも当該絶縁層に対する 50

化学量論比に近い。具体的には、ゲート絶縁層 150 及び絶縁層 180 の各々に酸化シリコン (SiO_x) が用いられる場合、ゲート絶縁層 150 として用いられる酸化シリコンにおける酸素の組成比は、絶縁層 180 として用いられる酸化シリコンにおける酸素の組成比に比べて、酸化シリコンの化学量論比に近い。例えば、ゲート絶縁層 150 として、電子スピン共鳴法 (ESR) で評価したときに欠陥が観測されない層が用いられてもよい。

【0038】

酸化金属層 130 及び後述するように製造工程で用いられる酸化金属層 190 として、アルミニウムを主成分とする酸化金属が用いられる。例えば、酸化金属層 130 (又は酸化金属層 190) として、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y)、窒化酸化アルミニウム (AlN_xO_y)、窒化アルミニウム (AlN_x) などの無機絶縁層が用いられる。「アルミニウムを主成分とする酸化金属層」とは、酸化金属層 130 (又は酸化金属層 190) に含まれるアルミニウムの比率が、酸化金属層 130 (又は酸化金属層 190) 全体の 1% 以上であることを意味する。酸化金属層 130 (又は酸化金属層 190) に含まれるアルミニウムの比率は、酸化金属層 130 全体の 5% 以上 70% 以下、10% 以上 60% 以下、又は 30% 以上 50% 以下であってもよい。上記の比率は、質量比であってもよく、重量比であってもよい。

【0039】

詳細は後述するが、ゲート絶縁層 150 上に酸化金属層 190 が成膜され、酸化アニールが行われと、ゲート絶縁層 150 中に、酸化金属層 190 に含まれるアルミニウムが拡散される。そのため、ゲート絶縁層 150 の表面近傍 (酸化物半導体層 140 と反対側の表面近傍) の領域において、例えば、SIMS (Secondary Ion Mass Spectrometry) 分析などにより、拡散されたアルミニウムを検出することができる。後述する製造方法において製造された半導体装置 10 では、ゲート絶縁層 150 の表面から 50 nm 以下の領域において検出されるアルミニウム濃度は、好ましくは $1 \times 10^{17} \text{ atoms/cm}^3$ 以上である。酸化金属層 190 は、製造工程において除去されるため、半導体装置 10 は酸化金属層 190 を含まない。しかしながら、ゲート絶縁層 150 中には酸化金属層 190 から拡散されたアルミニウムが残留しているため、ゲート絶縁層 150 中のアルミニウム濃度を測定することで、後述する製造方法によって製造された半導体装置 10 であることを推測することができる。特に、ゲート絶縁層 150 中のアルミニウム濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以上であるとき、酸化金属層 190 を用いた酸化アニールが効果的に行われていると推測することができる。

【0040】

また、ゲート絶縁層 150 中に残留するアルミニウムは主成分ではないため、ゲート絶縁層 150 中のアルミニウム濃度は不純物程度である。すなわち、ゲート絶縁層 150 中のアルミニウム濃度は、例えば、 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下であり、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以下であり、さらに好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下である。

【0041】

なお、ゲート絶縁層 150 中に残留するアルミニウムは電気特性及び信頼性を低下させるものでないため、半導体装置 10 は、高移動度かつ高信頼性を有する。

【0042】

酸化物半導体層 140 として、半導体の特性を有する酸化金属が用いられる。

【0043】

酸化物半導体層 140 はアモルファスであってもよく、結晶性であってもよい。酸化物半導体層 140 はアモルファスと結晶の混相であってもよい。結晶性の酸化物半導体は、アモルファスの酸化物半導体に比べて酸素欠損が形成されにくい。

【0044】

[本発明に至る過程で新たに認識された課題]

半導体装置 10 では、製造プロセスの熱処理工程において、酸化物半導体層 140 より

10

20

30

40

50

も基板 1 0 0 側に設けられる層（例えば、ゲート絶縁層 1 1 0、1 2 0）から水素が放出される。その水素が酸化物半導体層 1 4 0 に到達することで、酸化物半導体層 1 4 0 に酸素欠損が発生する。この酸素欠損の発生は、酸化物半導体層 1 4 0 のパターンサイズが大きいほど顕著である。このような酸素欠損の発生を抑制するために、酸化物半導体層 1 4 0 の下面 1 4 2 に水素が到達することを抑制する必要がある。上記の内容が一つ目の課題である。

【 0 0 4 5 】

上記の課題とは別に、以下に示す二つ目の課題がある。酸化物半導体層 1 4 0 の上面 1 4 1 は、酸化物半導体層 1 4 0 が形成された後の工程（例えば、パターニング工程又はエッチング工程）の影響を受ける。一方、酸化物半導体層 1 4 0 の下面 1 4 2（酸化物半導体層 1 4 0 の基板 1 0 0 側の面）は、上記のような影響を受けない。

10

【 0 0 4 6 】

したがって、酸化物半導体層 1 4 0 の上面 1 4 1 付近に形成される酸素欠損は、酸化物半導体層 1 4 0 の下面 1 4 2 付近に形成される酸素欠損より多い。つまり、酸化物半導体層 1 4 0 中の酸素欠損は、酸化物半導体層 1 4 0 の厚さ方向に一様に存在しているのではなく、酸化物半導体層 1 4 0 の厚さ方向に不均一な分布で存在している。具体的には、酸化物半導体層 1 4 0 中の酸素欠損は、酸化物半導体層 1 4 0 の下面 1 4 2 側ほど少なく、酸化物半導体層 1 4 0 の上面 1 4 1 側ほど多い。

【 0 0 4 7 】

上記のような酸素欠損分布を有する酸化物半導体層 1 4 0 に対して、一様に酸素供給処理を行う場合、酸化物半導体層 1 4 0 の上面 1 4 1 側に形成された酸素欠損を修復するために必要な量の酸素を供給すると、酸化物半導体層 1 4 0 の下面 1 4 2 側には酸素が過剰に供給される。その結果、下面 1 4 2 側では、過剰酸素によって酸素欠損とは異なる欠陥準位が形成されてしまう。その結果、信頼性試験における特性変動、又は電界効果移動度の低下などの現象が発生する。したがって、このような現象を抑制するためには、酸化物半導体層 1 4 0 の下面 1 4 2 側への酸素供給を抑制しつつ、酸化物半導体層 1 4 0 の上面 1 4 1 側へ酸素を供給する必要がある。

20

【 0 0 4 8 】

上記の課題は、本発明に至る過程で新たに認識された課題であり、従来から認識されていた課題ではない。従来の構成及び製造方法では、酸化物半導体層への酸素供給処理によって、半導体装置の初期特性が改善されても、信頼性試験による特性変動が発生するという、初期特性と信頼性試験との間にトレードオフの関係があった。しかし、本実施形態に係る構成によって、上記の課題が解決され、半導体装置 1 0 の良好な初期特性及び信頼性試験を得ることができる。

30

【 0 0 4 9 】

[半導体装置 1 0 の製造方法]

図 3 ~ 図 1 2 を参照して、本発明の一実施形態に係る半導体装置の製造方法について説明する。図 3 は、本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。図 4 ~ 図 1 2 は、本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。以下の製造方法の説明では、酸化金属層 1 3 0、1 9 0 として酸化アルミニウムが

40

【 0 0 5 0 】

図 3 及び図 4 に示すように、基板 1 0 0 の上にボトムゲートとしてゲート電極 1 0 5 が形成され、ゲート電極 1 0 5 の上にゲート絶縁層 1 1 0、1 2 0 が形成される（図 3 のステップ S 2 0 0 1 の「B o t t o m G I / G E 形成」）。例えば、ゲート絶縁層 1 1 0 として、窒化シリコンが形成される。例えば、ゲート絶縁層 1 2 0 として、酸化シリコンが形成される。ゲート絶縁層 1 1 0、1 2 0 は C V D (C h e m i c a l V a p o r D e p o s i t i o n) 法によって成膜される。ゲート絶縁層 1 1 0、1 2 0 の一方又は両方を「第 1 絶縁層」という場合がある。

【 0 0 5 1 】

50

ゲート絶縁層 110 として窒化シリコンが用いられることで、ゲート絶縁層 110 は、例えば基板 100 側から酸化物半導体層 140 に向かって拡散する不純物をブロックすることができる。ゲート絶縁層 120 として用いられる酸化シリコンは、熱処理によって酸素を放出する物性を備えた酸化シリコンである。

【0052】

図3及び図5に示すように、ゲート絶縁層 120 の上に酸化金属層 130 及び酸化物半導体層 140 を形成する（図3のステップ S2002 の「OS/AlO_x成膜」）。この工程について、基板 100 の上にゲート絶縁層 110、120 を形成し、ゲート絶縁層 110、120 の上に酸化金属層 130 を形成する、という場合がある。又は、基板 100 の上に酸化金属層 130 を形成し、酸化金属層 130 の上に酸化物半導体層 140 を形成する、という場合がある。具体的には、酸化物半導体層 140 は酸化金属層 130 に接するように形成される。酸化金属層 130 及び酸化物半導体層 140 は、スパッタリング法又は原子層堆積法（ALD: Atomic Layer Deposition）によって成膜される。

10

【0053】

例えば、酸化金属層 130 の厚さは、1 nm 以上 100 nm 以下、1 nm 以上 50 nm 以下、1 nm 以上 30 nm 以下、又は 1 nm 以上 10 nm 以下である。本実施形態では、酸化金属層 130 として酸化アルミニウムが用いられる。酸化アルミニウムはガスに対する高いバリア性を備えている。本実施形態において、酸化金属層 130 として用いられた酸化アルミニウムは、ゲート絶縁層 120 から放出された水素及び酸素をブロックし、放出された水素及び酸素が酸化物半導体層 140 に到達することを抑制する。

20

【0054】

例えば、酸化物半導体層 140 の厚さは、10 nm 以上 100 nm 以下、15 nm 以上 70 nm 以下、又は 20 nm 以上 40 nm 以下である。本実施形態では、後述する熱処理（OSアニール）前の酸化物半導体層 140 はアモルファスである。

【0055】

例えば、スパッタリング法によって酸化物半導体層 140 が成膜される場合、被成膜対象物（基板 100 及びその上に形成された構造物）の温度が制御された状態で酸化物半導体層 140 が成膜される。

【0056】

スパッタリング法によって被成膜対象物に対して成膜を行うと、プラズマ中で発生したイオン及びスパッタリングターゲットによって反跳した原子が被成膜対象物に衝突する。そのため、成膜処理に伴い被成膜対象物の温度が上昇する。上記のように被成膜対象物の温度を制御するために、例えば、被成膜対象物を冷却しながら成膜を行ってもよい。例えば、被成膜対象物の被成膜面（表面）の温度（以下、「成膜温度」という。）が 100 以下、70 以下、50 以下、又は 30 以下になるように、被成膜対象物を当該被成膜面の反対側の面から冷却してもよい。

30

【0057】

図3及び図6に示すように、酸化物半導体層 140 のパターンを形成する（図3のステップ S2003 の「OSパターン形成」）。図示しないが、酸化物半導体層 140 の上にレジストマスクを形成し、当該レジストマスクを用いて酸化物半導体層 140 をエッチングする。酸化物半導体層 140 のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングとして、酸性のエッチャントを用いてエッチングを行ってもよい。例えば、エッチャントとして、シュウ酸又はフッ酸を用いてもよい。

40

【0058】

酸化物半導体層 140 のパターン形成の後に酸化物半導体層 140 に対して熱処理（OSアニール）が行われる（図3のステップ S2004 の「OSアニール」）。

【0059】

図3及び図7に示すように、酸化金属層 130 のパターンを形成する（図3のステップ

50

S 2 0 0 5 の「A l O x パターン形成」)。酸化金属層 1 3 0 は、上記の工程でパターンニングされた酸化物半導体層 1 4 0 をマスクとしてエッチングされる。酸化金属層 1 3 0 のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。上記のように、酸化物半導体層 1 4 0 をマスクとして酸化金属層 1 3 0 をエッチングすることで、フォトリソグラフィ工程を省略することができる。

【 0 0 6 0 】

図 3 及び図 8 に示すように、酸化物半導体層 1 4 0 の上にゲート絶縁層 1 5 0 を成膜する(図 3 のステップ S 2 0 0 6 の「G I 形成」)。例えば、ゲート絶縁層 1 5 0 として、酸化シリコンが形成される。ゲート絶縁層 1 5 0 は C V D 法によって形成される。例えば、ゲート絶縁層 1 5 0 として上記のように欠陥が少ない絶縁層を形成するために、3 5 0

以上の成膜温度でゲート絶縁層 1 5 0 を成膜してもよい。例えば、ゲート絶縁層 1 5 0 の厚さは、5 0 n m 以上 3 0 0 n m 以下、6 0 n m 以上 2 0 0 n m 以下、又は 7 0 n m 以上 1 5 0 n m 以下である。ゲート絶縁層 1 5 0 を成膜した後に、ゲート絶縁層 1 5 0 の一部に酸素を打ち込む処理を行ってもよい。ゲート絶縁層 1 5 0 を「第 2 絶縁層」という場合がある。ゲート絶縁層 1 5 0 の上に酸化金属層 1 9 0 を成膜する(図 2 2 のステップ S 2 0 0 7 の「A l O x 成膜」)。酸化金属層 1 9 0 は、スパッタリング法によって成膜される。酸化金属層 1 9 0 の成膜によって、ゲート絶縁層 1 5 0 に酸素が打ち込まれる。

【 0 0 6 1 】

例えば、酸化金属層 1 9 0 の厚さは、5 n m 以上 1 0 0 n m 以下、5 n m 以上 5 0 n m 以下、5 n m 以上 3 0 n m 以下、又は 7 n m 以上 1 5 n m 以下である。本実施形態では、酸化金属層 1 9 0 として酸化アルミニウムが用いられる。酸化アルミニウムはガスに対する高いバリア性を備えている。本実施形態において、酸化金属層 1 9 0 として用いられた酸化アルミニウムは、酸化金属層 1 9 0 の成膜時にゲート絶縁層 1 5 0 に打ち込まれた酸素が外方拡散することを抑制する。

【 0 0 6 2 】

例えば、酸化金属層 1 9 0 をスパッタリング法で形成した場合、酸化金属層 1 9 0 の膜中にはスパッタリングで用いられたプロセスガスが残存する。例えば、スパッタリングのプロセスガスとして A r が用いられた場合、酸化金属層 1 9 0 の膜中には A r が残存することがある。残存した A r は酸化金属層 1 9 0 に対する S I M S 分析で検出することができる。

【 0 0 6 3 】

酸化物半導体層 1 4 0 の上にゲート絶縁層 1 5 0 が成膜され、ゲート絶縁層 1 5 0 の上に酸化金属層 1 9 0 が成膜された状態で、酸化物半導体層 1 4 0 へ酸素を供給するための熱処理(酸化アニール)が行われる(図 3 のステップ S 2 0 0 8 の「酸化アニール」)。換言すると、上記のようにパターンニングされた酸化金属層 1 3 0 及び酸化物半導体層 1 4 0 に対して熱処理(酸化アニール)が行われる。酸化物半導体層 1 4 0 が成膜されてから酸化物半導体層 1 4 0 の上にゲート絶縁層 1 5 0 が成膜されるまでの間の工程で、酸化物半導体層 1 4 0 の上面 1 4 1 及び側面 1 4 3 には多くの酸素欠損が発生する。上記の酸化アニールによって、ゲート絶縁層 1 2 0、1 5 0 から放出された酸素が酸化物半導体層 1 4 0 に供給され、酸素欠損が修復される。

【 0 0 6 4 】

酸化アニールによってゲート絶縁層 1 2 0 から放出された酸素は、酸化金属層 1 3 0 によってブロックされる。したがって、酸化物半導体層 1 4 0 の下面 1 4 2 には酸素が供給されにくい。ゲート絶縁層 1 2 0 から放出された酸素は、酸化金属層 1 3 0 が形成されていない領域からゲート絶縁層 1 2 0 の上に設けられたゲート絶縁層 1 5 0 に拡散し、ゲート絶縁層 1 5 0 を介して酸化物半導体層 1 4 0 に到達する。その結果、ゲート絶縁層 1 2 0 から放出された酸素は、酸化物半導体層 1 4 0 の下面 1 4 2 には供給されにくく、主に酸化物半導体層 1 4 0 の側面 1 4 3 及び上面 1 4 1 に供給される。さらに、酸化アニールによって、ゲート絶縁層 1 5 0 から放出された酸素が酸化物半導体層 1 4 0 の上面 1 4 1 及び側面 1 4 3 に供給される。上記の酸化アニールによって、ゲート絶縁層 1 1 0、1 2

0 から水素が放出される場合があるが、当該水素は酸化金属層 1 3 0 によってブロックされる。

【0065】

上記のように、酸化アニールの工程によって、酸素欠損の量が少ない酸化物半導体層 1 4 0 の下面 1 4 2 への酸素の供給を抑制しつつ、酸素欠損の量が多い酸化物半導体層 1 4 0 の上面 1 4 1 及び側面 1 4 3 への酸素供給を行うことができる。

【0066】

同様に、上記の酸化アニールにおいて、ゲート絶縁層 1 5 0 に打ち込まれた酸素は、酸化金属層 1 9 0 によってブロックされる。したがって、当該酸素が大気中に放出されることが抑制される。したがって、当該酸化アニールによって、当該酸素が効率よく酸化物半導体層 1 4 0 に供給され、酸素欠損が修復される。

10

【0067】

図 3 及び図 9 に示すように、酸化アニールの後に、酸化金属層 1 9 0 はエッチング（除去）される（図 3 のステップ S 2 0 0 9 の「A l O x 除去」）。酸化金属層 1 9 0 のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。例えば、ウェットエッチングとして、希釈フッ酸（D H F）が用いられる。当該エッチングによって、全面に形成された酸化金属層 1 9 0 が除去される。換言すると、酸化金属層 1 9 0 の除去はマスクを用いずに行われる。さらに換言すると、当該エッチングによって、少なくとも平面視において、ある 1 つのパターンに形成された酸化物半導体層 1 4 0 と重なる領域の全ての酸化金属層 1 9 0 が除去される。

20

【0068】

酸化アニールが行われると、酸化金属層 1 9 0 に含まれるアルミニウムがゲート絶縁層 1 5 0 に拡散される。そのため、酸化金属層 1 9 0 が除去されても、ゲート絶縁層 1 5 0 中には、酸化金属層 1 9 0 から拡散されたアルミニウムが残留している。

【0069】

図 3 及び図 1 0 に示すように、ゲート絶縁層 1 5 0 の上にゲート電極 1 6 0 を成膜する（図 3 のステップ S 2 0 1 0 の「G E 形成」）。ゲート電極 1 6 0 は、スパッタリング法又は原子層堆積法によって成膜され、フォトリソグラフィ工程を経てパターンニングされる。上記のように、ゲート電極 1 6 0 は、酸化金属層 1 9 0 が除去されることで露出したゲート絶縁層 1 5 0 と接するように形成される。

30

【0070】

ゲート電極 1 6 0 のエッチングの際、ゲート絶縁層 1 5 0 の一部もエッチングされる場合がある。すなわち、ゲート絶縁層 1 5 0 は、膜厚の異なる領域を含む。具体的には、ゲート絶縁層 1 5 0 は、ゲート電極 1 6 0 と重畳する第 1 領域及びゲート電極 1 6 0 と重畳しない第 2 領域を含む。第 1 領域は、酸化物半導体層 1 4 0 のチャンネル領域 C H と重畳している。第 2 領域は、酸化物半導体層 1 4 0 のソース領域 S 又はドレイン領域 D と重畳している。第 2 領域の膜厚は、第 1 領域の膜厚よりも小さい。この場合、第 2 領域では、酸化金属層 1 9 0 から拡散されたアルミニウムを含む領域の一部がエッチングされているため、第 1 領域のアルミニウム濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以上であっても、第 2 領域のアルミニウム濃度は、第 1 領域のアルミニウム濃度よりも小さくなる。

40

【0071】

ゲート電極 1 6 0 がパターンニングされた状態で、酸化物半導体層 1 4 0 のソース領域 S 及びドレイン領域 D の低抵抗化が行われる（図 3 のステップ S 2 0 1 1 の「S D 低抵抗化」）。具体的には、イオン注入によって、ゲート電極 1 6 0 側からゲート絶縁層 1 5 0 を介して酸化物半導体層 1 4 0 に不純物が注入される。例えば、イオン注入によって、アルゴン（A r）、リン（P）、ボロン（B）が酸化物半導体層 1 4 0 に注入される。イオン注入によって酸化物半導体層 1 4 0 に酸素欠損が形成されることで、酸化物半導体層 1 4 0 が低抵抗化する。半導体装置 1 0 のチャンネル領域 C H として機能する酸化物半導体層 1 4 0 の上方にはゲート電極 1 6 0 が設けられているため、チャンネル領域 C H の酸化物半導体層 1 4 0 には不純物は注入されない。

50

【 0 0 7 2 】

図 3 及び図 1 1 に示すように、ゲート絶縁層 1 5 0 及びゲート電極 1 6 0 の上に層間膜として絶縁層 1 7 0、1 8 0 を成膜する（図 3 のステップ S 2 0 1 2 の「層間膜成膜」）。絶縁層 1 7 0、1 8 0 は C V D 法によって成膜される。例えば、絶縁層 1 7 0 として窒化シリコンが形成され、絶縁層 1 8 0 として酸化シリコンが形成される。絶縁層 1 7 0、1 8 0 として用いられる材料は上記に限定されない。絶縁層 1 7 0 の厚さは、5 0 n m 以上 5 0 0 n m 以下である。絶縁層 1 8 0 の厚さは、5 0 n m 以上 5 0 0 n m 以下である。

【 0 0 7 3 】

図 3 及び図 1 2 に示すように、ゲート絶縁層 1 5 0 及び絶縁層 1 7 0、1 8 0 に開口 1 7 1、1 7 3 を形成する（図 3 のステップ S 2 0 1 3 の「コンタクト開孔」）。開口 1 7 1 によってソース領域 S の酸化物半導体層 1 4 0 が露出されている。開口 1 7 3 によってドレイン領域 D の酸化物半導体層 1 4 0 が露出されている。開口 1 7 1、1 7 3 によって露出された酸化物半導体層 1 4 0 の上及び絶縁層 1 8 0 の上にソース・ドレイン電極 2 0 0 を形成することで（図 3 のステップ S 2 0 1 4 の「S D 形成」）、図 1 に示す半導体装置 1 0 が完成する。

【 0 0 7 4 】

上記の製造方法で作製した半導体装置 1 0 について、チャネル領域 C H のチャネル長 L が $2 \mu m$ 以上 $4 \mu m$ 以下、かつ、チャネル領域 C H のチャネル幅が $2 \mu m$ 以上 $25 \mu m$ 以下の範囲において、移動度が $50 cm^2 / Vs$ 以上、 $55 cm^2 / Vs$ 以上、又は $60 cm^2 / Vs$ 以上の電気特性を得ることができる。本実施形態における移動度とは半導体装置 1 0 の飽和領域における電界効果移動度である。具体的には、当該移動度は、ソース電極とドレイン電極との間の電位差（ V_d ）が、ゲート電極に供給される電圧（ V_g ）から半導体装置 1 0 の閾値電圧（ V_{th} ）を引いた値（ $V_g - V_{th}$ ）より大きい領域における電界効果移動度の最大値を意味する。

【 0 0 7 5 】

< 第 2 実施形態 >

図 1 3 ~ 図 1 7 を参照して、本発明の一実施形態に係る半導体装置を用いた表示装置について説明する。以下に示す実施形態では、上記の第 1 実施形態で説明した半導体装置 1 0 が液晶表示装置の回路に適用された構成について説明する。

【 0 0 7 6 】

[表示装置 2 0 の概要]

図 1 3 は、本発明の一実施形態に係る表示装置の概要を示す平面図である。図 1 3 に示すように、表示装置 2 0 は、アレイ基板 3 0 0、シール部 3 1 0、対向基板 3 2 0、フレキシブルプリント回路基板 3 3 0（FPC 3 3 0）、及び IC チップ 3 4 0 を有する。アレイ基板 3 0 0 及び対向基板 3 2 0 はシール部 3 1 0 によって貼り合わせられている。シール部 3 1 0 に囲まれた液晶領域 2 2 には、複数の画素回路 3 0 1 がマトリクス状に配置されている。液晶領域 2 2 は、後述する液晶素子 3 1 1 と平面視において重なる領域である。

【 0 0 7 7 】

シール部 3 1 0 が設けられたシール領域 2 4 は、液晶領域 2 2 の周囲の領域である。FPC 3 3 0 は端子領域 2 6 に設けられている。端子領域 2 6 はアレイ基板 3 0 0 が対向基板 3 2 0 から露出された領域であり、シール領域 2 4 の外側に設けられている。シール領域 2 4 の外側とは、シール部 3 1 0 が設けられた領域及びシール部 3 1 0 によって囲まれた領域の外側を意味する。IC チップ 3 4 0 は FPC 3 3 0 上に設けられている。IC チップ 3 4 0 は各画素回路 3 0 1 を駆動させるための信号を供給する。

【 0 0 7 8 】

[表示装置 2 0 の回路構成]

図 1 4 は、本発明の一実施形態に係る表示装置の回路構成を示すブロック図である。図 1 4 に示すように、画素回路 3 0 1 が配置された液晶領域 2 2 に対して D 1 方向（列方向）に隣接する位置にはソースドライバ回路 3 0 2 が設けられており、液晶領域 2 2 に対し

てD2方向（行方向）に隣接する位置にはゲートドライバ回路303が設けられている。ソースドライバ回路302及びゲートドライバ回路303は、上記のシール領域24に設けられている。ただし、ソースドライバ回路302及びゲートドライバ回路303が設けられる領域はシール領域24に限定されず、画素回路301が設けられた領域の外側であれば、どの領域でもよい。

【0079】

ソースドライバ回路302からソース配線304がD1方向に延びており、D1方向に配列された複数の画素回路301に接続されている。ゲートドライバ回路303からゲート配線305がD2方向に延びており、D2方向に配列された複数の画素回路301に接続されている。

10

【0080】

端子領域26には端子部306が設けられている。端子部306とソースドライバ回路302とは接続配線307で接続されている。同様に、端子部306とゲートドライバ回路303とは接続配線307で接続されている。FPC330が端子部306に接続されることで、FPC330が接続された外部機器と表示装置20とが接続され、外部機器からの信号によって表示装置20に設けられた各画素回路301が駆動する。

【0081】

第1実施形態に示す半導体装置10は、画素回路301、ソースドライバ回路302、及びゲートドライバ回路303に含まれるトランジスタとして用いられる。

【0082】

20

[表示装置20の画素回路301]

図15は、本発明の一実施形態に係る表示装置の画素回路を示す回路図である。図15に示すように、画素回路301は半導体装置10、保持容量350、及び液晶素子311などの素子を含む。半導体装置10はゲート電極160、ソース電極201、及びドレイン電極203を有する。ゲート電極160はゲート配線305に接続されている。ソース電極201はソース配線304に接続されている。ドレイン電極203は保持容量350及び液晶素子311に接続されている。本実施形態では、説明の便宜上、符号「201」で示された電極をソース電極といい、符号「203」で示された電極をドレイン電極というが、符号「201」で示された電極がドレイン電極として機能し、符号「203」で示された電極がソース電極として機能してもよい。

30

【0083】

[表示装置20の断面構造]

図16は、本発明の一実施形態に係る表示装置の断面図である。図16に示すように、表示装置20は、半導体装置10が用いられた表示装置である。本実施形態では、半導体装置10が画素回路301に用いられた構成を例示するが、半導体装置10がソースドライバ回路302及びゲートドライバ回路303を含む周辺回路に用いられてもよい。以下の説明において、半導体装置10の構成は図1に示す半導体装置10と同様なので、説明を省略する。

【0084】

ソース電極201及びドレイン電極203の上に絶縁層360が設けられている。絶縁層360の上に、複数の画素に共通して設けられる共通電極370が設けられている。共通電極370の上に絶縁層380が設けられている。絶縁層360、380には開口381が設けられている。絶縁層380の上及び開口381の内部に画素電極390が設けられている。画素電極390はドレイン電極203に接続されている。

40

【0085】

表示装置20では、ゲート電極160と同一の層として、配線層162が設けられている。配線層162は、ゲート電極160と同一の材料を含む。配線層162は、ゲート絶縁層150に対応する絶縁層上に設けられている。当該絶縁層上にも、酸化金属層190が成膜され、酸化アニールが行われている。そのため、配線層162と重畳する絶縁層の領域のアルミニウム濃度は、好ましくは $1 \times 10^{17} \text{ atoms/cm}^3$ 以上である。ま

50

た、配線層 162 と重畳しない絶縁層の領域のアルミニウム濃度は、配線層 162 と重畳する絶縁層の領域のアルミニウム濃度よりも小さい。

【0086】

図 17 は、本発明の一実施形態に係る表示装置の画素電極及び共通電極の平面図である。図 17 に示すように、共通電極 370 は、平面視で画素電極 390 と重なる重畳領域と、画素電極 390 と重ならない非重畳領域とを有する。画素電極 390 と共通電極 370 との間に電圧を供給すると、重畳領域の画素電極 390 から非重畳領域の共通電極 370 に向かって横電界が形成される。この横電界によって液晶素子 311 に含まれる液晶分子が動作することで、画素の階調が決定される。

【0087】

10

< 第 3 実施形態 >

図 18 及び図 19 を参照して、本発明の一実施形態に係る半導体装置を用いた表示装置について説明する。本実施形態では、上記の第 1 実施形態で説明した半導体装置 10 が有機 EL 表示装置の回路に適用された構成について説明する。表示装置 20 の概要及び回路構成は図 13 及び図 14 に示す概要及び構成と同様なので、説明を省略する。

【0088】

[表示装置 20 の画素回路 301]

図 18 は、本発明の一実施形態に係る表示装置の画素回路を示す回路図である。図 18 に示すように、画素回路 301 は駆動トランジスタ 11、選択トランジスタ 12、保持容量 210、及び発光素子 DO などの素子を含む。駆動トランジスタ 11 及び選択トランジスタ 12 は半導体装置 10 と同様の構成を備えている。選択トランジスタ 12 のソース電極は信号線 211 に接続され、選択トランジスタ 12 のゲート電極はゲート線 212 に接続されている。駆動トランジスタ 11 のソース電極はアノード電源線 213 に接続され、駆動トランジスタ 11 のドレイン電極は発光素子 DO の一端に接続されている。発光素子 DO の他端はカソード電源線 214 に接続されている。駆動トランジスタ 11 のゲート電極は選択トランジスタ 12 のドレイン電極に接続されている。保持容量 210 は駆動トランジスタ 11 のゲート電極及びドレイン電極に接続されている。信号線 211 には、発光素子 DO の発光強度を決める階調信号が供給される。ゲート線 212 には、上記の階調信号を書き込む画素行を選択する信号が供給される。

20

【0089】

30

[表示装置 20 の断面構造]

図 19 は、本発明の一実施形態に係る表示装置の断面図である。図 19 に示す表示装置 20 の構成は、図 16 に示す表示装置 20 と類似しているが、図 19 の表示装置 20 の絶縁層 360 よりも上方の構造が図 16 の表示装置 20 の絶縁層 360 よりも上方の構造と相違する。以下、図 19 の表示装置 20 の構成のうち、図 16 の表示装置 20 と同様の構成については説明を省略し、両者の相違点について説明する。

【0090】

図 19 に示すように、表示装置 20 は、絶縁層 360 の上方に画素電極 390、発光層 392、及び共通電極 394 (発光素子 DO) を有する。画素電極 390 は絶縁層 360 の上及び開口 381 の内部に設けられている。画素電極 390 の上に絶縁層 362 が設けられている。絶縁層 362 には開口 363 が設けられている。開口 363 は発光領域に対応する。つまり、絶縁層 362 は画素を画定する。開口 363 によって露出した画素電極 390 の上に発光層 392 及び共通電極 394 が設けられている。画素電極 390 及び発光層 392 は、各画素に対して個別に設けられている。一方、共通電極 394 は、複数の画素に共通して設けられている。発光層 392 は、画素の表示色に応じて異なる材料が用いられる。

40

【0091】

第 2 実施形態及び第 3 実施形態では、第 1 実施形態で説明した半導体装置を液晶表示装置及び有機 EL 表示装置に適用した構成について例示したが、これらの表示装置以外の表示装置 (例えば、有機 EL 表示装置以外の自発光型表示装置又は電子ペーパー型表示装置) に

50

当該半導体装置を適用してもよい。また、中小型の表示装置から大型の表示装置まで、特に限定することなく上記半導体装置の適用が可能である。

【実施例】

【0092】

実施例として、第1実施形態で説明した半導体装置10を作製し、半導体装置10の評価を行った。また、比較例として、酸化物半導体層140に接する酸化金属層130が設けられていない半導体装置を作製した。

【0093】

さらに、実施例では、ゲート電極GEを形成する前に、酸化金属層190として酸化アルミニウム層をスパッタリング法によって成膜し、酸化アニールを行った後で酸化アルミ

10

【0094】

[1. SIMS分析]

図20は、半導体装置の酸化物半導体層のチャネル領域におけるSIMS分析の測定結果を示すグラフである。また、図21は、半導体装置の酸化物半導体層のソース領域又はドレイン領域におけるSIMS分析の測定結果を示すグラフである。図20及び図21において、縦軸はアルミニウム濃度(Al濃度)を示し、横軸は半導体装置の積層方向における深さを示す。また、図20及び図21には、積層方向の実施例及び比較例の積層構造が示されている。符号SiNx、SiOx、GI、GE、OS、及びMOは、それぞれ、窒化シリコン層、酸化シリコン層、ゲート絶縁層、ゲート電極、酸化物半導体層、及び酸化金属層を表す。酸化シリコン層SiOxと接する窒化シリコン層SiNx及び酸化シリコン層SiOxは、それぞれ、ゲート絶縁層110及び120に対応する。また、酸化金属層MO、酸化物半導体層OS、ゲート絶縁層GI、及びゲート電極GEは、それぞれ、酸化金属層130、酸化物半導体層140、ゲート絶縁層150、及びゲート電極160に対応する。なお、ゲート絶縁層GIには、酸化シリコン層SiOxと同様に、酸化シリコンを用いた。

20

【0095】

SIMS分析は基板側から測定を行う、いわゆるSSDP-SIMSを用いた。また、図20及び図21では、SiO₂標準試料を用いて、酸化シリコン層SiOx及びゲート絶縁層GIにおけるアルミニウム濃度が定量化されている(図中の定量範囲)。すなわち、図20及び図21において、酸化シリコン層SiOx及びゲート絶縁層GIの各々の中のアルミニウム濃度を絶対値で比較することができる。一方、他の層の中のアルミニウム濃度は、大小で比較することはできるが、絶対値での比較はできない。

30

【0096】

図20に示すように、チャネル領域では、実施例(実線)のゲート絶縁層GIは、比較例(点線)のゲート絶縁層GIよりも、アルミニウム濃度が大きくなった。ゲート電極GEとゲート絶縁層GIとの界面近傍において、実施例及び比較例のゲート絶縁層GIのアルミニウム濃度は、それぞれ、 $2 \times 10^{17} \text{ atoms/cm}^3$ 及び $6 \times 10^{16} \text{ atoms/cm}^3$ であった。また、図21に示すように、ソース領域又はドレイン領域でも、実施例のゲート絶縁層GIは、比較例のゲート絶縁層GIよりも、アルミニウム濃度が大きくなった。窒化シリコン層SiNxとゲート絶縁層GIとの界面近傍において、実施例及び比較例のゲート絶縁層GIのアルミニウム濃度は、それぞれ、 $1.5 \times 10^{17} \text{ atoms/cm}^3$ 及び $6 \times 10^{16} \text{ atoms/cm}^3$ であった。したがって、実施例においては、酸化金属層190として成膜した酸化アルミニウム中のアルミニウムが、酸化アニールの熱処理によってゲート絶縁層GIに拡散することがわかった。

40

【0097】

[2. 電気特性]

図22は、半導体装置10の電気特性を示すグラフである。図22に示す電気特性の測定条件は表1のとおりである。

50

【 0 0 9 8 】

【 表 1 】

チャネル領域の大きさ	$W/L = 3.0 \mu\text{m} / 3.0 \mu\text{m}$
ソース・ドレイン間電圧	0.1 V (点線)、10 V (実線)
ゲート電圧	-15 V ~ +15 V
測定環境	室温、暗室

10

【 0 0 9 9 】

図 2 2 では、半導体装置 1 0 の電気特性 ($I_d - V_g$ 特性) 及び移動度が示されている。図 2 2 の中の矢印で示されているように、ドレイン電流 (I_d) に対する縦軸はグラフの左側に示されており、当該ドレイン電流から計算された移動度に対する縦軸はグラフの右側に示されている。

【 0 1 0 0 】

図 2 2 に示すように、半導体装置 1 0 の電気特性は、ゲート電圧 V_g が 0 V よりも高い電圧でドレイン電流 I_d が流れ始める、いわゆるノーマリオフ (エンハンスメント型) の特性を示す。当該電気特性から計算された移動度は約 $59 \text{ cm}^2 / \text{Vs}$ である。

20

【 0 1 0 1 】

[3 . 信頼性試験]

図 2 3 は、半導体装置 1 0 の信頼性試験を示すグラフである。図 2 3 に示す信頼性試験の測定条件は表 2 のとおりである。すなわち、信頼性試験として、Positive Bias Temperature Stress (PBT S) 及び Negative Bias Temperature Illumination Stress (NB T I S) による信頼性の評価を行った。

【 0 1 0 2 】

【 表 2 】

30

	PBT S	NB T I S
チャネル領域の大きさ	$W/L = 3.0 \mu\text{m} / 3.0 \mu\text{m}$	$W/L = 3.0 \mu\text{m} / 3.0 \mu\text{m}$
光照射条件	照射なし (暗室)	照射あり ($8000 \text{ cd} / \text{m}^2$)
ソース電圧及びドレイン電圧	0 V	0 V
ゲート電圧	+30 V	-30 V
ストレス印加時のステージ温度	60 °C	60 °C

40

【 0 1 0 3 】

図 2 3 に示すように、ストレス印加前 (0 sec) 及びストレス印加後 (3600 sec) に、半導体装置 1 0 の電気特性を評価した結果が重ねて表示されている。図 2 3 に

50

いて、ストレス印加前（0 sec）の電気特性は点線で示されており、ストレス印加後（3600 sec）の電気特性は実線で示されている。

【0104】

ストレス印加前及びストレス印加後の半導体装置10の電気特性の測定条件は表3のとおりである。

【0105】

【表3】

チャンネル領域の大きさ	$W/L = 3.0 \mu\text{m} / 3.0 \mu\text{m}$
ソース・ドレイン間電圧	0.1 V、10 V
ゲート電圧	-15 V ~ +15 V
測定環境	60°C、暗室

10

【0106】

図23に示すように、半導体装置10では、NBTS試験及びPBTS試験の両方において、ストレス印加前後の電気特性がほとんど変化しない。

20

【0107】

以上、半導体装置10の電気特性及び信頼性試験からわかるように、半導体装置10は、高い移動度を有するだけでなく、安定した信頼性も有する。このような高移動度かつ高信頼性を有する半導体装置10は、酸化物半導体層140に十分な酸素を供給することによって得ることができる。そのため、半導体装置10の製造方法においては、OSアニール及び酸化アニールが重要である。特に、酸化アニールでは、酸化物半導体層140の下方に酸化金属層130を設け、さらにゲート絶縁層150上に酸化金属層190を成膜した状態で熱処理が行われる。酸化金属層130、190は、酸化物半導体層140への水素の侵入を防止することができる。また、酸化物半導体層140の側面143及び上面141がゲート絶縁層150と接し、ゲート絶縁層150からの酸素が、酸素欠損の量が多い酸化物半導体層140の側面143及び上面141に効率よく供給されるため、酸化物半導体層140中の酸素欠損を修復することができる。

30

【0108】

酸化金属層190は、その後のAlO_x除去の工程で除去されるが、酸化金属層190に含まれるアルミニウムは酸化アニールによってゲート絶縁層150中に拡散し、残留する。そのため、製造された半導体装置10のゲート絶縁層150の組成分析によって、アルミニウムを検出することが可能である。なお、ゲート絶縁層150に残留するアルミニウムが電気特性及び信頼性を低下させるものでないことは、図22及び図23に示したグラフからも理解することができる。

【0109】

本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。また、各実施形態を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

40

【0110】

上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

【符号の説明】

【0111】

50

10 : 半導体装置、 11 : 駆動トランジスタ、 12 : 選択トランジスタ、 20 : 表示装置、 22 : 液晶領域、 24 : シール領域、 26 : 端子領域、 100 : 基板、 105、 160 : ゲート電極、 110、 120、 150 : ゲート絶縁層、 130、 190 : 酸化金属層、 140 : 酸化物半導体層、 141 : 上面、 142 : 下面、 143 : 側面、 162 : 配線層、 170、 180 : 絶縁層、 171、 173 : 開口、 200 : ソース・ドレイン電極、 201 : ソース電極、 203 : ドレイン電極、 210 : 保持容量、 211 : 信号線、 212 : ゲート線、 213 : アノード電源線、 214 : カソード電源線、 220 : レジストマスク、 300 : アレイ基板、 301 : 画素回路、 302 : ソースドライバ回路、 303 : ゲートドライバ回路、 304 : ソース配線、 305 : ゲート配線、 306 : 端子部、 307 : 接続配線、 310 : シール部、 311 : 液晶素子、 320 : 対向基板、 330 : フレキシブルプリント回路基板 (F P C)、 340 : I C チップ、 350 : 保持容量、 360、 362 : 絶縁層、 363、 381 : 開口、 370 : 共通電極、 380 : 絶縁層、 390 : 画素電極、 392 : 発光層、 394 : 共通電極

10

20

30

40

50