



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0120045
(43) 공개일자 2009년11월24일

(51) Int. Cl.

H03K 3/03 (2006.01)

(21) 출원번호 10-2008-0045897

(22) 출원일자 2008년05월19일

심사청구일자 2008년05월19일

(71) 출원인

창원대학교 산학협력단

경남 창원시 사림동 9 창원대학교내

텐소풍성전자(주)

경상남도 창원시 외동 853-11

(72) 발명자

김영희

경남 창원시 반림동 현대아파트 112동 1001호

(74) 대리인

이철희

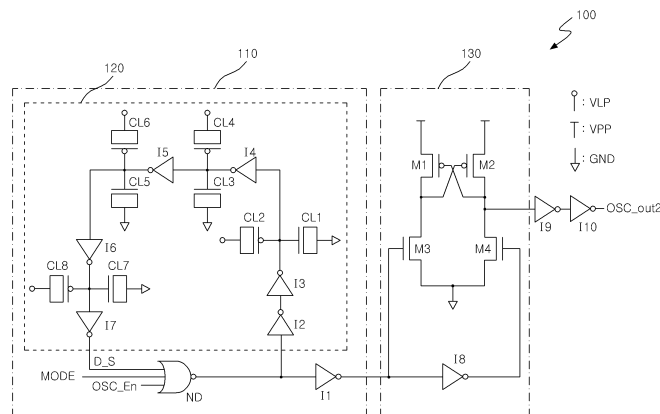
전체 청구항 수 : 총 5 항

(54) 저 전압용 링 발진기

(57) 요약

본 발명은 낮은 전원전압에서 동작하지만 신호의 큰 발진신호를 생성하는 저 전압용 링 발진기를 개시한다. 상기 저 전압용 링 발진기는 링 발진부와 레벨 쉬프터를 구비한다. 링 발진부는 낮은 전원전압에서 동작하여 신호의 크기가 작은 발진신호를 생성하고, 레벨 쉬프터는 상기 링 발진부의 동작전압에 비해 높은 동작전원으로 동작하여 상기 발진신호의 크기를 크게 상승시킨 레벨이 변경된 발진신호를 생성한다.

대표도 - 도1



특허청구의 범위

청구항 1

발진제어신호(OSC_En) 및 지연신호(D_S)에 응답하여 동작하는 낸드게이트(ND);

상기 낸드게이트(ND)의 출력의 위상을 반전시켜 발진신호(OSC_out1)를 생성하는 인버터(I1); 및

상기 낸드게이트(ND)의 출력을 일정시간 지연시켜 상기 지연신호(D_S)를 출력하는 지연회로(120)를 구비하며,

상기 지연회로는,

직렬로 연결된 짝수 개의 신호지연 인버터들(I2~I7);

적어도 하나의 상기 인버터들의 출력단자와 제1전원전압(VLP) 사이 및 적어도 하나의 상기 인버터들의 출력단자와 제2전원전압(GND) 사이에 배치된 용량성 부하(CL1~CL8) 및

제3전원전압과 제2전원전압(GND) 사이에서 동작하며 상기 발진신호(OSC_out1)의 크기(Amplitude)를 변경시키는 레벨 쉬프터(130)를 구비하는 것을 특징으로 하는 저 전압용 링 발진기.

청구항 2

제1항에 있어서, 상기 신호지연 인버터들은,

상기 낸드게이트(ND)의 출력신호를 일정시간 지연시키는 제1신호지연 인버터(I2);

상기 제1신호지연 인버터(I2)의 출력신호를 일정시간 지연시키는 제2신호지연 인버터(I3);

상기 제2신호지연 인버터(I3)의 출력신호를 일정시간 지연시키는 제3신호지연 인버터(I4);

상기 제3신호지연 인버터(I4)의 출력신호를 일정시간 지연시키는 제4신호지연 인버터(I5);

상기 제4신호지연 인버터(I5)의 출력신호를 일정시간 지연시키는 제5신호지연 인버터(I6); 및

상기 제5신호지연 인버터(I6)의 출력신호를 일정시간 지연시켜 상기 지연신호(D_S)를 생성하는 제6신호지연 인버터(I7)를 구비하는 것을 특징으로 하는 저 전압용 링 발진기.

청구항 3

제2항에 있어서, 상기 용량성 부하는,

일 단자가 상기 제2전원전압에 연결되고 다른 일 단자가 상기 제2신호지연 인버터(I3)의 출력단자에 연결된 제1 용량성 부하(CL1);

일 단자가 상기 제1전원전압에 연결되고 다른 일 단자가 상기 제2신호지연 인버터(I3)의 출력단자에 연결된 제2 용량성 부하(CL2);

일 단자가 상기 제2전원전압에 연결되고 다른 일 단자가 상기 제3신호지연 인버터(I4)의 출력단자에 연결된 제3 용량성 부하(CL3);

일 단자가 상기 제1전원전압에 연결되고 다른 일 단자가 상기 제3신호지연 인버터(I4)의 출력단자에 연결된 제4 용량성 부하(CL4);

일 단자가 상기 제2전원전압에 연결되고 다른 일 단자가 상기 제4신호지연 인버터(I5)의 출력단자에 연결된 제5 용량성 부하(CL5);

일 단자가 상기 제1전원전압에 연결되고 다른 일 단자가 상기 제4신호지연 인버터(I5)의 출력단자에 연결된 제6 용량성 부하(CL6);

일 단자가 상기 제2전원전압에 연결되고 다른 일 단자가 상기 제5신호지연 인버터(I6)의 출력단자에 연결된 제7 용량성 부하(CL7); 및

일 단자가 상기 제1전원전압에 연결되고 다른 일 단자가 상기 제5신호지연 인버터(I6)의 출력단자에 연결된 제8 용량성 부하(CL8)를 구비하는 것을 특징으로 하는 저 전압용 링 발진기.

청구항 4

제1항에 있어서, 상기 낸드캐이트(ND)는,
링 발진기의 동작모드를 지시하는 모드신호(MODE)를 더 수신하는 것을 특징으로 하는 저 전압용 링 발진기.

청구항 5

제1항에 있어서, 상기 레벨 쉬프터(130)는,
상기 발진신호(OSC_out1)의 위상을 반전시키는 제8인버터(I8);
일 단자가 제3전원전압(VPP)에 연결된 제1모스트랜지스터(M1);
일 단자가 제3전원전압(VPP)에 연결되고 다른 일 단자가 상기 제1모스트랜지스터(M1)의 게이트에 연결되어 레벨이 변경된 발진신호(OSC_out2)를 출력하며 게이트가 상기 제1모스트랜지스터(M1)의 다른 일 단자에 연결된 제2모스트랜지스터(M2);
일 단자가 상기 제1모스트랜지스터(M1)의 다른 일 단자에 연결되고 다른 일 단자가 제2전원전압에 연결되며 게이트에 상기 발진신호(OSC_out1)가 인가되는 제3모스트랜지스터(M3); 및
일 단자가 상기 제2모스트랜지스터(M2)의 다른 일 단자에 연결되고 다른 일 단자가 제2전원전압에 연결되며 게이트가 상기 제8인버터(I8)의 출력단자에 연결된 제4모스트랜지스터(M4)를 구비하는 것을 특징으로 하는 저 전압용 링 발진기.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 발진기(oscillator)에 관한 것으로, 특히 저 전압용 링 발진기에 관한 것이다.

배경 기술

- <2> 정현파 또는 비정현파 신호를 생성하는 회로를 발진기 회로라고 하며 이를 생성하는 회로를 발진기 회로라고 한다. 발진기 회로로부터 생성되는 정현파 또는 비정현파 신호를 발진신호라고 하는데, 발진신호를 생성하기 위해 인덕터(inductor)와 커패시터(capacitor), 수정 또는 저항(resistor)과 커패시터를 이용하는 경우가 일반적이다.
- <3> 그러나 인덕터는 반도체 회로에 구현하기가 용이하지 않을 뿐만 아니라 레이아웃의 기술을 사용하여 이를 구현할 경우에도 면적이 많이 소비되는 단점이 있으며, 수정을 이용하는 경우에는 반도체 장치의 외부에 상기 수정을 사용하여야 한다는 단점이 있다. 커패시터의 경우에도 반도체에서 이를 구현할 때 많은 면적을 차지한다는 단점 이외에 반도체에 구현된 커패시터의 커패시턴스(capacitance)는 일정한 범위의 오차를 가지고 있으며, 이는 저항의 경우에도 마찬가지이다. 따라서 종래의 방법으로 정확한 주파수를 가지는 발진기를 반도체 내에서 구현한다는 것은 한계가 있으며, 이를 해결하기 위해 링 발진기가 제안되었다.
- <4> 그러나 신호의 크기(Amplitude)가 큰 발진신호를 생성시켜야 하는 링 발진기의 경우, 높은 전압준위를 가지는 동작전원 사이에서 동작하여야 하므로 반도체 회로 설계에 있어서의 디자인룰(Design rule) 때문에 레이아웃에서 차지하는 면적이 클 수밖에 없다는 단점이 있다. 링 발진기가 사용되는 논리회로는 아날로그 회로가 구현된 부분에 비해 낮은 전원전압에서 동작하도록 설계하는 것이 일반적이다. 따라서 이러한 점을 감안할 때, 낮은 전원전압에서 동작하지만 신호의 크기가 큰 발진신호를 생성하는 발진기의 설계가 필요하다.

발명의 내용

해결 하고자하는 과제

- <5> 본 발명이 해결하고자 하는 기술적 과제는, 낮은 전원전압에서 동작하지만 신호의 큰 발진신호를 생성하는 저 전압용 링 발진기를 제공하는데 있다.

과제 해결수단

- <6> 상기 기술적 과제를 이루기 위한 본 발명에 따른 저 전압용 링 발진기는 링 발진부와 레벨 쉬프터를 구비한다. 링 발진부는 낮은 전원전압에서 동작하여 신호의 크기가 작은 발진신호를 생성하고, 레벨 쉬프터는 상기 링 발진부의 동작전압에 비해 높은 동작전원으로 동작하여 상기 발진신호의 크기를 크게 상승시킨 레벨이 변경된 발진신호를 생성한다.

효 과

- <7> 본 발명에 따른 저 전압용 링 발진기는 낮은 전원전압에서 동작하므로 소비전력 및 소비 면적이 적은 반면에 신호의 크기는 큰 발진신호를 생성할 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

- <8> 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.
- <9> 도 1은 본 발명에 따른 저 전압용 링 발진기의 회로도이다.
- <10> 도 1을 참조하면, 저 전압용 링 발진기(100)는 링 발진부(110)와 레벨 쉬프터(130)를 구비한다. 링 발진부(110)는 낸드 게이트(ND), 제1인버터(I1) 및 지연회로(120)를 구비한다.
- <11> 낸드게이트(ND)는 발진제어신호(OSC_En) 및 지연신호(D_S)에 응답하여 동작한다. 인버터(I1)는 상기 낸드게이트(ND)의 출력의 위상을 반전시켜 발진신호(OSC_out1)를 생성한다. 여기서 발진제어신호(OSC_En)의 전압준위가 논리 로우 값을 가질 때에는 낸드게이트(ND)가 정상적인 논리회로로서 동작하지만, 논리 하이 값을 가질 때에는 낸드게이트(ND)의 출력을 논리 로우 값을 강제로 가지도록 한다. 상기 낸드게이트(ND)는, 링 발진기의 동작모드를 지시하는 모드신호(MODE)를 더 수신하여 모드신호(MODE)의 상태에 따라서 정상동작 및 스탠바이 모드 중 하나의 모드로 동작하도록 할 수 있다.
- <12> 지연회로(120)는 낸드게이트(ND)의 출력을 일정시간 지연시켜 상기 지연신호(D_S)를 출력하며, 짝수 개의 신호 지연 인버터들(I2~I7) 및 용량성 부하들(CL1~CL8)을 구비한다.
- <13> 짝수 개의 신호지연 인버터들(I2~I7)은 낸드게이트(ND)의 일 입력단자와 출력단자 사이에 직렬로 연결된다. 제1신호지연 인버터(I2)는 상기 낸드게이트(ND)의 출력신호를 일정시간 지연시킨다. 제2신호지연 인버터(I3)는 상기 제1신호지연 인버터(I2)의 출력신호를 일정시간 지연시킨다. 제3신호지연 인버터(I4)는 상기 제2신호지연 인버터(I3)의 출력신호를 일정시간 지연시킨다. 제4신호지연 인버터(I5)는 상기 제3신호지연 인버터(I4)의 출력신호를 일정시간 지연시킨다. 제5신호지연 인버터(I6)는 상기 제4신호지연 인버터(I5)의 출력신호를 일정시간 지연시킨다. 제6신호지연 인버터(I7)는 상기 제5신호지연 인버터(I6)의 출력신호를 일정시간 지연시켜 상기 지연신호(D_S)를 생성한다.
- <14> 용량성 부하들(CL1~CL8)은 적어도 하나의 상기 인버터들의 출력단자와 제1전원전압(VLP) 사이 및 적어도 하나의 상기 인버터들의 출력단자와 제2전원전압(GND) 사이에 배치된다.
- <15> 제1용량성 부하(CL1)는 일 단자가 상기 제2전원전압에 연결되고 다른 일 단자가 상기 제2신호지연 인버터(I3)의 출력단자에 연결된다. 제2용량성 부하(CL2)는 일 단자가 상기 제1전원전압에 연결되고 다른 일 단자가 상기 제2신호지연 인버터(I3)의 출력단자에 연결된다. 제3용량성 부하(CL3)는 일 단자가 상기 제2전원전압에 연결되고 다른 일 단자가 상기 제3신호지연 인버터(I4)의 출력단자에 연결된다. 제4용량성 부하(CL4)는 일 단자가 상기 제1전원전압에 연결되고 다른 일 단자가 상기 제3신호지연 인버터(I4)의 출력단자에 연결된다. 제5용량성 부하(CL5)는 일 단자가 상기 제2전원전압에 연결되고 다른 일 단자가 상기 제4신호지연 인버터(I5)의 출력단자에 연결된다. 제6용량성 부하(CL6)는 일 단자가 상기 제1전원전압에 연결되고 다른 일 단자가 상기 제4신호지연 인버터(I5)의 출력단자에 연결된다. 제7용량성 부하(CL7)는 일 단자가 상기 제2전원전압에 연결되고 다른 일 단자가 상기 제5신호지연 인버터(I6)의 출력단자에 연결된다. 제8용량성 부하(CL8)는 일 단자가 상기 제1전원전압에 연결되고 다른 일 단자가 상기 제5신호지연 인버터(I6)의 출력단자에 연결된다.
- <16> 레벨 쉬프터(130)는 제3전원전압과 제2전원전압(GND) 사이에서 동작하며 상기 발진신호(OSC_out1)의 크기(Amplitude)를 변경시키며, 1개의 인버터(I8)와 4개의 모스트랜지스터(M1~M4)를 구비한다.
- <17> 제8인버터(I8)는 발진신호(OSC_out1)의 위상을 반전시킨다. 제1모스트랜지스터(M1)는 일 단자가 제3전원전압(VPP)에 연결된다. 제2모스트랜지스터(M2)는 일 단자가 제3전원전압(VPP)에 연결되고 다른 일 단자가 상기 제1

모스트랜지스터(M1)의 게이트에 연결되어 레벨이 변경된 발진신호(OSC_out2)를 출력하며 게이트가 상기 제1모스트랜지스터(M1)의 다른 일 단자에 연결된다. 제3모스트랜지스터(M3)는 일 단자가 상기 제1모스트랜지스터(M1)의 다른 일 단자에 연결되고 다른 일 단자가 제2전원전압에 연결되며 게이트에 상기 발진신호(OSC_out1)가 인가된다. 제4모스트랜지스터(M4)는 일 단자가 상기 제2모스트랜지스터(M2)의 다른 일 단자에 연결되고 다른 일 단자가 제2전원전압에 연결되며 게이트가 상기 제8인버터(I8)의 출력단자에 연결된다.

<18> 이하에서는 도 1에 도시된 본 발명에 따른 저 전압용 링 발진기의 동작에 대하여 설명한다.

<19> 먼저 본 발명에 따른 저 전압용 링 발진기의 경우, 제3전원전압(VPP)에 비해 상대적으로 낮은 전압준위를 가지는 제1전원전압(VLP) 및 공통하는 제2전원전압(GND)을 이용하여 링 발진기(110)를 구성하도록 한 후 제3전원전압(VPP) 및 제2전원전압(GND) 사이에서 동작하는 레벨 쉬프터(130)를 이용하여 링 발진기(110)로부터 생성된 발진신호(OSC_out1)의 크기를 상승시켜 레벨이 변경된 발진신호(OSC_out2)를 생성 시키도록 한다. 링 발진기(110)의 경우, 처음부터 전압준위가 높은 제3전원전압(VPP)을 사용하여 설계되는 경우 회로가 시스템에서 차지하는 면적이 크게 된다. 따라서 본 발명에서는 링 발진기(110)는 낮은 전원전압(VLP)에서 동작하도록 하여 소비되는 면적을 최소화 하였다.

<20> 링 발진기(110)에서 가장 중요한 요소 중의 하나는 지연회로(120)인데, 도 1을 참조하면, 지연회로에는 게이트 지연 시간을 확보할 수 있는 짝수 개의 인버터들(I2~I7)이 구비되어 있다. 짝수 개의 인버터들이 직렬로 연결되어 낸드게이트(ND)의 출력을 일정시간 지연시켜 다시 낸드게이트(ND)의 입력단자에 피드백(feedback)시킴으로 논리회로의 동작에 모순되는 점은 없게 된다. 이 때 상기 인버터들(I2~I7)의 출력신호의 라이징 에지(rising edge) 및 폴링 에지(falling edge)는 서로 대칭이 되지 않을 수 있으므로, 이를 보완하는 용량성 부하(CL1~CL8)들을 더 구비한다.

<21> 용량성 부하들(CL1~CL8)의 용량 및 개수는 지연시간의 대소 및 인버터들의 전기적 특성에 따라 결정될 수 있다. 인버터들의 라이징 에지 및 폴링 에지의 비대칭을 개선하기 위해서 인버터의 출력노드에는 일 단자는 제1전원전압(VLP)이 연결되고 다른 일 단자는 상기 출력노드에 연결된 용량성 부하 및 일 단자가 제2전원전압(GND)에 연결되고 다른 일 단자는 출력노드에 연결된 용량성 부하를 적어도 하나 사용한다.

<22> 이러한 구조를 가진 링 발진기로부터 출력되는 신호의 주파수는 상술한 바와 같은 지연회로(120)에 포함된 지연 성분의 합에 의해 결정된다.

<23> 도 1에 도시된 레벨 쉬프터(130) 회로는 링 발진기(110)의 동작전원(VLP)에 비해 높은 전압준위를 가지는 제3전원전압(VPP)을 사용하여, 링 발진기(110)로부터 출력되는 발진신호(OSC_out1)의 크기를 상승시키는 기능을 수행한다. 레벨 쉬프터(130)의 동작은 일반적으로 알려져 있으므로 여기서는 설명을 생략한다.

<24> 상술한 바와 같이, 본 발명에 따른 저 전압용 링 발진기는, 링 발진부(110)를 저 전압에서 동작시킴으로서 적은 면적으로 일정한 주파수를 가지는 발진신호(OSC_out1)를 생성할 수 있게 한다. 발진신호(OSC_out1)의 크기를 변경시키기 위해 상대적으로 높은 동작전원을 가지는 레벨 쉬프터(130)를 부가적으로 사용함으로써, 발생할 수 있는 기술적인 문제 즉 회로의 동작 속도 및 인터페이스 매칭 부분은 쉽게 해결할 수 있다.

<25> 도 1을 참조하면, 레벨이 변경된 발진신호의 구동능력을 향상시키기 위해서, 레벨이 변경된 발진신호를 드라이브 인버터(I9, I10)를 통과시키는 것도 가능한 실시예가 될 것이다.

<26> 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

도면의 간단한 설명

<27> 도 1은 본 발명에 따른 저 전압용 링 발진기의 회로도이다.

도면

도면1

