

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年6月21日 (21.06.2007)

PCT

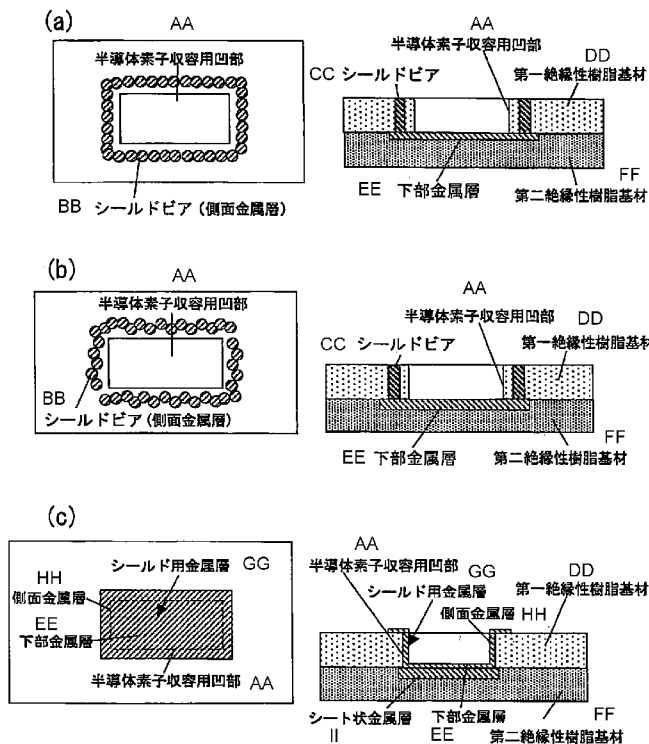
(10) 国際公開番号
WO 2007/069789 A1

- (51) 国際特許分類:
H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2006/325571
- (22) 国際出願日: 2006年12月15日 (15.12.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2005-364088
2005年12月16日 (16.12.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒5038604 岐阜県大垣市神田町2丁目1番地 Gifu (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 伊藤宗太郎 (ITO, Sotaro) [JP/JP]; 〒5030961 岐阜県大垣市青柳町300番地イビデン株式会社内 Gifu (JP). 高橋通昌 (TAKAHASHI, Michimasa) [JP/JP]; 〒5030961 岐阜県大垣市青柳町300番地イビデン株式会社内 Gifu (JP). 三門幸信 (MIKADO, Yukinobu) [JP/JP]; 〒5030961 岐阜県大垣市青柳町300番地イビデン株式会社内 Gifu (JP).
- (74) 代理人: 小川順三, 外 (OGAWA, Junzo et al.); 〒1040061 東京都中央区銀座2丁目8番9号木挽館銀座ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

[続葉有]

(54) Title: MULTILAYER PRINTED WIRING PLATE, AND METHOD FOR FABRICATING THE SAME

(54) 発明の名称: 多層プリント配線板およびその製造方法



- AA... SEMICONDUCTOR ELEMENT HOUSING RECESS
- BB... SHIELD VIA (SIDE FACE METAL LAYER)
- CC... SHIELD VIA
- DD... FIRST INSULATING RESIN SUBSTRATE
- EE... LOWER METAL LAYER
- FF... SECOND INSULATING RESIN SUBSTRATE
- GG... SHIELDING METAL LAYER
- HH... SIDE FACE METAL LAYER
- II... SHEET METAL LAYER

(57) Abstract: Provided is a multilayer printed wiring plate, in which an insulating resin film and conductor circuits are formed over another insulating resin layer housing a semiconductor element and in which the conductor circuits are electrically connected with each other through a via hole, wherein an electromagnetic shield layer is formed either in the insulating resin layer enclosing a recess for housing the semiconductor element or in the inner wall face of the recess, and wherein the semiconductor element is mounted in the recess.

(57) 要約: 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、導体回路間がビアホールを介して電氣的に接続されてなる多層プリント配線板において、半導体素子を收容するための凹部を囲んだ樹脂絶縁層に、あるいは凹部の内壁面に電磁シールド層を形成し、その凹部内に半導体素子を内蔵するように構成する。

WO 2007/069789 A1



DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

多層プリント配線板およびその製造方法

技術分野

本発明は、ICなどの電子部品（半導体素子）が内蔵された多層プリント配線板に係り、更に詳しくは、半導体素子のパッドと多層プリント配線板の導体回路との電氣的接続性や接続信頼性を確保する多層プリント配線板とその製造方法に関する。

背景技術

半導体素子を内蔵する多層プリント配線板としては、例えば、日本国特開2001-339165号公報または日本国特開2002-050874号公報に開示されたものがある。これらの文献に開示された多層プリント配線板は、半導体素子埋め込み用の凹部が形成された基板と、その基板の凹部内に埋め込まれた半導体素子と、その半導体素子を被覆するように基板上に形成した絶縁層と、絶縁層の表面に形成された導体回路と、その導体回路と半導体素子のパッドとを電氣的に接続するように絶縁層に設けたビアホールとから構成されている。

このような従来の多層プリント配線板においては、その最外層の表面に外部接続端子（例えば、PGA、BGA等）が設けられ、基板に内蔵された半導体素子は、これらの外部接続端子を介して外部との電氣的な接続を行うようになっている。

しかしながら、前述したような従来技術においては、半導体素子が埋め込まれた基板において、電気特性が不安定となることもあった。特に、埋め込まれた半導体素子の近傍に配設した導体回路において、電気特性が不安定になることがあり、その結果、信号遅延等の不具合が発生したりすることがある。即ち、樹脂基板に対して、半導体素子を内蔵するための凹部を設けた場合は、半導体素子自身あるいは半導体素子が内蔵された周辺の導体回路で電磁干渉の影響を受けることがあり、信号配線における信号伝達が不安定となり、その結果、信号遅延や誤作動などを引き起こし、基板としての機能確保されないことがあった。

そのような不具合の一例としては、オフ信号のときに、外部からのノイズによ

り、間違っただン信号と認識されてしまい、誤作動を引き起こすなどの影響を受けることもあった。また、半導体素子においても、ノイズの影響により、オフ信号のときに、間違っただン信号と認識されてしまい、その結果として、誤動作を引き起こすなどの影響を受けることもあった。

そこで、本発明の目的は、従来技術が抱える前記問題点を解決して、半導体素子を内蔵する基板の電氣的接続性や接続信頼性が確保される多層プリント配線板とその製造方法について提案することにある。

発明の開示

本発明者らは、前記目的の実現のために鋭意研究を重ねた結果、以下のような内容を要旨構成とする本発明を完成した。

すなわち、本発明は、

半導体素子が収容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に内蔵され、その凹部を囲んだ樹脂絶縁層に電磁シールド層が形成されている多層プリント配線板を提供する。

前記電磁シールド層は、半導体素子を囲んで、側面金属層と下部金属層とから形成することが望ましい。

また、前記シールド層は、側面金属層または下部金属層のいずれか一方から形成することもできる。

本発明において、前記凹部の底面に下部金属層を形成し、半導体素子が下部金属層上に載置されていることが望ましい。

本発明において、前記電磁シールド層は、凹部の外側に位置する樹脂絶縁層に形成された側面金属層であってもよい。

また、前記電磁シールド層は、凹部の外側に位置する樹脂絶縁層に形成された複数の柱状（円柱、楕円柱、多角柱など）の側面金属層から形成され、各側面金属層は互いに連結された構成とすることができる。

また、前記電磁シールド層は、凹部の底面に位置するまたは底面の下方に位置

する樹脂絶縁層に形成された下部金属層から形成することができる。

また、前記電磁シールド層は、凹部の外側に位置する樹脂絶縁層に形成され、かつ互いに連結された複数の柱状の側面金属層と、凹部の底面に位置するまたは底面の下方に位置する樹脂絶縁層に形成された下部金属層とからなり、前記柱状の側面金属層と前記下部金属層とが連結された構成とすることができる。

また、前記下部金属層は、前記複数の柱状の側面金属層に連結されて電磁シールド層として機能するように構成することができる。

また、前記下部金属層は、前記複数の非貫通孔の内壁に金属が被覆されてなる側面金属層、または非貫通孔内に金属が充填されてなる側面金属層に連結されて電磁シールド層として機能するように構成することができる。

また、前記電磁シールド層は、前記凹部の内壁に形成された金属層から形成することができる。

本発明において、前記凹部は、その側面が底面から上方に向かうにつれて末広がりとなるようなテーパを有して形成することができる。

さらに、本発明において、前記凹部に收容、固定された半導体素子のパッド上に柱状電極または仲介層を形成し、その柱状電極または仲介層を介して前記パッドとビアホールとを電氣的に接続することができる。

また、本願発明は、

半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に内蔵され、その凹部を囲んだ樹脂絶縁層に電磁シールド層が形成され、その電磁シールド層は、複数の非貫通孔の内壁表面に金属が被覆されてなる側面金属層、または複数の非貫通孔内に金属が充填されてなる側面金属層、もしくは金属からなる複数の柱状体からなる側面金属層から形成されている多層プリント配線板である。

前記側面金属層は、複数の非貫通孔内に導電性金属が充填されたものであることが望ましい。導電性金属としては、めっき、ペースト等を用いることができる。

前記柱状体は、円柱、楕円柱および多角柱から選ばれる少なくとも一つの形状

であることが望ましい。

前記電磁シールド層は、前記凹部の底面に位置するまたは底面の下方に位置する樹脂絶縁層に形成された下部金属層を含んでいることが望ましい。

前記側面金属層は、複数の非貫通孔の内壁表面に金属が被覆されてなる形態、または複数の非貫通孔内に金属が充填されてなる形態、もしくは金属からなる複数の柱状体の形態であり、それらの少なくとも一部分が互いに連結されていることが望ましい。

前記電磁シールド層は、前記側面金属層と前記下部金属層とが連結されてなることが望ましい。

前記凹部は、その側面が底面から上方に向かうにつれて末広がりとなるようなテーパを有して形成されていることが望ましい。

また、本願発明は、

半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に内蔵され、半導体素子に接続されるビアホールは、導電性材料で充填されたフィルドビアの形態に形成され、前記凹部を囲んだ樹脂絶縁層に電磁シールド層が形成されている多層プリント配線板である。

また、本発明は、

半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、前記樹脂絶縁層に設けた凹部内に内蔵され、前記他の樹脂絶縁層は繊維基材を含有し、かつその樹脂絶縁層には半導体素子に接続されるビアホールが形成され、前記凹部を囲んだ樹脂絶縁層に電磁シールド層が形成されていることを特徴とする多層プリント配線板。

前記電磁シールド層は、側面金属層と下部金属層とからなることが望ましい。

前記電磁シールド層は、側面金属層からなり、その側面金属層は、複数の非貫

通孔の内壁に金属が被覆された形態、あるいは複数の非貫通孔内に金属が充填された形態、もしくは複数の金属の柱状体の形態であることが望ましい。

前記側面金属層は、非貫通孔の内壁が導電性金属で被覆され、あるいは非貫通孔内に導電性金属が充填された形態であることが望ましい。

前記側面金属層は、複数の非貫通孔の内壁に金属が被覆されてなる形態、または複数の非貫通孔内に金属が充填されてなる形態、もしくは複数の金属の柱状体の形態に形成され、少なくともその一部分が互いに連結されていることが望ましい。

前記柱状体は、円柱、楕円柱、多角柱から選ばれる少なくとも一つの形状であることが望ましい。

前記電磁シールド層は、前記凹部の底面に位置するまたは底面の下方に位置する樹脂絶縁層に形成された下部金属層を含んでいることが望ましい。

前記電磁シールド層は、前記側面金属層と前記下部金属層とが連結されてなることが望ましい。

また、本願発明は、

半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に内蔵され、その凹部を囲んだ樹脂絶縁層に電磁シールド層が形成され、その電磁シールド層は、半導体素子の下部に配置された下部金属層からなり、その下部金属層は、前記凹部の底面の面積よりも大きな面積である多層プリント配線板である。

前記下部金属層は、圧延銅箔から形成されることが望ましい。

前記電磁シールド層は、側面金属層と下部金属層とからなることが望ましい。

前記電磁シールド層は、側面金属層からなり、その側面金属層は、複数の非貫通孔の内壁が金属で被覆されてなる形態、あるいは複数の非貫通孔内に金属が充填されてなる形態、もしくは複数の金属の柱状体の形態の少なくとも一つの形態に形成されることが望ましい。

前記側面金属層は、複数の非貫通孔の内壁が金属で被覆されてなる形態あるい

は複数の非貫通孔内に導電性金属が充填されてなる形態であることが望ましい。

前記導電性金属としては、めっき、ペースト等を用いることができる。

前記側面金属層は、複数の非貫通孔の内壁が金属で被覆されてなる形態、あるいは複数の非貫通孔内に金属が充填されてなる形態、もしくは複数の金属の柱状体の形態に形成され、少なくとも一部分が互いに連結されていることが望ましい。

前記柱状体は、円柱、楕円柱、多角柱から選ばれる少なくとも一つの形状であることが望ましい。

前記電磁シールド層は、前記側面金属層と前記下部金属層とが連結されてなることが望ましい。

また、本発明は、

半導体素子が收容されてなる樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板を製造するにあたって、少なくとも以下の工程、

樹脂絶縁層の一面に少なくとも導体回路と、金属層とを形成すると共に、その他面に少なくとも導体回路と、前記金属層に対向する位置に導体回路非形成領域とを形成し、さらに前記他面の導体回路と前記一面の導体回路とを電氣的に接続するビアホールおよび前記他面の導体回路非形成領域の外側において樹脂絶縁層を貫通して前記一面の金属層に達するビアホールをめっきにより形成して第一絶縁性樹脂基材を形成する工程、

樹脂絶縁層の一面に銅箔が貼付されてなる第二絶縁性樹脂基材を、その樹脂面を前記第一絶縁性樹脂基材に圧着して一体化する工程、

前記第二絶縁性樹脂基材に導体回路を形成すると共に、その導体回路と電氣的に接続するビアホールを形成する工程、

前記第一絶縁性樹脂基材の導体回路非形成領域に、樹脂絶縁層表面から凹部を形成する工程、

半導体素子を前記凹部内に收容し、接着剤を用いて接着させる工程、

前記半導体素子を被覆して他の樹脂絶縁層を形成し、ビアホールを形成する工程、

を含んだ多層プリント配線板の製造方法を提供する。

さらに、本発明は、

半導体素子が收容されてなる樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板を製造するにあたって、少なくとも以下の工程、

樹脂絶縁層の一面に少なくとも導体回路と、金属層とを形成すると共に、その他面に少なくとも導体回路と、前記金属層に対向する位置に導体回路非形成領域とを形成し、導体回路とを電氣的に接続するビアホールをめっきにより形成して第一絶縁性樹脂基材を形成する工程、

樹脂絶縁層の一面に銅箔が貼付されてなる第二絶縁性樹脂基材を、その樹脂面を前記第一絶縁性樹脂基材に圧着して一体化する工程、

前記第二絶縁性樹脂基材の一面に導体回路を形成すると共に、その導体回路と前記第一絶縁性樹脂基材に形成したビアホールとを電氣的に接続するビアホールをめっきにより形成する工程、

前記第一絶縁性樹脂基材の導体回路非形成領域に、凹部を形成する工程、

前記凹部を被覆する金属層をめっきにより形成する工程、

半導体素子を前記凹部内に收容し、接着剤を用いて前記凹部の金属層に固定させる工程、

前記半導体素子を被覆して他の樹脂絶縁層を形成し、電氣的に接続するビアホールをめっきにより形成する工程、

を含んだ多層プリント配線板の製造方法を提供する。

本発明によれば、樹脂基板の樹脂絶縁層に設けた凹部に半導体素子を收容し、その凹部の周囲に電磁シールド層を形成させることにより、凹部に内蔵された半導体素子をシールドすることができるので、信号遅延や誤作動などの不具合の発生を少なくすることができる。

また、本発明によれば、凹部の底面に金属層を形成することによって、凹部の深さの均一化が容易になる。特に、凹部が断面矩形の場合には、四隅付近での凹部の深さも均一化しやすくなる。そのため、凹部に半導体素子を收容する際には、半導体素子が傾くことが少なくなるのである。それにより、收容された半導体素子のパッドに接続されるビアホールを樹脂絶縁層に形成する際にも、所望のビア

ホール形状とすることができる。さらに、金属層は樹脂絶縁層内に形成されているので、熱応力や外部応力などの影響によって反りが生じることが少なくなり、その結果、例えば、半導体素子の接続パッドとビアホール等の導体回路との接続不良が起きにくくなるため、電気接続性や接続信頼性が低下しにくくなる。

図面の簡単な説明

図1(a)～(c)は、本発明にかかる多層プリント配線板における電磁シールド層の実施形態を示す概略図

図2は、本発明にかかる多層プリント配線板の半導体素子が収容、埋め込まれる凹部のテーパ形状を説明するための概略的断面図

図3は、本発明にかかる多層プリント配線板における半導体素子のパッド上に形成される柱状電極を示す概略的断面図

図4は、本発明にかかる多層プリント配線板における半導体素子のパッド上に形成される仲介層を示す概略的断面図

図5(a)～(g)は、本発明の実施例1-1にかかる多層プリント配線板を製造する工程の一部を示す概略的断面図

図6(a)～(d)は、本発明の実施例1-1にかかる多層プリント配線板を製造する工程の一部を示す概略的断面図

図7(a)～(d)は、本発明の実施例1-1にかかる多層プリント配線板を製造する工程の一部を示す概略的断面図

図8(a)～(g)は、本発明の実施例3-1にかかる多層プリント配線板を製造する工程の一部を示す概略的断面図

図9(a)～(e)は、本発明の実施例3-1にかかる多層プリント配線板を製造する工程の一部を示す概略的断面図

図10(a)～(d)は、本発明の実施例3-1にかかる多層プリント配線板を製造する工程の一部を示す概略的断面図である。

発明を実施するための最良の形態

本発明の多層プリント配線板の一実施形態は、半導体素子が収容されている樹

脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、前記半導体素子は、樹脂絶縁層に設けた凹部内に收容され、その凹部の周囲に電磁シールド層が形成されていることを特徴とする。

本発明の実施形態において、半導体素子を收容する「凹部の周囲」とは、凹部の側面の外側に位置する樹脂絶縁層、凹部の底面に接するまたは凹部の底面の直下に位置する樹脂絶縁層、凹部の開口周縁に位置する樹脂絶縁層もしくは凹部の内壁（底面＋側面）のことを意味する。

また、「電磁シールド層」とは、基板内で電気信号を伝達する導体回路（ビアホールを含む）との電氣的な接続を有していない、電氣的に孤立した金属層であり、半導体素子が、他の半導体素子の起動によって、誤作動などを引き起こすことの抑制する等の半導体素子を保護させるシールド効果を有するものを意味する。また、場合によっては、凹部内に收容された半導体素子のシールド性を確保させることができるのであれば、電磁シールド層が電気接続性を有していてもよい。本願におけるシールド層は、半導体素子の周囲に、側面金属層または下部金属層、あるいは側面金属層と下部金属層からなるものであることが望ましい。

本発明の実施形態において、電磁シールド層は、その一つの形態として、半導体素子を内蔵する凹部の外側に位置する樹脂絶縁層内の側面金属層である。

前記側面金属層としては、複数の非貫通孔の内壁表面に金属を被覆させ、または複数の非貫通孔内に金属を充填させることによって形成することができる。

また、前記側面金属層として、凹部の外側に位置する樹脂絶縁層に形成された金属からなる複数の柱状体として形成することができる。

前記非貫通孔の形成方法の一例として、凹部の外側に位置する絶縁層に、レーザー、フォトリソグラフィなどにより、開口を設け、その開口内をめっきなどの金属で被覆することや、めっき、ペーストなどの導電性材料により、開口内を充填させることで形成させることができるのである。そのような金属としては、一種類もしくは複数の金属を用いることができる。

前述の柱状体の形成方法の一例として、予め金属などを所望の形状（円柱、多角形の柱体）に形成した金属体を凹部の外側に位置する絶縁層に打ち込んだり、

あるいは該金属体を予め配列させた後に、凹部の外側に位置する絶縁層を形成したりするなど形成させることができる。

前記電磁シールド層は、複数の非貫通孔に金属を被覆させた形態、または複数の非貫通孔内に金属を充填させた形態、もしくは柱状体の形態に形成された各側面金属層の少なくとも一部を互いに連結させた構成としてもよいし、連結されていても、部分的に連結されていなくてもよい。

また、複数の非貫通孔に金属を被覆させた形態、または複数の非貫通孔内に金属を充填させた形態、もしくは柱状体の形態に形成された各側面金属層は、個々に離れて存在していてもよい。また、必要であれば、前記各形態の側面金属層を混在させたものを電磁シールド層として構成してもよい。

半導体素子の凹部の外側の絶縁層に側面金属層を形成させることにより、シールド効果を得ることができる。前記各側面金属層は、電気的な接続を持たせてもよいし、電気的な接続を持たせなくてもよい。

ただし、複数の非貫通孔の内壁に金属を被覆させた形態、または複数の非貫通孔内に金属を充填させた形態、もしくは柱状体の形態に形成された側面金属層は、基板内で電子回路を構成する導体回路や、それらの導体回路を電気的に接続されているビアホールには電気的に接続されていないものでもよいし、電気的に接続されているものでもよい。

以下、説明する便宜上、上記形態の側面金属層を、「シールドビア (shield-via)」と呼ぶ。このシールドビアによって、凹部内に内蔵された半導体素子の側面を囲むような電磁シールド領域を形成することができるので、電磁干渉の影響を抑えることができる。

前記シールドビアは、例えば、基板上方から見た場合に、凹部の開口縁部に平行な方向に沿って直線的に配列させる。もしくは、凹部の開口縁部に平行な方向に対してジグザグに配列（千鳥配列）させたりすることによって、電磁シールド層を形成する。

また、前記シールドビアは、柱状であることが望ましい。この場合、「柱状」とは、円柱形状（横断面が楕円形である形状も含む）や多角柱形状（横断面が三角形、正方形、長方形、五角形、六角形、八角形等である形状も含む）、その他の不

規則な横断面を有する細長の筒形状を意味する。特に、横断面が円形（楕を含む）であって、基板の厚み方向に細長の筒状の形態に形成することが望ましい。なぜならば、断面円形で細長筒状の導体層は、導体層の同心円状の領域までもシールド可能な領域とすることができるので、半導体素子の厚み方向だけでなく、幅方向への均等な電磁シールド領域を確保できるからである。即ち、基板の厚み方向だけでなく、幅方向へのシールド効果も得やすくなるからである。また、シールドビアに対して、熱などの応力が加わったとしても、応力が集中するポイントがなくなりやすくなり、該ビアの近傍でクラック等の不具合が発生しにくくなるからである。

また、前記シールドビアは、非貫通孔に金属を被覆させた形態や、非貫通孔内に金属を充填させた形態であっても、柱状体の形態と同様の効果を得られる。

さらに、前記複数のシールドビアは、互いに連結された形態で、かつ半導体素子を内蔵する凹部の側面を囲むように配置させることによって、基板の幅方向へのシールド効果をより高めることができる。

前記シールドビアの連結は、Fig. 1(a)に示すように、凹部の開口周縁に平行な方向に沿って直線的に配列された状態で連結させてもよい。また、Fig. 1(b)に示すように、凹部の開口周縁に平行な方向に対してジグザグに配列された状態（千鳥配列）で連結させてもよい。

すなわち、凹部の開口周縁に沿って配置された複数のシールドビアにより電磁シールド層を形成するには、連続してシールドビアを繋げることにより、一枚の金属板であるかのように形成してもよい。それとも、シールドビアを交互に位置をずらしながら配列（千鳥配列）させて、一枚の金属板であるかのように形成してもよい。これらのいずれの形態であっても、半導体素子の周囲を取り囲むように、電氣的接続を有しない金属層を形成させることによって電磁シールド層を形成することができるので、凹部に内蔵された半導体素子の側面方向の電磁シールド効果を得ることができる。

前記シールドビアの連結は、すべてのシールドビアを連結させた連続的な連結構造であってもよいし、部分的に連結させた部分的な連結構造であってもよい。どちらの形態にしても、半導体素子が埋め込まれた凹部の周囲に電磁シールド層

を設けていない実装基板と比較して、半導体素子の側面方向の電磁シールド効果が得られるからである。

本発明の実施形態において、電磁シールド層の他の形態としては、半導体素子を内蔵する凹部の底面に位置する樹脂絶縁層内に形成された下部金属層あるいは凹部の底面の直下に位置する樹脂絶縁層内に形成された下部金属層の形態が望ましい。これらの金属層はシート状であることがより望ましい。

このようなシート状の電磁シールド層は、半導体素子が内蔵された凹部の底面と同等のサイズ、あるいは底面の面積よりもやや大きなサイズもしくは面積を有して形成されることが望ましい。これによって半導体素子の底面方向の電磁シールド効果が得られる。

このシート状のシールド層は、凹部の側面の外側に形成した電磁シールド層、即ち、シールドビアに接続されることが望ましい (Figs. 1(a) - 1(b)参照)。

それによって、半導体素子の側面方向および底面方向の電磁シールド効果を得ることができる。その結果、電磁干渉の影響をより効果的に抑えることができ、誤作動等の不具合の発生を抑制することができる。

なお、上述したような非貫通孔に導電性材料を充填させてなるシールドビア形態の電磁シールド層や、シート状の電磁シールド層以外にも、基板に設けることがある貫通孔内に導電性材料を充填させてなる形態や、金属板を介在させてなる形態などに形成させてもよい。

また、本発明の実施形態において、電磁シールド層のさらに他の形態としては、Fig. 1(c)に示すように、半導体素子を内蔵する凹部の少なくとも内壁に形成された金属層の形態とすることができる。即ち、凹部の底面と側面とを覆う金属層、あるいは凹部の底面と側面を覆う金属層に加えて、凹部の側面の上端から開口周縁に沿って延設された金属層の形態をなす電磁シールド層は、凹部内に内蔵される半導体素子のパッケージ樹脂層の外側表面（接続パッドが設けられている上面を除く）の全体を取り囲んでいるので、半導体素子の側面方向および底面方向の電磁シールド効果を同時に得ることができる。

前記電磁シールド層の形成に用いられる金属としては、ニッケル、銅、クロムのいずれか1種類、あるいは2種類以上が配合されている金属を用いることが望

ましい。

これらの金属の一例としては、銅、銅-クロム合金、銅-ニッケル合金、ニッケル、ニッケル-クロム合金、クロムなどが挙げられるが、これら以外の金属を用いてもよい。

前記金属層の厚さは、 $5\ \mu\text{m}$ ~ $20\ \mu\text{m}$ が望ましい。その理由は、厚さが $5\ \mu\text{m}$ 未満では、シールド層としての効果を相殺させてしまうことがあるからである。一方、厚さが $20\ \mu\text{m}$ 超では、シールド層の効果を向上させることできないことがあるからである。

これらの金属層の形成方法としては、無電解めっき、電解めっき、スパッタリング、蒸着等が望ましい。その理由としては、膜厚の均一な金属膜を形成することが容易であるため、電磁波シールド効果をより得やすいからである。

これらの方法により形成されたシールド層は、単層もしくは2層以上の複数層で形成してもよい。複数層で形成する場合には、同一方法による形成でも、異なる方法による形成でもどちらでもよい。シールド層として形成する金属層の種類、厚みなどにより適宜行うことができるのである。これらにより、電磁波シールド効果を劇的に低下させるものではない。

本発明の実施形態において、半導体素子を内蔵する凹部の底面に金属層を形成し、この金属層を介して半導体素子が内蔵されることが望ましい。その理由は、凹部の深さを均一にすることが可能となり、それによって半導体素子が凹部内に傾いた状態で收容、内蔵されることがなくなるからである。そのため、半導体素子を收容する基板が樹脂製であっても、半導体素子の接続パッドに接続されるビアホールを樹脂絶縁層に形成する際にも、所望のビアホール形状とすることができると共に、金属層は樹脂絶縁層内に形成されているので、熱応力や外部応力などの影響によって反りが生じることが少なくなる。その結果、半導体素子の接続パッドと、それに接続されたビアホールを含んだ導体回路との電氣的接続性や接続信頼性を確保しやすくなるからである。

また、下部金属層としては、平坦な表面を有するものであってもよい。それにより、凹部形状の保持性や接着剤との接着性が確保されやすくなる。必要に応じて、下部金属層には粗化面を形成してもよい。これらの粗化面により、下部金属

層と接着剤とが密着するので、接着性を確保しやすくなることがある。

また、下部金属層は、銅から形成されることが望ましい。エッチングなどによる加工性がよいことなどである。その中でも圧延銅箔を用いて形成されることが望ましい。下部金属層の平坦性を確保されやすくなるし、下部金属層上に載置される半導体素子との収納性や半導体素子との表層の平坦性を確保しやすくなるからである。

さらに詳細に説明すると、半導体素子を収容する凹部が形成される樹脂基板は、主としてガラスエポキシ樹脂などにガラス布等の繊維基材である補強材が含まれている樹脂材料から形成されている。それ故に、ザグリ加工等により凹部を形成した場合には、その凹部の底面では位置によって不規則な凹凸が形成される。

その結果、凹部の深さが不均一になりやすい。特に、断面をほぼ矩形に形成した凹部の四隅付近では、他の部分に比して凹部の深さが浅くなりやすい。それ故に、本発明のように、凹部の底面に金属層を形成することによって、凹部の深さの均一化が容易になる。特に、凹部が断面矩形の場合には、四隅付近での凹部の深さも均一化しやすくなる。

したがって、凹部に半導体素子を収容する際には、半導体素子が傾くことが少なくなるのである。故に、収容された半導体素子のパッドに接続されるビアホールを樹脂絶縁層に形成する際にも、所望のビアホール形状とすることができる。さらに、金属層は樹脂絶縁層内に収納されるように形成されているので、熱応力や外部応力などの影響によって反りが生じることが少なくなる。その結果、例えば、半導体素子の接続パッドとビアホール等の導体回路との接続不良が起きにくくなるため、電気接続性や接続信頼性が低下しにくくなるのである。

また、半導体素子と金属層との間に形成される接着剤層は、厚みを均一にすることが容易となるので、半導体素子の密着性を均等にして、ヒートサイクルなどの信頼性試験を行っても、長期間に亘って密着性が確保されやすくなるのである。

なお、前記下部金属層は、凹部の底面の面積よりも大きな面積とし、凹部の側面の外側に形成することもできる。したがって、このように形成された下部金属層は、基板に内蔵された半導体素子の底面方向のシールド効果を発揮することができる。また、側面金属であるシールドビア形態の電磁シールド層と併設することが望まし

い。必要に応じて、下部金属層に、側面金属層を接続させてもよい。それにより、電磁シールド層としての効果を確保しやすくなる。

前記下部金属層は、レーザ処理により露出されてもよい。これにより、凹部の厚みが均一になりやすくなるからである。

前記凹部内の下部金属層の表層は、シャイニー面であることが望ましい。者に一面であると、下部金属層と半導体素子との密着性が確保しやすくなるし、半導体素子と他の樹脂絶縁層に形成されたビアホールとの接続性と信頼性が確保しやすいからである。また、下部金属層と半導体素子との間に形成される接着剤層の厚みを均一にすることが容易になり、半導体素子の密着が均一となる等の密着性や電気接続性が確保されやすい。

また、接着剤層が、半導体素子の底面および側面の底部周縁に接触していることが望ましい。接着剤層が半導体素子の底面および側面の底部周縁に接触していることにより、半導体素子の密着性が確保しやすいからである。

また、半導体素子を収容するための凹部は、その側面が、Fig. 2 に示すように、テーパ形状に形成されてもよい。その理由は、凹部内に収容された半導体素子は、側面方向の応力（例えば、熱応力や外部応力等）を受けたとしても、その応力をテーパの上部である樹脂材料で緩和することができるからである。また、凹部内への半導体素子の挿入が容易になるからである。

凹部のテーパの形状は、側面と底面とのなす角度のうちの小さい方の角度が約60度以上であり、約90度未満であることが望ましい。テーパの上部である樹脂材料で緩和することができるからである。また、凹部内への半導体素子の挿入が容易になるからである。

また、凹部の壁面と半導体素子の側面とで構成される間隙に樹脂層が充填されることが望ましい。樹脂が充填されることにより、半導体素子が安定するために、半導体素子の接続性や信頼性が確保されやすくなるからである。

さらに、凹部の壁面と半導体素子の側面とで構成される間隙に樹脂層が充填され、かつ、樹脂絶縁層と一体化されていてもよい。

これにより、ビアホールが形成される他の樹脂絶縁層と、凹部の壁面と半導体素子の側面とで構成される間隙に充填される樹脂絶縁層とが同一材料であると、材料

間における熱膨張係数の差などに起因する熱応力の発生を抑えられ、半導体の端部におけるクラック等の不具合が抑えられ、耐久性が確保される。その結果、半導体素子の接続性や信頼性が確保されやすくなるからである。

また、本発明の実施形態において、半導体素子のパッド上に、Fig. 3 または Fig. 4 に示すような、柱状電極または仲介層を形成することが望ましい。半導体素子のパッドとビアホールとの電気的な接続を容易に行なうことができるからである。

半導体素子のパッドは、一般的にアルミニウムなどで製造されているが、特に、パッド上に何らかの金属層などを形成しないアルミパッドの状態では、以下のような問題を引き起こすことがあった。フォトエッチング（露光、現像を経る工程）により層間絶縁層にビアホールを形成させた場合には、露光、現像後にパッドの表層に樹脂が残りやすくなる。また、それに加えて、現像液などの付着や後工程の薬液（例えば、めっき液、酸、アルカリなどの溶液）によりパッドの変色を引き起こす場合があった。そのため、該半導体素子のパッドとビアホールとの電気的接続性や接続信頼性が確保されにくい場合があった。

一方、レーザによりビアホールを形成する場合には、アルミニウム製のパッドを焼損する危険がある。また、焼損しない条件でレーザ照射を行うと、パッド上に樹脂残りが発生する場合がある。また、後工程（例えば、酸や酸化剤あるいはエッチング液に浸漬工程、種々のアニール工程等をさす。）を経ると、半導体素子のパッドの変色や溶解が発生する場合もあった。これらにより、半導体素子のパッド周辺での電気的接続性や接続信頼性が確保しにくくなるのである。

更に、半導体素子のパッドは、直径40 μ m程度に作られ、ビアホールはそれより大きい径に作られているために、位置ずれなどが起きやすくなり、パッドとビアホールとの未接続など不具合が発生しやすくなる。そのため、該半導体素子のパッドとビアホールとの電気的接続性や接続信頼性が確保されにくくなる場合がある。

これに対して、半導体素子のパッド上に、銅等からなる仲介層を設けることで、ビアホール形成の不具合が解消されて、溶剤の使用が可能となるため、パッド上の樹脂残りを防ぐことができると共に、後工程を経てもパッドの変色や溶解が発生しない。これにより、パッドとビアホールとの電気的な接続性や接続信頼性が

低下しにくくなる。更に、半導体素子のダイパッドよりも大きな径の仲介層を介在させることで、パッドとビアホールとを確実に接続させることができる。

さらに、仲介層を設けることによって、半導体素子をプリント配線板に埋め込む、收容、收容する前、もしくはその後にも半導体素子の動作確認や電気検査を容易に行なうことができる。その理由は、半導体素子のパッドよりも大きい仲介層が形成されているので、検査用プローブピンが接触し易くなるからである。それにより、予め製品の可否が判定することができ、生産性やコスト面でも向上させることができる。また、プローブによるパッドの損失や傷なども発生しにくくなる。したがって、半導体素子のパッド上にトランジションを形成することによって、プリント配線板に半導体素子を好適に埋め込み、收容することができる。

本発明に用いられる、半導体素子を收容する樹脂絶縁層としては、ガラス布エポキシ樹脂基材、フェノール樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布-エポキシ樹脂基材、アラミド不織布-ポリイミド樹脂基材などから選ばれる硬質な積層基材などを用いることができる。これ以外にも、一般的にプリント配線板で使用されるものを用いることができる。例えば、両面または片面銅張積層板や、金属膜を有しない樹脂板、樹脂フィルム、あるいはそれらの複合材料も用いることができる。

前記樹脂基材は、その厚さが、 $20\sim 350\mu\text{m}$ の範囲が望ましい。その理由は、厚さがそのような範囲内であれば、層間絶縁層の絶縁性の確保が容易であるとともに、層間接続性を得ることが容易となるからである。

厚さが $20\mu\text{m}$ 未満では、層間絶縁層の絶縁性の確保が困難になりやすいことがある。一方、厚さが $350\mu\text{m}$ を越えると、層間での接続性を得ることができないことがあるからである。

本発明において、導体回路、半導体素子を收容させる金属層、および電磁波シールドを形成する金属層としては、銅箔が用いられることが望ましい。その理由は、主として、外形加工に優れ、電気特性にも優れるからである。

前記導体回路を形成するための銅箔は、その厚さが、 $5\sim 20\mu\text{m}$ の範囲であることが望ましい。その理由は、銅箔の厚さがそのような範囲内であれば、後述

するようなレーザ加工を用いて、絶縁性樹脂基材にビアホール形成用の開口を形成する際に、開口周縁の銅箔の変形が少なくなり、導体回路の形成が容易となるからである。また、エッチングにより、微細な線幅の導体回路パターンを形成することが容易となるからである。銅箔の厚さが5 μm 未満では、後述するようなレーザ加工を用いて、絶縁性樹脂基材にビアホール形成用の開口を形成する際に、開口周縁の銅箔が変形するおそれがある。あるいは、導体回路を形成しがたくなることがあるからである。一方、銅箔の厚さが20 μm 超では、エッチングにより、微細な線幅の導体回路パターンを形成し難くなることがあるからである。

本発明で用いる銅箔は、ハーフエッチング処理により、その厚みを調整したものでよい。この場合には、樹脂絶縁層に貼付した銅箔の厚みは、前記の数値よりも大きいものを用い、エッチング後の銅箔の厚みが、5～20 μm となるように調整することが望ましい。

さらに、両面銅張積層版の場合では、銅箔厚みが前記の範囲内であるが、両面で厚みが異なってもよい。それにより、強度を確保したりして後工程を阻害しないようにすることができる。

また、前記凹部の底面に形成される金属層としての銅箔の厚さは、5～20 μm が望ましい。その理由は、銅箔の厚さがそのような範囲内であれば、キャビティの外形加工を行なう場合に、該銅箔を貫通してしまうおそれが少なくなるので、凹部の底面への金属層の形成が妨げられることが少なくなる。また、エッチングによる金属層の加工形成が容易になるからである。

前記凹部の底面に形成される金属層としては、銅以外にも、ニッケル、鉄、コバルトなどの金属を用いてもよい。

また、電磁シールド層を形成するシート状の金属層としての銅箔の厚さは、5～20 μm が望ましい。その理由は、銅箔の厚さがそのような範囲内であれば、シールド効果の確保しやすくなるからである。

なお、前記絶縁性樹脂基材および銅箔としては、特に、エポキシ樹脂をガラスクロスに含漬させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面もしくは両面銅張積層板を用いることが好ましい。その理由は、銅箔がエッチングされた後の取扱中に、配線パターンやビアホール

の位置がずれることがなく、位置精度に優れるからである。

本発明において、半導体素子を收容するために樹脂絶縁層に設ける凹部は、ザグリ加工、パンチング、レーザ加工等によって形成することができる。特に、レーザ加工によって形成されることが望ましい。それにより、他の加工と比較して、均一な深さの凹部が形成しやすくなる。

前記凹部をレーザ加工によって形成する場合は、レーザ照射による加熱により金属層（銅箔）の表面に酸化膜が形成され、密着性を向上させることができることもある。また、レーザ加工は、凹部をテーパ形状に加工しやすいのである。

また、ザグリ加工によって凹部を形成する場合には、凹部の底面に形成した金属層がストッパーの役目を果たすので、凹部の深さを均一にすることができる。

前記凹部の深さは、收容される半導体素子自体の厚みおよびその半導体素子の接続パッド上に形成されることがある柱状電極あるいは仲介層の厚み、接着剤層の厚みなどに応じて決められる。そして、凹部の底部には金属層が形成されるので、半導体素子と樹脂絶縁層との間に設けられる接着剤層の厚みを均一にすることが容易となる。その結果として、半導体素子を收容した際に、半導体素子の傾きなどを少なくすることができるのである。

また、半導体素子と樹脂絶縁層との密着性を均一に保持することができるので、ヒートサイクルなどの信頼性試験を行っても、長期間に亘って密着性が低下し難くなる。

また、半導体素子を收容するための凹部は、その側面を底面から上方に向かうにつれて末広がりとなるようなテーパを有する形状に形成されることが望ましい。そのような形状とすることで、凹部内に收容された半導体素子は、側面方向の応力（例えば、熱応力や外部応力等）を受けても、その応力を緩和することができる。さらに、半導体素子を固着させるために半導体素子の底面に設けた接着剤が、毛管現象によって凹部の側面に沿って流動することが少なくなるので、半導体素子の凹部底部への密着性が低下しにくくなる。

本発明において、テーパの角度は、図2に示すように、側面と底面とがなす外角で定義され、そのテーパの角度は、60度以上、90度未満であることが望ましく、60度～85度の範囲がより望ましい。その理由は、テーパ角度がそのよ

うな範囲内であれば、半導体素子の側面における応力により移動を抑制することが相殺されることが少なくなるために、信頼性試験を行った場合に、ビアホールの接続不具合が起こりにくくなるからである。テーパ角度が60度未満では、半導体素子の側面における応力により移動を抑制することが相殺されることもあり、そのために、信頼性試験を行うと、ビアホールの接続不具合が早期に引き起こしたりすることがあるからである。

本発明において、半導体素子を收容する絶縁樹脂層の一実施形態としては、上述したような絶縁性樹脂基材を2枚用いる、即ち、一方の表面に半導体素子收容用凹部の底面のサイズよりも大きなサイズの金属層が形成された第一絶縁性樹脂基材と、その第一絶縁性樹脂基材の金属層が形成された側の表面に第二絶縁性樹脂基材とを積層し、第一絶縁性樹脂基材の他方の表面に対してレーザ照射を行って、金属層に達する半導体素子收容用凹部およびその凹部の側面の外側にシールドビア形成用の複数の非貫通孔を形成することで、その凹部の底面および非貫通孔の底面から金属層が露出するようにした後、非貫通孔に金属めっきを充填することによって、電磁シールド層としてのシールドビアを凹部の側面の外側に形成してなる半導体收容用基板を形成する。

また、他の実施形態としては、一方の表面に半導体素子收容用凹部の底面のサイズよりも大きなサイズの金属層が形成されてなる第一絶縁性樹脂と、金属層に対応する領域に半導体素子のサイズにほぼ相当する大きさの開口が形成されてなる第二絶縁性樹脂基材とを積層して、開口の一方が塞がれた形態の半導体素子收容用凹部を形成した後、第一絶縁性樹脂基材の他方の表面に対してレーザ照射を行って、金属層に達する複数の非貫通孔を形成することで、その非貫通孔の底面から金属層が露出するようにした後、非貫通孔に金属めっきを充填することによって、電磁シールド層としてのシールドビアを凹部の側面の外側に形成してなる半導体收容用基板を形成してもよい。

さらに他の実施形態としては、一方の表面に半導体素子收容用凹部の底面のサイズよりも大きなサイズの金属層が形成された第一絶縁性樹脂基材と、その第一絶縁性樹脂基材の金属層が形成された側の表面に第二絶縁性樹脂基材とを積層し、第一絶縁性樹脂基材の他方の表面に対してレーザ照射を行って、金属層に達する

半導体素子收容用凹部を形成することで、その凹部の底面から金属層が露出するようにした後、その凹部の内壁面全体にめっき、あるいはスパッタリングにより金属被覆層を形成することによって電磁シールド層を形成してなる半導体收容用基板を形成する。

このような実施形態では、第一の絶縁性樹脂基材および第二の絶縁性樹脂基材の厚さは、20～350 μ mであることが望ましい。その理由は、厚さがそのような範囲内では、層間絶縁層の絶縁性の確保および層間接続を行うビアホール形成が容易となり、電気接続性の低下を招くことが少なくなるからである。

また、それぞれの絶縁性樹脂基材としては、単層からなる樹脂基材を用いてもよいし、複数層に多層化した樹脂基材を用いてもよい。

前記半導体收容基板の凹部内に半導体素子を埋め込んで收容させた後、半導体收容用基板の片面もしくは両面に層間樹脂絶縁層を形成し、次いでその層間樹脂絶縁層に、半導体素子との電氣的接続をなすビアホールを含んだ導体回路を形成した後、更に他の層間樹脂絶縁層と導体回路とを交互に積層することによって、本発明にかかる多層プリント配線板を製造することができる。

前記半導体收容基板の凹部内に埋め込む半導体素子としては、その接続パッド上に予め柱状電極が形成された半導体素子、あるいは接続パッドを被覆する仲介層が形成された半導体素子のいずれでも用いることができ、これらの半導体素子は、柱状電極あるいは仲介層を介して層間樹脂絶縁層に設けたビアホールに電氣的に接続される。

以下、(1)柱状電極を有する半導体素子および(2)仲介層を有する半導体素子の製造方法について説明する。

(1) 柱状電極を有する半導体素子の製造方法

本発明で用いる柱状電極を有する半導体素子とは、柱状電極あるいは再配線を有する半導体素子を意味する。

図3に示すように、ウエハ状態の半導体素子1(シリコン基板)上にアルミニウムなどからなる接続パッド2を形成し、その上面において接続パッド2の中央部を除く部分に保護膜3(パッシベーション膜)を形成したものを用意する。この状態では、接続パッド2の表面は、保護膜3に被覆されていない中央部におい

て露出している。

次に、半導体素子1の上面全体に下地金属層4を形成する。下地金属層としては、クロム、銅、ニッケルなどを用いることができる。

次いで、下地金属層4の上面に液状レジストからなるメッキレジスト層を形成し、メッキレジスト層の半導体素子の接続パッドに対応する部分に開口部を形成する。

次いで、下地金属層4をメッキ電流路として電解メッキを行うことにより、メッキレジスト層の開口部内の下地金属層の上面に柱状電極5を形成する。その後、メッキレジスト層を剥離し、さらに、柱状電極5をマスクとして下地金属層の不要な部分をエッチングして除去すると、柱状電極下にのみ下地金属層4が残存される。

さらに、半導体素子1の上面側にエポキシ樹脂やポリイミド等からなる封止膜6を形成する。この状態において、柱状電極5の上面が封止膜6によって覆われた場合には、表面を適宜に研磨することにより、柱状電極5の上面を露出させる。次に、ダイシング工程を経ると、個々の半導体チップ（柱状電極を有する半導体素子）が得られる。

（2）仲介層を有する半導体素子の製造方法

本発明において用いられる仲介層とは、半導体素子のパッド上に設けられるビアホールとの電気的な接続を行うための介在層を意味する。

図4に示すように、内蔵する半導体素子10の全面に蒸着、スパッタリングなどを行い、全面に導電性の金属層12（第1薄膜層）を形成させる。その金属としては、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅などがよい。厚みとしては、0.001～2.0 μ mの間で形成させるのがよい。その理由は、金属層の厚みがそのような範囲内であれば、全面に均一な膜厚の金属層を形成することが容易となり、膜厚のバラツキが少なくなるからである。

上記第1薄膜層12により、接続パッド14が被覆され、仲介層20と半導体素子の接続パッド14の界面の密着性を高めることができる。また、これらの金属で半導体素子10の接続パッド14を被覆することで、界面への湿分の侵入を防ぎ、パッドの溶解、腐食を防止し、信頼性を低下させにくくすることができる。

第1薄膜層12の金属としては、クロム、ニッケル、チタンのいずれかの金属を用いることが望ましい。その理由は、接続パッド14と金属層12との密着性がよく、また、界面への湿分の侵入を防止しやすいからである。

第1薄膜層12上に、スパッタ、蒸着、または無電解めっきにより第2薄膜層17を形成させる。その金属としてはニッケル、銅、金、銀などがある。電気特性、経済性、あるいは後工程で形成される厚付け層が主として銅から形成されることから、第2薄膜層17も銅を用いて形成することが望ましい。

ここで第2薄膜層17を設ける理由は、第1薄膜層12だけでは、後述する厚付け層を形成するための電解めっき用のリードを取ることが難しいためである。第2薄膜層17は、厚付けのリードとして用いられる。

第2薄膜層17の厚みは、0.01~5.0 μ mの範囲が望ましい。その理由は、厚さがそのような範囲内では、リードとしての役割を果たすことができるとともに、エッチングの際、下層の第1薄膜層がより多く削れて隙間ができるということが少なくなるので、湿分が侵入し難くなり、信頼性の低下を招くことがないからである。

前記第2薄膜層17上に、無電解あるいは電解めっきにより厚付けさせる。形成される金属の種類としてはニッケル、銅、金、銀、亜鉛、鉄などがある。電気特性、経済性、仲介層としての強度や構造上の耐性、あるいは後工程で形成されるビルドアップ配線層の導体層は主として銅から形成されることから、電解銅めっきにより形成することが望ましい。

厚付け電解銅めっき層18の厚みは、1~20 μ mの範囲が望ましい。その理由は、厚さがそのような範囲内では、上層のビアホールとの接続信頼性が低下することが少なくなるからである。また、エッチングの際にアンダーカットが生じることが少なくなり、形成される仲介層とビアホールの界面に隙間が発生することが少なくなる。

その後、エッチングレジストを形成して、露光、現像して仲介層以外の部分の金属を露出させてエッチングを行い、半導体素子のパッド上に第1薄膜層12、第2薄膜層17、厚付け層18からなる仲介層20を形成させる。

上記仲介層の製造方法以外にも、基板の凹部内に半導体素子を内蔵した後、仲

介層を形成してもよいし、半導体素子およびコア基板の上に形成した金属膜上にドライフィルムレジストを形成して仲介層に該当する部分を除去させて、電解めっきによって厚付けした後、レジストを剥離してエッチング液によって、同様に半導体素子のダイパッド上に仲介層を形成させることもできる。

次に、本発明にかかる多層プリント配線板を製造する方法の一例について、具体的に説明する。

A. 半導体素子收容用基板の作製

本発明にかかる多層プリント配線板を製造するに当たって、それを構成する半導体素子收容用基板としては、絶縁性樹脂基材の片面もしくは両面に銅箔が貼付けられてなる第一の絶縁性樹脂基材と第二の絶縁性樹脂基材とを積層した形態のものを用いる。

(1) 前記第一絶縁性樹脂基材は、例えば、両面銅張積層板から形成することができ、このような両面銅張積層板の一方の表面にレーザ照射を行って、一方の銅箔および樹脂絶縁層を貫通して他方の銅箔の裏面に達するビアホール形成用開口およびシールドビア形成用開口を形成する。

このとき、シールドビア形成用開口は、後述するような半導体素子收容用凹部の形成領域の外側に形成され、隣接する開口どうしが連結した形態に形成される。

前記レーザ照射は、パルス発振型炭酸ガスレーザ加工装置を用いて行われ、その加工条件は、パルスエネルギーが0.5~100mJ、パルス幅が1~100μs、パルス間隔が0.5ms以上、周波数2000~3000Hz、ショット数が1~5の範囲内であることが望ましい。

このような加工条件のもとで形成され得る開口径は、20~250μmであることが望ましい。その理由は、口径がそのような範囲内では、ビアホール形成が技術的に容易になり、電気接続性の低下を招くことが少なくなるからである。また、めっきによる充填が容易になるので、電気接続性の低下を招くことが少なくなり、配線の高密度化が容易になるからである。口径が20μm未満では、ビアホール形成が技術的に困難になることがあり、電気接続性が確保しにくくなることがある。一方、口径が250μmを超えると、めっきでの充填性に難があることがあり、電気接続性が確保されないことがあるし、配線の高密度化を阻害する

こともあるからである。

なお、レーザ照射によって銅張積層板にビアホール形成用開口およびシールドビア形成用開口を形成させるには、銅箔と絶縁性樹脂基材とに同時に開口を形成するようなレーザ照射を行うダイレクトレーザ法と、ビアホール形成用開口に該当する銅箔部分をエッチングにより予め除去した後に、絶縁性樹脂基材にビーム照射を行うコンフォーマル法があり、そのどちらを用いてもよい。

(2) 前記工程で形成された開口内に残留する樹脂残滓を除去するために、デスマリア処理を行うことが望ましい。

このデスマリア処理は、酸あるいは酸化剤（例えば、クロム酸、過マンガン酸）の薬液処理等の湿式処理や、酸素プラズマ放電処理、コロナ放電処理、紫外線レーザ処理またはエキシマレーザ処理等の乾式処理によって行われる。

これらのデスマリア処理を選択する方法は、絶縁性樹脂基材の種類や、厚み、開口径、レーザ条件等により残留が予想されるスミア量に応じて選ばれる。

(3) 前記デスマリア処理した基板のビアホール形成用開口および側面金属層であるシールドビア形成用開口に対して、銅箔をめっきリードとする電解銅めっき処理を施して、ビアホール形成用開口およびシールドビア形成用開口内に電解銅めっきを完全に充填して、ビアホール（フィルドビア）およびシールドビアが形成される。

なお、場合によっては電解銅めっき処理の後、基板の開口上部に盛り上がった電解銅めっきを、ベルトサンダー研磨、パフ研磨、エッチング等によって除去して平坦化してもよい。

(4) 前記第一の絶縁性樹脂基材の両面にレジスト層を形成し、露光・現像工程を経て、レジスト非形成部分に対して、塩化第二銅などからなるエッチング液により、エッチング処理を行う。その後、レジストを剥離することにより、第一の絶縁性樹脂基材の一方の表面には、ビアホールランドを含んだ導体回路、位置合わせ用の位置決めマーク等が形成され、他方の表面には、半導体素子に関連したサイズを有する金属層、ビアホールランドを含んだ導体回路、位置合わせ用の位置決めマーク等が形成される。

なお、複数のシールドビアは互いに連結された形態に形成され、それらの一端

は、第一の絶縁性樹脂基材の一方の表面に露出しており、他方は金属層表面に接続されて、電磁シールド層を形成している。

(5) 前記第一の絶縁性樹脂基材の金属層が形成された側の表面に第二の絶縁性樹脂基材を積層する。

例えば、接着剤層であるプリプレグに銅箔を重ね合わせたものから第二の絶縁性樹脂基材を形成し、それを第一の絶縁性樹脂基材の片面に熱圧着により積層してなる積層体を形成する。

(6) 前記積層体を構成する第一絶縁性樹脂基材の金属層を設けた面に、前記(1)と同様にレーザー照射を行って、第二絶縁性樹脂基材の銅箔表面を貫通すると共に樹脂層を通過して、第一絶縁性樹脂基材に形成したビアホールランドを含んだ導体回路に達するビアホール形成用の開口を形成する。

このビアホール形成用開口の加工条件は、パルスエネルギーが0.5~100 mJ、パルス幅が1~100 μ s、パルス間隔が0.5ms以上、周波数2000~3000 Hz、ショット数が1~10の範囲内であることが望ましい。

また、前記加工条件のもとで形成され得るビアホール形成用開口の口径は、20~250 μ mであることが望ましい。その理由は、口径がそのような範囲内では、ビアホール形成が技術的に容易になり、電気接続性の低下を招くことが少なくなるからである。また、めっきによる充填が容易になるので、電気接続性の低下を招くことが少なくなり、配線の高密度化が容易になるからである。

(7) 前記(6)の工程で形成されたビアホール形成用開口内に残留する樹脂残滓を除去するために、前記(2)と同様にデスマリア処理を行う。

(8) 次に、前記第一絶縁性樹脂基材の表面を保護フィルムにより被覆した状態で、前記デスマリア処理した基板の銅箔面に対して、その銅箔をめっきリードとする電解銅めっき処理を施して、開口内に電解銅めっきを完全に充填し、フィルドビアを形成する。

なお、場合によっては電解銅めっき処理の後、基板のビアホール形成用開口の上部に盛り上がった電解銅めっきを、ベルトサンダー研磨、パフ研磨、エッチング等によって除去して平坦化してもよい。

また、無電解めっきを経て、電解めっきを形成してもよい。この場合には、無

電解めっき膜は、銅、ニッケル、銀等の金属を用いてもよい。

(9) 前記電解銅めっき膜上に、レジスト層を形成する。レジスト層は、塗布でも予めフィルム状にしたものを貼り付けるいずれの方法でもよい。このレジスト上に予め回路が描画されたマスクを載置して、露光、現像処理してエッチングレジスト層を形成し、エッチングレジスト非形成部分の金属層をエッチングして、ビアホールランドを含んだ導体回路を形成し、その後、前記(8)の工程で貼付した保護フィルムを剥離させる。

このエッチング液としては、硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも1種の水溶液が望ましい。

前記銅箔をエッチングして導体回路を形成する前処理として、ファインパターンを形成しやすくするため、あらかじめ、銅箔の表面全面をエッチングして厚さを調整してもよい。

前記導体回路の一部としてのビアホールランドは、その内径がビアホール口径とほぼ同様であるか、その外径をビアホール径よりも大きく形成し、ランド径を50~350 μ mの範囲に形成することが好ましい。その理由は、その理由は、ランド径がそのような範囲内では、ビアホールとランドの接続が阻害されることが少なくなるとともに、高密度化を阻害することも少なくなるからである。

(10) 次いで、第一絶縁性樹脂基材の金属層を設けた面と反対側の表面領域(半導体素子收容領域)に、例えば、レーザ加工によって樹脂層を貫通して金属層表面に達する開口を形成し、その開口から金属層表面が露出するような凹部を形成して、半導体素子收容用基板とする。必要に応じて、レジスト形成工程、エッチング処理工程を経て、金属層が露出されるような凹部を形成することもできる。

例えば、前記第一絶縁性樹脂基材と第二絶縁性樹脂基材との積層体に、パルス発振型炭酸ガスレーザ加工装置を用いたレーザ照射によって、第一絶縁性樹脂基材の表面から樹脂層を貫通して金属層表面に達する開口を形成して半導体素子を收容または内蔵させる凹部を形成する。

前記半導体素子を收容する凹部の加工条件は、パルスエネルギーが0.5~100mJ、パルス幅が1~100 μ s、パルス間隔が0.5ms以上、周波数2000~3000Hz、ショット数が1~10の範囲内であることが望ましい。

このようなレーザ加工により、半導体素子を内蔵させる凹部が形成され、該凹部の底面には、金属層（この場合は、銅箔を指す。）が露出される。

B. 半導体素子の收容、埋め込み

(11) 前記A. の(1)～(10)の工程により得られた半導体素子收容用基板に、半導体素子を埋め込む。

この埋め込まれる半導体素子としては、前述したように、接続パッド上に予め柱状電極が形成された半導体素子、あるいは接続パッドを被覆する仲介層が形成された半導体素子のいずれをも用いることができるが、ここでは後者を用いる場合について説明する。

この仲介層は、半導体素子のパッドとプリント配線板のビアホールを含む導体回路とを直接的に接続させるために設けられた仲介層であり、ダイパッド上に、薄膜層を設け、その薄膜層上にさらに厚付け層を設けることによって形成され、少なくとも2層以上の金属層で形成することが好ましい。

また、この仲介層は、半導体素子のダイパッドよりも大きなサイズに形成されることが好ましい。そのようなサイズにすることによって、ダイパッドとの位置合わせが容易となり、その結果、ダイパッドとの電氣的接続性が向上すると共に、ダイパッドにダメージを与えることなくレーザ照射やフォトリソによるビアホール加工が可能となる。そのため、半導体素子のプリント配線板への埋め込み、收容、收容や電氣的な接続を確実に行うことができる。

また、仲介層上には、直接、プリント配線板の導体回路をなす金属層を形成することが可能となる。

また、仲介層は、前述したような製造方法以外にも、半導体素子の接続パッド側の全表面または半導体素子を埋め込んだ半導体素子收容用基板上に形成した金属膜上に、ドライフィルムからなるレジストを形成し、仲介層に該当する部分を除去させた後、電解めっきによって厚付けし、その後、レジストを剥離してエッチング液によって、同様に半導体素子の接続パッド上に仲介層を形成させることもできる。

(12) 半導体素子を收容、内蔵した基板上に、絶縁樹脂層を設けた後、前記A.

の(1)～(4)と同様の処理を行うことにより、内蔵された半導体素子の接続パッド上に形成した仲介層に電氣的に接続されるビアホール、半導体素子收容用基板に形成されたビアホールを含む導体回路に電氣的に接続されるビアホール、および外側の導体回路を形成することができる。さらに、絶縁樹脂層と銅箔を積層させ、前記A.の(1)～(4)と同様の処理を繰り返し行うことにより、更に多層化したプリント配線板を得ることができる。

前述の方法は、絶縁樹脂層の積層を逐次積層することにより絶縁樹脂層の多層化を行ったが、必要に応じて、絶縁樹脂層が1単位の回路基板を2層以上に積層し、一括で加熱圧着することによって、絶縁樹脂層の多層化を行うような多層プリント配線板としてもよい。

(13) 次に、最も外側の回路基板の表面にソルダーレジスト層をそれぞれ形成する。この場合、回路基板の外表面全体にソルダーレジスト組成物を塗布し、その塗膜を乾燥した後、この塗膜に、半田パッドの開口部を描画したフォトマスクフィルムを載置して露光、現像処理することにより、導体回路のビアホール直上に位置する導電性パッド部分を露出させた半田パッド開口をそれぞれ形成する。この場合、ソルダーレジスト層をドライフィルム化したものを貼り付けて、露光・現像もしくはレーザー加工により開口を形成させてもよい。

前記マスク層の非形成部から露出した半田パッド上に、ニッケル-金などの耐食層を形成する。このとき、ニッケル層の厚みは、1～7 μm が望ましく、金層の厚みは0.01～0.1 μm が望ましい。

これ以外にも、ニッケル-パラジウム-金、金(単層)、銀(単層)等を形成してもよい。耐食層を形成した後に、マスク層を剥離する。これにより、耐食層を形成された半田パッドと耐食層が形成されていない半田パッドとが混在するプリント配線板となる。

(14) 前記(13)の工程で得られたソルダーレジストの開口からビアホール直上に露出した半田パッド部分に、半田体を供給し、この半田体の溶融・固化によって半田バンプを形成し、あるいは導電性ボールまたは導電性ピンを導電性接着剤もしくは半田層を用いてパッド部に接合して、多層回路基板が形成される。

前記半田体および半田層の供給方法としては、半田転写法や印刷法を用いるこ

とができる。

ここで、半田転写法は、プリプレグに半田箔を貼合し、この半田箔を開口部分に相当する箇所のみを残してエッチングすることにより、半田パターンを形成して半田キャリアフィルムとし、この半田キャリアフィルムを、基板のソルダーレジスト開口部分にフラックスを塗布した後、半田パターンがパッドに接触するように積層し、これを加熱して転写する方法である。

一方、印刷法は、パッドに相当する箇所に開口を設けた印刷マスク（メタルマスク）を基板に載置し、半田ペーストを印刷して加熱処理する方法である。このような半田バンプを形成する半田としては、Sn/Ag半田、Sn/In半田、Sn/Zn半田、Sn/Bi半田などが使用でき、それらの融点は、積層される各回路基板間を接続する導電性バンプの融点よりも低いことが望ましい。

（実施例1-1）

（1）基材の準備

まず、半導体素子收容用基板を構成するプリント基板を製作する。このプリント基板は、第一絶縁性基材30と第二絶縁性基材40からなり、それらの基材を積層して形成する。プリント基板の材質の一例としては、エポキシ系樹脂をガラスクロスに含漬させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面または両面銅張積層板を出発材料として用いる。

前記第一絶縁性基材30として、厚みが60 μm の樹脂絶縁層32の両面に、厚みが15 μm の銅箔34を貼付してなる両面銅張積層板を用いる。この積層板の銅箔32が15 μm よりも厚いものを用いて、エッチング処理により、銅箔の厚みを15 μm に調整してもよい（図5(a)参照）。

（2）ビアホールおよびシールドビア形成用開口の形成

前記第一絶縁性基材30の一方の銅箔表面に、炭酸ガスレーザ照射を行って、銅箔34および樹脂絶縁層32を貫通して他方の銅箔表面に達するビアホール形成用開口36およびシールドビア形成用開口37を形成した（図5(b)参照）。

このとき、シールドビア形成用開口37（非貫通孔）は、後述するような半導体素子收容用凹部の形成領域の外側に形成され、隣接する開口どうしが互いに直

列に連結した形態に形成される。

さらにその開口内を過マンガン酸の薬液処理によってデスマリア処理した。

この実施例においては、ビアホール形成用の開口36およびシールドビア形成用開口37の形成には、日立ビア社製の高ピーク短パルス発振型炭酸ガスレーザー加工機を使用し、基材厚60 μ mのガラス布エポキシ樹脂基材に、銅箔にダイレクトに、以下のような照射条件で、レーザービームを照射して100穴/秒のスピードで、直径75 μ mのビアホール形成用開口36およびシールドビア形成用開口37を形成した。

(照射条件)

パルスエネルギー：0.5~100mJ

パルス幅：1~100 μ s

パルス間隔：0.7ms

周波数：2000Hz

(3) 電解銅めっき膜の形成

デスマリア処理を終えた第一絶縁性基材30のビアホール形成用開口36およびシールドビア形成用開口37を設けた銅箔面に、以下のようなめっき条件で、銅箔をめっきリードとする電解銅めっき処理を施した。

[電解めっき液]

硫酸	2.24 mol/l
硫酸銅	0.26 mol/l
添加剤A (反応促進剤)	11.0 ml/l
添加剤B (反応抑制剤)	10.0 ml/l

[電解めっき条件]

電流密度	1 A/dm ²
時間	65分
温度	22 \pm 2 $^{\circ}$ C

このようなめっき処理によって、添加剤Aにより開口内の電解銅めっき膜の形成が促進され、逆に添加剤Bにより主として銅箔部分に付着されて、めっき膜の形成を抑制される。また、開口内が電解銅めっきで充填されて、銅箔とほぼ同一

の高さになると、添加剤Bが付着されるので、銅箔部分と同様にめっき膜の形成が抑制される。これにより、開口内に完全に電解銅めっきが充填されると共に、開口から露出した電解銅めっきと銅箔とがほぼ平坦に形成された(図5(c)参照)。

また、銅箔および電解めっき膜からなる導体層をエッチングによって、厚みを調整してもよい。場合によってはサンダーベルト研磨およびバフ研磨の物理的方法によって導体層の厚みを調整してもよい。

(4) 導体回路(フィルドビアを含む)、シールドビアおよび金属層の形成

前記(3)の工程を経た第一絶縁性基材30の銅箔34および銅めっき膜上に、感光性ドライフィルムを用いてエッチングレジスト層(図示を省略)を形成した。即ち、第一絶縁性基材30の両面の銅箔面にエッチングレジスト層を形成した。そのレジスト層の厚みは、15~20 μ mの範囲であり、ランドを含む導体回路および半導体素子のサイズに関連したサイズの金属層が描画されたマスクを用いて、露光・現像を経て、銅箔上にレジスト非形成部を形成した。

次いで、レジスト非形成部に、過酸化水素水/硫酸からなるエッチング液により、エッチングを行い、非形成部に該当する銅めっき膜および銅箔を除去する。

その後、レジストをアルカリ液により剥離することによって、フィルドビア39のランドを含む導体回路41、金属層42、シールドビア47が形成される。必要に応じて、ダミーパターンや、アライメントマーク、製品認識記号等を形成することができる。

なお、この工程においては、複数のシールドビア47は、図1(a)に示されるような直列に連結された形態となり、金属層42の表面に接続されて、電磁シールド層を形成する。

これによって、第一絶縁性基材30の表面と裏面に導体回路41が形成されると共に、これらの導体回路41を電氣的に接続するフィルドビア39が形成され、さらに、半導体素子に接触する金属層42が形成され、そして金属層42の表面に接続されて電磁シールド層を構成するシールドビア47が形成されてなる回路基板が得られる。

なお、この回路基板に形成される金属層42は、第一絶縁性基材の裏面に形成され、半導体素子を収容する凹部を形成する領域に相当する回路基板表面の銅箔

部分はエッチングにより除去される（図5 (d) 参照）。

（５）第一絶縁性基材と第二絶縁性基材との積層

前記第一絶縁性基材30に積層される第二絶縁性基材40としては、厚みが60 μ mの樹脂絶縁層43の片面に、厚みが15 μ mの銅箔44が貼付されてなる片面銅張積層板を用いる。

このような第二絶縁性基材40は、銅箔が形成されていない側の表面が第一絶縁性基材30の金属層42が形成された表面に接触した状態で積層される。第一絶縁性基材30と第二絶縁性基材40の積層は、以下のような条件で両者を熱圧着することにより行われる（図5 (e) 参照）。

（圧着条件）

温度： 150～180 $^{\circ}$ C

プレス圧力： 100～200 kgf/cm²

圧着時間： 5～10分

なお、この実施例では、第一絶縁性基材30および第二絶縁性基材40を単層で形成させたが、2層以上の複数層で形成してもよい。

（６）ビアホール形成用開口の形成

前記第二絶縁性基材40の銅箔形成面に対して、炭酸ガスレーザ照射を行って、銅箔44を貫通すると共に、樹脂絶縁層43を通過して、前記第一絶縁性基材30に設けたフィールドビア39のビアランドを含む導体回路41表面に達するビアホール形成用開口46を形成した（図5 (f) 参照）。さらに、それら開口内を過マンガン酸の薬液処理によってデスマリア処理した。

この実施例において、第二絶縁性基材40にビアホール形成用の開口46を形成するには、日立ビア社製の高ピーク短パルス発振型炭酸ガスレーザ加工機を使用した。第二絶縁性基材40の基材厚60 μ mのガラス布エポキシ樹脂基材43に貼付された銅箔44にダイレクトに、以下のような照射条件で、レーザビームを照射して100穴/秒のスピードで、直径75 μ mのビアホール形成用の開口46を形成した。

（照射条件）

パルスエネルギー： 0.5～100mJ

パルス幅： 1～100 μ s
 パルス間隔： 0.7ms
 周波数： 2000Hz

(7) 電解銅めっき膜の形成

前記第一絶縁性基材30の表面を保護フィルム48を貼付して被覆した後、開口内のデスミア処理を終えた第二絶縁性基材40の銅箔面に、以下のような組成の電解めっき液溶液を用いて、銅箔をめっきリードとする電解銅めっき処理を施した。

[電解めっき液]

硫酸	2.24 mol/l
硫酸銅	0.26 mol/l
添加剤A (反応促進剤)	11.0 ml/l
添加剤B (反応抑制剤)	10.0 ml/l

[電解めっき条件]

電流密度	1 A/dm ²
時間	65分
温度	22 \pm 2 $^{\circ}$ C

このようなめっき処理においては、添加剤Aにより開口内の電解銅めっき膜の形成が促進され、逆に添加剤Bにより主として銅箔部分に付着されて、めっき膜の形成を抑制される。また、開口内が電解銅めっきで充填されて、銅箔とほぼ同一の高さになると、添加剤Bが付着されるので、銅箔部分と同様にめっき膜の形成が抑制される。これにより、開口内に完全に電解銅めっきが充填されると共に、開口から露出した電解銅めっきと銅箔とがほぼ平坦に形成された。

また、銅箔、電解めっき膜からなる導体層をエッチングによって、厚みを調整してもよい。場合によってはサンダーベルト研磨およびバフ研磨の物理的方法によって導体層の厚みを調整してもよい。

(8) 導体回路およびフィールドビアの形成

前記(7)の工程を経た第二絶縁性基材40の銅箔44および銅めっき上に、感光性ドライフィルムを用いてエッチングレジスト層(図示を省略)を形成した。

このレジスト層の厚みは、15～20 μm の範囲であり、フィールドビアのランドを含む導体回路が描画されたマスクを用いて、露光・現像を経て、銅箔上にレジスト非形成部を形成した。

次いで、レジスト非形成部に、過酸化水素水／硫酸からなるエッチング液により、エッチングを行い、非形成部に該当する銅めっき膜および銅箔を除去する。

その後、レジストをアルカリ液により剥離し、さらに、前記(7)の工程にて第一絶縁性基材30の表面に貼付した保護フィルム48を剥離させることにより、第二絶縁性基材40の片面に導体回路50が形成されると共に、これらの導体回路を第一絶縁性基材30に設けたフィールドビア39のランド41に電氣的に接続するフィールドビア52が形成される(図5(g)参照)。必要に応じて、ダミーパターンや、アライメントマーク、製品認識記号等を形成することもできる。

(9) 半導体素子收容用凹部の形成

前記(4)の工程で、エッチングによって銅箔部分が除去されている樹脂部分に、炭酸ガスレーザー照射を行って、樹脂層を貫通して金属層表面に達する開口を形成し、その開口内に金属層が露出するようにして、その開口の側面と金属層表面(底面)によって半導体素子55を内蔵するための凹部54が形成される(図6(a)参照)。

この実施例において、第一絶縁性基材30に半導体素子收容用の凹部54を形成するには、日立ビア社製の高ピーク短パルス発振型炭酸ガスレーザー加工機を使用した。第一絶縁性基材表面の銅箔が除去された領域に対して、基材厚60 μm のガラス布エポキシ樹脂基材に、以下のような照射条件でレーザービームを照射して、收容すべき半導体素子のサイズよりも僅かに大きなサイズで、深さが約100 μm であるような半導体素子收容用の凹部54を形成した。

(照射条件)

パルスエネルギー：	0.5～100mJ
パルス幅：	1～100 μs
パルス間隔：	0.7ms
周波数：	2000Hz

なお、レーザー加工により形成された半導体素子收容用の凹部54は、その底面

に金属層42が露出された状態となり、凹部54の深さはほぼ均一であり、四隅の形状も円弧状になっていなかった。

(10) 柱状電極を有する半導体素子の収容

前記(1)～(9)の工程に従って作製された半導体素子収容用基板の凹部54に収容、内蔵させる半導体素子55としては、以下の(a)～(d)の工程により作製した柱状電極を有する半導体素子を用いた。

(a) シリコン基板の準備

ウエハ状態のシリコン基板(半導体基板)上に接続パッドが形成され、その上面において接続パッドの中央部を除く部分に保護膜(パッシベーション膜)が形成され、接続パッドの中央部が保護膜に形成された開口部を介して露出されたものを用意する。

(b) 下地金属層の形成

シリコン基板の上面全体に、スパッタリングにより、厚みが2 μ mの銅からなる下地金属層を形成する。

(c) 柱状電極の形成

次に、下地金属層の上面にアクリル系樹脂等の感光性樹脂からなるドライフィルムレジストをラミネートして、厚みが110 μ mのメッキレジスト層を形成する。形成すべき柱状電極の高さを100 μ m程度に設定した。

次いで、メッキレジスト層のパッドに対応する部分に開口を描画したマスクを用いて、露光・現像を経て、レジストに開口部が形成する。

さらに、下地金属層をメッキ電流路として電解銅めっきを行うことにより、メッキレジスト層の開口部内の下地銅層の上面に銅からなる柱状電極を形成する。

最後に、メッキレジスト層を剥離し、柱状電極をマスクとして下地金属層の不要な部分をエッチングして除去すると、柱状電極下にのみ下地金属層が残存される。

(d) 封止膜の形成

前記(c)で得られたシリコン基板の上面側にエポキシ樹脂やポリイミド等からなる絶縁樹脂である封止膜を形成する。この状態において、柱状電極の上面が封止膜によって覆われた場合には、表面を適宜に研磨することにより、柱状電極の

上面を露出させる。

次に、ダイシング工程により、個々の半導体チップ（半導体装置）が得られる。このとき、柱状電極を有する半導体素子の厚みは $100\mu\text{m}$ に形成した。

前記(a)～(d)の工程によって作製した半導体素子55の下面側に、熱硬化型の接着剤、その一例として、エポキシ樹脂の一部をアクリル化した熱硬化型樹脂からなる接着剤を施して、厚みが $30\sim 50\mu\text{m}$ の接着剤層56を形成した。

その後、半導体素子收容用基板の凹部54に收容した後、 $100\sim 200$ 度の間で熱処理を行い、接着剤層56を硬化させた。これにより、半導体素子55が内蔵された基板60が得られた（図6(b)参照）。

このとき、半導体素子の柱状電極58の先端と基板の上面とはほぼ同一面上となった。即ち、半導体素子55には傾きはなかった。

(11) 積層工程

前記(10)で得られた基板60上にプリプレグなどの接着材層62を挟み、この上に厚みが $60\mu\text{m}$ の樹脂絶縁層64の片面に、厚みが $15\mu\text{m}$ の銅箔66が貼付されてなる片面銅張積層板を積層し（図6(c)参照）、以下のような条件で、矢印方向に加熱プレスを行って多層化した（図6(d)参照）。

(プレス条件)

温度： $80\sim 250^{\circ}\text{C}$

圧力： $1.0\sim 5.0\text{kgf}/\text{cm}^2$

プレス時間： $10\sim 60$ 分

(12) ビアホール形成用開口の形成

前記(6)の工程と同様にして、銅箔66を貫通すると共に、樹脂絶縁層64を通過して、半導体素子收容用基板をなす第一絶縁性基材に形成されたビアランドを含む導体回路41、および半導体素子上のパッド上に設けた柱状電極58にそれぞれ達するビアホール形成用開口70、および72を形成した（図7(a)参照）。この際のレーザ照射条件は、前記(6)の工程と同じであった。さらに、それら開口内を過マンガン酸の薬液処理によってデスマリア処理した。

(13) 電解銅めっき膜の形成

開口内のデスマリア処理を終えた銅箔面に、以下のような組成の電解銅めっき溶

液を用いて、銅箔をめっきリードとする電解銅めっき処理を施した。

〔電解めっき液〕

硫酸	2.24 mol/l
硫酸銅	0.26 mol/l
添加剤A（反応促進剤）	10.0 ml/l
添加剤B（反応抑制剤）	10.0 ml/l

〔電解めっき条件〕

電流密度	1 A/dm ²
時間	65分
温度	22±2℃

このようなめっき処理においては、添加剤Aにより開口内の電解銅めっき膜の形成が促進され、逆に添加剤Bにより主として銅箔部分に付着されて、めっき膜の形成を抑制される。また、開口内が電解銅めっきで充填されて、銅箔とほぼ同一の高さになると、添加剤Bが付着されるので、銅箔部分と同様にめっき膜の形成が抑制される。これにより、開口内に完全に電解銅めっきが充填されると共に、開口から露出した電解銅めっきと銅箔とがほぼ平坦に形成された。

また、銅箔、電解めっき膜からなる導体層をエッチングによって、厚みを調整してもよい。場合によってはサンダーベルト研磨およびバフ研磨の物理的方法によって導体層の厚みを調整してもよい。

これにより、開口内に電解銅めっきを完全に充填して、導体回路を接続されるビアホールと半導体素子のホストと接続されるビアホールが形成される。

(14) 導体回路の形成

前記(13)の工程を経た銅箔および銅めっき上に、感光性ドライフィルムを用いてエッチングレジスト層を形成した。このレジスト層の厚みは、15～20μmの範囲であり、フィールドビアのランドを含む導体回路が描画されたマスクを用いて、露光・現像を経て、銅箔上にレジスト非形成部を形成した。

次いで、レジスト非形成部に、過酸化水素水/硫酸からなるエッチング液により、エッチングを行い、非形成部に該当する銅めっき膜および銅箔を除去する。

その後、レジストをアルカリ液により剥離することによって、半導体素子収容

用基板を被覆して設けた樹脂絶縁層64上に導体回路74が形成されると共に、この導体回路74を半導体素子内蔵基板60に設けたフィールドビアのランド41に電氣的に接続するフィールドビア76や、半導体素子55のパッド上に設けた柱状電極58に電氣的に接続されるフィールドビア78がそれぞれ形成される。なお、必要に応じて、ダミーパターンや、アライメントマーク、製品認識記号等を形成することもできる。

さらに、必要に応じて、前記(11)～(14)の工程を繰り返すことによつて、より多層化したプリント配線板を得ることができる。

なお、このような積層化において、ビアホールの向きが同一方向になるように積層してもよいし、逆方向となるように積層してもよい。また、これら以外の組み合わせにより多層化してもよい。

(15) ソルダーレジスト層の形成

前記(1)～(14)の工程により得られた多層化基板の最上層および最下層に位置する回路基板の表面に、ソルダーレジスト層80を形成した。フィルム化されたソルダーレジストを貼り付ける、もしくは予め粘度を調整されたワニスにより塗布することにより基板上に、ソルダーレジスト層80を20～30 μm の厚さで形成する。

次いで、70 $^{\circ}\text{C}$ で20分間、100 $^{\circ}\text{C}$ で30分間の乾燥処理を行った後、クロム層によってソルダーレジスト開口部の円パターン(マスクパターン)が描画された厚さ5mmのソーダライムガラス基板を、クロム層が形成された側をソルダーレジスト層に密着させて1000 mJ/cm^2 の紫外線で露光し、DMTG 現像処理した。さらに、120 $^{\circ}\text{C}$ で1時間、150 $^{\circ}\text{C}$ で3時間の条件で加熱処理し、パッド部分に対応した開口82を有する(開口径200 μm)ソルダーレジスト層80(厚み20 μm)を形成する。

なお、多層化基板の最上層および最下層に位置する回路基板の表面に、ソルダーレジスト層を形成する前に、必要に応じて、粗化層を設けることもできる。

この場合には、ソルダーレジスト層上に感光性樹脂からなるドライフィルム状となったマスク層を形成する。フィルム化されたマスク層を貼り付ける、もしくは予め粘度を調整されたワニスにより塗布することによりソルダーレジスト層上

に、マスク層を10~20 μm の厚さで形成した。

次いで、80 $^{\circ}\text{C}$ で30分間の乾燥処理を行った後、クロム層によってマスク層の形成パターン（マスクパターン）が描画された厚さ5mmのソーダライムガラス基板を、クロム層が形成された側をソルダーレジスト層に密着させて800mJ/cm²の紫外線で露光し、DMTG 現像処理した。さらに、120 $^{\circ}\text{C}$ で1時間の条件で加熱処理して、ソルダーレジスト層を（厚み20 μm ）を形成した。

（16）耐食層の形成

次に、ソルダーレジスト層80を形成した基板を、塩化ニッケル30g/l、次亜リン酸ナトリウム10g/l、クエン酸ナトリウム10g/lからなるpH=5の無電解ニッケルめっき液に20分間浸漬して、開口部に厚さ5 μm のニッケルめっき層を形成した。

さらに、その基板を、シアン化金カリウム2g/l、塩化アンモニウム75g/l、クエン酸ナトリウム50g/l、次亜リン酸ナトリウム10g/lからなる無電解金めっき液に93 $^{\circ}\text{C}$ の条件で23秒間浸漬して、ニッケルめっき層上に厚さ0.03 μm の金めっき層を形成し、ニッケルめっき層と金めっき層とからなる被覆金属層（図示を省略）を形成した。

（17）半田層の形成

そして、最上層の多層回路基板を覆うソルダーレジスト層80の開口82から露出する半田パッドに対して、融点が約183 $^{\circ}\text{C}$ のSn/Pb半田もしくはSn/Ag/Cuからなる半田ペーストを印刷し、183 $^{\circ}\text{C}$ でリフローすることにより、半田層84を形成した。

（実施例1-2）

以下の(a)~(c)の工程で作製した、仲介層を有する半導体素子55を半導体素子收容用基板の凹部42に埋め込んだ以外は、実施例1-1と同様の処理を行って、多層プリント配線板を製造した。

(a) 接続パッドおよび配線パターンの上に保護膜が形成された半導体素子上にスパッタリングによって、全面に亘って、厚みが0.1 μm のクロム薄膜と、その上に厚みが0.5 μm の銅薄膜層の2層を真空チャンバー内で連続して形成させる。

(b)その後、ドライフィルムを用いたレジスト層を薄膜層上に形成させる。仲介層を形成する部分が描画されたマスクを該レジスト層上に、載置して、露光、現像を経て、レジスト非形成部を形成させる。電解銅めっきを施してレジスト非形成部に、厚みが $9\mu\text{m}$ の厚付け層（電解銅めっき膜）を設ける。

(c)メッキレジストをアルカリ溶液等で除去した後、メッキレジスト下の金属膜をエッチング液によって除去することで、半導体素子のパッド上に仲介層を形成する。

これにより、縦 5mm ×横 5mm 、厚さが $100\mu\text{m}$ である半導体素子が得られた。

（実施例1-3）

シールドビアを、図1(c)に示すようなジグザグ配列（千鳥配列）に形成した以外は、実施例1-1と同様の処理を行って、多層プリント配線板を製造した。

（実施例1-4）

シールドビアを、図1(c)に示すようなジグザグ配列（千鳥配列）に形成し、仲介層を有する半導体素子55を半導体素子收容用基板の凹部42に埋め込んだ以外は、実施例1-1と同様の処理を行って、多層プリント配線板を製造した。

（実施例2-1）

実施例1-1の前記(9)の工程において、以下のようなレーザ照射条件によって、半導体素子收容用の凹部の側面に 85 度のテーパを形成した以外は、実施例1-1と同様の処理を行って、多層プリント配線板を製造した。

（照射条件）

パルスエネルギー： 95mJ

パルス幅： $90\mu\text{s}$

パルス間隔： 0.7ms

周波数： 2000Hz

（実施例2-2）

実施例1-1の前記(9)の工程において、以下のようなレーザ照射条件によって、半導体素子收容用の凹部の側面に 85 度のテーパを形成し、仲介層を有する半導体素子55を半導体素子收容用基板の凹部42に埋め込んだ以外は、実施

例 1-1 と同様の処理を行って、多層プリント配線板を製造した。

(照射条件)

パルスエネルギー： 80 mJ
パルス幅： 100 μ s
パルス間隔： 0.7 ms
周波数： 2000 Hz

(実施例 2-3)

シールドビアを、図 1 (c) に示すようなジグザグ配列 (千鳥配列) に形成した以外は、実施例 2-1 と同様の処理を行って、多層プリント配線板を製造した。

(実施例 2-4)

シールドビアを、図 1 (c) に示すようなジグザグ配列 (千鳥配列) に形成し、仲介層を有する半導体素子 55 を半導体素子收容用基板の凹部 42 に埋め込んだ以外は、実施例 2-1 と同様の処理を行って、多層プリント配線板を製造した。

(実施例 3-1)

(1) シールドビアを形成しないこと以外は、実施例 1-1 の (1) ~ (9) の工程と同様の処理を行って、第一絶縁性基材 30 に半導体素子收容用の凹部 54 が形成された基板を作製した (図 8 (a) ~ 図 9 (a) 参照)。

(2) 前記基板の両面に対して、厚さ 15 μ m のドライフィルムレジストをラミネートしてレジスト層 49 を形成し、第一絶縁性基材 30 に設けた凹部 54 およびその開口周縁部が露出されたレジスト非形成部を形成した。

(3) 前記レジスト非形成部の表面に、パラジウム触媒を付与することにより、凹部 54 の内壁面およびその開口周縁部の表面に触媒核を付着させた。

(4) 次に、前記工程にて触媒を付与した基板を、以下のような組成の無電解銅めっき水溶液中に浸漬して、凹部 54 の内壁面およびその開口周縁部の表面に、厚さ 0.5 ~ 3.0 μ m の無電解銅めっき膜 57 a を形成した。

(無電解銅めっき液)

硫酸銅： 0.03 mol / l
EDTA： 0.200 mol / l
HCHO： 0.18 g / l

NaOH : 0.100 mol/L

α 、 α' -ピピリジル : 100 mg/l

ポリエチレングリコール : 0.10 g/l

(めっき条件)

34°Cの液温で40分

(5) 次に、以下のような組成の電解銅めっき水溶液およびめっき条件にて電解銅めっきを施し、レジスト非形成部に、電解銅めっき膜57bを形成した。

(電解銅めっき液)

硫酸 : 2.24 mol/l

硫酸銅 : 0.26 mol/l

添加剤 : 19.5 ml/l

(アテックジャパン社製、商品名：カパラシドGL)

(電解めっき条件)

電流密度 : 1 A/dm²

時間 : 35±5分

温度 : 22±2°C

(6) その後、アルカリによってめっきレジスト49を剥離除去することによって、凹部の内壁面(底面および側面)および凹部の開口周縁部に無電解銅めっき膜57aと電解銅めっき膜57bとからなるシールド用金属層57が形成される(図9(b)参照)。

なお、凹部の底面に露出する平坦な表面を有する金属層42の表面は、無電解銅めっき膜57aにより被覆され、その無電解銅めっき膜57a上に電解銅めっき膜57bが形成されてシールド用金属層57を形成している。

(7) さらに、実施例1-1の(10)~(17)の工程と同様の処理を行って、多層プリント配線板を製造した(図9(c)~図10(d)参照)。

(実施例3-2)

仲介層を有する半導体素子55を半導体素子收容用基板の凹部42に埋め込んだ以外は、実施例3-1と同様の処理を行って、多層プリント配線板を製造した。

(実施例3-3)

シールド用金属層をニッケルにより形成し、仲介層を有する半導体素子55を半導体素子收容用基板の凹部42に埋め込んだ以外は、実施例3-1と同様の処理を行って、多層プリント配線板を製造した。

(実施例3-4)

シールド用金属層を銀により形成し、仲介層を有する半導体素子55を半導体素子收容用基板の凹部42に埋め込んだ以外は、実施例3-1と同様の処理を行って、多層プリント配線板を製造した。

(実施例4-1)

前記(9)の工程において、以下のようなレーザ照射条件によって、半導体素子收容用の凹部の側面に85度のテーパを形成した以外は、実施例3-1と同様の処理を行って、多層プリント配線板を製造した。

(実施例4-2)

前記(9)の工程において、以下のようなレーザ照射条件によって、半導体素子收容用凹部42の側面に85度のテーパを形成し、かつ仲介層を有する半導体素子55を凹部42に埋め込んだ以外は、実施例3-1と同様の処理を行って、多層プリント配線板を製造した。

(実施例4-3)

シールド用金属層をニッケルから形成し、かつ仲介層を有する半導体素子55を凹部42に埋め込んだ以外は、実施例4-1と同様の処理を行って、多層プリント配線板を製造した。

(実施例4-4)

シールド用金属層を銀から形成し、かつ仲介層を有する半導体素子55を凹部42に埋め込んだ以外は、実施例4-1と同様の処理を行って、多層プリント配線板を製造した。

(比較例1-1)

第一絶縁性樹脂基材に設ける凹部をザグリ加工によって形成し、その凹部の底面が第二絶縁性樹脂基材に達しないような形態にすること、凹部の底部に表面が平坦な金属層を形成しないこと、さらにシールドビアを形成しないこと以外は、実施例1-1と同様にして、多層プリント配線板を製造した。

(比較例 1-2)

第一絶縁性樹脂基材に設ける凹部をザグリ加工によって形成し、その凹部の底面が第二絶縁性樹脂基材に達しないような形態にすること、凹部の底部に表面が平坦な金属層を形成しないこと、さらにシールドビアを形成しないこと以外は、実施例 1-2 と同様にして、多層プリント配線板を製造した。

上記各実施例 1-1 ~ 4-4 および比較例 1-1 ~ 1-2 にしたがって製造された多層プリント配線板に対して、以下の項目 A ~ C についての評価試験を行った。各評価試験の結果は、表 1 に示す。

A. 駆動試験

半導体素子を駆動させて、1 GHz 下における信号線の波形を測定した。駆動させてから、最初の 20 分間における波形の乱れの有無を確認した。この信号線の波形が乱れることが、半導体素子で誤作動が発生していることを意味するものであり、本試験は半導体素子の誤作動を確認する試験といえる。

この試験結果は、波形の乱れの有無によって次のように評価された。

20 分間波形の乱れなし：○

15 分以降に波形の乱れを確認：△

15 分以前に波形の乱れを確認：×

B. 信頼性試験 I

以下のような試験条件での高温高湿バイアス試験を行ない、試験終了後、2 時間放置させた後に、導通試験を行って、半導体素子の誤作動の有無を評価した。

(試験条件)

温度： 85℃

湿度： 85%RH

引火電圧： 5.5V

試験時間： 500 時間、1000 時間、1500 時間

C. 信頼性試験 II

130℃/3分⇄-55℃/3分を 1 サイクルとしたサイクル試験を 2000

サイクルまで行い、1000サイクル以降200サイクル毎に、試験終了後、2時間放置させた後に、導通試験を行って、抵抗変化率（信頼性試験を行う前に測定した抵抗値を初期値として、その変化を100分率で算出した。）が20%を越えた回路の有無を測定し、20%を越えたサイクル数を比較した。

(表1)

	駆動試験	信頼性試験 I			信頼性試験 II
		500 時間	1000 時間	2000 時間	サイクル数
実施例 1-1	○	○	○	○	1600
実施例 1-2	○	○	○	○	1800
実施例 1-3	○	○	○	△	1800
実施例 1-4	○	○	○	△	1800
実施例 2-1	○	○	○	○	1800
実施例 2-2	○	○	○	○	2000
実施例 2-3	○	○	○	△	1800
実施例 2-4	○	○	○	△	2000
実施例 3-1	○	○	○	○	1800
実施例 3-2	○	○	○	○	1800
実施例 3-3	○	○	○	○	1800
実施例 3-4	○	○	○	○	1800
実施例 4-1	○	○	○	○	1800
実施例 4-2	○	○	○	○	2000
実施例 4-3	○	○	○	△	1800
実施例 4-4	○	○	○	△	1800
比較例 1-1	×	×	×	×	1000
比較例 1-2	△	△	×	×	1000

前記各評価試験の結果から、上記各実施例では、比較例と比べて、電気接続性や接続信頼性が確保されるということが確認された。

産業上の利用可能性

以上説明したように、本発明にかかる多層プリント配線板は、半導体素子を収容する凹部を基板に形成し、その凹部を囲んだ樹脂絶縁層に電磁シールド層を形成したものであり、凹部に内蔵された半導体素子を電磁波から効果的にシールドすることができるので、信号遅延や誤作動などの不具合の発生を少なくできる半導体素子実装基板に適用することができる。

請求の範囲

1. 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、前記樹脂絶縁層に設けた凹部内に内蔵され、その凹部を囲んだ樹脂絶縁層に電磁シールド層が形成されていることを特徴とする多層プリント配線板。

2. 前記凹部の底面に下部金属層が形成され、半導体素子が下部金属層上に載置されていることを特徴とする請求項1に記載の多層プリント配線板。

3. 前記電磁シールド層は、複数の非貫通孔の内壁表面が金属によって被覆された形態、複数の非貫通孔内に金属が充填された形態、複数の柱状体の形態から選ばれる少なくとも一つの形態に形成された側面金属層であることを特徴とする請求項1に記載の多層プリント配線板。

4. 前記電磁シールド層は、前記凹部の底面に位置する樹脂絶縁層に形成された下部金属層または凹部の底面の下方に位置する樹脂絶縁層に形成された下部金属層を含んでいることを特徴とする請求項1に記載の多層プリント配線板。

5. 前記電磁シールド層は、前記側面金属層と前記下部金属層とが連結されてなることを特徴とする請求項1に記載の多層プリント配線板。

6. 前記下部金属層は、前記側面金属層に連結されて、電磁シールド層として機能することを特徴とする請求項3に記載の多層プリント配線板。

7. 前記電磁シールド層は、前記凹部の内壁に形成された金属層からなることを特徴とする請求項1に記載の多層プリント配線板。

8. 前記凹部は、その側面が底面から上方に向かうにつれて末広がりとなるようなテーパを有して形成されていることを特徴とする請求項1に記載の多層プリント配線板。

9. 半導体素子が収容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に内蔵され、その凹部を囲んだ樹脂絶縁層に、複数の非貫通孔の内壁が金属で被覆された形態、複数の非貫通孔内に金属が充填された形態、複数の金属の柱状体の形態から選ばれる少なくとも一つの形態に形成された側面金属層が、電磁シールド層として形成されている多層プリント配線板。

10. 前記側面金属層は、少なくともその一部分が互いに連結されている請求項9に記載の多層プリント配線板。

11. 前記柱状体は、円柱、楕円柱、多角柱から選ばれる少なくとも一つの形状である請求項9に記載の多層プリント配線板。

12. 前記電磁シールド層は、前記凹部の底面に位置する樹脂絶縁層に形成された下部金属層、または前記凹部の底面の下方に位置する樹脂絶縁層に形成された下部金属層を含んでいることを特徴とする請求項9に記載の多層プリント配線板。

13. 前記電磁シールド層は、前記側面金属層と前記下部金属層とが連結されてなることを特徴とする請求項12に記載の多層プリント配線板。

14. 前記凹部は、その側面が底面から上方に向かうにつれて末広がりとなるようなテーパを有して形成されていることを特徴とする請求項9に記載の多層プリント配線板。

15. 半導体素子が収容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に内蔵され、半導体素子に接続されるビアホールは、導電性材料が充填されてなるフィールドビアの形態に形成され、前記凹部を囲んだ樹脂絶縁層に電磁シールド層が形成されていることを特徴とする多層プリント配線板。

16. 前記フィールドビアの表面は、ほぼ平坦である請求項15に記載の多層プリント配線板。

17. 前記電磁シールド層は、側面金属層と下部金属層とからなる請求項15に記載の多層プリント配線板。

18. 前記電磁シールドは、複数の非貫通孔の内壁表面が金属によって被覆された形態、複数の非貫通孔内に金属が充填された形態、複数の柱状体の形態から選ばれる少なくとも一つの形態に形成された側面金属層である請求項15に記載の多層プリント配線板。

19. 前記側面金属層は、少なくともその一部分が互いに連結されている請求項18に記載の多層プリント配線板。

20. 前記柱状体は、円柱、楕円柱、多角柱から選ばれる少なくとも一つの形状である請求項18に記載の多層プリント配線板。

21. 前記電磁シールド層は、前記凹部の底面に位置する下部金属層、または前記凹部の底面の下方に位置する樹脂絶縁層に形成された下部金属層を含んでいることを特徴とする請求項17に記載の多層プリント配線板。

22. 前記電磁シールド層は、前記側面金属層と前記下部金属層とが連結されてなることを特徴とする請求項17に記載の多層プリント配線板。

23. 半導体素子が收容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、前記樹脂絶縁層に設けた凹部内に内蔵され、前記他の樹脂絶縁層は繊維基材を含有し、かつ半導体素子に接続されるビアホールが形成され、前記凹部を囲んだ樹脂絶縁層に電磁シールド層が形成されていることを特徴とする多層プリント配線板。

24. 前記フィールドビアの表面は、ほぼ平坦である請求項23に記載の多層プリント配線板。

25. 前記電磁シールドは、側面金属層と下部金属層とからなる請求項23に記載の多層プリント配線板。

26. 前記電磁シールドは、複数の非貫通孔の内壁表面が金属によって被覆された形態、複数の非貫通孔内に金属が充填された形態、複数の柱状体の形態から選ばれる少なくとも一つの形態に形成された側面金属層である請求項23に記載の多層プリント配線板。

27. 前記側面金属層は、少なくともその一部分が互いに連結されている請求項26に記載の多層プリント配線板。

28. 前記柱状体は、円柱、楕円柱、多角柱から選ばれる少なくとも一つの形状である請求項26に記載の多層プリント配線板。

29. 前記電磁シールド層は、前記凹部の底面に位置する樹脂絶縁層に形成された下部金属層、または前記凹部の底面の下方に位置する樹脂絶縁層に形成された下部金属層を含んでいることを特徴とする請求項23に記載の多層プリント配線板。

30. 前記電磁シールド層は、前記側面金属層と前記下部金属層とが連結されてなることを特徴とする請求項23に記載の多層プリント配線板。

31. 半導体素子が収容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、

前記半導体素子は、樹脂絶縁層に設けた凹部内に内蔵され、その凹部を囲んだ樹脂絶縁層に電磁シールド層が形成されて、電磁シールド層として、半導体素子の下部に、下部金属層が配置され、その下部金属層は、前記凹部の底面の面積よりも大きな面積である多層プリント配線板。

32. 前記フィールドビアの表面は、ほぼ平坦である請求項31に記載の多層プリント配線板。

33. 前記下部金属層は、圧延銅箔から形成されている請求項31に記載の多層

プリント配線板。

34. 前記電磁シールド層は、側面金属層と下部金属層とからなる請求項31に記載の多層プリント配線板。

35. 前記電磁シールドは、複数の非貫通孔の内壁表面が金属によって被覆された形態、複数の非貫通孔内に金属が充填された形態、複数の柱状体の形態から選ばれる少なくとも一つの形態に形成された側面金属層である請求項31に記載の多層プリント配線板。

36. 前記側面金属層は、少なくともその一部分が互いに連結されている請求項35に記載の多層プリント配線板。

37. 前記柱状体は、円柱、楕円柱、多角柱から選ばれる少なくとも一つの形状である請求項35に記載の多層プリント配線板。

38. 前記電磁シールド層は、前記凹部の底面に位置する樹脂絶縁層に形成された下部金属層、または前記凹部の底面の下方に位置する樹脂絶縁層に形成された下部金属層を含んでいることを特徴とする請求項31に記載の多層プリント配線板。

39. 前記電磁シールド層は、前記側面金属層と前記下部金属層とが連結されてなることを特徴とする請求項34に記載の多層プリント配線板。

40. 半導体素子が收容されてなる樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板を製造するにあたって、少なくとも以下の工程、

樹脂絶縁層の一面に少なくとも導体回路と、金属層とを形成すると共に、その他面に少なくとも導体回路と、前記金属層に対向する位置に導体回路非形成領域とを形成し、さらに前記他面の導体回路と前記一面の導体回路とを電氣的に接続するビアホールおよび前記他面の導体回路非形成領域の外側において樹脂絶縁層を貫通して前記一面の金属層に達するビアホールをめっきにより形成して第一絶縁性樹脂基材を形成する工程、

樹脂絶縁層の一面に銅箔が貼付されてなる第二絶縁性樹脂基材を、その樹脂面

を前記第一絶縁性樹脂基材に圧着して一体化する工程、

前記第二絶縁性樹脂基材に導体回路を形成すると共に、その導体回路と電氣的に接続するビアホールを形成する工程、

前記第一絶縁性樹脂基材の導体回路非形成領域に、樹脂絶縁層表面から凹部を形成する工程、

半導体素子を前記凹部内に收容し、接着剤を用いて接着させる工程、

前記半導体素子を被覆して他の樹脂絶縁層を形成し、ビアホールを形成する工程、

を含んだ多層プリント配線板の製造方法。

41. 半導体素子が收容されてなる樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板を製造するにあたって、少なくとも以下の工程、

樹脂絶縁層の一面に少なくとも導体回路と、金属層とを形成すると共に、その他面に少なくとも導体回路と、前記金属層に対向する位置に導体回路非形成領域とを形成し、導体回路とを電氣的に接続するビアホールをめっきにより形成して第一絶縁性樹脂基材を形成する工程、

樹脂絶縁層の一面に銅箔が貼付されてなる第二絶縁性樹脂基材を、その樹脂面を前記第一絶縁性樹脂基材に圧着して一体化する工程、

前記第二絶縁性樹脂基材の一面に導体回路を形成すると共に、その導体回路と前記第一絶縁性樹脂基材に形成したビアホールとを電氣的に接続するビアホールをめっきにより形成する工程、

前記第一絶縁性樹脂基材の導体回路非形成領域に凹部を形成する工程、

前記凹部を被覆する金属層をめっきにより形成する工程、

半導体素子を前記凹部内に收容し、接着剤を用いて前記凹部の金属層に固定させる工程、

前記半導体素子を被覆して他の樹脂絶縁層を形成し、電氣的に接続するビアホールをめっきにより形成する工程、

を含んだ多層プリント配線板の製造方法。

Fig. 1(a)

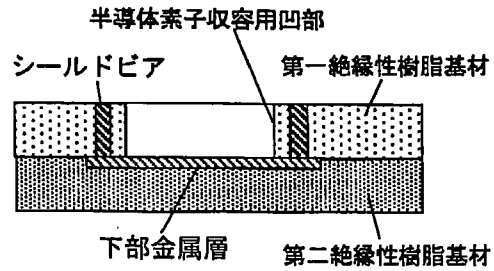
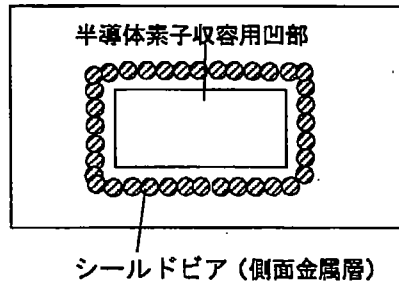


Fig. 1(b)

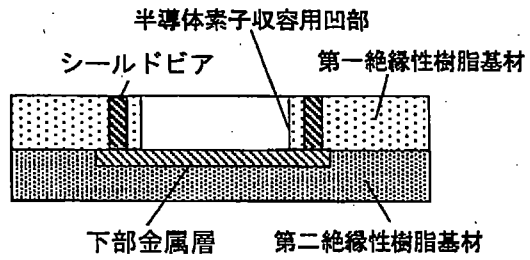
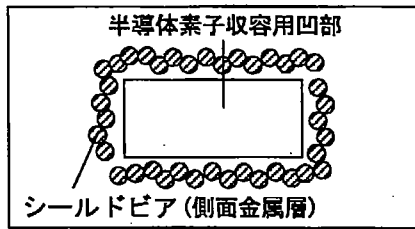


Fig. 1(c)

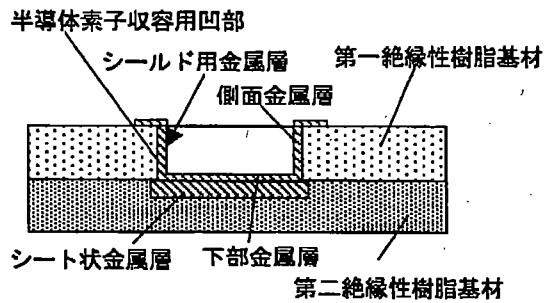
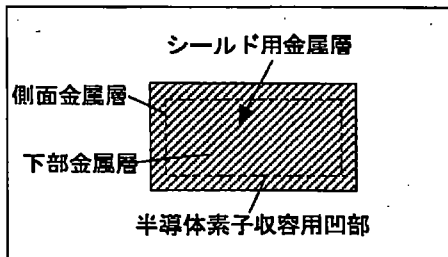


Fig. 2

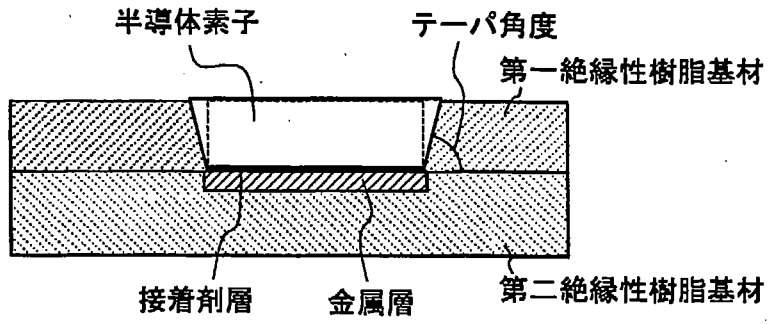


Fig. 3

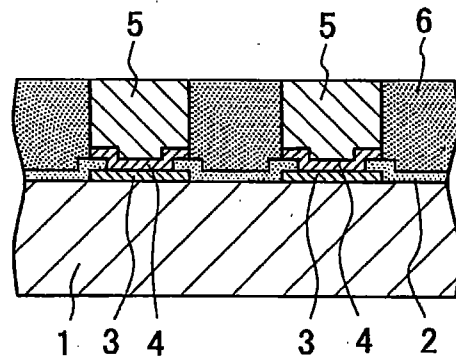
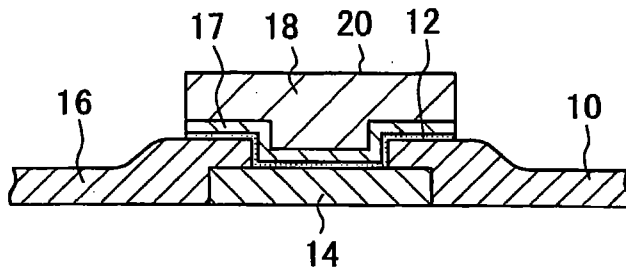
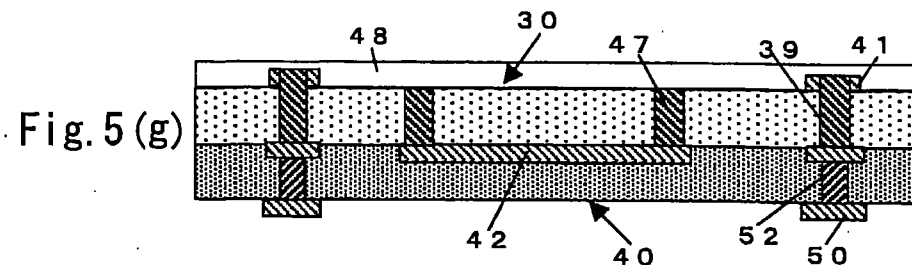
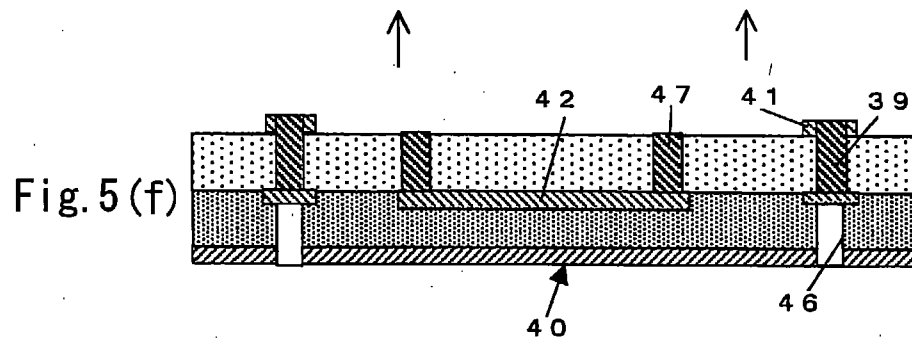
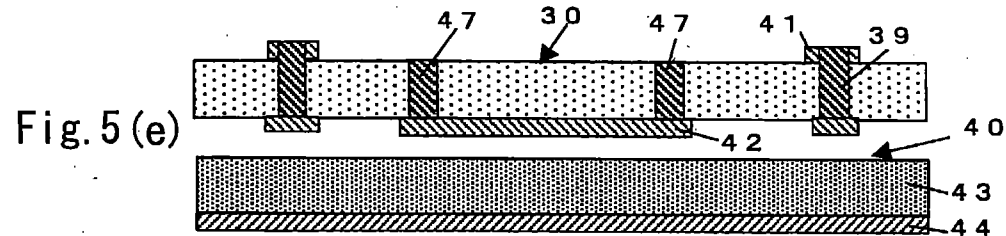
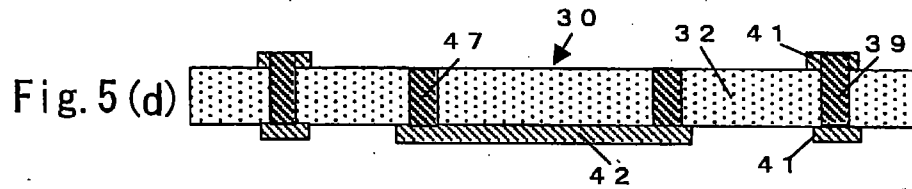
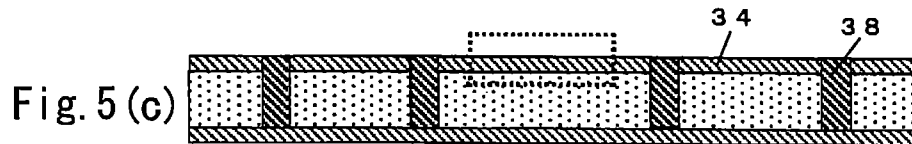
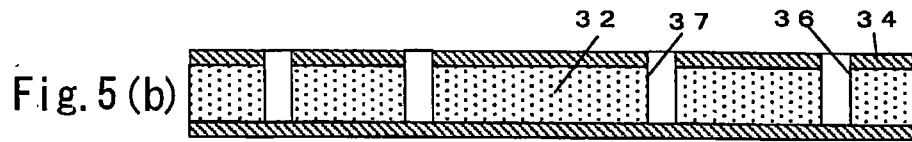
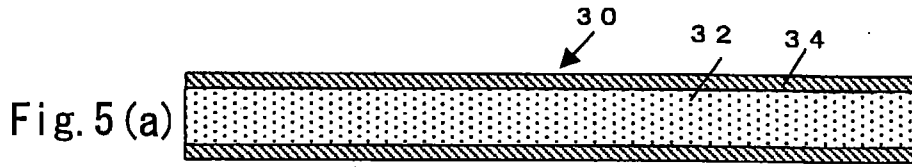
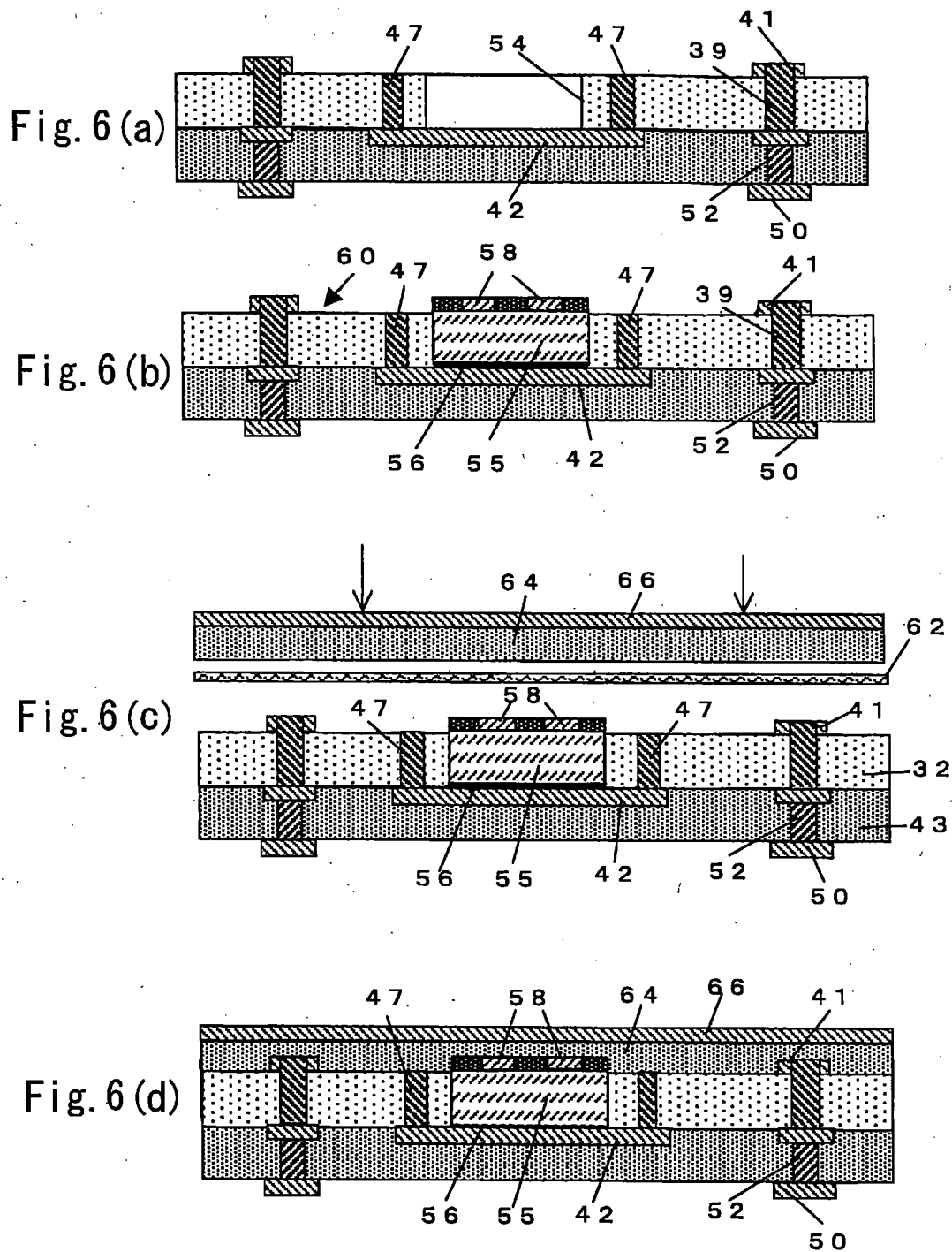
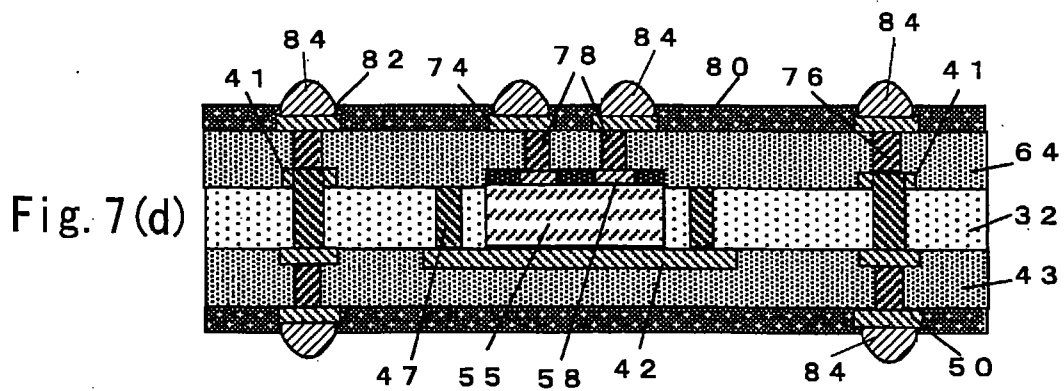
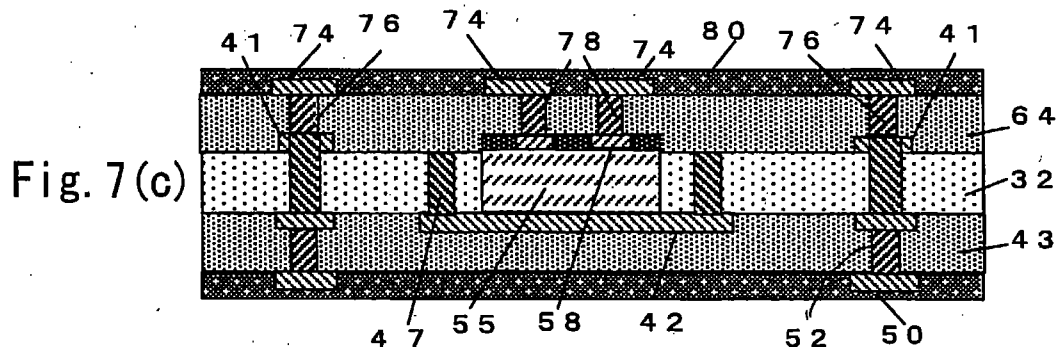
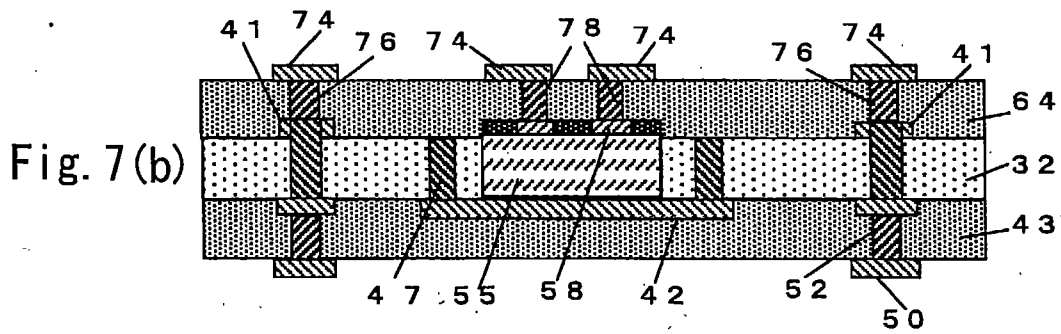
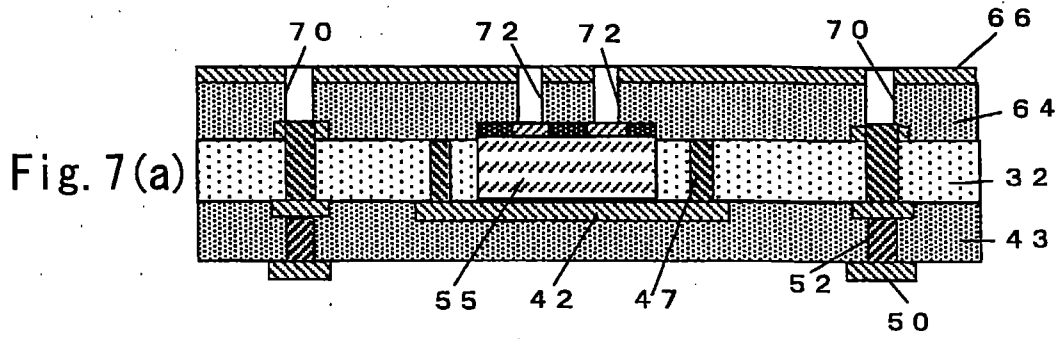


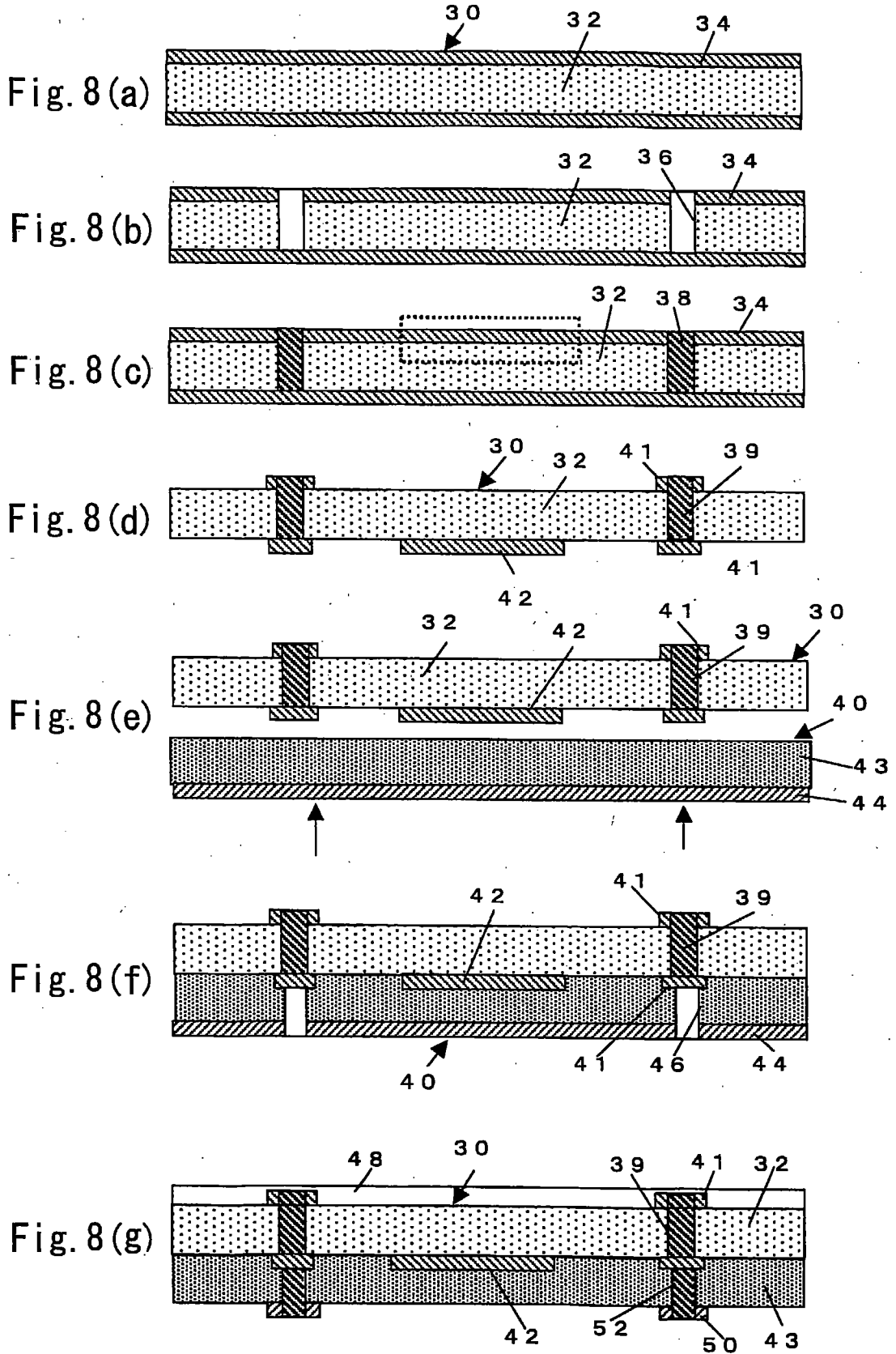
Fig. 4

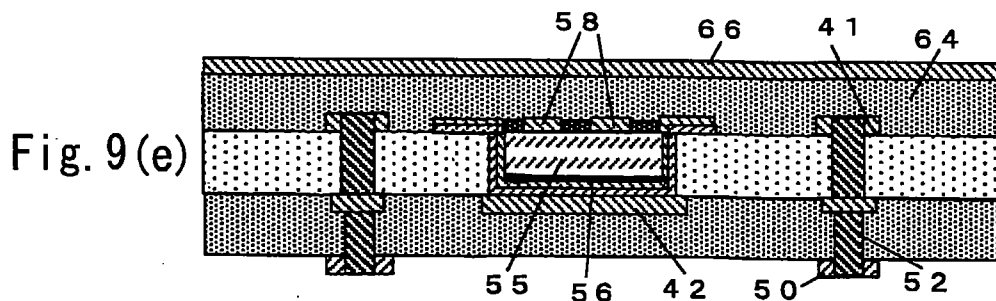
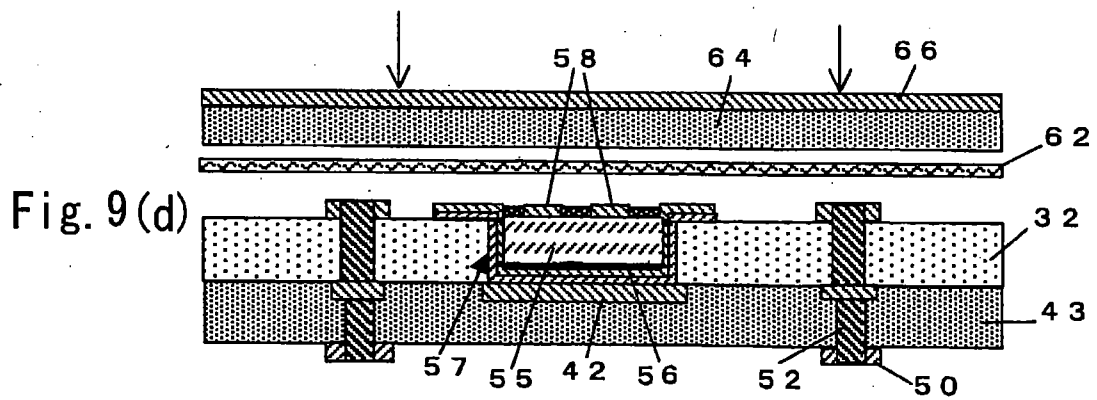
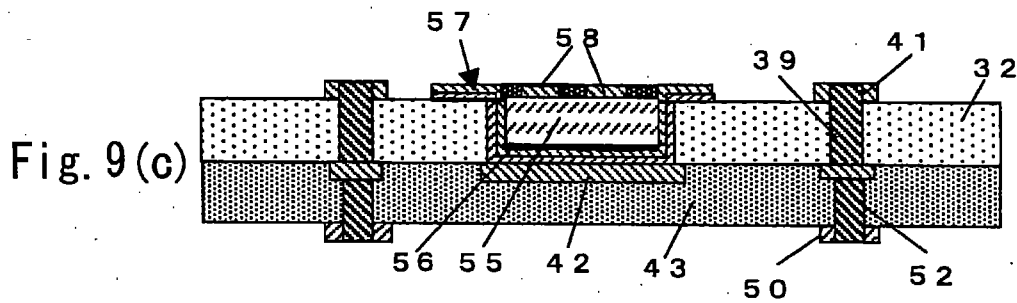
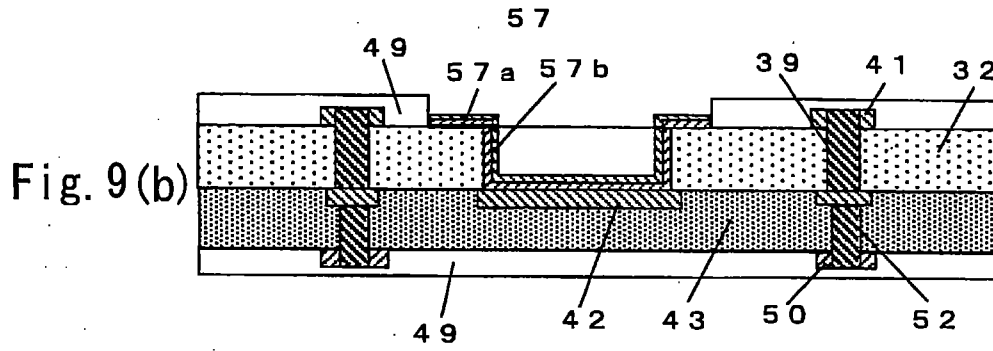
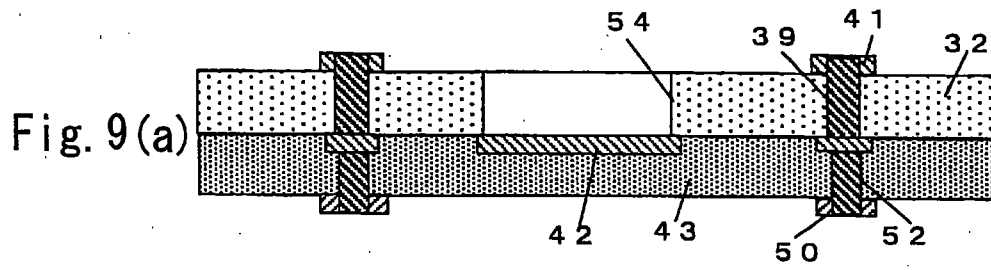


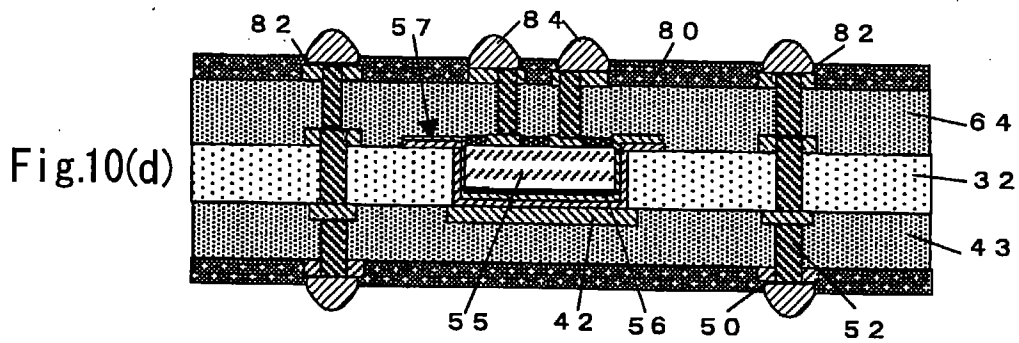
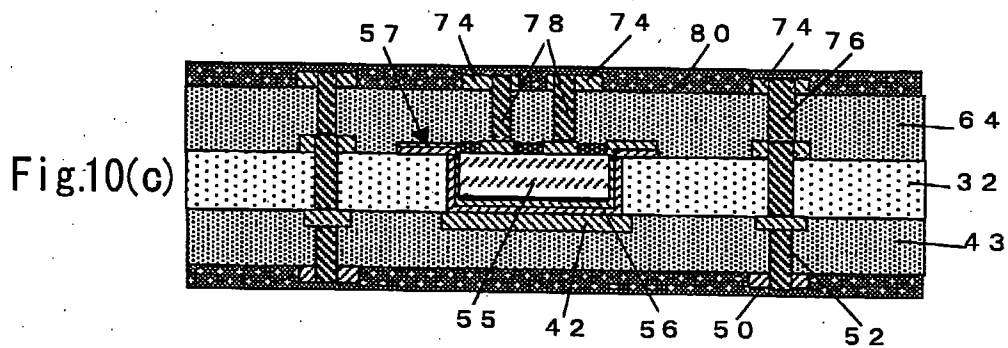
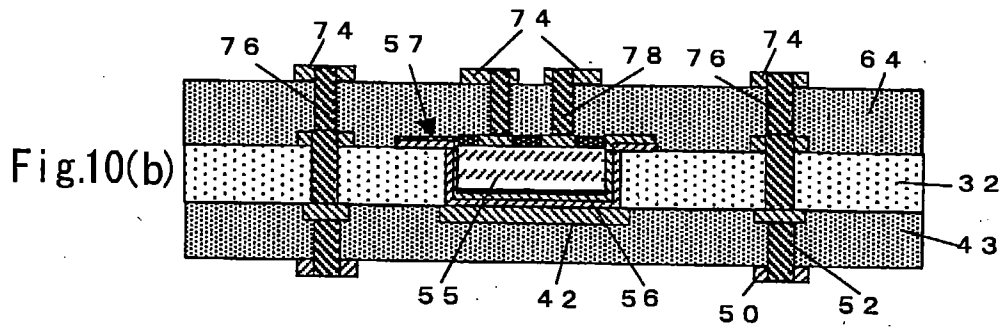
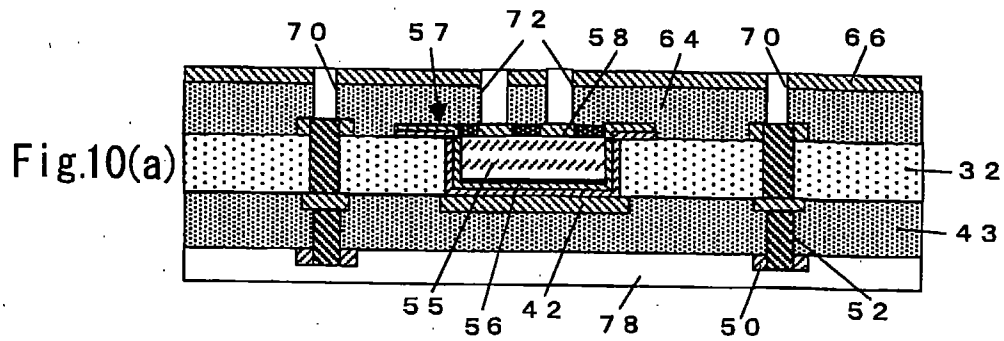












INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/325571

A. CLASSIFICATION OF SUBJECT MATTER
H05K3/46(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-274034 A (Shinko Electric Industries Co., Ltd.), 05 October, 2001 (05.10.01), (Family: none)	1, 2
X	JP 2002-16327 A (NGK Spark Plug Co., Ltd.), 18 January, 2002 (18.01.02), (Family: none)	1, 2

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 March, 2007 (06.03.07)	Date of mailing of the international search report 13 March, 2007 (13.03.07)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/325571

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

- 2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

- 3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet.

- 1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
- 2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
- 3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

- 4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 and 2

- Remark on Protest**
- the The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/325571

Continuation of Box No.III of continuation of first sheet(2)

The common matter of the inventions of claims 1 - 41 is "a multilayer printed wiring plate, in which an insulating resin film and a conductor circuit are formed over another insulating resin layer housing a semiconductor element and are electrically connected with each other through a via hole, wherein an electromagnetic shield layer is formed in the insulating resin layer enclosing a recess formed in the insulating resin layer housing the semiconductor element" (common matter 1). However, the international search has revealed that the aforementioned common matter 1 is not novel, since it is disclosed in document 1: JP 2001-274034 A or document 2: JP 2002-16327 A.

As a result, the aforementioned common matter 1 is not the special technical feature within the meaning of PCT Rule 13.2, second sentence, since the common matter 1 makes no contribution over the prior art.

Therefore, there is no matter common to all the inventions of claims 1 - 41. Since there exists no other common matter which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 between those different inventions can be found out.

The common matter of the inventions of claims 15 - 22 is the aforementioned common matter 1 and "the via hole to be connected with the semiconductor element is a field via filled up with a conductive material" (common matter 2). However, the international search has revealed that the aforementioned common matter 2 is not novel, since it is disclosed in document 1 or document 2.

As a result, the aforementioned common matter 2 is not the special technical feature within the meaning of PCT Rule 13.2, second sentence, since the common matter 2 makes no contribution over the prior art.

Therefore, there is no matter common to all the inventions of claims 15 - 22. Since there exists no other common matter which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 between those different inventions can be found out.

Consequently, it is apparent that the inventions of claims 1 - 41 do not comply with the requirement of unity of invention.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H05K3/46(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H05K3/46			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	J P 2 0 0 1 - 2 7 4 0 3 4 A (新光電気工業株式会社) 05.10.2001 (ファミリーなし)	1, 2	
X	J P 2 0 0 2 - 1 6 3 2 7 A (日本特殊陶業株式会社) 18.01.2002 (ファミリーなし)	1, 2	
☐ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 06.03.2007		国際調査報告の発送日 13.03.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 黒石 孝志	3 S 9 5 2 7
		電話番号 03-3581-1101 内線	3389

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1及び2

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付を伴う異議申立てがなかった。

請求の範囲 1-41 に係る発明の共通の事項は、半導体素子が収容されている樹脂絶縁層上に、他の樹脂絶縁層と導体回路とが形成され、ビアホールを介して電氣的に接続されてなる多層プリント配線板において、半導体素子が内蔵された樹脂絶縁層に設けた凹部を囲んだ樹脂絶縁層に電磁シールド層を形成すること（共通事項 1）である。しかしながら、調査の結果、上記共通事項 1 は、文献 1：JP 2001-274034 A、又は、文献 2：JP 2002-16327 A、に開示されているから、新規でないことが明らかとなった。

結果として、上記共通事項 1 は先行技術の域を出ないから、PCT 規則 13.2 の第 2 文の意味において、上記共通事項 1 は特別な技術的特徴ではない。

それ故、請求の範囲 1-41 に係る発明の全てに共通の事項はない。PCT 規則 13.2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 13 の意味における技術的な関連を見いだすことはできない。

また、請求の範囲 15-22 に係る発明の共通の事項は、上記共通事項 1 及び半導体素子に接続されるビアホールを導電性材料が充填されてなるフィルドビアとすること（共通事項 2）である。しかしながら、調査の結果、上記共通事項 2 は、文献 1、又は、文献 2 に開示されているから、新規でないことが明らかとなった。

結果として、上記共通事項 2 は先行技術の域を出ないから、PCT 規則 13.2 の第 2 文の意味において、上記共通事項 2 は特別な技術的特徴ではない。

それ故、請求の範囲 15-22 に係る発明の全てに共通の事項はない。PCT 規則 13.2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 13 の意味における技術的な関連を見いだすことはできない。

よって、請求の範囲 1-41 に係る発明は発明の単一性の要件を満たしていないことが明らかである。