

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4141851号

(P4141851)

(45) 発行日 平成20年8月27日 (2008. 8. 27)

(24) 登録日 平成20年6月20日 (2008. 6. 20)

(51) Int. Cl. F I
H03F 3/50 (2006.01) H03F 3/50
H03F 1/30 (2006.01) H03F 1/30 Z

請求項の数 18 (全 31 頁)

(21) 出願番号	特願2003-10403 (P2003-10403)	(73) 特許権者	000153878
(22) 出願日	平成15年1月17日 (2003. 1. 17)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2003-283272 (P2003-283272A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成15年10月3日 (2003. 10. 3)	(72) 発明者	木村 肇
審査請求日	平成18年1月13日 (2006. 1. 13)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2002-9235 (P2002-9235)		半導体エネルギー研究所内
(32) 優先日	平成14年1月17日 (2002. 1. 17)	(72) 発明者	渡辺 康子
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		審査官	儀同 孝信

最終頁に続く

(54) 【発明の名称】 半導体装置及びそれを用いた電子機器

(57) 【特許請求の範囲】

【請求項 1】

整流素子、トランジスタ、第 1 のスイッチ及び第 2 のスイッチを有し、
 前記トランジスタのゲートは、前記第 1 のスイッチの第 1 の端子に電氣的に接続され、
 前記整流素子の一方の電極は、前記第 1 のスイッチの第 1 の端子に電氣的に接続され、
 前記トランジスタのソース及びドレインの一方は、前記第 2 のスイッチの第 1 の端子に電氣的に接続され、
 前記トランジスタのソース及びドレインの他方は、第 1 の配線に電氣的に接続され、
 前記第 1 のスイッチの第 2 の端子は、前記第 1 の配線に電氣的に接続され、
 前記第 2 のスイッチの第 2 の端子は、第 2 の配線に電氣的に接続され、
 前記整流素子の他方の電極は、第 3 の配線に電氣的に接続されることを特徴とする半導体装置。

【請求項 2】

整流素子、トランジスタ、第 1 のスイッチ及び第 2 のスイッチを有し、
 前記トランジスタのゲートは、前記第 1 のスイッチの第 1 の端子に電氣的に接続され、
 前記整流素子の一方の電極は、前記第 1 のスイッチの第 1 の端子に電氣的に接続され、
 前記トランジスタのソース及びドレインの一方は、前記第 2 のスイッチの第 1 の端子に電氣的に接続され、
 前記トランジスタのソース及びドレインの他方は、第 1 の配線に電氣的に接続され、
 前記第 1 のスイッチの第 2 の端子は、第 2 の配線に電氣的に接続され、

10

20

前記第 2 のスイッチの第 2 の端子は、第 3 の配線に電氣的に接続され、
前記整流素子の他方の電極は、第 4 の配線に電氣的に接続されることを特徴とする半導体装置。

【請求項 3】

整流素子、第 1 のトランジスタ、第 2 のトランジスタ及び第 3 のトランジスタを有し、
前記第 1 のトランジスタのゲートは、前記第 2 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記整流素子の一方の電極は、前記第 2 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの一方は、前記第 3 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの他方は、第 1 の配線に電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの他方は、前記第 1 の配線に電氣的に接続され、

前記第 3 のトランジスタのソース及びドレインの他方は、第 2 の配線に電氣的に接続され、

前記整流素子の他方の電極は、第 3 の配線に電氣的に接続されることを特徴とする半導体装置。

【請求項 4】

整流素子、第 1 のトランジスタ、第 2 のトランジスタ及び第 3 のトランジスタを有し、
前記第 1 のトランジスタのゲートは、前記第 2 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記整流素子の一方の電極は、前記第 2 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの一方は、前記第 3 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの他方は、第 1 の配線に電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの他方は、第 2 の配線に電氣的に接続され、

前記第 3 のトランジスタのソース及びドレインの他方は、第 3 の配線に電氣的に接続され、

前記整流素子の他方の電極は、第 4 の配線に電氣的に接続されることを特徴とする半導体装置。

【請求項 5】

第 1 の整流素子、第 2 の整流素子、第 1 のトランジスタ、第 2 のトランジスタ、第 1 のスイッチ及び第 2 のスイッチを有し、

前記第 1 のトランジスタのゲートは、前記第 1 のスイッチの第 1 の端子に電氣的に接続され、

前記第 1 の整流素子の一方の電極は、前記第 1 のスイッチの第 1 の端子に電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 2 のスイッチの第 1 の端子に電氣的に接続され、

前記第 2 の整流素子の一方の電極は、前記第 2 のスイッチの第 1 の端子に電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの一方は、第 2 の配線に電氣的に接続され、

前記第 1 のスイッチの第 2 の端子は、前記第 1 の配線に電氣的に接続され、
前記第 2 のスイッチの第 2 の端子は、前記第 2 の配線に電氣的に接続され、
前記第 1 の整流素子の他方の電極は、第 3 の配線に電氣的に接続され、
前記第 2 の整流素子の他方の電極は、第 4 の配線に電氣的に接続されることを特徴とする半導体装置。

【請求項 6】

第 1 の整流素子、第 2 の整流素子、第 1 のトランジスタ、第 2 のトランジスタ、第 1 のスイッチ及び第 2 のスイッチを有し、

前記第 1 のトランジスタのゲートは、前記第 1 のスイッチの第 1 の端子に電氣的に接続され、

前記第 1 の整流素子の一方の電極は、前記第 1 のスイッチの第 1 の端子に電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 2 のスイッチの第 1 の端子に電氣的に接続され、

前記第 2 の整流素子の一方の電極は、前記第 2 のスイッチの第 1 の端子に電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの一方は、第 2 の配線に電氣的に接続され、

前記第 1 のスイッチの第 2 の端子は、第 3 の配線に電氣的に接続され、

前記第 2 のスイッチの第 2 の端子は、第 4 の配線に電氣的に接続され、

前記第 1 の整流素子の他方の電極は、第 5 の配線に電氣的に接続され、

前記第 2 の整流素子の他方の電極は、第 6 の配線に電氣的に接続されることを特徴とする半導体装置。

【請求項 7】

第 1 の整流素子、第 2 の整流素子、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ及び第 4 のトランジスタを有し、

前記第 1 のトランジスタのゲートは、前記第 3 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 1 の整流素子の一方の電極は、前記第 3 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 4 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 2 の整流素子の一方の電極は、前記第 4 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの一方は、第 2 の配線に電氣的に接続され、

前記第 3 のトランジスタのソース及びドレインの他方は、前記第 1 の配線に電氣的に接続され、

前記第 4 のトランジスタのソース及びドレインの他方は、前記第 2 の配線に電氣的に接続され、

前記第 1 の整流素子の他方の電極は、第 3 の配線に電氣的に接続され、

前記第 2 の整流素子の他方の電極は、第 4 の配線に電氣的に接続されることを特徴とする半導体装置。

【請求項 8】

第 1 の整流素子、第 2 の整流素子、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ及び第 4 のトランジスタを有し、

前記第 1 のトランジスタのゲートは、前記第 3 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 1 の整流素子の一方の電極は、前記第 3 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 4 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 2 の整流素子の一方の電極は、前記第 4 のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの一方は、第 2 の配線に電氣的に接続され、

前記第 3 のトランジスタのソース及びドレインの他方は、第 3 の配線に電氣的に接続され、

前記第 4 のトランジスタのソース及びドレインの他方は、第 4 の配線に電氣的に接続され、

前記第 1 の整流素子の他方の電極は、第 5 の配線に電氣的に接続され、

前記第 2 の整流素子の他方の電極は、第 6 の配線に電氣的に接続されることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 4 のいずれか一項において、

前記整流素子は、ダイオードを有することを特徴とする半導体装置。

【請求項 10】

請求項 5 乃至請求項 8 のいずれか一項において、

前記第 1 の整流素子と前記第 2 の整流素子はそれぞれ、ダイオードを有することを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至請求項 4 のいずれか一項において、

前記整流素子は、ダイオード接続された第 5 のトランジスタを有することを特徴とする半導体装置。

【請求項 12】

請求項 5 乃至請求項 8 のいずれか一項において、

前記第 1 の整流素子は、ダイオード接続された第 5 のトランジスタを有し、

前記第 2 の整流素子は、ダイオード接続された第 6 のトランジスタを有することを特徴とする半導体装置。

【請求項 13】

請求項 1 又は請求項 2 において、

前記トランジスタは、薄膜トランジスタであることを特徴とする半導体装置。

【請求項 14】

請求項 3 又は請求項 4 において、

前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタはそれぞれ、薄膜トランジスタであることを特徴とする半導体装置。

【請求項 15】

請求項 5 又は請求項 6 において、

前記第 1 のトランジスタと前記第 2 のトランジスタはそれぞれ、薄膜トランジスタであることを特徴とする半導体装置。

【請求項 16】

請求項 7 又は請求項 8 において、

前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ及び前記第 4 のトランジスタはそれぞれ、薄膜トランジスタであることを特徴とする半導体装置。

10

20

30

40

50

【請求項 17】

請求項 5 乃至請求項 8 のいずれか一項において、

前記第 1 のトランジスタと前記第 2 のトランジスタの極性は、同じであることを特徴とする半導体装置。

【請求項 18】

請求項 1 乃至請求項 17 のいずれか一項に記載の半導体装置を用いた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ソースフォロワ回路、差動増幅回路、センスアンプ、オペアンプなどに代表される電気回路、信号線駆動回路、光電変換素子を有する電気回路に関する。

10

【0002】

【従来の技術】

近年、携帯電話や携帯端末などに幅広く使用されている集積回路（IC）は、5mm四方程度のシリコン基板上に、数十万～数百万ものトランジスタや抵抗などを形成したもので、装置の小型化及び高信頼化、装置の大量生産に重要な役割を果たしている。

【0003】

そして、集積回路（IC）等に用いられる電気回路を設計するときには、多くの場合において、振幅が小さい信号の電圧や電流を増幅する機能を有する増幅回路が設計される。増幅回路は、ひずみの発生をなくし、電気回路を安定に働かせるためには不可欠な回路であるため、幅広く用いられている。

20

【0004】

ここで、増幅回路の一例として、ソースフォロワ回路の構成とその動作について説明する。最初に図 5（A）にソースフォロワ回路の構成例を示し、定常状態における動作について説明する。次いで、図 5（B）（C）を用いて、ソースフォロワ回路の動作点について説明する。最後に、図 6 に図 5（A）とは異なる構成のソースフォロワ回路の例を示し、過渡状態における動作について説明する。

【0005】

まず図 5（A）にソースフォロワ回路を用いて、定常状態における動作について説明する。

30

【0006】

図 5（A）において、11 は n チャネル型の増幅用トランジスタ、12 は n チャネル型のバイアス用トランジスタである。なお図 5（A）に示す増幅用トランジスタ 11 及びバイアス用トランジスタ 12 は n チャネル型とするが、p チャネル型トランジスタを用いて構成してもよい。またここでは簡単のため、増幅用トランジスタ 11 及びバイアス用トランジスタ 12 は、その特性及びサイズが同一であるとし、さらに電流特性も理想的なものであるとする。つまり、増幅用トランジスタ 11 及びバイアス用トランジスタ 12 のソース・ドレイン間電圧が変化しても、飽和領域における電流値は変化しないと仮定する。

【0007】

また、増幅用トランジスタ 11 のドレイン領域は電源線 13 に接続され、ソース領域はバイアス用トランジスタ 12 のドレイン領域に接続している。バイアス用トランジスタ 12 のソース領域は、電源線 14 に接続されている。

40

【0008】

バイアス用トランジスタ 12 のゲート電極には、バイアス電位 V_b が印加される。そして電源線 13 には電源電位 V_{dd} が印加され、電源線 14 には、接地電位 V_{ss} （= 0 V）が印加される。

【0009】

図 5（A）に示すソースフォロワ回路において、増幅用トランジスタ 11 のゲート電極は、入力端子となっており、増幅用トランジスタ 11 のゲート電極には、入力電位 V_{in} が入力される。また増幅用トランジスタ 11 のソース領域が出力端子となっており、増幅用ト

50

ランジスタ 1 1 のソース領域の電位が、出力電位 V_{out} となる。バイアス用トランジスタ 1 2 のゲート電極にはバイアス電位 V_b が印加されており、該バイアス用トランジスタ 1 2 が飽和領域で動作するときには、 I_b で示す電流が流れるとする。このとき、増幅用トランジスタ 1 1 及びバイアス用トランジスタ 1 2 は直列に接続されているため、両トランジスタには同量の電流が流れる。つまり、バイアス用トランジスタ 1 2 に電流 I_b が流れるときには、増幅用トランジスタ 1 1 にも電流 I_b が流れる。

【 0 0 1 0 】

ここで、ソースフォロワ回路における出力電位 V_{out} を求めてみる。出力電位 V_{out} は、入力電位 V_{in} よりも増幅用トランジスタ 1 1 のゲート・ソース間電圧 V_{gs1} の分だけ低い値となる。このとき、入力電位 V_{in} 、出力電位 V_{out} 及びゲート・ソース間電圧 V_{gs1} の関係は、以下の式 (1) を満たす。

10

【 0 0 1 1 】

$$V_{out} = V_{in} - V_{gs1} \cdots (1)$$

【 0 0 1 2 】

そして、増幅用トランジスタ 1 1 が飽和領域で動作している場合は、増幅用トランジスタ 1 1 に電流 I_b が流れるためには、増幅用トランジスタ 1 1 のゲート・ソース間電圧 V_{gs1} がバイアス電位 V_b と等しいということが必要である。そうすると、以下の式 (2) の式が成立する。但し式 (2) は、増幅用トランジスタ 1 1 及びバイアス用トランジスタ 1 2 が飽和領域で動作するときのみに於いて成立する。

【 0 0 1 3 】

20

$$V_{out} = V_{in} - V_b \cdots (2)$$

【 0 0 1 4 】

次いで、増幅用トランジスタ 1 1 及びバイアス用トランジスタ 1 2 の電圧と電流の関係を示した図 5 (B) (C) を用いて、ソースフォロワ回路の動作点について説明する。さらに詳しくは、増幅用トランジスタ 1 1 のゲート・ソース間電圧 V_{gs1} と、バイアス用トランジスタ 1 2 のゲート・ソース間電圧 V_{gs2} が同じ値の場合について、図 5 (B) を用いて説明する。次いで、増幅用トランジスタ 1 1 のゲート・ソース間電圧 V_{gs1} と、バイアス用トランジスタ 1 2 のゲート・ソース間電圧 V_{gs2} とが異なる値の場合であって、例えばバイアス用トランジスタ 1 2 が線形領域で動作している場合について、図 5 (C) を用いて説明する。

30

【 0 0 1 5 】

図 5 (B) において、点線 2 1 は増幅用トランジスタ 1 1 のゲート・ソース間電圧 V_{gs1} が V_b であるときの電圧と電流の関係を示し、実線 2 2 はバイアス用トランジスタ 1 2 のゲート・ソース間電圧 V_{gs2} が V_b であるときの電圧と電流の関係を示す。また図 5 (C) において、点線 2 1 は増幅用トランジスタ 1 1 のゲート・ソース間電圧 V_{gs1} が V_b であるときの電圧と電流の関係を示し、実線 2 2 はバイアス用トランジスタ 1 2 のゲート・ソース間電圧 V_{gs2} が V_b であるときの電圧と電流の関係を示す。

【 0 0 1 6 】

図 5 (B) において、増幅用トランジスタ 1 1 のゲート・ソース間電圧 V_{gs1} と、バイアス用トランジスタ 1 2 のゲート・ソース間電圧 V_{gs2} が同じ値であり、さらにバイアス電位 V_b と、バイアス用トランジスタ 1 2 のゲート・ソース間電圧 V_{gs2} は同じ値であるため、増幅用トランジスタ 1 1 のゲート・ソース間電圧 V_{gs1} は、バイアス電位 V_b と同じ値である。つまり、 $V_{gs1} = V_{gs2} = V_b$ となり、図 5 (B) に示すように、増幅用トランジスタ 1 1 及びバイアス用トランジスタ 1 2 は飽和領域で動作している。このとき、入力電位 V_{in} と出力電位 V_{out} の関係は線形となる。

40

【 0 0 1 7 】

一方、図 5 (C) において、増幅用トランジスタ 1 1 のゲート・ソース間電圧 V_{gs1} は、バイアス用トランジスタ 1 2 のゲート・ソース間電圧 V_{gs2} とは異なる値である。そして、バイアス用トランジスタ 1 2 のゲート・ソース間電圧 V_{gs2} はバイアス電位 V_b と同じ値である。また、増幅用トランジスタ 1 1 のゲート・ソース間電圧 V_{gs1} は、バイアス電位 V_b ' であ

50

とする。つまり、 $V_{gs2} = V_b$ 、 $V_{gs1} = V_b'$ となり、図 5 (C) で示すように、増幅用トランジスタ 11 は飽和領域で動作しており、バイアス用トランジスタ 12 が線形領域で動作している。このとき、入力電位 V_{in} 、出力電位 V_{out} 及びバイアス電位 V_b' の関係は以下の式 (3) を満たす。

【0018】

$$V_{out} = V_{in} - V_b' \cdots (3)$$

【0019】

バイアス用トランジスタ 12 が線形領域で動作するときに流れる電流を $I_{b'}$ とすると、 $I_{b'} < I_b$ となる。つまり、 $V_b' < V_b$ となって、入力電位 V_{in} と電流 $I_{b'}$ の両者の値は小さくなる。そうすると、バイアス電位 V_b' も小さくなる。このとき入力電位 V_{in} と出力電位 V_{out} の関係は、非線形となる。

10

【0020】

以上をまとめると、定常状態におけるソースフォロワ回路において、出力電位 V_{out} の振幅を大きくするためには、バイアス電位 V_b を小さくすることが好ましい。これは以下の 2 つの理由による。

【0021】

1 つ目の理由は、式 (2) に示すように、バイアス電位 V_b が小さいと、出力電位 V_{out} を大きくすることが出来るからである。2 つ目の理由は、バイアス電位 V_b の値が大きい場合には、入力電位 V_{in} を小さくすると、バイアス用トランジスタ 12 が線形領域で動作しやすくなってしまふからである。バイアス用トランジスタ 12 が線形領域で動作すると、入力電位 V_{in} と出力電位 V_{out} の関係は、非線形となりやすい。

20

【0022】

なおバイアス用トランジスタ 12 は、導通状態であることが必要であるため、バイアス電位 V_b の値は、バイアス用トランジスタ 12 のしきい値電圧よりも大きい値にする必要がある。

【0023】

これまでは、ソースフォロワ回路の定常状態での動作について説明してきたが、続いて、ソースフォロワ回路の過渡状態での動作について、図 6 を用いて説明する。

【0024】

図 6 に示すソースフォロワ回路は、図 5 (A) の回路に容量素子 15 が追加して設計された構成である。容量素子 15 の一方の端子は増幅用トランジスタ 11 のソース領域に接続され、他方の端子は電源線 16 に接続されている。電源線 16 には、接地電位 V_{ss} が印加されている。

30

【0025】

容量素子 15 の両電極間の電位差は、ソースフォロワ回路の出力電位 V_{out} と同一となる。ここでは、図 6 (A) を用いて $V_{out} < V_{in} - V_b$ の場合の動作について説明し、次いで図 6 (B) を用いて $V_{out} > V_{in} - V_b$ の場合の動作について説明する。

【0026】

まず、図 6 (A) を用いて $V_{out} < V_{in} - V_b$ の場合のソースフォロワ回路の過渡状態における動作について説明する。

40

【0027】

図 6 (A) において、 $t=0$ のときには、増幅用トランジスタ 11 のゲート・ソース間電圧 V_{gs1} の値は、バイアス用トランジスタ 12 のゲート・ソース間電圧 V_{gs2} の値よりも大きい。そのため、増幅用トランジスタ 11 には、大きな電流が流れて、容量素子 15 には急速に電荷が保持される。そうすると、出力電位 V_{out} は大きくなり、増幅用トランジスタ 11 のゲート・ソース間電圧 V_{gs1} の値は減少する。

【0028】

そして時間の経過に伴い ($t=t_1$ 、 $t_1>0$)、増幅用トランジスタ 11 のゲート・ソース間電圧 V_{gs1} がバイアス電位 V_b に等しくなると定常状態になる。このとき、出力電位 V_{out} 、入力電位 V_{in} 及びバイアス電位 V_b の関係は、上記の式 (2) を満たす。

50

【 0 0 2 9 】

以上をまとめると、 $V_{out} < V_{in} - V_b$ の場合には、増幅用トランジスタ 11 のゲート・ソース間電圧 V_{gs1} の値が、バイアス電位 V_b よりも大きいため、増幅用トランジスタ 11 には大きな電流が流れて、容量素子 15 に急速に電荷が保持される。そのため、容量素子 15 が所定の電荷の保持を行う時間、言い換えると容量素子 15 に対する信号の書き込みに要する時間は短くてすむ。

【 0 0 3 0 】

次いで、図 6 (B) を用いて $V_{out} > V_{in} - V_b$ の場合のソースフォロワ回路の過渡状態における動作について説明する。

【 0 0 3 1 】

図 6 (B) において、 $t=0$ のときには、増幅用トランジスタ 11 のゲート・ソース間電圧 V_{gs1} は、該増幅用トランジスタ 11 のしきい値電圧よりも小さい値である。そのため、増幅用トランジスタ 11 は非導通状態にある。そして容量素子 15 に蓄積されていた電荷は、バイアス用トランジスタ 12 を介して接地電位 V_{ss} の方向に流れていき、最終的には放電される。このとき、バイアス用トランジスタ 12 のゲート・ソース間電圧 V_{gs2} は、バイアス電位 V_b と同じ値であるので、バイアス用トランジスタ 12 を流れる電流は I_b となる。

【 0 0 3 2 】

そして時間の経過に伴い ($t=t_1$ 、 $t_1>0$)、出力電位 V_{out} が小さくなり、増幅用トランジスタ 11 のゲート・ソース間電圧 V_{gs1} が大きくなる。そして増幅用トランジスタ 11 のゲート・ソース間電圧 V_{gs1} がバイアス電位 V_b に等しくなると、定常状態となる。このとき、出力電位 V_{out} 、入力電位 V_{in} 及びバイアス電位 V_b の関係は、上記の式 (2) を満たす。なお定常状態では、出力電位 V_{out} は一定の値を保っており、容量素子 15 に電荷は流れない。そして、増幅用トランジスタ 11 及びバイアス用トランジスタ 12 には、電流 I_b が流れる。

【 0 0 3 3 】

以上をまとめると、 $V_{out} > V_{in} - V_b$ の場合には、容量素子 15 が所定の電荷の保持を行う時間、言い換えると容量素子 15 に対する信号の書き込み時間は、バイアス用トランジスタ 12 を流れる電流 I_b に依存する。そして、電流 I_b はバイアス電位 V_b の大きさに依存する。従って、電流 I_b を大きくして、容量素子 15 に対する信号の書き込み時間を短くするためには、バイアス電位 V_b を大きくする必要が生ずる。

【 0 0 3 4 】

なおトランジスタのしきい値電圧のバラツキを補正する方法として、信号が入力された回路の出力によりバラツキをみて、その後、そのバラツキをフィードバックさせて補正するという方法がある (例えば、非特許文献 1 参照。) 。

【 0 0 3 5 】

【 非特許文献 1 】

H.Sekine et al, 「Amplifier Compensation Method for a Poly-Si TFT LCLV with an Integrated Data-Driver」, IDRC'97, p. 45-48

【 0 0 3 6 】

【 発明が解決しようとする課題 】

上述したソースフォロワ回路の動作は、増幅用トランジスタ 11 及びバイアス用トランジスタ 12 の特性が同じであると仮定した上で行われるものである。しかし、両トランジスタは作製工程や使用する基板の相違によって生じるゲート長 (L)、ゲート幅 (W) 及びゲート絶縁膜の膜厚のバラツキや、チャネル形成領域の結晶状態のバラツキなどの要因が重なって、しきい値電圧や移動度にバラツキが生じてしまう。

【 0 0 3 7 】

例えば図 5 (A) において、増幅用トランジスタ 11 のしきい値電圧が 3 V であり、バイアス用トランジスタ 12 のしきい値電圧が 4 V として、1 V のバラツキが生じていたとする。そうすると、電流 I_b を流すためには、増幅用トランジスタ 11 のゲート・ソース間電圧 V_{gs1} には、バイアス用トランジスタ 12 のゲート・ソース間電圧 V_{gs2} よりも 1 V 低い

10

20

30

40

50

電圧を加える必要が生ずる。つまり $V_{gs1}=V_b-1$ となる。そうすると、 $V_{out}=V_{in}-V_{gs1}=V_{in}-V_b+1$ になってしまう。つまり、増幅用トランジスタ 1 1 及びバイアス用トランジスタ 1 2 のしきい値電圧に 1 V でもバラツキが生じていると、出力電位 V_{out} にもバラツキが生じてしまう。

【 0 0 3 8 】

本発明は上記の問題点を鑑みてなされたものであり、トランジスタの特性バラツキの影響を抑制した電気回路を提供することを課題とする。さらに詳しくは、電流を増幅する機能を有する電気回路において、トランジスタの特性バラツキの影響を抑制して、所望の電圧を供給することができる電気回路を提供することを課題とする。

【 0 0 3 9 】

10

【課題を解決するための手段】

本発明は、上記の問題点を解決するために、以下に示す構成の電気回路を用いる。

【 0 0 4 0 】

最初に本発明に用いられる電気回路の構成について、図 4 (A) (B) を用いて説明する。図 4 (A) (B) において、2 9 0 3、2 9 1 3 はスイッチング機能を有する素子であり、好ましくはトランジスタで構成されるアナログスイッチなどの半導体素子が用いられる。スイッチ 2 9 0 3、2 9 1 3 は、ON 又は OFF が Signal 1 により制御される。なお前記スイッチ 2 9 0 3、2 9 1 3 は単なるスイッチなので、その極性は特に限定されない。

【 0 0 4 1 】

2 9 0 2 と 2 9 1 2 は整流性素子（整流素子）である。整流性素子とは、素子の両端の電極に電位差を与えたとき、単一方向にのみ電流を生ずる素子を指す。前記整流性素子は、ダイオードや、ゲート・ドレイン間を接続した T F T などが挙げられる。なお本明細書において、ゲート・ドレイン間を接続した T F T は、ダイオード接続をした T F T と表記する。そして、図 4 (A) (B) においては、整流性素子 2 9 0 2 はダイオード接続をした p チャネル型のトランジスタであり、整流性素子 2 9 1 2 はダイオード接続をした n チャネル型のトランジスタである。そして本発明では、図 4 (A) に示す整流性素子 2 9 0 2 とスイッチ 2 9 0 3 を接続した電気回路、又は図 4 (B) に示す整流性素子 2 9 1 2 とスイッチ 2 9 1 3 を接続した電気回路を用いる。

20

【 0 0 4 2 】

ここで、図 4 (A) (B) に示した電気回路の動作について、図 4 (C) (D) を用いて説明する。なお、図 4 (C) は Signal 1 のタイミングチャートを示している。また図 4 (D) は、T F T 2 9 0 2、2 9 1 2 のゲートの電位をそれぞれ V_{G2902} 、 V_{G2912} としたときのゲート・ソース間電圧と時間との関係を示している。

30

【 0 0 4 3 】

ここで、電気回路の一端よりある信号が入力され、該電気回路の他端はある一定電位が与えられているとする。図 4 (A) に示す電気回路の場合、入力される信号を V_x 、一定電位を V_{ss} ($V_x - |V_{thP}| : V_{thP}$ は T F T 2 9 0 2 のしきい値電圧) とする。図 4 (B) に示す電気回路の場合、入力される信号を V_x 、一定電位を V_{dd} ($V_x + |V_{thN}| : V_{thN}$ は T F T 2 9 1 2 のしきい値電圧) とする。

【 0 0 4 4 】

40

まず、(i) で示される期間において、スイッチ 2 9 0 3、2 9 1 3 が ON となる。そうすると、図 4 (A) に示す電気回路において、トランジスタ 2 9 0 2 のドレイン領域およびゲート電極の電位が低下する。図 4 (B) に示す電気回路においては、トランジスタ 2 9 1 2 のドレイン領域およびゲート電極の電位が上昇する。トランジスタ 2 9 0 2、2 9 1 2 は、いずれも両電極間の電圧がしきい値電圧の絶対値を上回っているため ON である。

【 0 0 4 5 】

次いで、(ii) で示される期間において、スイッチ 2 9 0 3、2 9 1 3 が OFF となる。そうすると、T F T 2 9 0 2 のドレイン電位は上昇し、T F T 2 9 1 2 のドレイン電位は下降する。

【 0 0 4 6 】

50

やがて、(i i i) で示される期間において、T F T 2 9 0 2、2 9 1 2 のゲート・ソース間電圧は、そのしきい値電圧に等しくなり、T F T 2 9 0 2、2 9 1 2 はともに O F F する。このとき、T F T 2 9 0 2、2 9 1 2 のドレイン電位はそれぞれ、 $V_X - |V_{thP}|$ 、 $V_X + |V_{thN}|$ となる。つまり、T F T 2 9 0 2、2 9 1 2 によって、入力される信号の電位 V_X に、それぞれのしきい値電圧を上乗せする動作が行われたことになる。

【 0 0 4 7 】

上述したように、本発明は、素子の両端の電極に電位差を与えたとき、単一の方向にのみ電流が生ずる整流性素子を用いた電気回路を提供する。そして本発明は、整流性素子の一方の端子に信号電圧を入力したとき、他方の端子の電位が該整流性素子のしきい値電圧分だけオフセットをかけた電位となることを利用している。

10

【 0 0 4 8 】

つまり、整流性素子間にしきい値電圧のバラツキが生じていても、該整流性素子は、常に該整流性素子のしきい値電圧分だけオフセットをかけた電位を提供できる。そして本発明は前記整流性素子を用いることにより、整流性素子間のしきい値電圧のバラツキの影響を抑制した電気回路を提供することが出来る。

【 0 0 4 9 】

なお、T F T 2 9 0 2、2 9 1 2 の極性は特に限定されない。また、T F T 2 9 0 2、2 9 1 2 は、図 4 (E) に示すように、それぞれダイオード 2 9 2 2、2 9 3 2 を用いても良い。ダイオード 2 9 2 2、2 9 3 2 には、通常の P N 接合を有するダイオードの他、公知の構造のダイオードを用いることが出来る。

20

【 0 0 5 0 】

本発明は、トランジスタのゲートと入力電位との間に、整流素子と、該整流素子の一方の電極と第 1 電位との間に接続される第 1 スイッチとからなる補償回路が設けられ、第 2 電位に一方の端子が接続され、他方の端子が前記トランジスタのソースに接続される第 2 スイッチを有するソースフォロワ回路であって、前記整流素子の一方の電極に前記入力電位が印加されて、前記第 1 スイッチがオフすると、前記整流素子の他方の電極は第 3 電位に収束され、前記第 3 電位が前記トランジスタのゲート電極に入力されて、前記第 2 のスイッチがオンすると、前記ソースと前記第 2 スイッチとの間から出力電位を取り出すことを特徴とする。

【 0 0 5 1 】

30

本発明は、第 1 トランジスタのゲートと入力電位との間に、第 1 整流素子と、該第 1 整流素子の一方の電極と第 1 電位との間に接続される第 1 スイッチとからなる第 1 補償回路と、

第 2 トランジスタのゲートとバイアス電位の間に、第 2 整流素子と、該第 2 整流素子の一方の電極と第 2 電位との間に接続される第 2 スイッチとからなる第 2 補償回路とが設けられたソースフォロワ回路であって、

前記第 1 整流素子の第 1 の電極に入力電位が印加されて、前記第 1 スイッチがオフすると、前記第 1 整流素子の一方の電極の電位は第 3 電位に収束され、

前記第 2 整流素子の第 1 の電極にバイアス電位が印加されて、前記第 2 スイッチがオフすると、前記第 2 整流素子の一方の電極の電位は第 4 電位に収束され、

40

前記第 3 電位が前記第 1 トランジスタのゲート電極に入力されて、前記第 4 電位が前記第 2 トランジスタのゲート電極に入力されると、前記第 1 トランジスタのソースから出力電位を取り出すことを特徴とする。

【 0 0 5 2 】

なお本発明では、どのような材料を用いたトランジスタ、どのような手段、製造方法を経たトランジスタを用いてもよく、またどのようなタイプのトランジスタを用いてもよい。例えば、薄膜トランジスタ (T F T) を用いてもよい。T F T としては、半導体層が非晶質 (アモルファス)、多結晶 (ポリクリスタル、ポリシリコン)、単結晶のいずれを用いてもよい。その他のトランジスタとして、単結晶基板において作られたトランジスタでもよいし、S O I 基板において作られたトランジスタでもよい。また、有機物やカーボンナ

50

ノチューブで形成されたトランジスタでもよい。さらに、MOS型トランジスタでもよいし、バイポーラ型トランジスタでもよい。

【0053】

【発明の実施の形態】

(実施の形態1)

本実施の形態では、本発明の電気回路の一例として、ソースフォロワ回路を示し、その構成と動作について図1～図3を用いて説明する。

【0054】

最初にソースフォロワ回路の構成について、図1～図3を用いて説明する。

【0055】

図1～図3において、411は増幅用トランジスタであり、412はバイアス用トランジスタである。413、414は整流性素子であり、本実施の形態ではトランジスタを用いる。そして、トランジスタ413のしきい値電圧を V_{th1} とし、トランジスタ414のしきい値電圧を V_{th2} とする。415、416はスイッチング機能を有する素子であり、好ましくはトランジスタで構成されるアナログスイッチなどの半導体素子が用いられる。なお前記スイッチ415、416は単なるスイッチなので、その極性は特に限定されない。

【0056】

なおトランジスタ411～トランジスタ413の極性は特に限定されないが、トランジスタ411とトランジスタ412、トランジスタ411とトランジスタ413、トランジスタ412とトランジスタ414は同じ極性であることが好ましい。そして図1と図2(A)には、トランジスタ411～トランジスタ414がnチャネル型であるソースフォロワ回路を示す。そして、図2(B)と図3には、トランジスタ411～トランジスタ414がpチャネル型である場合を示す。

【0057】

増幅用トランジスタ411のドレイン領域は電源線419に接続され、ソース領域は、トランジスタ412を介して電源線420に接続されている。増幅用トランジスタ411のゲート電極は、トランジスタ413のゲート電極及びドレイン領域に接続されている。なお以下には増幅用トランジスタ411は、トランジスタ411と表記する。

【0058】

バイアス用トランジスタ412のドレイン領域はトランジスタ411を介して電源線419に接続され、ソース領域は電源線420に接続されている。バイアス用トランジスタ412のゲート電極は、トランジスタ414のゲート電極及びドレイン領域に接続されている。なお以下にはバイアス用トランジスタ412は、トランジスタ412と表記する。

【0059】

スイッチ415、416は、入力される信号によって、導通又は非導通(オン又はオフ)が制御される。しかし、説明を簡単にするために、スイッチ415、416に信号を入力する信号線等の図示は省略する。

【0060】

そして、図1～図3に示すソースフォロワ回路において、トランジスタ413のソース領域には、入力電位 V_{in} が入力される。またトランジスタ414のソース領域にはバイアス電位が入力される。そしてトランジスタ411のソース領域の電位が出力電位 V_{out} となる。

【0061】

417～420は電源線であり、電源線417には電源電位 V_{dd1} が印加され、電源線418には電源電位 V_{dd2} が印加される。また電源線419には、電源電位 V_{dd3} が印加され、電源線420には接地電位 V_{ss} が印加される。なお、電源電位 V_{dd1} と電源電位 V_{dd2} は以下の条件を満たす必要がある。

【0062】

まず図1と図2(A)に示すように、トランジスタ411～トランジスタ413がnチャネル型の場合には、電源電位 V_{dd1} は入力電位 V_{in} とトランジスタ413のしきい値電圧 V_{th}

10

20

30

40

50

V_{th1} とを足した値以上の電位である必要がある。このとき、以下の式(4)が成立する。

【0063】

$$V_{dd1} = (V_{in} + V_{th1}) \cdots (4)$$

【0064】

同様に、電源電位 V_{dd2} は、バイアス電位 V_b とトランジスタ414のしきい値電圧 V_{th2} とを足した値以上の電位である必要がある。このとき、以下の式(5)が成立する。

【0065】

$$V_{dd2} = (V_b + V_{th2}) \cdots (5)$$

【0066】

さらに、図2(B)と図3に示すように、トランジスタ411～トランジスタ413がpチャネル型の場合には、電源電位 V_{dd1} は入力電位 V_{in} からトランジスタ413のしきい値電圧 V_{th1} の絶対値を引いた値以下の電位である必要がある。このとき、以下の式(6)が成立する。

【0067】

$$V_{dd1} = (V_{in} - |V_{th1}|) \cdots (6)$$

【0068】

同様に、電源電位 V_{dd2} は、バイアス電位 V_b からトランジスタ414のしきい値電圧 V_{th2} の絶対値を引いた値以下の電位である必要がある。このとき、以下の式(7)が成立する。

【0069】

$$V_{dd2} = (V_b - |V_{th2}|) \cdots (7)$$

【0070】

なお電源線417～電源線419には、共通の1本の電源線を用いることもできる。但し、そのときには式(4)、(5)を満たす電位を印加することが必要である。同様に、式(6)、(7)を満たす電位を印加することが必要である。

【0071】

続いて、図1～図3に示したソースフォロワ回路の動作について説明する。まず、トランジスタ411～トランジスタ413がnチャネル型の場合について、図1と図2(A)を用いて説明する。次いで、トランジスタ411～トランジスタ413がpチャネル型の場合について、図2(B)と図3を用いて説明する。

【0072】

図1(A)において、トランジスタ413のソース領域には、入力電位 V_{in} が印加されており、またトランジスタ414のソース領域にはバイアス電位 V_b が印加されている。そして、スイッチ415、416をオンにする。そうすると、電源線417とトランジスタ413のソース領域には電位差が生じ、電流が流れる。同様に、電源線418からトランジスタ414のソース領域には電位差が生じ、電流が流れる。このとき、トランジスタ413のゲート電極の電位は、電源電位 V_{dd1} と同じ値となり、トランジスタ414のゲート電極の電位は、電源電位 V_{dd2} と同じ値になる。

【0073】

次いで、スイッチ415、416をオフにする(図1(B))。そうすると、トランジスタ413、414のドレイン領域の電位は下降する。やがて、トランジスタ413、414のゲート・ソース間電圧は、該トランジスタ413、414のしきい値電圧 V_{th1} 、 V_{th2} に等しくなる。その結果、トランジスタ413、414はともにオフになる。

【0074】

このとき、トランジスタ413のドレイン電位は $V_{in} + V_{th1}$ である。また、トランジスタ414のドレイン電位は $V_b + V_{th2}$ である。(図2(A))。そして、トランジスタ411のソース領域の電位が出力電位 V_{out} となる。前記出力電位 V_{out} は以下の式(8)～式(15)により算出される。

【0075】

トランジスタが、飽和領域で動作するときには、以下の式(8)が成立する。 I_{ds} はトランジスタのチャネル形成領域を流れる電流量であり、 V_{gs} はトランジスタのゲート・ソー

10

20

30

40

50

ス間電圧である。また V_{th} はトランジスタのしきい値電圧である。

【 0 0 7 6 】

$$I_{ds} = (V_{gs} - V_{th})^2 \cdots (8)$$

【 0 0 7 7 】

上記の式(8)において、 $V_k = V_{gs} - V_{th}$ とすると、以下の式(9)が成立する。

【 0 0 7 8 】

$$I_{ds} = V_k^2 \cdots (9)$$

【 0 0 7 9 】

式(9)より、 I_{ds} は、 V_{gs} から V_{th} の値を引いた値である V_k の2乗に比例していることがわかる。ここで、トランジスタ411、412に上記の式(8)、(9)を適用して、出力電位 V_{out} を算出する。まずトランジスタ412のゲート電極に加えられた電圧を V_{a2} とすると、以下の式(10)が成立する。

【 0 0 8 0 】

$$V_{a2} = V_b + V_{th2} \cdots (10)$$

【 0 0 8 1 】

次に、トランジスタ412とトランジスタ414のしきい値電圧が等しいと仮定する。そして、トランジスタ412のゲート電極に加えられた電圧 V_{a2} からしきい値電圧 V_{th2} を引いた値を V_{k2} とすると、以下の式(11)が成立する。

【 0 0 8 2 】

$$V_{k2} = V_{a2} - V_{th2} = (V_b + V_{th2}) - V_{th2} = V_b \cdots (11)$$

【 0 0 8 3 】

また、トランジスタ411のゲート電極に加えられた電圧を V_{a1} とすると、以下の式(12)が成立する。

【 0 0 8 4 】

$$V_{a1} = V_{in} + V_{th1} \cdots (12)$$

【 0 0 8 5 】

トランジスタ413とトランジスタ411のしきい値電圧が等しいと仮定する。そして、トランジスタ411のゲート・ソース間電圧 V_{gs1} からしきい値電圧 V_{th1} を引いた値を V_{k1} とすると、以下の式(13)が成立する。

【 0 0 8 6 】

$$V_{k1} = V_{gs1} - V_{th1} \cdots (13)$$

【 0 0 8 7 】

ここで、トランジスタ411、412には同量の電流が流れることを考慮すると、以下の式(14)が成立する。なお本実施の形態では、簡単のため、トランジスタ411とトランジスタ412は、ゲート幅、ゲート長などのサイズが同じであるとする。

【 0 0 8 8 】

$$V_{k1} = V_{k2} = V_b \cdots (14)$$

【 0 0 8 9 】

そして、出力電位 V_{out} は、トランジスタ211のソース領域の電位であることから、以下の式(15)が成立する。

【 0 0 9 0 】

$$V_{out} = V_{a1} - V_{gs1} = (V_{in} + V_{th1}) - (V_b + V_{th1}) = V_{in} - V_b \cdots (15)$$

【 0 0 9 1 】

式(15)に示すように、出力電位 V_{out} は、入力電位 V_{in} からバイアス電位 V_b を引いた値になっており、しきい値電圧には依存していない。そのため、トランジスタ411、415のしきい値電圧にバラツキが生じていても、出力電位 V_{out} に対する影響を抑制することが出来る。

【 0 0 9 2 】

次いで、トランジスタ411～トランジスタ413がpチャネル型の場合について、図2(B)と図3を用いて説明する。

10

20

30

40

50

【 0 0 9 3 】

図 2 (B) において、トランジスタ 4 1 3 のソース領域には、入力電位 V_{in} が印加されており、またトランジスタ 4 1 4 のソース領域にはバイアス電位 V_b が印加されている。そして、スイッチ 4 1 5、4 1 6 をオンにする。そうすると、トランジスタ 4 1 3 のソース領域と電源線 4 1 7 には電位差が生じ、電流が流れる。同様に、トランジスタ 4 1 4 のソース領域と電源線 4 1 8 には電位差が生じ、電流が流れる。そして、トランジスタ 4 1 3 のゲート電極の電位は、電源電位 V_{dd1} と同じ値となり、トランジスタ 4 1 4 のゲート電極の電位は、電源電位 V_{dd2} と同じ値になる。

【 0 0 9 4 】

次いで、スイッチ 4 1 5、4 1 6 をオフにする (図 3 (A))。そうすると、トランジスタ 4 1 3、4 1 4 のドレイン領域の電位は上昇する。やがて、トランジスタ 4 1 3、4 1 4 のゲート・ソース間電圧は、該トランジスタ 4 1 3、4 1 4 のしきい値電圧 V_{th1} 、 V_{th2} に等しくなる。その結果、トランジスタ 4 1 3、4 1 4 はともにオフになる。

10

【 0 0 9 5 】

このとき、トランジスタ 4 1 3 のドレイン電位は $(V_{in} - |V_{th1}|)$ である。また、トランジスタ 4 1 4 のドレイン電位は $(V_b - |V_{th2}|)$ である (図 3 (B))。そして、トランジスタ 4 1 1 のソース領域の電位が出力電位となる。前記出力電位は以下の式 (1 6) ~ 式 (2 1) により算出される。

【 0 0 9 6 】

まず、上記の式 (8)、(9) を参照して、トランジスタ 4 1 2 のゲート電極に加えられた電圧を V_{a2} とすると、以下の式 (1 6) が成立する。

20

【 0 0 9 7 】

$$V_{a2} = V_b - |V_{th2}| \cdots (16)$$

【 0 0 9 8 】

さらに、トランジスタ 4 1 2 のゲート電極に加えられた電圧 V_{a2} からしきい値電圧 V_{th2} を引いた値を V_{k2} とすると、以下の式 (1 7) が成立する。

【 0 0 9 9 】

$$V_{k2} = V_{a2} - V_{th2} = (V_b - |V_{th2}|) - |V_{th2}| = V_b \cdots (17)$$

【 0 1 0 0 】

また、トランジスタ 4 1 1 のゲート電極に加えられた電圧を V_{a1} とすると、以下の式 (1 8) が成立する。

30

【 0 1 0 1 】

$$V_{a1} = V_{in} - |V_{th1}| \cdots (18)$$

【 0 1 0 2 】

さらに、トランジスタ 4 1 1 のゲート・ソース間電圧 V_{gs1} からしきい値電圧 V_{th1} を引いた値を V_{k1} とすると、以下の式 (1 9) が成立する。

【 0 1 0 3 】

$$V_{k1} = V_{gs1} - |V_{th1}| \cdots (19)$$

【 0 1 0 4 】

ここで、トランジスタ 4 1 1、4 1 2 には同量の電流が流れることを考慮すると、以下の式 (2 0) が成立する。

40

【 0 1 0 5 】

$$V_{k1} = V_{k2} = V_b \cdots (20)$$

【 0 1 0 6 】

そして、出力電位 V_{out} は、トランジスタ 2 1 1 のソース領域の電位であることから、以下の式 (2 1) が成立する。

【 0 1 0 7 】

$$V_{out} = V_{a1} - V_{gs1} = (V_{in} + V_{th1}) - (V_b + V_{th1}) = V_{in} - V_b \cdots (21)$$

【 0 1 0 8 】

式 (2 1) に示すように、出力電位 V_{out} は、入力電位 V_{in} からバイアス電位 V_b を引いた値

50

になっており、しきい値電圧には依存していない。そのため、トランジスタ411、415のしきい値電圧にバラツキが生じていても、出力電位 V_{out} に対する影響を抑制することが出来る。

【0109】

また図7(A)には、図1と図2(A)に示したソースフォロワ回路において、トランジスタ412、414と、スイッチ416と、電源線418とを配置していない場合のソースフォロワ回路を示す。なお図7(A)に示す電気回路において、電源線420とトランジスタ411のソース領域との間には、スイッチ423が追加して配置されている。図7(A)に示すソースフォロワ回路の動作は、上述した図1と図2(A)に示したソースフォロワ回路の動作と同じであるので、本実施の形態では説明を省略する。

10

【0110】

さらに図7(B)には、図2(B)と図3に示したソースフォロワ回路において、トランジスタ412、414と、スイッチ416と、電源線418とを配置していない場合のソースフォロワ回路を示す。なお、図7(B)に示すソースフォロワ回路の動作は、上述した図2(B)と図3に示したソースフォロワ回路の動作と同じであるので、本実施の形態では説明は省略する。

【0111】

なお本明細書では、整流性素子に所定の電荷を与える動作を設定動作とよぶ。本実施の形態では、図1(A)に示す動作、図2(B)に示す動作が設定動作に相当する。入力電位 V_{in} を入力して、出力電位 V_{out} を取り出す動作を出力動作とよぶ。本実施の形態では、図1(B)及び図2(A)に示す動作、図3(A)(B)に示す動作が出力動作に相当する。

20

【0112】

上述したように、本発明は、素子の両端の電極に電位差を与えたとき、単一方向にのみ電流が生ずる整流性素子を用いた電気回路を提供する。そして本発明は、整流性素子の一方の端子に信号電圧を入力したとき、他方の端子の電位が該整流性素子のしきい値電圧分だけオフセットをかけた電位となることを利用している。

【0113】

つまり、整流性素子間にしきい値電圧のバラツキが生じていても、該整流性素子は、常に該整流性素子のしきい値電圧分だけオフセットをかけた電位を提供できる。本発明は前記整流性素子を用いることにより、整流性素子間のしきい値電圧のバラツキの影響を抑制した電気回路を提供することが出来る。そして、整流性素子間のしきい値電圧のバラツキの影響を抑制するということは、トランジスタのしきい値電圧のバラツキの影響を抑制した電気回路を提供することが出来ることに相当する。

30

【0114】

(実施の形態2)

前述した実施の形態1では、本発明を適用したソースフォロワ回路について説明した。しかし本発明は、差動増幅回路、センスアンプ、オペアンプなどに代表される演算回路など、さまざまな回路にも適用することが出来る。本実施の形態では、本発明を適用した演算回路について図8～図11を用いて説明する。

40

【0115】

まず、本発明を適用した差動増幅回路について、図8を用いて説明する。差動増幅回路では、入力電位 V_{in1} 及び入力電位 V_{in2} の差の演算を行って出力電位 V_{out} を出力する。

【0116】

図8に示す差動増幅回路において、272、273はpチャネル型のトランジスタであり、274～276はnチャネル型のトランジスタである。277～279は整流性素子であり、本実施の形態ではnチャネル型のトランジスタを用いる。また、280～282は、スイッチング機能を有する素子であり、スイッチと表記する。スイッチ280～スイッチ282には、好ましくはトランジスタなどの半導体素子が用いられる。なお前記スイッチ280～スイッチ282は単なるスイッチなので、その極性は特に限定されない。

50

【 0 1 1 7 】

トランジスタ 2 7 2 のドレイン領域は電源線 2 8 5 に接続され、ソース領域はトランジスタ 2 7 4 のドレイン領域に接続されている。トランジスタ 2 7 3 のドレイン領域は電源線 2 8 5 に接続され、ソース領域はトランジスタ 2 7 5 のドレイン領域に接続されている。トランジスタ 2 7 2 のゲート電極とトランジスタ 2 7 3 のゲート電極は接続されている。なおトランジスタ 2 7 2 及びトランジスタ 2 7 3 の代わりに、抵抗を配置してもよい。

【 0 1 1 8 】

トランジスタ 2 7 4 のドレイン領域は、トランジスタ 2 7 2 を介して電源線 2 8 5 に接続され、ソース領域はトランジスタ 2 7 6 を介して電源線 2 8 9 に接続されている。トランジスタ 2 7 4 のゲート電極は、トランジスタ 2 7 7 のゲート電極に接続されている。

10

【 0 1 1 9 】

トランジスタ 2 7 5 のドレイン領域は、トランジスタ 2 7 3 を介して電源線 2 8 5 に接続され、ソース領域はトランジスタ 2 7 6 を介して電源線 2 8 9 に接続されている。トランジスタ 2 7 5 のゲート電極は、トランジスタ 2 7 8 のゲート電極に接続されている。

【 0 1 2 0 】

トランジスタ 2 7 6 のドレイン領域は、トランジスタ 2 7 4 のソース領域及びトランジスタ 2 7 5 のソース領域に接続されている。トランジスタ 2 7 6 のソース領域は電源線 2 8 9 に接続され、ゲート電極はトランジスタ 2 7 9 のゲート電極に接続されている。

【 0 1 2 1 】

図 8 に示す差動増幅回路においては、トランジスタ 2 7 7 のソース領域には入力電位 V_{in1} が入力され、トランジスタ 2 7 8 のソース領域には入力電位 V_{in2} が入力される。またトランジスタ 2 7 9 のソース領域にはバイアス電位 V_b が入力される。そしてトランジスタ 2 7 5 のドレイン領域の電位が出力電位 V_{out} となる。

20

【 0 1 2 2 】

2 8 5 ~ 2 8 9 は電源線であり、電源線 2 8 5 には電源電位 V_{dd1} が印加され、電源線 2 8 6 には電源電位 V_{dd2} が印加される。また電源線 2 8 7 には電源電位 V_{dd3} が印加され、電源線 2 8 8 には電源電位 V_{dd4} が印加される。また電源線 2 8 9 には接地電位 V_{ss} が印加される。ここで、トランジスタ 2 7 7 のしきい値電圧を V_{th277} 、トランジスタ 2 7 8 のしきい値電圧を V_{th278} 、トランジスタ 2 7 9 のしきい値電圧を V_{th279} とすると、各電源電位 $V_{dd2} \sim V_{dd4}$ は以下の式 (2 2) ~ (2 4) を満たすことが必要となる。

30

【 0 1 2 3 】

$$V_{dd2} = (V_{in1} + V_{th277}) \cdots (22)$$

【 0 1 2 4 】

$$V_{dd3} = (V_{in2} + V_{th278}) \cdots (23)$$

【 0 1 2 5 】

$$V_{dd4} = (V_b + V_{th279}) \cdots (24)$$

【 0 1 2 6 】

なお電源線 2 8 5 ~ 電源線 2 8 8 には、共通の 1 本の電源線を用いることもできる。但し、そのときには式 (2 2) ~ (2 4) を満たす電位を印加することが必要である。また図 8 に示した差動増幅回路の動作の説明は、上述した実施の形態 1 に準ずるので本実施の形態では省略する。

40

【 0 1 2 7 】

続いて、図 8 に示す差動増幅回路を構成するトランジスタが逆の導電型を有する場合について、図 9 を用いて説明する。

【 0 1 2 8 】

図 9 に示す差動増幅回路において、2 7 2、2 7 3 が n チャネル型のトランジスタであり、2 7 4 ~ 2 7 6 が p チャネル型のトランジスタである。2 7 7 ~ 2 7 9 は整流性素子であり、本実施の形態では p チャネル型のトランジスタを用いる。また、2 8 0 ~ 2 8 2 はスイッチである。なおトランジスタ 2 7 2 ~ トランジスタ 2 7 9 の接続の関係は、上述した図 8 に示した差動増幅回路と同じであるので、ここでは説明は省略する。

50

【 0 1 2 9 】

2 8 5 ~ 2 8 9 は電源線であり、電源線 2 8 5 には電源電位 V_{dd1} が印加され、電源線 2 8 6 には電源電位 V_{dd2} が印加される。また電源線 2 8 7 には電源電位 V_{dd3} が印加され、電源線 2 8 8 には電源電位 V_{dd4} が印加される。また電源線 2 8 9 には接地電位 V_{ss} が印加される。ここで、電圧を V_{th279} とすると、各電源電位 $V_{dd2} \sim V_{dd4}$ は以下の式 (2 5) ~ (2 7) を満たすことが必要となる。

【 0 1 3 0 】

$$V_{dd2} = (V_{in1} - |V_{th277}|) \cdots (25)$$

【 0 1 3 1 】

$$V_{dd3} = (V_{in2} - |V_{th278}|) \cdots (26)$$

【 0 1 3 2 】

$$V_{dd4} = (V_b - |V_{th279}|) \cdots (27)$$

【 0 1 3 3 】

なお電源線 2 8 5 ~ 電源線 2 8 8 には、共通の 1 本の電源線を用いることもできる。但し、そのときには式 (2 5) ~ (2 7) を満たす電位を印加することが必要である。また図 9 に示した差動増幅回路の動作の説明は、上述した実施の形態 1 に準ずるので本実施の形態では省略する。

【 0 1 3 4 】

また本実施の形態では、図 8、9 に示す電気回路を差動増幅回路として示したが、本発明はこれに限定されず、入力電位 V_{in1} と入力電位 V_{in2} として入力する電圧を適宜変更して、センサンプなどの他の演算回路として用いることも出来る。

【 0 1 3 5 】

次いで、本発明を適用したオペアンプについて、図 10、11 を用いて説明する。図 10 (A) にはオペアンプの回路記号を示し、図 10 (B) には該オペアンプの回路構成を示す。

【 0 1 3 6 】

なお、オペアンプの回路構成としては、さまざまなものがある。そこで、図 12 では、もっとも簡単な場合として、差動増幅回路にソースフォロワ回路を組み合わせた場合について述べる。よって、オペアンプの回路構成は、図 12 の構成に限定されない。

【 0 1 3 7 】

オペアンプでは、入力電位 V_{in1} 及び入力電位 V_{in2} と、出力電位 V_{out} との関係によって特性が定義される。より詳しくは、オペアンプは、入力電位 V_{in1} 及び入力電位 V_{in2} との差の電圧に対し、増幅度 A を掛けて出力電位 V_{out} を出力する機能を有する。

【 0 1 3 8 】

図 10 (B) に示すオペアンプにおいて、トランジスタ 2 7 7 のソース領域には入力電位 V_{in1} が入力され、トランジスタ 2 7 8 のソース領域には入力電位 V_{in2} が入力される。またトランジスタ 2 7 9、4 1 4 のソース領域にはバイアス電位 V_b が入力される。そしてトランジスタ 4 1 1 のソース領域の電位が出力電位 V_{out} となる。

【 0 1 3 9 】

図 10 (B) に示す回路において、305 で示す点線で囲んだ部分は、図 8 に示した差動増幅回路と同じ構成である。また、306 で示す点線で囲んだ部分は、図 1 に示したソースフォロワ回路と同じ構成である。そのため、図 10 (B) に示したオペアンプの詳しい構成の説明は省略する。但し、電源線 2 8 6 ~ 電源線 2 8 8 に印加される各電源電位は、上記の式 (2 2) ~ (2 4) を満たす必要がある。また、電源線 4 1 7、4 1 8 に印加される各電源電位は、上記の式 (4)、(5) を満たす必要がある。なお本実施の形態では、上記の式 (4) における入力電位 V_{in} とは、トランジスタ 2 7 5 のドレイン領域の電位に相当する。

【 0 1 4 0 】

また図 11 には、トランジスタ 4 1 2 が p チャネル型である場合のオペアンプを示す。図 11 (B) において、トランジスタ 4 1 4 のドレイン領域が、トランジスタ 4 1 3 のドレ

10

20

30

40

50

イン領域に接続されている点以外は、図 10 (B) に示すオペアンプの構成と同じである。そのため、図 11 (B) に示したオペアンプの詳しい構成の説明は省略する。但し、電源線 286 ~ 電源線 288 に印加される各電源電位は、上記の式 (22) ~ (24) を満たす必要がある。また、電源線 417 に印加される電源電位は、上記の式 (4) を満たす必要がある。なお本実施の形態では、上記の式 (4) における入力電位 V_{in} とは、トランジスタ 275 のドレイン領域の電位に相当する。さらに、電源線 418 に印加される電源電位は、以下の式 (28) を満たす必要がある。

【0141】

【数 1】

$$V_{dd6} = (V_{in} - |V_{th414}|) \cdots (28)$$

10

【0142】

このように本発明は、素子の両端の電極に電位差を与えたとき、単一方向にのみ電流が生ずる整流性素子を用いた電気回路を提供する。そして本発明は、整流性素子の一方の端子に信号電圧を入力したとき、他方の端子の電位が該整流性素子のしきい値電圧分だけオフセットをかけた電位となることを利用している。

【0143】

つまり、整流性素子間にしきい値電圧のバラツキが生じていても、該整流性素子は、常に該整流性素子のしきい値電圧分だけオフセットをかけた電位を提供できる。本発明は前記整流性素子を用いることにより、整流性素子間のしきい値電圧のバラツキの影響を抑制した電気回路を提供することが出来る。そして、整流性素子間のしきい値電圧のバラツキの影響を抑制するということは、トランジスタのしきい値電圧のバラツキの影響を抑制した電気回路を提供することが出来ることに相当する。

20

【0144】

なお本実施の形態は、実施の形態 1 と任意に組み合わせることが可能である。

【0145】

(実施の形態 3)

本実施の形態では、本発明を適用した光電変換素子を有する半導体装置の構成とその動作について、図 12、13 を用いて説明する。

【0146】

図 12 (A) に示す半導体装置は、基板 701 上に、複数の画素がマトリクス状に配置された画素部 702 を有し、画素部 702 の周辺には、信号線駆動回路 703、第 1 ~ 第 4 の走査線駆動回路 704 ~ 707 を有する。図 12 (A) に示す半導体装置は、信号線駆動回路 703 と、4 組の走査線駆動回路 704 ~ 707 を有しているが、本発明はこれに限定されず、信号線駆動回路と走査線駆動回路の数は画素の構成に応じて任意に配置することが出来る。また、信号線駆動回路 703 と、第 1 ~ 第 4 の走査線駆動回路 704 ~ 707 には、FPC 708 を介して外部より信号が供給されている。しかし本発明はこれに限定されず、画素部 702 以外の電気回路は、IC などを用いて外部から供給するようにしてもよい。

30

【0147】

最初に、第 1 の走査線駆動回路 704 及び第 2 の走査線駆動回路 705 の構成について、図 12 (B) を用いて説明する。第 3 の走査線駆動回路 706 及び第 4 の走査線駆動回路 707 は、図 12 (B) の図に準ずるので、図示は省略する。

40

【0148】

第 1 の走査線駆動回路 704 は、シフトレジスタ 709、バッファ 710 を有する。第 2 の走査線駆動回路 705 は、シフトレジスタ 711、バッファ 712 を有する。動作を簡単に説明すると、シフトレジスタ 709、711 は、クロック信号 (G-CLK)、スタートパルス (SP) 及びクロック反転信号 (G-CLKb) に従って、順次サンプリングパルスを出力する。その後バッファ 710、712 で増幅されたサンプリングパルスは、走査線に入力されて、1 行ずつ選択状態にしていく。

【0149】

50

なおシフトレジスタ709とバッファ710との間、又はシフトレジスタ711とバッファ712との間にはレベルシフト回路を配置した構成にしてもよい。レベルシフト回路を配置することによって、電圧振幅を大きくすることが出来る。

【0150】

次いで、信号線駆動回路703の構成について、図12(C)を用いて説明する。

【0151】

信号線駆動回路703は、信号出力線用駆動回路715、サンプルホールド回路716、バイアス回路714及び増幅回路717を有する。バイアス回路714は、各画素の増幅用トランジスタと対になって、ソースフォロワ回路を形成する。サンプルホールド回路716は、信号を一時的に保存したり、アナログ・デジタル変換を行ったり、雑音を低減したりする機能を有する。信号出力用駆動回路715は、一時的に保存されていた信号を、順に出力していくための信号を出力する機能を有する。そして、増幅回路717は、サンプルホールド回路716と信号出力用駆動回路715により出力された信号を増幅する回路を有する。なお、増幅回路717は、信号を増幅する必要のない場合には配置しなくてもよい。

10

【0152】

そして、画素部702においてi列目j行目に配置される画素713の回路と、i列目の周辺のバイアス回路714の構成とその動作について、図13を用いて説明する。

【0153】

最初に、i列目j行目に配置される画素713の回路と、i列目の周辺のバイアス回路714の構成について説明する。

20

【0154】

図13に示す画素713は、第1～第4の走査線 $G_a(j) \sim G_d(j)$ 、信号線 $S(i)$ 、第1の電源線 $V_a(i)$ 、第2の電源線 $V_c(i)$ を有する。また、nチャネル型のトランジスタ254、255、光電変換素子257、スイッチ250～スイッチ253を有する。トランジスタ254はダイオード接続をしており、整流性素子に相当する。

【0155】

バイアス回路714は、nチャネル型のトランジスタ256、257、スイッチ258を有する。トランジスタ257はダイオード接続をしており、整流性素子に相当する。

【0156】

本実施の形態においては、トランジスタ255はnチャネル型としたが、本発明はこれに限定されず、pチャネル型でもよい。但し、トランジスタ255とトランジスタ260により、ソースフォロワ回路を形成するので、両トランジスタは同じ極性であることが好ましい。

30

【0157】

スイッチ250～254、258は、スイッチング機能を有する半導体素子であり、好ましくはトランジスタが用いられる。スイッチ251は、第1の走査線 $G_a(j)$ から入力される信号により、オン又はオフが制御される。スイッチ250は、第2の走査線 $G_b(j)$ から入力される信号により、オン又はオフが制御される。スイッチ252は、第3の走査線 $G_c(j)$ から入力される信号により、オン又はオフが制御される。スイッチ253は、第4の走査線 $G_d(j)$ から入力される信号により、オン又はオフが制御される。またスイッチ258も入力される信号によって、導通又は非導通(オン又はオフ)が制御される。しかし、説明を簡単にするために、スイッチ258に信号を入力する信号線の図示は省略する。

40

【0158】

画素713において、トランジスタ255のソース領域とドレイン領域は、一方は第1の電源線 $V_a(i)$ に接続され、他方はスイッチ250を介して信号線 $S(i)$ に接続されている。トランジスタ255のゲート電極は、トランジスタ254のドレイン領域及びゲート電極に接続されている。光電変換素子257の一方の端子は、スイッチ252を介してトランジスタ254のソース領域に接続されている。光電変換素子257の他方の端子

50

は電源線 258 に接続されている。電源線 258 には、接地電位 V_{ss} が印加される。

【0159】

また、バイアス回路 714 において、トランジスタ 256 のドレイン領域は信号線 $S(i)$ に接続され、ソース領域は電源線 260 に接続されている。電源線 260 には、接地電位 V_{ss} が印加される。またトランジスタ 256 のゲート電極は、トランジスタ 257 のゲート電極及びドレイン領域に接続され、且つスイッチ 258 を介して電源線 259 に接続されている。電源線 259 には、電源電位 V_{dd} が印加される。また、トランジスタ 257 のソース領域には、バイアス電位 V_b が印加される。

【0160】

そして、図 13 において、719 で示す点線で囲んだ部分と 714 で示す点線で囲んだ部分とが、図 1 で示したソースフォロワ回路に相当する。このとき、第 2 の電源線 $V_c(i)$ の電位は、以下の式 (29) を満たす必要がある。なお式 (29) において、 V_{pd} とは光電変換素子 257 から読み出される信号の電位であり、 V_{th254} とはトランジスタ 254 のしきい値電圧である。

【0161】

$$V_c = (V_{pd} + V_{th254}) \cdots (29)$$

【0162】

同様に、電源線 259 の電位 V_{dd} は、以下の式 (30) を満たす必要がある。なお式 (30) において、 V_{th257} とはトランジスタ 257 のしきい値電圧である。

【0163】

$$V_{dd} = (V_b + V_{th257}) \cdots (30)$$

【0164】

なお上記の式 (29)、(30) は、トランジスタ 254、255、256、257 が n チャネル型の場合において成立する。ここで、トランジスタ 254、255、256、257 が p チャネル型の場合には、以下の式 (31)、(32) が成立する。

【0165】

$$V_c = (V_{pd} - |V_{th254}|) \cdots (31)$$

【0166】

$$V_{dd} = (V_b - |V_{th257}|) \cdots (32)$$

【0167】

次いで、 i 列目 j 行目に配置される画素 713 の回路と、 i 列目の周辺のバイアス回路 714 の動作を簡単に説明する。

【0168】

まず、画素 713 においてスイッチ 251 をオンにする。そしてそれ以外のスイッチはオフにする。そうすると、第 2 の電源線 $V_c(i)$ の電位と、トランジスタ 254、255 のゲート電極の電位が同じになる。その結果、トランジスタ 254、255 はオンになる。

【0169】

同様に、バイアス回路 714 においてスイッチ 258 をオンにする。そうすると、電源線 259 の電源電位 V_{dd} と、トランジスタ 256、257 のゲート電極の電位が同じになる。その結果、トランジスタ 256、257 はオンになる。

【0170】

次いで、スイッチ 252 をオンにする。このとき、スイッチ 251、258 はオンであり、その以外のスイッチはオフを維持する。このとき、光電変換素子 257 から読み出される信号の電位を V_{pd} とする。

【0171】

続いて、画素 713 においてスイッチ 251 をオフにする。そうすると、トランジスタ 254 のドレイン電位は下降する。そして、トランジスタ 254 のゲート・ソース間電圧は、該トランジスタ 254 のしきい値電圧に等しくなり、トランジスタ 254 はオフになる。このとき、トランジスタ 254 のドレイン電位は、 $V_{pd} + V_{th254}$ となっている。つまり、

トランジスタ 254 によって、入力される信号の電位 V_{pd} に、該トランジスタ 254 のしきい値電圧 V_{th254} を上乗せする動作が行われたことになる。なおスイッチ 252 は、トランジスタ 254 がオフになった後に、オンからオフにするとよい。

【0172】

同様に、バイアス回路 714 においてスイッチ 258 をオフにする。そうすると、トランジスタ 257 のドレイン電位は下降する。そして、トランジスタ 257 のゲート・ソース間電圧は、該トランジスタ 257 のしきい値電圧に等しくなり、トランジスタ 257 はオフになる。このとき、トランジスタ 257 のドレイン電位は、 $V_b + V_{th257}$ となっている。つまり、トランジスタ 257 によって、入力される信号の電位 V_b に、該トランジスタ 257 のしきい値電圧 V_{th257} を上乗せする動作が行われたことになる。

10

【0173】

次いで、スイッチ 250 をオンにする。そしてそれ以外のスイッチはオフとする。そうすると、トランジスタ 255 のソース領域の電位が出力電位 V_{out} となり、該出力電位 V_{out} は、光電変換素子 257 により読み取られた信号として、スイッチ 250 を介して信号線 S(i) に出力される。

【0174】

続いて、スイッチ 253 をオンにして、それ以外のスイッチは全てオフにする。そして、光電変換素子 257 を初期化する。より詳しくは、光電変換素子 257 の n チャネル側端子の電位が電源線 258 の電位と同じになるように、光電変換素子 257 が保持している電荷をスイッチ 254 を介して、電源線 V(i) の方向に流れるようにする。以後、上記の動作を繰り返す。

20

【0175】

上述したように、本発明は、素子の両端の電極に電位差を与えたとき、単一方向にのみ電流が生ずる整流性素子を用いた電気回路を提供する。そして本発明は、整流性素子の一方の端子に信号電圧を入力したとき、他方の端子の電位が該整流性素子のしきい値電圧分だけオフセットをかけた電位となることを利用している。

【0176】

つまり、整流性素子間にしきい値電圧のバラツキが生じていても、該整流性素子は、常に該整流性素子のしきい値電圧分だけオフセットをかけた電位を提供できる。本発明は前記整流性素子を用いることにより、整流性素子間のしきい値電圧のバラツキの影響を抑制した電気回路を提供することが出来る。そして、整流性素子間のしきい値電圧のバラツキの影響を抑制するということは、トランジスタのしきい値電圧のバラツキの影響を抑制した半導体装置を提供することが出来ることに相当する。

30

【0177】

本発明は、実施の形態 1 ~ 実施の形態 3 と任意に組み合わせることが可能である。

【0178】

(実施の形態 4)

本実施の形態では、本発明を適用した電気回路において、実施の形態 2、3 とは異なる例について、図 14 ~ 図 17 を用いて説明する。

【0179】

図 14 (A) において、310 は図 1 と図 2 (A) で示したソースフォロワ回路に、スイッチ 421、422 を追加した構成になっている。ソースフォロワ回路 310 の回路構成と動作は、図 1 と図 2 (A) と同じであるので、本実施の形態では説明は省略する。

40

【0180】

ソースフォロワ回路 310 の動作は、大別して設定動作と出力動作に分別できることは上述した。なお設定動作とは、整流性素子に所定の電荷を与える動作であり、図 1 (A) に示す動作に相当する。また出力動作とは、入力電位 V_{in} を入力して、出力電位 V_{out} を取り出す動作のことであり、図 1 (B) と図 2 (A) に示す動作に相当する。

【0181】

ソースフォロワ回路 310 において、端子 a が入力端子に相当し、端子 b が出力端子に相

50

当する。そして、スイッチ 4 1 5、4 1 6 は端子 c から入力される信号により制御される。スイッチ 4 2 1、4 2 2 は端子 d から入力される信号により制御される。

【0182】

なお、本形態には図 1 と図 2 (A) に示す回路を適用したが、図 2 (B) や図 7 (A)、(B) に示す回路を用いてもよい。

【0183】

そして、ソースフォロワ回路 3 1 0 を有する電気回路を設計するときには、図 1 4 (B) に示すように、少なくとも 2 つのソースフォロワ回路 3 1 5、3 1 6 を配置するとよい。そしてソースフォロワ回路 3 1 5、3 1 6 のうち、一方は設定動作を行って、他方は出力動作を行うようにするとよい。そうすると、同時に 2 つのことができ、動作に無駄がなく、無駄な時間が必要なくなるので、電気回路の動作をより高速で行うことができる。

10

【0184】

例えば、信号線駆動回路にソースフォロワ回路を用いて設計するときには、信号線ごとに少なくとも 2 個のソースフォロワ回路を配置するとよい。また走査線駆動回路にソースフォロワ回路を用いて設計するときには、走査線ごとに少なくとも 2 個のソースフォロワ回路を配置するとよい。また画素にソースフォロワ回路を用いて設計するときには、画素ごとに少なくとも 2 つのソースフォロワ回路を配置するとよい。

【0185】

また図 1 4 (B) において、3 1 1 ~ 3 1 4 はスイッチである。スイッチ 3 1 1、3 1 2 がオンのときは、スイッチ 3 1 3、3 1 4 はオフとなる。スイッチ 3 1 1、3 1 2 がオフのときには、スイッチ 3 1 3、3 1 4 はオンとなる。このようにして、2 つのソースフォロワ回路 3 1 5、3 1 6 のうち、一方は設定動作を行って、他方は出力動作を行うようにする。なお、スイッチ 3 1 1 ~ スwitch 3 1 4 を配置せずに、ソースフォロワ回路 3 1 0 が有するスイッチ 4 2 1、4 2 2 を制御することによって、2 つのソースフォロワ回路 3 1 5、3 1 6 を制御するようにしてもよい。

20

【0186】

また本実施の形態では、点線で囲んだ部分 3 1 5、3 1 6 は、ソースフォロワ回路に相当するとしたが、本発明はこれに限定されず、図 8 ~ 図 1 1 などに示した差動増幅回路、オペアンプなどを適用してもよい。

【0187】

そして本実施の形態では、信号線ごとに少なくとも 2 個のソースフォロワ回路を配置した信号線駆動回路の構成とその動作について、図 1 5 ~ 図 1 7 を用いて説明する。

30

【0188】

図 1 5 には信号線駆動回路を示しており、該信号線駆動回路は、シフトレジスタ 3 2 1、第 1 のラッチ回路 3 2 2、第 2 のラッチ回路 3 2 3、D/A 変換回路 3 2 4 及び信号増幅回路 3 2 5 を有する。

【0189】

なお、第 1 のラッチ回路 3 2 2 や第 2 のラッチ回路 3 2 3 が、アナログデータを保存できる回路である場合は、D/A 変換回路 3 2 4 は省略できる場合が多い。また、信号線に出力するデータが 2 値、つまり、デジタル量である場合は、D/A 変換回路 3 2 4 は省略できる場合が多い。また、D/A 変換回路 3 2 4 には、ガンマ補正回路が内蔵されている場合もある。このように、信号線駆動回路は、図 1 7 に限定されない。

40

【0190】

動作を簡単に説明すると、シフトレジスタ 3 2 1 は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (SP)、クロック反転信号 (S-CLKb) が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0191】

シフトレジスタ 3 2 1 より出力されたサンプリングパルスは、第 1 のラッチ回路 3 2 2 に入力される。第 1 のラッチ回路 3 2 2 には、ビデオ信号が入力されており、サンプリング

50

パルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

【 0 1 9 2 】

第 1 のラッチ回路 3 2 2 において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第 2 のラッチ回路 3 2 3 にラッチパルス (Latch Pulse) が入力され、第 1 のラッチ回路 3 2 2 に保持されていたビデオ信号は、一斉に第 2 のラッチ回路 3 2 3 に転送される。その後、第 2 のラッチ回路 3 2 3 に保持されたビデオ信号は、1 行分が同時に、D / A 変換回路 3 2 4 へと入力される。そして、D / A 変換回路 3 2 4 から入力される信号は信号増幅回路 3 2 5 へ入力される。

【 0 1 9 3 】

第 2 のラッチ回路 3 2 3 に保持されたビデオ信号が D / A 変換回路 3 2 4 に入力されている間、シフトレジスタ 3 2 1 においては再びサンプリングパルスが出力される。以後、この動作を繰り返す。

【 0 1 9 4 】

そして、 i 列目から $(i + 2)$ 列目の 3 本信号線の周辺の信号増幅回路 3 2 5 の構成を図 1 6 を用いて説明する。

【 0 1 9 5 】

信号増幅回路 3 2 5 は、列ごとに 2 つのソースフォロワ回路 3 1 5、3 1 6 を有する。ソースフォロワ回路 3 1 5、3 1 6 は、それぞれ端子 a ~ 端子 d までの 4 つの端子を有する。端子 a はソースフォロワ回路 3 1 5、3 1 6 における入力端子に相当し、端子 b はソースフォロワ回路 3 1 5、3 1 6 における出力端子に相当する。また、端子 c から入力される信号によりスイッチ 4 1 5、4 1 6 が制御され、端子 d から入力される信号によりスイッチ 4 2 1、4 2 2 が制御される。

【 0 1 9 6 】

また図 1 6 に示す信号増幅回路 3 2 5 において、設定用信号線 3 2 6 と、ソースフォロワ回路 3 1 5、3 1 6 との間には、3 2 7、3 2 8 で示す論理演算子 (インバータ) が配置されている。そして、端子 c、d には、設定用信号線 3 2 7 から出力される信号、又は上記の論理演算子の出力端子から出力される信号のどちらかが入力される。

【 0 1 9 7 】

次いで、設定用信号線 3 2 6 で示す信号線から出力される信号と、ソースフォロワ回路 3 1 5、3 1 6 において、端子 c ~ 端子 e を介して各スイッチに入力される信号を図 1 7 を用いて説明する。

【 0 1 9 8 】

なお、端子 c、d を介して信号が入力されるスイッチは、High の信号が入力されるとオンになり、Low の信号が入力されるとオフになるとする。

【 0 1 9 9 】

そして、設定用信号線 3 2 6 からは、図 1 7 に示すような信号が入力される。そして、ソースフォロワ回路 3 1 5 における端子 c には、設定用信号線 3 2 6 から出力される信号がそのまま入力される。端子 d にはインバータ 3 2 7 の出力端子から出力される信号が入力される。そうすると、ソースフォロワ回路 3 1 5 では、設定動作と出力動作のどちらか一方の動作を行うように制御することが出来る。

【 0 2 0 0 】

同様に、ソースフォロワ回路 3 1 6 における端子 c には、インバータ 3 2 8 の出力端子から出力される信号が入力される。端子 d には、設定用信号線 3 2 6 から出力される信号がそのまま入力される。そうすると、ソースフォロワ回路 3 1 6 では、設定動作と出力動作のどちらか一方の動作を行うように制御することが出来る。

【 0 2 0 1 】

上述したように、本発明は、素子の両端の電極に電位差を与えたとき、単一方向にのみ電流が生ずる整流性素子を用いた電気回路を提供する。そして本発明は、整流性素子の一方の端子に信号電圧を入力したとき、他方の端子の電位が該整流性素子のしきい値電圧分だけオフセットをかけた電位となることを利用している。

10

20

30

40

50

【 0 2 0 2 】

つまり、整流性素子間にしきい値電圧のバラツキが生じていても、該整流性素子は、常に該整流性素子のしきい値電圧分だけオフセットをかけた電位を提供できる。本発明は前記整流性素子を用いることにより、整流性素子間のしきい値電圧のバラツキの影響を抑制した電気回路を提供することが出来る。そして、整流性素子間のしきい値電圧のバラツキの影響を抑制するということは、トランジスタのしきい値電圧のバラツキの影響を抑制した電気回路を提供することが出来ることに相当する。

【 0 2 0 3 】

なお、この信号線駆動回路の各信号線の先には、複数の画素が接続されている場合が多い。当該画素は、信号線から入力される電圧によって、状態を変化させるものであることが多い。例としては、LCDや有機ELなどがあげられる。その他にも、さまざまな構成の画素を接続することが可能である。

10

【 0 2 0 4 】

なお、本実施の形態は、実施の形態1～実施の形態4と任意に組み合わせることが可能である。

【 0 2 0 5 】

(実施の形態5)

本発明の電気回路を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それらの電子機器の具体例を図18に示す。

20

【 0 2 0 6 】

図18(A)は発光装置であり、筐体3001、支持台3002、表示部3003、スピーカー部3004、ビデオ入力端子3005等を含む。本発明は表示部3003を構成する電気回路に用いることができる。また本発明により、図18(A)に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、

30

広告表示用などの全ての情報表示用表示装置が含まれる。

【 0 2 0 7 】

図18(B)はデジタルスチルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッター3106等を含む。本発明は、表示部3102を構成する電気回路に用いることができる。また本発明により、図18(B)に示すデジタルスチルカメラが完成される。

【 0 2 0 8 】

図18(C)はノート型パーソナルコンピュータであり、本体3201、筐体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。本発明は、表示部3203を構成する電気回路に用いることができる。また本発明により、図18(C)に示す発光装置が完成される。

40

【 0 2 0 9 】

図18(D)はモバイルコンピュータであり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。本発明は、表示部3302を構成する電気回路に用いることができる。また本発明により、図18(D)に示すモバイルコンピュータが完成される。

【 0 2 1 0 】

図18(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体3401、筐体3402、表示部A3403、表示部B3404、記録媒体(DVD等)読み込み部3405、操作キー3406、スピーカー部3407等を含む。表

50

示部 A 3 4 0 3 は主として画像情報を表示し、表示部 B 3 4 0 4 は主として文字情報を表示するが、本発明は、表示部 A、B 3 4 0 3、3 4 0 4 を構成する電気回路に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図 1 8 (E) に示す DVD 再生装置が完成される。

【 0 2 1 1 】

図 1 8 (F) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体 3 5 0 1、表示部 3 5 0 2、アーム部 3 5 0 3 を含む。本発明は、表示部 3 5 0 2 を構成する電気回路に用いることができる。また本発明により、図 1 8 (F) に示すゴーグル型ディスプレイが完成される。

【 0 2 1 2 】

図 1 8 (G) はビデオカメラであり、本体 3 6 0 1、表示部 3 6 0 2、筐体 3 6 0 3、外部接続ポート 3 6 0 4、リモコン受信部 3 6 0 5、受像部 3 6 0 6、バッテリー 3 6 0 7、音声入力部 3 6 0 8、操作キー 3 6 0 9 等を含む。本発明は、表示部 3 6 0 2 を構成する電気回路に用いることができる。また本発明により、図 1 8 (G) に示すビデオカメラが完成される。

【 0 2 1 3 】

図 1 8 (H) は携帯電話であり、本体 3 7 0 1、筐体 3 7 0 2、表示部 3 7 0 3、音声入力部 3 7 0 4、音声出力部 3 7 0 5、操作キー 3 7 0 6、外部接続ポート 3 7 0 7、アンテナ 3 7 0 8 等を含む。本発明は、表示部 3 7 0 3 を構成する電気回路に用いることができる。なお、表示部 3 7 0 3 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図 1 8 (H) に示す携帯電話が完成される。

【 0 2 1 4 】

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【 0 2 1 5 】

また、上記電子機器はインターネットや C A T V (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【 0 2 1 6 】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 2 1 7 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態 1 ~ 実施の形態 4 に示したいずれの構成の電気回路を用いても良い。

【 0 2 1 8 】

【 発明の効果 】

本発明は、素子の両端の電極に電位差を与えたとき、単一の方法にのみ電流が生ずる整流性素子を用いた電気回路を提供する。そして本発明は、整流性素子の一方の端子に信号電圧を入力したとき、他方の端子の電位が該整流性素子のしきい値電圧分だけオフセットをかけた電位となることを利用している。

【 0 2 1 9 】

つまり、整流性素子間にしきい値電圧のバラツキが生じていても、該整流性素子は、常に該整流性素子のしきい値電圧分だけオフセットをかけた電位を提供できる。本発明は前記整流性素子を用いることにより、整流性素子間のしきい値電圧のバラツキの影響を抑制した電気回路を提供することが出来る。そして、整流性素子間のしきい値電圧のバラツキの影響を抑制するということは、トランジスタのしきい値電圧のバラツキの影響を抑制した

10

20

30

40

50

電気回路を提供することが出来ることに相当する。

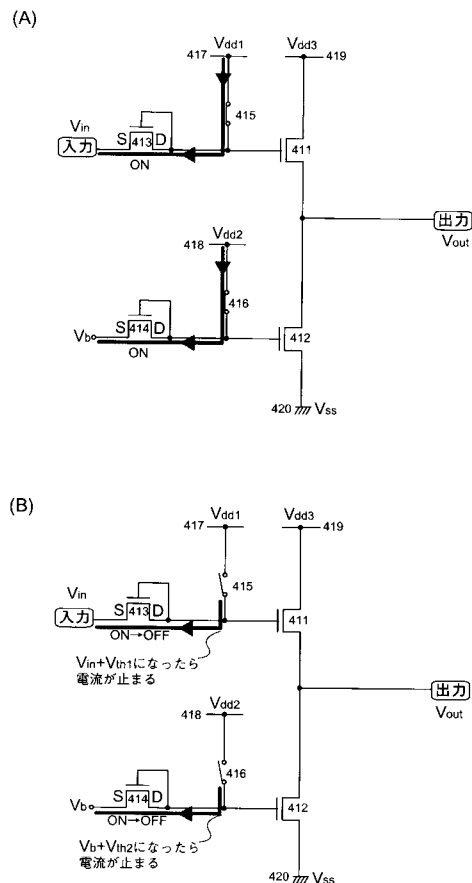
【図面の簡単な説明】

- 【図 1】 本発明のソースフォロワ回路の動作を説明する図。
 【図 2】 本発明のソースフォロワ回路の動作を説明する図。
 【図 3】 本発明のソースフォロワ回路の動作を説明する図。
 【図 4】 本発明の電気回路の構成とその動作を説明する図。
 【図 5】 ソースフォロワ回路の動作を説明する図。
 【図 6】 ソースフォロワ回路の動作を説明する図。
 【図 7】 本発明のソースフォロワ回路を示す図。
 【図 8】 本発明の差動増幅回路を示す図。
 【図 9】 本発明の差動増幅回路を示す図。
 【図 10】 本発明のオペアンプを示す図。
 【図 11】 本発明のオペアンプを示す図。
 【図 12】 本発明の半導体装置を示す図。
 【図 13】 本発明の半導体装置の画素とバイアス用回路を示す図。
 【図 14】 本発明の電気回路の構成を説明する図。
 【図 15】 本発明の信号線駆動回路の図。
 【図 16】 本発明の信号線駆動回路の図。
 【図 17】 本発明の信号線駆動回路の動作を説明する図。
 【図 18】 本発明が適用される電気機器の図。

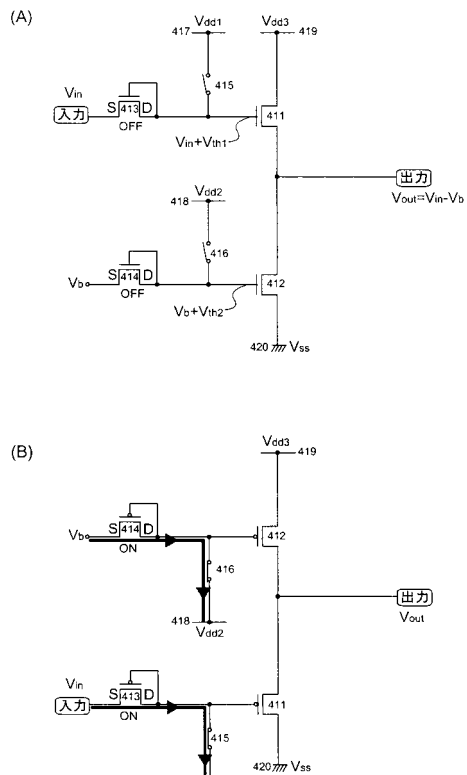
10

20

【図 1】

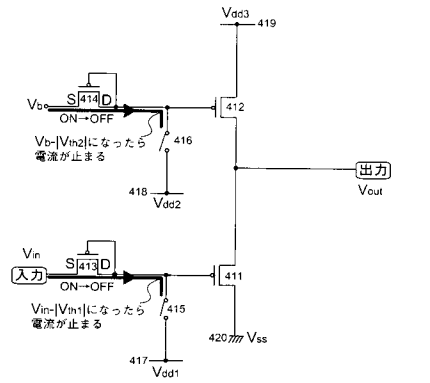


【図 2】

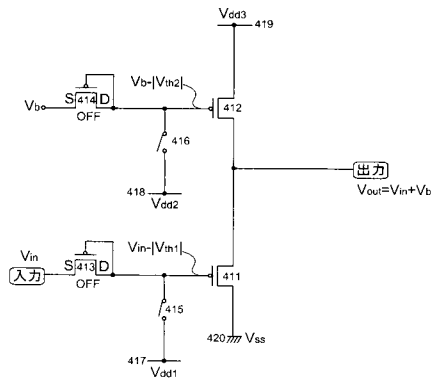


【図 3】

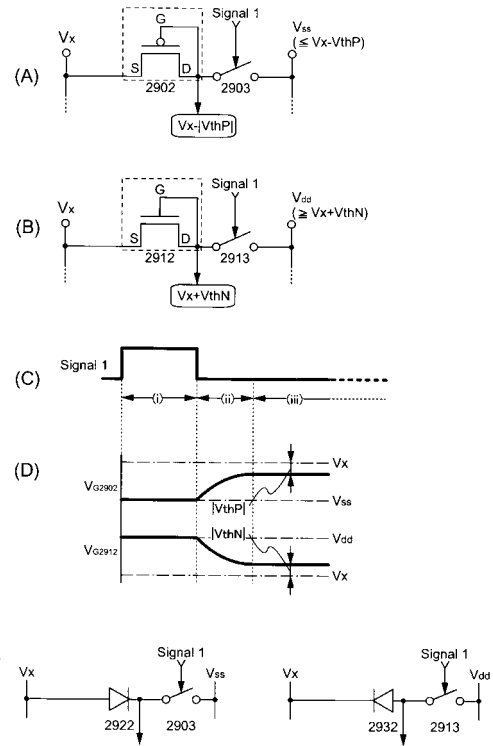
(A)



(B)

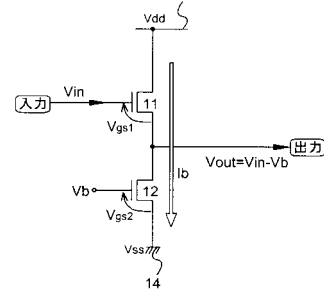
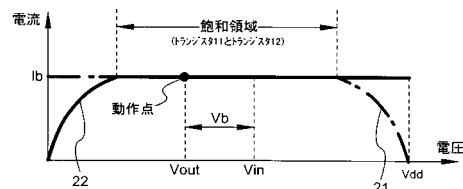
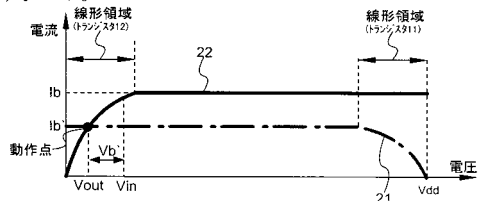


【図 4】

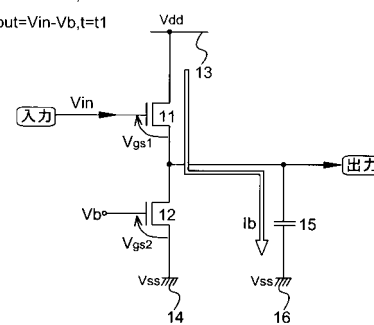
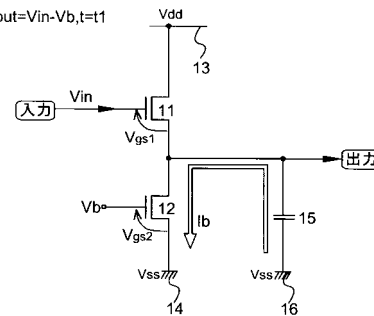


【図 5】

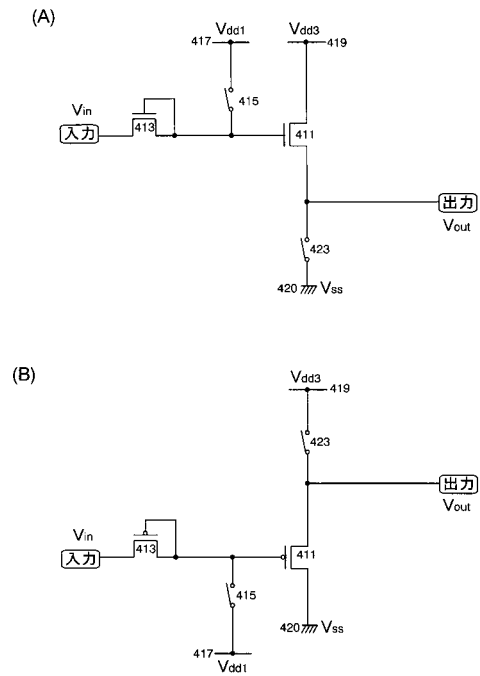
(A)

(B) $V_{gs1}=V_{gs2}=V_b$ (C) $V_{gs2}=V_b, V_{gs1}=V_b'$ 

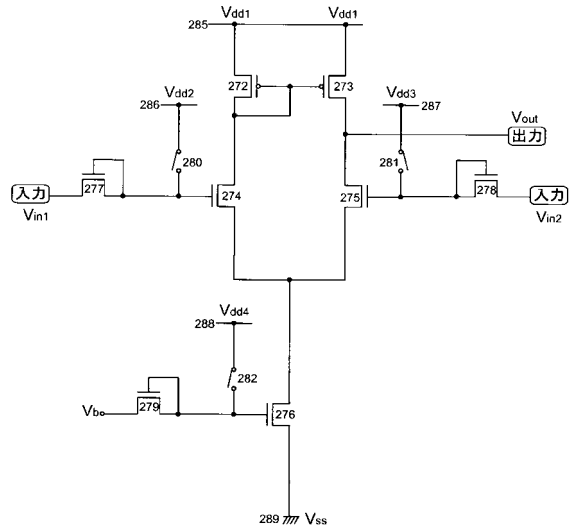
【図 6】

(A) $V_{out} < V_{in} - V_b, t=0$ $V_{out} = V_{in} - V_b, t=t_1$ (B) $V_{out} > V_{in} - V_b, t=0$ $V_{out} = V_{in} - V_b, t=t_1$ 

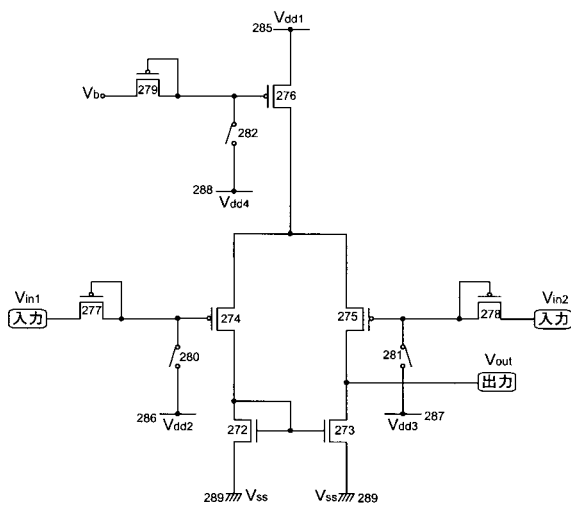
【図 7】



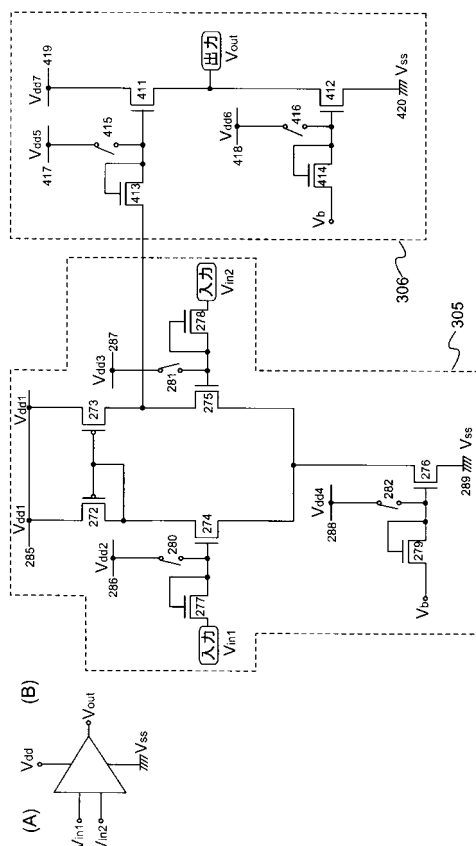
【図 8】



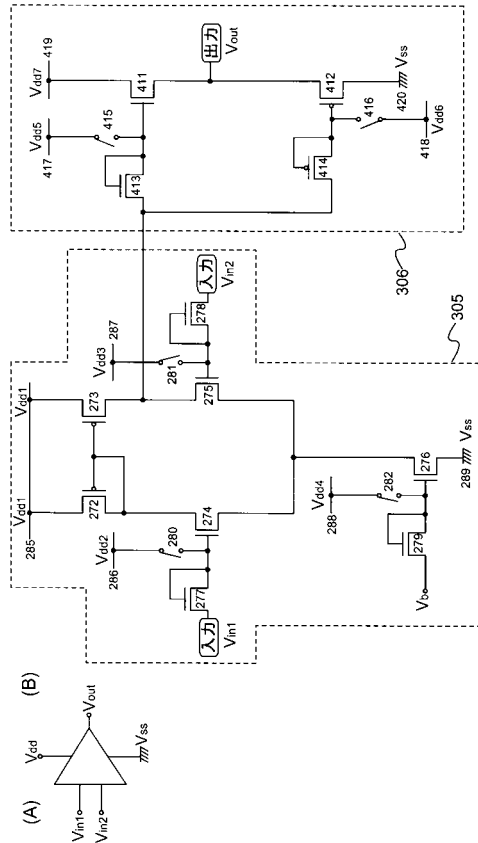
【図 9】



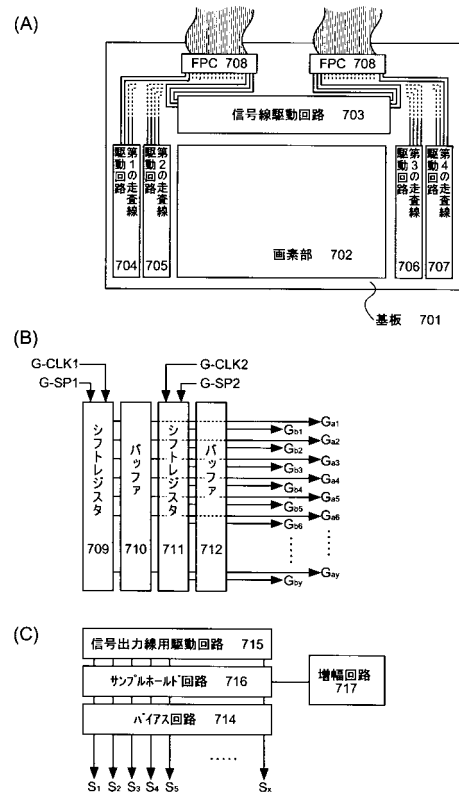
【図 10】



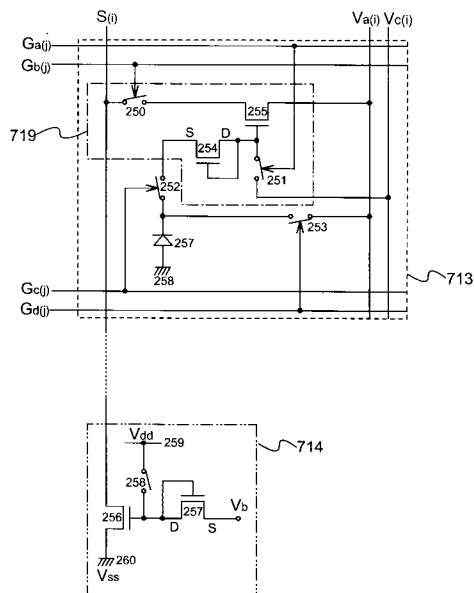
【図 1 1】



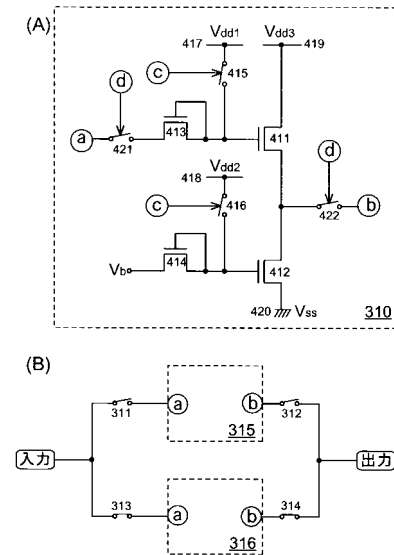
【図 1 2】



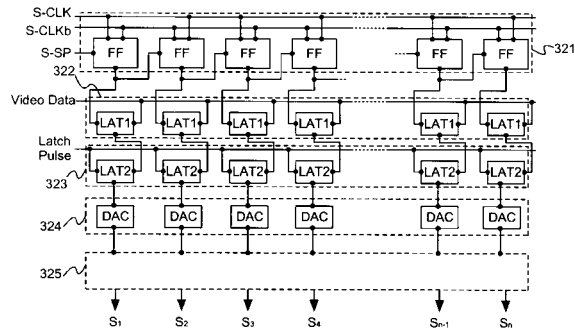
【図 1 3】



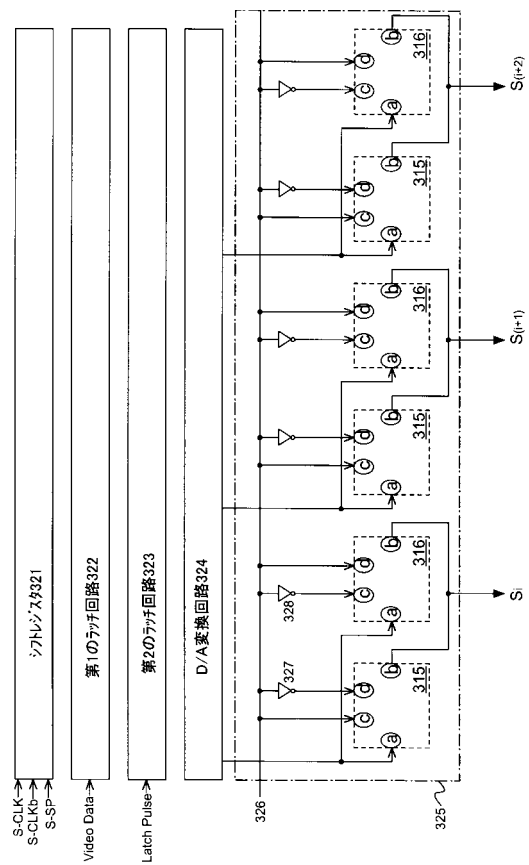
【図 1 4】



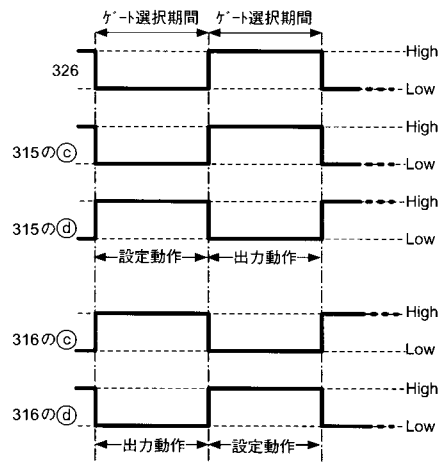
【図 15】



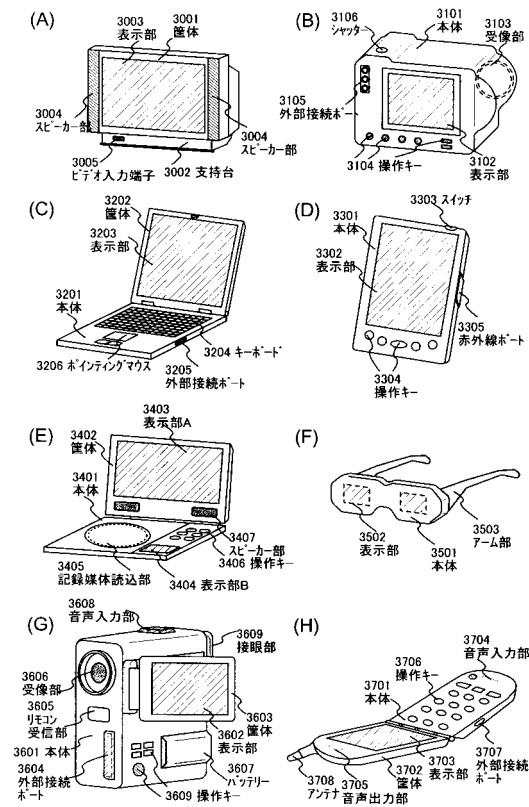
【図 16】



【図 17】



【図 18】



フロントページの続き

- (56)参考文献 特開平 1 1 - 0 7 3 1 6 5 (J P , A)
特開 2 0 0 1 - 0 8 5 9 8 9 (J P , A)
特開平 0 9 - 1 7 2 3 2 9 (J P , A)
特開 2 0 0 0 - 0 0 4 1 3 0 (J P , A)
特開 2 0 0 0 - 1 5 5 6 1 7 (J P , A)
特開 2 0 0 0 - 1 1 2 5 4 8 (J P , A)
特開 2 0 0 1 - 3 3 2 9 4 1 (J P , A)
特開平 0 6 - 3 3 4 4 4 5 (J P , A)
特開 2 0 0 0 - 1 6 4 6 0 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/82、 27/00-27/02、 27/06-27/08、
27/088-27/092、 27/13、
H03F 1/00- 3/45、 3/50- 3/52、
3/62- 3/64、 3/68- 3/72