



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0086812
(43) 공개일자 2018년08월01일

(51) 국제특허분류(Int. Cl.)

H01L 43/08 (2006.01) H01L 43/02 (2006.01)

H01L 43/10 (2006.01) H01L 43/12 (2006.01)

(52) CPC특허분류

H01L 43/08 (2013.01)

H01L 43/02 (2013.01)

(21) 출원번호 10-2017-0010721

(22) 출원일자 2017년01월23일

심사청구일자 2017년01월23일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

고경춘

서울특별시 성북구 삼선교로24길 13, 503호

이경진

서울특별시 노원구 중계로 195, 105동 305호

이승재

서울시 마포구 독막로42길 2, 101동 902호

(74) 대리인

특허법인 누리

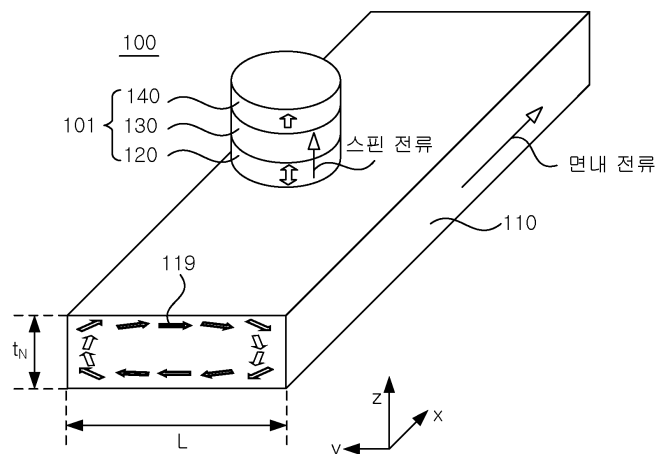
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 비대칭 자기 소자

(57) 요약

본 발명의 일 실시예에 따른 자기 터널 접합 소자는 고정 자성층, 자유 자성층 및 상기 고정 자성층과 상기 자유 자성층 사이에 배치된 터널 장벽층을 구비하는 자기 터널 접합 및 상기 자기 터널 접합의 상기 자유 자성층에 인접하여 배치되고 면내 전류를 제공하고 상기 면내 전류에 기인하여 상기 자기 터널 접합에 스핀 전류를 제공하여 상기 자유 자성층의 자화 방향을 반전시키는 도전 패턴을 포함한다. 상기 고정 자성층은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 자기 터널 접합의 중심축과 도전 패턴의 중심축이 서로 일치하지않도록 비대칭적으로 배치된다.

대표도 - 도1a



(52) CPC특허분류

H01L 43/10 (2013.01)

H01L 43/12 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2015M3D1A1070465

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 미래소재디스커버리사업

연구과제명 설계기반 Spin-Orbitronics 소재 개발

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2015.12.04 ~ 2021.12.03

명세서

청구범위

청구항 1

고정 자성층, 자유 자성층 및 상기 고정 자성층과 상기 자유 자성층 사이에 배치된 터널 장벽층을 구비하는 자기 터널 접합 및 상기 자기 터널 접합의 상기 자유 자성층에 인접하여 배치되고 면내 전류를 제공하고 상기 면내 전류에 기인하여 상기 자기 터널 접합에 스핀 전류를 제공하여 상기 자유 자성층의 자화 방향을 반전시키는 도전 패턴을 포함하는 자기 터널 접합 소자에 있어서,

상기 고정 자성층은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이고,

상기 자유 자성층은 자화 방향이 변하고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이고,

상기 도전 패턴의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방향 스핀을

갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는 스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 상기 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 인 것을 특징으로 하는 자기 터널 접합 소자.

청구항 2

제1 항에 있어서,

$$F_{ave} \equiv \left| \frac{1}{A} \int_{Cell Area} F(y) dx dy \right| \geq 0.1$$

여기서, A는 상기 자기 터널 접합의 x-y 평면상 셀 면적이며, 상기 적분은 자기 터널 접합의 셀 면적에 해당하는 범위에 대해 수행되고,

F(y)는 다음과 같이 주어지고,

$$F(y) = \frac{e^{L/2l_{sf}}}{1 + e^{L/l_{sf}}} \frac{1 + e^{t_N/l_{sf}}}{1 - e^{t_N/l_{sf}}} [e^{y/l_{sf}} - e^{-y/l_{sf}}]$$

여기서, L은 상기 도전 패턴의 y축 방향의 폭이고, l_{sf} 는 상기 도전 패턴의 스핀 확산 길이이고, t_N 은 상기 도전 패턴의 두께인 것을 특징으로 하는 자기 터널 접합 소자.

청구항 3

제1 항에 있어서,

상기 자유 자성층의 y 방향의 폭은 상기 도전 패턴의 y 방향의 폭보다 작고,

상기 자유 자성층은 상기 도전 패턴의 폭 내에 배치되고,

상기 자유 자성층의 x-y 평면 상에서 상기 셀 면적의 모양은 상기 도전 패턴의 연장 방향(x축 방향)의 중심축에 대해 비대칭으로 배치되는 것을 특징으로 하는 자기 터널 접합 소자.

청구항 4

제3 항에 있어서,

상기 자유 자성층의 상기 셀 면적의 모양은 그 중심점을 기준으로 대칭형 또는 비대칭 형태이고,

상기 도전 패턴의 연장 방향(x축 방향)의 중심축과 상기 자유 자성층의 셀 면적에서 상기 x축 방향의 중심축은 서로 일치하지 않도록 오프셋된 것을 특징으로 하는 자기 터널 접합 소자.

청구항 5

제1 항에 있어서,

상기 자유 자성층의 y 방향의 폭은 상기 도전 패턴의 y 방향의 폭보다 작고,

상기 자유 자성층은 상기 도전 패턴의 폭 내에 배치되고,

상기 자유 자성층은 상기 도전 패턴의 연장 방향(x축 방향)의 중심축을 기준으로 좌우 비대칭인 것을 특징으로 하는 자기 터널 접합 소자.

청구항 6

제1 항에 있어서,

상기 도전 패턴은 스핀 홀 효과를 유발하는 백금, 텅스텐, 및 탄탈륨 중에서 적어도 하나를 포함하는 것을 특징으로 하는 자기 터널 접합 소자.

청구항 7

매트릭스 형태로 배열된 복수의 자기 터널 접합; 및

상기 자기 터널 접합의 자유 자성층에 인접하여 배치된 제1 도전 패턴을 포함하고,

상기 고정 자성층은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이고,

상기 자유 자성층은 자화 방향이 변하고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이고,

상기 제1 도전 패턴의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방향 스

핀을 갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는 스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 상기 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 인 것을 특징으로 하는 자기 메모리 소자.

청구항 8

제7 항에 있어서,

상기 제1 도전 패턴은 기판 평면에서 제1 방향으로 연장되고,

상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴에 인접하여 주기적으로 배치되고,

상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된 선택 트랜지스터들;

상기 제1 방향에 수직한 제2 방향(y 축 방향)으로 배열된 선택 트랜지스터들 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제1 방향에 수직한 제2 방향(y 축 방향)으로 연장되는 제2 도전 패턴; 및

상기 제1 방향에 수직한 제2 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된 제3 도전 패턴을 더 포함하는 것을 특징으로 하는 자기 메모리 소자.

청구항 9

제 7항에 있어서,

상기 제1 도전 패턴들은 기판 평면에서 제1 방향으로 연장되고,

상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴들에 인접하여 각각 배치되고,

상기 제1 도전 패턴과 상기 자기 터널 접합이 서로 중첩되지 않은 영역에서 상기 제1 도전 패턴에 연결되고 막면(x-y 평면)에 대하여 수직 방향(z축 방향)하게 배치된 콘택 플러그;

상기 제1 방향으로 연장되고 상기 제1 방향으로 배열된 콘택 플러그들에 연결된 도전 라인;

상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된 선택 트랜지스터들;

상기 제1 방향에 수직한 제2 방향(y 축 방향)으로 배열된 선택 트랜지스터들 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제1 방향에 수직한 제2 방향(y 축 방향)으로 연장되는 제2 도전 패턴; 및

상기 제1 방향에 수직한 제2 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된 제3 도전 패턴을 더 포함하는 것을 특징으로 하는 자기 메모리 소자.

청구항 10

제 7항에 있어서,

상기 제1 도전 패턴은 기판 평면에서 제1 방향으로 연장되고,

상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴에 인접하여 주기적으로 배치되고,

상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된 선택 트랜지스터들;

상기 제1 방향으로 배열된 선택 트랜지스터들 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제1 방향으로 연장되는 제2 도전 패턴; 및

상기 제2 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된 제3 도전 패턴을 더 포함하는 것을 특징으로 하는 자기 메모리 소자.

청구항 11

제7 항에 있어서,

상기 제1 도전 패턴은 기판 평면에서 제1 방향으로 연장되고,

상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴에 인접하여 주기적으로 배치되고,

상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된 선택 트랜지스터들;

상기 제1 방향에 수직한 제2 방향으로 배열된 선택 트랜지스터들 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제2 방향으로 연장되는 제2 도전 패턴; 및

상기 제1 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된 제3 도전 패턴을 더 포함하는 것을 특징으로 하는 자기 메모리 소자.

청구항 12

제 7항에 있어서,

상기 제1 도전 패턴은 기판 평면에서 제1 방향으로 주기적으로 배치되고,

상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴 각각에 인접하여 주기적으로 배치되고,

상기 제1 방향으로 배열된 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결되고 상기 제1 방향으로 연장되는 제2 도전 패턴;

상기 제1 도전 패턴의 일단에 각각 연결된 제1 선택 트랜지스터;

상기 제1 도전 패턴의 타단에 각각 연결된 제2 선택 트랜지스터;

상기 제1 방향으로 배열된 상기 제1 선택 트랜지스터의 소오스/드레인에 연결되고 상기 제1 방향으로 연장되는 제 3 도전 패턴;

상기 제1 방향으로 배열된 상기 제2 선택 트랜지스터의 소오스/드레인에 연결되고 상기 제1 방향으로 연장되는 제 4 도전 패턴; 및

상기 제1 방향에 수직한 제2 방향으로 배열된 제1 선택 트랜지스터의 게이트와 제2 선택 트랜지스터의 게이트를 서로 연결하여 상기 제2 방향으로 연장되는 제 5 도전 패턴을 더 포함하는 것을 특징으로 하는 자기 메모리 소자.

청구항 13

제7 항에 있어서,

상기 제1 도전 패턴은 기판 평면에서 제1 방향으로 주기적으로 배치되고,

상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴 각각에 인접하여 주기적으로 배치되고,

상기 자기 터널 접합의 고정 자성층에 각각 연결되는 제1 선택 트랜지스터;

상기 제1 도전 패턴의 일단에 각각 연결되는 제2 선택 트랜지스터;

상기 제1 방향으로 배열된 제1 선택 트랜지스터의 소오스/드레인에 연결되고 상기 제1 방향으로 연장되는 제2 도전 패턴;

상기 제1 방향으로 배열된 제1 도전 패턴의 타단을 각각 연결하고 상기 제1 방향으로 연장되는 제3 도전 패턴;

상기 제1 방향으로 배열된 제2 선택 트랜지스터의 소오스/드레인을 각각 연결하고 상기 제1 방향으로 연장되는 제4 도전 패턴;

상기 제1 방향에 수직한 제2 방향으로 배열된 제1 선택 트랜지스터의 게이트를 각각 연결하고 상기 제2 방향으로 연장되는 제5 도전 패턴; 및

상기 제2 방향으로 배열된 제2 선택 트랜지스터의 게이트를 각각 연결하고 상기 제2 방향으로 연장되는 제6 도전 패턴;을 더 포함하는 것을 특징으로 하는 자기 메모리 소자.

발명의 설명

기술 분야

[0001] 본 발명은 자기 메모리 소자, 자기 논리 소자 등 다양한 용도로 사용될 수 있는 자기 소자에 관한 것이다. 더욱 상세하게는 막 면에 수직방향으로 자화된 자유 자성층에 인접한 도전 패턴에 면내 전류를 인가하여 스핀 홀 효과에 의한 스핀레도 스핀토크를 발생시키고 이 스핀레도 스핀토크가 자유 자성층의 자화를 반전시키거나 자구벽(magnetic domain wall) 등의 자구 구조를 이동시키는 자기 터널 접합에서, 도전 패턴의 중심축에 대해 자기 터널 접합을 비대칭이 되도록 배치하여 외부 자기장 없이 자화 반전을 이루고 이에 필요한 임계 전류밀도를 낮추는 것을 특징으로 하는 자기 터널 접합에 관한 것이다.

배경 기술

[0002] 강자성체는 외부에서 강한 자기장을 인가하지 않더라도 자발적으로 자화가 되어 있는 물질을 말한다. 두 강자성체 사이에 절연체를 삽입한 자기 터널 접합 구조(제1 자성체/절연체/제2 자성체)에서 두 자성체의 상대적인 자화 방향에 따라 전기 저항이 달라지는 터널 자기 저항 효과가 발생하며, 이는 자기 터널 접합 구조에서 업 스핀과 다운 스핀의 전자가 절연체를 터널링해 흐르는 정도가 다르기 때문에 발생한다.

[0003] 한편, 뉴턴의 제3 법칙인 작용-반작용 법칙에 따라, 상대적 자화 방향이 전류의 흐름을 제어할 수 있다면, 그 반작용으로 전류를 인가하여 두 자성체의 상대적 자화 방향을 제어하는 것 역시 가능하다. 자기 터널 접합 구조에 막 면의 수직 방향으로 전류를 인가하면, 제1 자성체(고정 자성체)에 의해 스핀 분극된 전류가 제2 자성체(자유 자성체)를 통과하면서 자신의 스핀 각운동량을 전달하게 된다. 이러한 스핀 각운동량의 전달에 의해 자화

가 느끼는 토크를 스핀토크(spin-transfer torque)라고 하며, 스핀토크를 이용하여 자유 자성층의 자화를 반전시키거나 지속적으로 회전시키는 소자 혹은 자유 자성층의 자구벽을 이동시키는 소자의 제작이 가능하다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는, 종래 스핀케도 스핀토크를 이용하여 자화방향을 반전하거나 조작하는 자기 소자에서 임계 전류밀도 J_c 가 크고 추가적인 외부 자기장이 필요한 문제를 해결하기 위한 새로운 구조의 자기 소자를 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 자기 터널 접합 소자는 고정 자성층, 자유 자성층 및 상기 고정 자성층과 상기 자유 자성층 사이에 배치된 터널 장벽층을 구비하는 자기 터널 접합 및 상기 자기 터널 접합의 상기 자유 자성층에 인접하여 배치되고 면내 전류를 제공하고 상기 면내 전류에 기인하여 상기 자기 터널 접합에 스핀 전류를 제공하여 상기 자유 자성층의 자화 방향을 반전시키는 도전 패턴을 포함한다. 상기 고정 자성층은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 자유 자성층은 자화 방향이 변하고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 본 발명은, 상기 도전 패턴의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에

기인한 y 방향 스핀을 갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는 스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 상기 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 인 조건에서 그 특징이 발현된다.

[0006] 이를 수식으로 표현하면, 본 발명의 일 실시예에 있어서,

$$F_{ave} \equiv \left| \frac{1}{A} \int_{Cell Area} F(y) dx dy \right| \geq 0.1$$

[0007] 여기서, A는 상기 자기 터널 접합의 x-y 평면상 셀 면적이며, 상기 적분은 자기 터널 접합의 셀 면적에 해당하는 범위에 대해 수행되고,

[0008] F(y)는 다음과 같이 주어지고,

$$F(y) = \frac{e^{L/2l_{sf}}}{1 + e^{L/l_{sf}}} \frac{1 + e^{t_N/l_{sf}}}{1 - e^{t_N/l_{sf}}} [e^{y/l_{sf}} - e^{-y/l_{sf}}]$$

[0009] 여기서, L은 상기 도전 패턴의 y축 방향의 폭이고, l_{sf} 는 상기 도전 패턴의 스핀 확산 길이이고, t_N 은 상기 도전 패턴의 두께이다.

[0010] 본 발명의 일 실시예에 있어서, 상기 자유 자성층의 y 방향의 폭은 상기 도전 패턴의 y 방향의 폭보다 작고, 상기 자유 자성층은 상기 도전 패턴의 폭 내에 배치되고, 상기 자유 자성층의 x-y 평면 상에서 상기 셀 면적의 모양은 상기 도전 패턴의 연장 방향(x축 방향)의 중심축에 대해 비대칭으로 배치될 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 자유 자성층의 상기 셀 면적의 모양은 그 중심점을 기준으로 대칭형 또는 비대칭 형태이고, 상기 도전 패턴의 연장 방향(x축 방향)의 중심축과 상기 자유 자성층의 셀 면적에서 상기 x축 방향의 중심축은 서로 일치하지 않도록 오프셋될 수 있다. 그러나 본 발명의 효과는 원형 또는 삼각형이 아닌 임의의 모양을 갖는 셀 면적에서도 발현된다.

[0012] 본 발명의 일 실시예에 있어서, 상기 자유 자성층의 y 방향의 폭은 상기 도전 패턴의 y 방향의 폭보다 작고, 상기 자유 자성층은 상기 도전 패턴의 폭 내에 배치되고, 상기 자유 자성층은 상기 도전 패턴의 연장 방향(x축 방향)의 중심축을 기준으로 좌우 비대칭일 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 도전 패턴은 스핀 홀 효과를 유발하는 백금, 텅스텐, 및 탄탈륨 중에서 적어도 하나를 포함할 수 있다.

[0016] 본 발명의 일 실시예에 따른 자기 메모리 소자는 매트릭스 형태로 배열된 복수의 자기 터널 접합; 및 상기 자기 터널 접합의 자유 자성층에 인접하여 배치된 제1 도전 패턴을 포함한다. 상기 고정 자성층은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이고, 상기 자유 자성층은 자화 방향이 변하고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 제1 도전 패턴의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방

향 스핀을 갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는 스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 상기 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 이다.

[0017] 본 발명의 일 실시예에 있어서, 상기 제1 도전 패턴은 기판 평면에서 제1 방향으로 연장되고, 상기 제1 방향으로 배열된 자기 터널 접합들의 각각의 자유 자성층은 상기 제1 도전 패턴에 인접하여 주기적으로 배치된다. 자기 메모리 소자는, 상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된 선택 트랜지스터들; 상기 제1 방향에 수직인 제2 방향(y 축 방향)으로 배열된 선택 트랜지스터들 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제1 방향에 수직인 제2 방향(y 축 방향)으로 연장되는 제2 도전 패턴; 및 상기 제1 방향에 수직인 제2 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된 제3 도전 패턴을 더 포함할 수 있다.

[0018] 본 발명의 일 실시예에 있어서, 상기 제1 도전 패턴들은 기판 평면에서 제1 방향으로 연장되고, 상기 제1 방향으로 배열된 자기 터널 접합들의 각각의 자유 자성층은 상기 제1 도전 패턴들에 인접하여 각각 배치될 수 있다. 상기 자기 메모리 소자는, 상기 제1 도전 패턴과 상기 자기 터널 접합이 서로 중첩되지 않은 영역에서 상기 제1 도전 패턴에 연결되고 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)하게 배치된 콘택 플러그; 상기 제1 방향으로 연장되고 상기 제1 방향으로 배열된 콘택 플러그들에 연결된 도전 라인; 상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된 선택 트랜지스터들; 상기 제1 방향에 수직인 제2 방향(y 축 방향)으로 배열된 선택 트랜지스터들 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제1 방향에 수직인 제2 방향(y 축 방향)으로 연장되는 제2 도전 패턴; 및 상기 제1 방향에 수직인 제2 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된 제3 도전 패턴을 더 포함할 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 제1 도전 패턴은 기판 평면에서 제1 방향으로 연장되고, 상기 제1 방향으로 배열된 자기 터널 접합들의 각각의 자유 자성층은 상기 제1 도전 패턴에 인접하여 주기적으로 배치될 수 있다. 상기 자기 메모리 소자는, 상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된 선택 트랜지스터들; 상기 제1 방향으로 배열된 선택 트랜지스터들 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제1 방향으로 연장되는 제2 도전 패턴; 및 상기 제2 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된 제3 도전 패턴을 더 포함할 수 있다.

[0020] 본 발명의 일 실시예에 있어서, 상기 제1 도전 패턴은 기판 평면에서 제1 방향으로 연장되고, 상기 제1 방향으로 배열된 자기 터널 접합들의 각각의 자유 자성층은 상기 제1 도전 패턴에 인접하여 주기적으로 배치될 수 있다. 상기 자기 메모리 소자는, 상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된 선택 트랜지스터들; 상기 제1 방향에 수직인 제2 방향으로 배열된 선택 트랜지스터들 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제2 방향으로 연장되는 제2 도전 패턴; 및 상기 제1 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된 제3 도전 패턴을 더 포함할 수 있다.

[0021] 본 발명의 일 실시예에 있어서, 상기 제1 도전 패턴은 기판 평면에서 제1 방향으로 주기적으로 배치되고, 상기 제1 방향으로 배열된 자기 터널 접합들의 각각의 자유 자성층은 상기 제1 도전 패턴 각각에 인접하여 주기적으로 배치될 수 있다. 상기 자기 메모리 소자는, 상기 제1 방향으로 배열된 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결되고 상기 제1 방향으로 연장되는 제2 도전 패턴; 상기 제1 도전 패턴의 일단에 각각 연결된 제1 선택 트랜지스터; 상기 제1 도전 패턴의 타단에 각각 연결된 제2 선택 트랜지스터; 상기 제1 방향으로 배열된 상기 제1 선택 트랜지스터의 소오스/드레인에 연결되고 상기 제1 방향으로 연장되는 제 3 도전 패턴; 상기 제1 방향으로 배열된 상기 제2 선택 트랜지스터의 소오스/드레인에 연결되고 상기 제1 방향으로 연장되는 제 4

도전 패턴; 및 상기 제1 방향으로 수직인 제2 방향으로 배열된 제1 선택 트랜지스터의 게이트와 제2 선택 트랜지스터의 게이트를 서로 연결하여 상기 제2 방향으로 연장되는 제5 도전 패턴을 더 포함할 수 있다.

[0022] 본 발명의 일 실시예에 있어서, 상기 제1 도전 패턴은 기판 평면에서 제1 방향으로 주기적으로 배치되고, 상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴 각각에 인접하여 주기적으로 배치될 수 있다. 상기 자기 메모리 소자는, 상기 자기 터널 접합의 고정 자성층에 각각 연결되는 제1 선택 트랜지스터; 상기 제1 도전 패턴의 일단에 각각 연결되는 제2 선택 트랜지스터; 상기 제1 방향으로 배열된 제1 선택 트랜지스터의 소오스/드레인에 연결되고 상기 제1 방향으로 연장되는 제2 도전 패턴; 상기 제1 방향으로 배열된 제1 도전 패턴의 타단을 각각 연결하고 상기 제1 방향으로 연장되는 제3 도전 패턴; 상기 제1 방향으로 배열된 제2 선택 트랜지스터의 소오스/드레인을 각각 연결하고 상기 제1 방향으로 연장되는 제4 도전 패턴; 상기 제1 방향으로 수직인 제2 방향으로 배열된 제1 선택 트랜지스터의 게이트를 각각 연결하고 상기 제2 방향으로 연장되는 제5 도전 패턴; 및 상기 제2 방향으로 배열된 제2 선택 트랜지스터의 게이트를 각각 연결하고 상기 제2 방향으로 연장되는 제6 도전 패턴;을 더 포함할 수 있다.

발명의 효과

[0023] 본 발명에 따른 자기 터널 접합 소자는 종래의 자기 터널 접합에 비해 자화반전에 필요한 임계전류밀도가 낮고 외부 자기장 없이 자화반전을 제공한다. 따라서 저전력에서 구동되는 초고집적 비휘발성 소자가 가능해지는 자기 터널 접합 구조이다.

도면의 간단한 설명

[0024] 도 1a는 본 발명의 일 실시예에 따른 자기터널 접합 소자를 설명하는 사시도이다.

도 1b는 도 1a의 자기터널 접합 소자의 평면도이다.

도 1c는 도 1a의 자기터널 접합 소자의 단면도이다.

도 1d는 도 1a의 자기터널 접합 소자의 오프셋 거리에 따른 임계전류를 나타내는 그래프이다.

도 1e는 도 1a의 자기터널 접합 소자의 평균 스핀 축적 비율(F_{ave})에 따른 임계전류를 나타내는 그래프이다.

도 2a는 본 발명의 일 실시예에 따른 자기터널 접합 소자를 설명하는 사시도이다.

도 2b는 도 2a의 자기터널 접합 소자의 평면도이다.

도 2c는 도 2a의 자기터널 접합 소자의 단면도이다.

도 2d는 도 2a의 자기터널 접합 소자의 오프셋 거리에 따른 임계전류를 나타내는 그래프이다.

도 2e는 도 2a의 자기터널 접합 소자의 평균 스핀 축적 비율(F_{ave})에 따른 임계전류를 나타내는 그래프이다.

도 3 내지 도 8은 본 발명의 또 다른 실시예들에 따른 자기 메모리 소자를 나타내는 개념도들이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명에 따른 자기 터널 접합은 자유 자성층에 인접한 도전 패턴 내에 흐르는 전류에 의해 발생한 스핀궤도 스핀토크를 이용하여 자유 자성층의 자화 반전 혹은 자구 구조의 이동을 유도한다. 상기 도전 패턴에 면내 방향으로 흐르는 전하 전류는 도전 패턴의 스핀궤도 결합에 의해 스핀 전류로 전환되며, 상기 스핀 전류가 도전 패턴에 인접한 자유 자성층에 스핀궤도 스핀토크를 인가한다. 그 결과 자유 자성층의 자화를 반전시키거나 지속적으로 회전시키는 소자 혹은 자유 자성층의 자구벽을 이동시키는 소자의 제작이 가능하다.

[0026] 수직 자기이방성을 갖는 자유 자성층에 대해, 도전 패턴에 흐르는 면내 전류에 의해 발생하는 스핀궤도 스핀토크에 의한 자유 자성층의 자화 반전을 위해서는 면내 전류와 함께 자유 자성층에 외부 자기장이 인가되어야 한다. 자유 자성층의 수직방향 자기이방성 자계 $H_{k,eff}$ 가 외부 자기장 H_k 에 비해 훨씬 큰 경우, 자화 반전에 필요한 임계 전류밀도 J_c 는 다음 [수학식 1]과 같다 [K.-S. Lee, S.-W. Lee, B.-C. Min, K.-J. Lee, Applied Physics Letters 102, 112410 (2013)].

[0027] [수학식 1]

$$J_c = \frac{e}{\hbar} \frac{M_S d}{\theta_{SH}} (H_{K,eff} - \sqrt{2} H_x)$$

[0028] 상기 [수학식 1]에서, $\hbar$ ($=1.05 \times 10^{-34}$ J · s)는 Planck 상수를 2π 로 나눈 값이고, e ($=1.6 \times 10^{-19}$ C)는 전자의 전하량, θ_{SH} 는 도전 패턴 물질 및 자유 자성층 전체 구조에 의해 결정되는 유효 스핀 홀 각도이며, M_S 는 자유 자성층의 포화자화양, d 는 자유 자성층의 두께, $H_{K,eff}$ 는 자유 자성층의 수직방향 자기이방성 자계, H_x 는 자유 자성층에 인가된 면내 방향 (전류의 흐름과 동일 선상)의 자기장이다. 일반적인 물성 ($M_S = 1,000$ emu/cm³, $d = 1$ nm, $\theta_{SH} = 0.3$, $H_{K,eff} = 5,000$ Oe, $H_x = 1,000$ Oe)을 갖는 구조의 경우 J_c 는 2×10^8 A/cm² 정도로 실제 응용소자에 사용하기에는 너무 크기 때문에 J_c 를 추가적으로 줄여야 한다.

[0030] 따라서 스핀궤도 스핀토크를 이용하는 기존 자기 소자는 임계 전류밀도 J_c 가 너무 크고 동시에 추가적인 외부 자기장 H_x 가 필요하다는 문제가 있다. 높은 임계 전류밀도로 인해 기존 자기 소자는 저전력 구동이 어렵다. 또한 추가적인 외부 자기장을 인가하기 위해, 추가 전류에 의해 자기장을 생성하는 추가적인 도전 패턴을 구비하거나, 자기 터널 접합의 일부 구조에 외부 자기장을 발생시키는 추가적인 수평 자성층을 구비하거나, 자유 자성층에 반강자성층을 인접 배열하여 교환 바이어스 자기장을 추가하여야 한다. 그러나 이러한 추가적인 요소들은 추가적인 전력 손실 및 소자 구조의 복잡화로 인한 제조 비용 상승의 문제를 야기한다.

[0031] 이하, 첨부된 도면을 참조하여 본 발명을 보다 상세하게 설명한다. 이하, 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 실험 조건, 물질 종류 등에 의하여 본 발명이 제한되거나 한정되지는 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다. 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 구성요소는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

[0032] 도 1a는 본 발명의 일 실시예에 따른 자기터널 접합 소자를 설명하는 사시도이다.

[0033] 도 1b는 도 1a의 자기터널 접합 소자의 평면도이다.

[0034] 도 1c는 도 1a의 자기터널 접합 소자의 단면도이다.

[0035] 도 1d는 도 1a의 자기터널 접합 소자의 오프셋 거리에 따른 임계전류를 나타내는 그래프이다.

[0036] 도 1e는 도 1a의 자기터널 접합 소자의 평균 스핀 축적 비율(F_{ave})에 따른 임계전류를 나타내는 그래프이다.

[0037] 도 1a 내지 도 1e을 참조하면, 자기 터널 접합 소자(100)는, 고정 자성층(140), 자유 자성층(120) 및 상기 고정 자성층(140)과 상기 자유 자성층(120) 사이에 배치된 터널 장벽층(130)을 구비하는 자기 터널 접합(101) 및 상기 자기 터널 접합(101)의 상기 자유 자성층(120)에 인접하여 배치되고 면내 전류를 제공하고 상기 면내 전류에 기인하여 상기 자기 터널 접합에 스핀 전류를 제공하여 상기 자유 자성층의 자화 방향을 반전시키는 도전 패턴(110)을 포함한다.

[0038] 상기 고정 자성층(140)은 고정 자화 방향을 갖고, 막 면(xy 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 자유 자성층(120)은 자화 방향이 변하고, 막 면(xy 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다.

[0039] 상기 자기 터널 접합(101)은 원형일 수 있다. 상기 고정 자성층(140), 상기 터널 절연층(130), 및 상기 자유 자성층(120)의 측면은 서로 정렬될 수 있다. 상기 자유 자성층(120)의 y 방향의 폭(또는 지름)은 상기 도전 패턴(110)의 y 방향의 폭(L)보다 작을 수 있다. 상기 자유 자성층(120)은 상기 도전 패턴(110)의 폭 내에 배치될 수 있다. 이에 따라, 상기 스핀 전류가 상기 자유 자성층에 충분히 전달될 수 있다. 상기 도전 패턴(110)의 연장 방향(x축 방향)의 중심축(111)과 상기 자유 자성층의 셀 면적에서 상기 x축 방향의 중심축(109)은 서로 일치하지 않도록 오프셋될 수 있다.

- [0040] 상기 도전 패턴(100)은 y축 방향으로 일정한 폭(L)을 가지고 x축 방향으로 연장될 수 있다. 상기 도전 패턴(110)은 면내 방향으로 흐른 면내 전류에 의하여 스핀 홀(spin Hall) 혹은 라쉬바(Rashba) 효과에 의해 스핀케도 스핀토크(spin orbit spin torque)를 발현한다. 스핀케도 스핀토크는 자유 자성층(120)의 자화를 반전시키거나 자구 구조를 이동시킨다. 상기 도전 패턴(110)은 단층 구조 또는 다른 물질로 형성된 복층 구조일 수 있다. 상기 도전 패턴(110)은 스핀홀 효과 또는 라쉬바 효과를 발생시키는 중금속 물질일 수 있다. 상기 도전 패턴(110)은 Cu, Ta, Pt, W, Bi, Ir, Mn, Ti, Cr, 및 이들의 혼합물 중에서 적어도 하나의 물질을 포함할 수 있다. 상기 도전 패턴(110)은 β -Ta, Pt, β -W, Pd, 또는 Cr 같은 중금속일 수 있다. 상기 도전 패턴(110)은 산소와 같은 불순물로 도핑될 수 있다.
- [0041] 자기 터널 접합(101)은 고정 자성층(140), 터널 장벽층(130), 및 자유 자성층(120)을 포함할 수 있다. 상기 고정 자성층(140) 및 상기 자유 자성층(120)은 수직자기 이방성을 가진 물질을 포함할 수 있다.
- [0042] 상기 터널 장벽층(130)은 터널 절연층을 포함할 수 있다. 상기 터널 장벽층(130)은 AlO_x , MgO , TaO_x , ZrO_x 및 이들의 혼합물 중에서 적어도 하나를 포함하는 물질로 이루어지는 박막일 수 있다.
- [0043] 상기 고정 자성층(140)은 강자성 물질을 포함하고, 상기 고정 자성층(140)은 Fe, Co, Ni, B, Si, Zr, 및 이들의 혼합물 중에서 적어도 하나를 포함할 수 있다. 구체적으로, 상기 고정 자성층(140)은 Co, CoFe, CoFeB, CoNi, 또는 NiFe일 수 있다.
- [0044] 상기 고정 자성층(140)은 차례로 적층된 제1 고정 자성층, 고정 비자성층, 및 제2 고정 자성층으로 이루어진 인위적 반자성체 (Synthetic Antiferromagnet) 구조일 수 있다. 상기 제1 고정 자성층 및 제2 고정 자성층은 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, 및 이들의 혼합물 중에서 적어도 하나를 포함하고, 상기 고정 비자성층은 Ru, Ta, Cu 및 이들의 혼합물 중에서 적어도 하나를 포함할 수 있다.
- [0045] 상기 고정 자성층(140)은 차례로 적층된 반강자성층, 제1 고정 자성층, 고정 비자성층, 및 제2 고정 자성층으로 이루어진 교환바이어스된 반자성체구조일 수 있다. 상기 반강자성층은 Ir, Pt, Mn 및 이들의 혼합물 중에서 적어도 하나를 포함하는 물질로 이루어질 수 있다. 상기 제1 고정 자성층 및 제2 고정 자성층 각각은 강자성체 물질을 포함하고, 각각 독립적으로 Fe, Co, Ni, B, Si, Zr, 및 이들의 혼합물 중에서 적어도 하나를 포함하는 물질로 이루어질 수 있다. 상기 고정 비자성층은 Ru, Ta, Cu, 및 이들의 혼합물 중에서 적어도 하나를 포함하는 물질로 이루어질 수 있다.
- [0046] 상기 자유 자성층(120)은 수직 자기이방성을 가지고 Fe, Co, Ni, B, Si, Zr, 및 이들의 혼합물 중에서 적어도 하나를 포함하는 물질로 이루어질 수 있다. 상기 자유 자성층은 단층 구조 또는 복층 구조일 수 있다. 상기 자유 자성층(120)의 자화는 상기 스핀 전류에 의하여 외부 자기장없이 스위칭될 수 있다.
- [0047] 종래의 자기 소자 구조에서, 면내 전하 전류에 기인한 자유 자성층의 자화 반전을 위하여, 추가적인 외부 자기장이 필요하다. 또한, 이 경우, 임계 전류밀도 J_c 가 크다. 그 이유는, 스핀케도 스핀토크를 유발하는 도전 패턴과 이에 인접한 자기 터널 접합이 대칭적으로 배열되어 있기 때문이다. 원형과 같은 등방적 (isotropic) 모양을 가진 자기 터널 접합의 경우, 자기 터널 접합(101)의 중심축(109)과 도전 패턴(110)의 중심축(111)이 서로 일치하도록 대칭적으로 배치된다. 즉, 대칭적 배치는 두 중심축 간의 간격 Δy 가 0임을 의미한다.
- [0048] 이와 같이 대칭적 배치를 갖는 종래 자기 소자의 임계 전류밀도가 크고 추가적인 외부자기장이 필요한 이유는 다음과 같다. 도전 패턴(110)은 x축 방향으로 연장되고, 상기 도전 패턴(110)의 x축 방향으로 흐르는 전하 전류 (또는 면내 전류)는 상기 도전 패턴의 스핀 홀 효과에 의해 스핀 전류로 전환된다. 이때 스핀 전류가 갖는 스핀 각운동량의 방향($\hat{s}$)은 전하 전류의 진행 방향($\hat{j}_c$)과 수직하며, 상기 스핀 전류의 진행 방향($\hat{j}_s$)과도 수직하며 [J. E. Hirsch, Physical Review Letters 83, 1834 (1999)], 이러한 방향 관계는 수학식 2와 같이 표현된다.
- [0049] [수학식 2]
- [0050]
$$\hat{s} = \pm \hat{j}_c \times \hat{j}_s$$
- [0051] 상기 수학식 2에서 $\pm$ 부호는 상기 도전 패턴의 스핀 홀 각도의 부호에 의해 결정된다.
- [0052] 수학식 2에 표현된 특성으로 인해, 상기 도전 패턴(110)의 모든 경계면에 각기 서로 다른 방향의 스핀 축적 (109) $\overrightarrow{\mu^s}$ 가 발생한다. 도전 패턴(110)과 자유 자성층(120)이 접한 계면의 스핀 축적의 평균값 $\langle \overrightarrow{\mu^s} \rangle$ 이 자유

자성층(110)에 전달되는 스핀케도 스핀토크의 크기와 방향을 결정한다. 이때 스핀케도 스핀토크는 [수학식 3]으로 기술된다.

[0053] [수학식 3]

$$\vec{N}_{SOT} = \gamma a_J \hat{m} \times (\hat{m} \times \langle \vec{\mu}^s \rangle)$$

[0055] 여기서, γ 는 자기회전 상수 (gyromagnetic ratio)이고, a_J 는 스핀 홀 각도와 전류밀도에 비례하는 계수이며, $\hat{m}$ 은 자유 자성층의 자화 방향의 단위 벡터이다.

[0056] 자기 터널 접합(101)이 원과 같은 등방형 모양을 갖고 Δy 가 0인 경우, 스핀 축적 $\vec{\mu}^s$ 가 y 축을 따라 도전 패턴(110)의 중심축(111)에 대해 완벽하게 대칭이므로, 국부적으로 발생하는 스핀 축적 $\vec{\mu}^s$ 의 z 성분들은 모두 서로 상쇄된다. 그 결과, 스핀 축적의 평균값 $\langle \vec{\mu}^s \rangle$ 는 y 성분만을 갖게 된다. 따라서 이 경우 스핀케도 스핀토크 $\vec{N}_{SOT}$ 의 방향은 $\hat{m} \times (\hat{m} \times \hat{y})$ 가 된다. 충분히 큰 전류밀도가 인가된 경우 스핀케도 스핀토크 $\vec{N}_{SOT}$ 가 0이 될 때까지 자화 방향 $\hat{m}$ 이 변하게 된다. 그 결과, $\hat{m}$ 은 $\hat{x}$ 방향으로 흐르는 면내 전류의 부호에 따라 $+\hat{y}$ 방향 혹은 $-\hat{y}$ 방향으로 정렬된다. 즉, 전류 밀도가 인가되기 직전 수직방향 ($+\hat{z}$ 혹은 $-\hat{z}$)으로 정렬되어있던 상기 자유 자성층의 자화는 충분히 큰 스핀케도 스핀토크가 인가되면 면내 전류의 부호에 따라 $+\hat{y}$ 방향 혹은 $-\hat{y}$ 방향으로 정렬된다. 이후, 이 상태에서 전류를 끄면 자유 자성층(120)의 자화는 수직 자기이방성으로 인해 각각 절반의 확률로 $+\hat{z}$ 혹은 $-\hat{z}$ 방향으로 정렬하게 된다. 즉 종래 자기 소자의 경우, 스핀케도 스핀토크만 인가하면 스위칭 후의 자화방향을 선택적으로 결정할 수 없다. 반면에, 스핀케도 스핀토크를 이용한 터널 접합 단위 셀을 메모리 소자로 적용하기 위하여, 선택적으로 스위칭 후의 자화방향을 결정할 수 있어야 한다.

[0057] 스위칭 후의 자화방향을 선택적으로 결정하기 위하여, 스핀케도 스핀토크와 함께 면내 자기장을 인가하는 경우, 전류가 인가되어있을 때의 자화방향이 $\pm \hat{y}$ 방향에서 벗어나 수직성분을 갖게 된다. 따라서 스핀케도 스핀토크와 면내 자기장을 동시에 인가하면 선택적 스위칭이 가능하다 [I. M. Miron 등, Nature 476, 189 (2011)].

[0058] 추가적인 외부 자기장을 인가하기 위해, 추가 전류에 의해 자기장을 생성하는 추가적인 도전 패턴을 구비하거나, 자기 터널 접합의 일부 구조에 외부 자기장을 발생시키는 추가적인 수평 자성층을 구비하거나, 자유 자성층에 반강자성층을 인접 배열하여 교환 바이어스 자기장을 추가하여야 한다. 그러나 이러한 추가적인 요소들은 추가적인 전력 손실 및 소자 구조의 복잡화로 인한 제조 비용 상승의 문제를 야기한다. 또한 상기 수학식 1에서 설명된 바와 같이 스핀케도 스핀토크를 활용한 자기 소자의 임계 전류밀도 J_c 가 너무 크기 때문에, 종래 자기 소자는 저전력 구동이 어렵다는 문제가 있다.

[0059] 본 발명에 따른 자기 소자는 등방형 모양을 갖는 자기 터널 접합의 경우, 도전 패턴(110)의 중심축(111)과 자기 터널 접합(101)의 중심축(109)을 서로 일치하지 않도록 함으로써, 두 중심축 간의 간격 Δy 가 0이 되지 않도록 오프셋되어 배치될 수 있다.

[0060] 본 발명에 따른 자기 터널 접합 소자는 고정 자성층(140)/터널 장벽층(130)/자유 자성층(120)으로 구성된 자기 터널 접합(101)과 자유 자성층(120)에 인접한 도전 패턴(110)을 포함한다. 상기 도전 패턴(110)은 상기 자유 자성층의 자화를 반전시키거나 자구 구조를 이동시키기 위해 면내 전류를 흘릴 수 있다. 상기 도전 패턴의 면내 전류는 도전 패턴(110)에 면내 방향(또는 연장 방향)으로 흐르며, 스핀 홀 효과에 스핀 전류를 발현하고, 상기 스핀 전류는 스핀케도 스핀토크를 발현하여 상기 자유 자성층의 자화 방향을 외부 자기장없이 반전시킨다.

[0061] 상기 도전 패턴(110) 내에 상기 도전 패턴의 연장 방향(또는 x 방향)으로 흐르는 면내 전하 전류는 [수학식 2]를 만족시키는 스핀 방향을 갖는 스핀 전류를 발생시킨다. 그 결과, 도전 패턴(110) 내에 스핀 축적(119) $\vec{\mu}^s$ 를 발생시킨다. 이러한 스핀 축적 $\vec{\mu}^s$ 는 다음 [수학식 4]의 전하 전류 $\vec{J}_e$ 와 [수학식 5]의 스핀 전류 Q의 관계에 의해 결정된다.

[0062] [수학식 4]

$$\vec{J}_e = -\sigma \nabla \mu_e - \sigma_{SH} \nabla \times \vec{\mu}^s$$

[0064] 여기서, σ 는 도전 패턴(110)의 전기 전도도, σ_{SH} 는 도전 패턴(110)의 스핀 홀 전도도, μ_e 는 전하의 화학 퍼텐셜(chemical potential)이다.

[0065] [수학식 5]

$$Q_{ij} = -\sigma \nabla_i \mu_j^s - \sigma_{SH} \epsilon_{ijk} \nabla_k \mu_e$$

[0067] 여기서, 아래첨자 i는 스핀 전류의 흐름 방향을 나타내며, 아래첨자 j는 스핀 전류의 스핀분극 방향을 나타내며, ϵ_{ijk} 는 Levi-Civita 기호이다.

[0068] [수학식 4]과 [수학식 5]에 근거하여, 전하 보존 및 스핀 확산식을 전개하면 도전 패턴(110)과 자유 자성층(120)의 계면에서 다음 [수학식 6]과 같은 스핀 축적식을 얻게 된다.

[0069] [수학식 6]

$$\vec{\mu}^s = \frac{1 - e^{t_N/l_{sf}}}{1 + e^{t_N/l_{sf}}} \frac{l_{sf} \theta_{SH} J_0}{\sigma} \hat{y} + \frac{e^{L/2l_{sf}}}{1 + e^{L/l_{sf}}} \frac{l_{sf} \theta_{SH} J_0}{\sigma} [e^{y/l_{sf}} - e^{-y/l_{sf}}] \hat{z}$$

[0071] 여기서, θ_{SH} 는 도전 패턴(110)의 스핀궤도 결합에 의해 전하전류가 스핀 전류로 전환되는 비율인 스핀 홀 각도이다. J_0 는 도전 패턴(110)의 x 방향으로 흐르는 전하밀도이다. [수학식 6]로부터 z 방향 스핀을 갖는 스핀 축적(μ_y^s)과 y 방향 스핀을 갖는 스핀 축적(μ_z^s)의 비율 F(y)은 다음 [수학식 7]로 주어지며, 이 비율 F(y)은 다음과 같다.

[0072] [수학식 7]

$$\frac{\mu_z^s}{\mu_y^s} = F(y) = \frac{e^{L/2l_{sf}}}{1 + e^{L/l_{sf}}} \frac{1 + e^{t_N/l_{sf}}}{1 - e^{t_N/l_{sf}}} [e^{y/l_{sf}} - e^{-y/l_{sf}}]$$

[0074] 자기 터널 접합(1)의 폭 방향(y축 방향) 길이를 W라고 할 때, $\Delta y = 0$ 인 경우 평균적인 F_{ave} 는 [수학식 7]을 ($y = -W/2$, $y = +W/2$) 구간에 대한 y 방향 적분으로 얻어지며, 그 결과는 명확하게 0이다.

[0075] [수학식 8]

$$F_{ave} \equiv \left| \frac{1}{A} \int_{Cell Area} F(y) dx dy \right| \geq 0.1$$

[0077] 여기서, A는 상기 자기 터널 접합의 x-y 평면상 셀 면적이며, 상기 적분은 자기 터널 접합의 셀 면적에 해당하는 범위에 대해 수행된다.

[0078] 즉, 종래 기술에서와 같이 자기 터널 접합이 원과 같이 등방형인 경우 $\Delta y = 0$ 이면, 자유 자성층에 인가되는 스핀궤도 스핀토크의 z 방향 성분은 0이다. 따라서 외부 자기장 H_x 가 인가된 경우에만 선택적 자화반전이 일어난다.

[0079] 상기 도전 패턴의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방향 스핀을

가득 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는 스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 자유 자성층이 점유하는

셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 일 수 있다. 이 경우, 상기 자유 자성층의 자화 반전을 위한 상기 도전 패턴에 흐르는 임계전류는 급격히 감소될 수 있다. 또한, 본 발명에 의해 $\Delta y \neq 0$ 인 경우 F_{ave} 는 0이 아니며, 이는 스핀궤도 스핀토크의 z 방향 성분은 0이 아님을 의미한다. 따라서 이 경우에는 외부 자기장 H_x 가 없는 경우에도 선택적 자화반전이 일어나는 특유의 효과를 발생시킨다.

[0080] 본 발명에 따른 비대칭 자기 소자에서, 임계전류밀도 J_c 의 감소와 외부 자기장 없는 자화반전을 미소자기학을 통해 확인하였다. 자화의 운동방정식은 하기 [수학식 9]과 같다.

[0081] [수학식 9]

$$\frac{\partial \hat{m}}{\partial t} = -\gamma \hat{m} \times \vec{H}_{eff} + \alpha \hat{m} \times \frac{\partial \hat{m}}{\partial t} + \gamma \frac{\hbar}{2e} \frac{\theta_{SH} J_0}{M_s d} [\hat{m} \times (\hat{m} \times \hat{y}) + F(y) \hat{m} \times (\hat{m} \times \hat{z})]$$

[0082]

[0083] 상기 [수학식 9]에서, γ 는 자기회전상수, H_{eff} 는 자유 자성층(120)의 모든 유효 자기장, α 는 Gilbert 감쇠상수이며, 전하 전류밀도 J_0 에 비례하는 마지막 항은 스핀궤도 스핀토크를 기술한다.

[0084] [원형 비대칭 자기 소자에 대해 Δy 및 I_{sf} 에 따른 임계 전류밀도 J_c 의 변화]

[0085] 도 1d를 참조하면, 원형 비대칭 자기 소자에서 Δy 및 I_{sf} 에 따른 임계 전류밀도 J_c 의 변화가 나타나 있다. $\Delta y \neq 0$ 인 경우, 외부 자기장 없는 자화반전이 이루어지며, Δy 혹은 I_{sf} 가 클수록 J_c 가 감소한다. 이때 Δy 가 작은 영역에서 일정한 값을 보이는 J_c 가 종래 대칭 자기 소자의 임계 전류밀도에 해당한다.

[0086] 도 1e를 참조하면, F_{ave} 및 I_{sf} 에 따른 임계 전류밀도 J_c 의 변화가 나타나 있다. $F_{ave} \geq 0.1$ 인 경우, 종래 자기 소자에 비해 더 낮은 J_c 가 얻어진다.

[0087] 도 1d 및 도 1e의 컴퓨터 시뮬레이션에서 사용된 자기터널 접합 소자의 구조와 물성 값은 다음과 같다.

[0088] [실험예 1의 조건]

[0089] 자기 터널 접합의 모양 = 원 (지름 = 30 nm)

[0090] 자유 자성층의 두께 = 1 nm

[0091] 자유 자성층의 물성: "포화 자화값 (M_s) = 1000 emu/cm³, Gilbert 감쇠상수 (α) = 0.1, 수직 자기이방성 에너지 (K) = 8x10⁶ erg/cm³"

[0092] 도전 패턴의 폭 = 100 nm

[0093] 도전 패턴의 두께 = 1 nm

[0094] 스핀홀 각도 (θ_{SH}) = 0.3

[0095] 본 발명의 변형된 실시예에 따르면, 상기 자기터널 접합의 형태는 원형, 타원형, 직사각형 등으로 변형될 수 있다. $\Delta y \neq 0$ 인 경우, $F_{ave} \geq 0.1$ 를 만족시키면, 상기 자유 자성층은 외부 자기장없이 자화반전을 수행할 수 있다.

[0096] [비등방형 모양을 갖는 비대칭 자기 소자에 대해 Δy 및 I_{sf} 에 따른 임계 전류밀도 J_c 의 변화]

- [0097] 도 2a는 본 발명의 일 실시예에 따른 자기터널 접합 소자를 설명하는 사시도이다.
- [0098] 도 2b는 도 2a의 자기터널 접합 소자의 평면도이다.
- [0099] 도 2c는 도 2a의 자기터널 접합 소자의 단면도이다.
- [0100] 도 2d는 도 2a의 자기터널 접합 소자의 오프셋 거리에 따른 임계전류를 나타내는 그래프이다.
- [0101] 도 2e는 도 2a의 자기터널 접합 소자의 평균 스핀 축적 비율(F_{ave})에 따른 임계전류를 나타내는 그래프이다.
- [0102] 도 2a 내지 도 2e를 참조하면, 자기 터널 접합 소자(200)는, 고정 자성층(140), 자유 자성층(120) 및 상기 고정 자성층과 상기 자유 자성층 사이에 배치된 터널 장벽층(130)을 구비하는 자기 터널 접합(201) 및 상기 자기 터널 접합(201)의 상기 자유 자성층에 인접하여 배치되고 면내 전류를 제공하고 상기 면내 전류에 기인하여 상기 자기 터널 접합에 스핀 전류를 제공하여 상기 자유 자성층의 자화 방향을 반전시키는 도전 패턴(110)을 포함한다.
- [0103] 상기 고정 자성체(140)는 고정 자화 방향을 갖고, 막 면(xy 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막일 수 있다. 상기 자유 자성층(120)은 자화 방향이 변하고, 막 면(xy 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막일 수 있다. 상기 도전 패턴(110)의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방향 스핀을 갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀 μ_z^s 을 갖는 스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 일 수 있다.
- [0104] 상기 자기 터널 접합(201)은 일정한 두께를 가지는 삼각형 형상이고, 상기 터널 자기 접합(201)의 셀 면적은 삼각형 형상일 수 있다. 상기 자유 자성층(120)의 y 방향의 폭(W)은 상기 도전 패턴의 y 방향의 폭(L)보다 작을 수 있다. 상기 자유 자성층(120)은 상기 도전 패턴(110)의 폭 내에 배치될 수 있다. 상기 자유 자성층(120)은 상기 도전 패턴의 연장 방향(x축 방향)의 중심축을 기준으로 좌우 비대칭일 수 있다. 예를 들어, 상기 자유 자성층(120)은 삼각형 형상이고, 상기 삼각형의 중심은 상기 도전 패턴의 중심선 상에 오프셋되어 배치될 수 있다. 상기 자유 자성층의 상기 셀 면적의 모양은 그 중심점을 기준으로 대칭형 또는 비대칭 형태일 수 있다. 그러나 본 발명의 효과는 원형 또는 삼각형이 아닌 임의의 모양을 갖는 셀 면적에서도 발현된다.
- [0105] 도 2d를 참조하면, 삼각형 비대칭 자기 소자에서 Δy 및 I_{sf} 에 따른 임계 전류밀도 J_c 의 변화가 표시된다. 이 경우, 외부 자기장 없는 자화반전이 이루어지며, Δy 혹은 I_{sf} 가 클수록 J_c 가 감소한다. 이때 Δy 가 작은 영역에서 일정한 값을 보이는 J_c 가 이 구조에서 $\Delta y = 0$ 인 경우의 임계 전류밀도에 해당한다.
- [0106] 도 2e를 참조하면, 삼각형 비대칭 자기 소자에서 F_{ave} 및 I_{sf} 에 따른 임계 전류밀도 J_c 의 변화가 표시된다. $F_{ave} \geq 0.1$ 인 경우, 기준에 비해 더 낮은 J_c 가 얻어짐을 보여준다. 자기터널 접합 소자의 구조와 물성 값은 다음과 같다.
- [0107] [실례예2의 조건]
- [0108] 자기 터널 접합의 모양 = 삼각형 (밑변의 길이 = 높이 = 30 nm)
- [0109] 자유 자성층의 두께 = 1 nm
- [0110] 자유 자성층의 물성: "포화 자화값 (M_s) = 1000 emu/cm³, Gilbert 감쇠상수 (α) = 0.1, 수직 자기이방성 에너지 (K) = 8x10⁶ erg/cm³"
- [0111] 도전 패턴의 폭 = 100 nm

- [0112] 도전 패턴의 두께 = 1 nm
- [0113] 스핀홀 각도 (θ_{SH}) = 0.3
- [0114] 상기 자기 터널 접합(201)의 x-y 평면 상에서의 모양을 도전 패턴(110)의 중심축(111)에 대해 비대칭이 되도록 함으로써, 자유 자성층의 x-y 평면에 대한 스핀 축적(119)의 평균값 $\langle \mu^s \rangle$ 가 y 성분 뿐 만 아니라 z 성분도 갖도록 함으로써, 추가적인 외부 자기장 없이 낮은 전류밀도에서 자화 반전 등 자화 거동을 유도할 수 있다.
- [0115] 본 발명의 변형된 실시예에 따르면, 상기 셀 면적의 모양이 삼각형인 경우, 상기 도전 패턴의 중심선과 상기 자유 자성층의 중심선 사이의 간격 Δy 이 영일 수 있다. 이러한 임계전류 감소와 외부 자기장없이 자화반전이 가능한 특유의 효과는 $\Delta y = 0$ 인 경우에도, 자기 터널 접합이 비대칭 모양을 갖고 $F_{ave} \geq 0.1$ 를 만족시키면 역시 효율적으로 발현된다.
- [0116] 도 3은 본 발명의 또 다른 실시예에 따른 자기 메모리 소자를 나타내는 개념도이다.
- [0117] 도 3을 참조하면, 자기 메모리 소자(91)는, 매트릭스 형태로 배열된 복수의 자기 터널 접합(101); 및 상기 자기 터널 접합의 자유 자성층(120)에 인접하여 배치된 제1 도전 패턴(110)을 포함한다. 자기 터널 접합(101)은 고정 자성층(140), 자유 자성층(120) 및 상기 고정 자성층과 상기 자유 자성층 사이에 배치된 터널 장벽층(130)을 포함한다.
- [0118] 상기 고정 자성층(140)은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 자유 자성층(120)은 자화 방향이 변하고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 제1 도전 패턴(110)의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방향 스핀을 갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는 스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 상기 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 이다.
- [0119] 상기 제1 도전 패턴(110)은 기판 평면에서 제1 방향으로 연장될 수 있다. 상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴에 인접하여 주기적으로 배치될 수 있다. 선택 트랜지스터들(TR)은 상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결될 수 있다. 상기 제1 도전 패턴(110)은 y축 방향으로 일정한 폭(L)을 가지고 x축 방향으로 연장될 수 있다. 상기 제1 도전 패턴의 폭은 상기 자기터널 접합의 y축 방향의 폭(W)보다 클 수 있다. 상기 자기 터널 접합은 상기 제1 도전 패턴의 폭 내에 배치되고 연장되는 x축 방향의 중심축에 대하여 비대칭적으로 배치될 수 있다.
- [0120] 상기 제1 도전 패턴(110)은 면내 방향으로 흐른 면내 전류에 의하여 스핀 홀(spin Hall) 혹은 라쉬바(Rashba) 효과에 의해 스핀궤도 스핀토크(spin orbit spin torque)를 발현한다. 스핀궤도 스핀토크는 자유 자성층(120)의 자화를 반전시키거나 자구 구조를 이동시킨다. 상기 제1 도전 패턴(110)은 단층 구조 또는 다른 물질로 형성된 복층 구조일 수 있다. 상기 제1 도전 패턴(110)은 스핀홀 효과 또는 라쉬바 효과를 발생시키는 중금속 물질일 수 있다. 상기 제1 도전 패턴(110)은 Cu, Ta, Pt, W, Bi, Ir, Mn, Ti, Cr, 및 이들의 혼합물 중에서 적어도 하나의 물질을 포함할 수 있다. 상기 제1 도전 패턴(110)은 β -Ta, Pt, β -W, Pd, 또는 Cr 같은 중금속일 수 있다. 상기 제1 도전 패턴(110)은 산소와 같은 불순물로 도핑될 수 있다.
- [0121] 제2 도전 패턴(382)은 상기 제1 방향에 수직인 제2 방향(y축 방향)으로 배열된 선택 트랜지스터들(TR) 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제1 방향에 수직인 제2 방향(y축 방향)으로 연장될 수 있다.
- [0122] 제3 도전 패턴(383)은 상기 제1 방향에 수직인 제2 방향으로 배열된 상기 선택 트랜지스터들(TR) 각각의 게이트에 연결될 수 있다.
- [0123] 상기 제1 도전 패턴(110)에 면내 전류가 흐르는 경우, 제3 도전 패턴(383)에 인가된 게이트 전압에 의하여 특정

한 선택 트랜지스터(TR)가 선택되고, 상기 선택 트랜지스터에 연결된 제2 도전 패턴(382)은 특정한 선택 전압으로 인가된다. 이에 따라, 선택된 자기 터널접합의 고정 자성층(140)에 상기 특정한 선택 전압이 인가된다. 이에 따라, 상기 제1 도전 패턴(110)에 연결된 복수의 자기 터널 접합 중에서 특정한 선택 전압이 인가된 자기 터널 접합의 임계전류가 추가적으로 감소하여, 선택된 자기 터널 접합의 자유층(120)은 스위칭될 수 있다.

[0124] 본 발명의 변형된 실시예에 따르면, 상기 자유 자성층(120)은 상기 제1 도전 패턴(110)에 흐르는 면내 전류에 기인한 스핀 궤도 토그 및 선택된 자기 터널 접합을 통하여 흐르는 수직 전류에 기인한 스핀 전달 토그에 의하여 하이브리드 방식으로 스위칭될 수 있다.

[0125] 도 4는 본 발명의 또 다른 실시예에 따른 자기 메모리 소자를 나타내는 개념도이다.

[0126] 도 4를 참조하면, 자기 메모리 소자(92)는, 매트릭스 형태로 배열된 복수의 자기 터널 접합(101); 및 상기 자기 터널 접합의 자유 자성층(120)에 인접하여 배치된 제1 도전 패턴(110)을 포함한다. 자기 터널 접합(101)은 고정 자성층(140), 자유 자성층(120) 및 상기 고정 자성층과 상기 자유 자성층 사이에 배치된 터널 장벽층(130)을 포함한다.

[0127] 상기 고정 자성층(140)은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 자유 자성층(120)은 자화 방향이 변하고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 제1 도전 패턴(110)의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방향 스핀을 갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는

μ_z^s

스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 상기 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 이다.

[0128] 상기 제1 도전 패턴들(110)은 기판 평면에서 제1 방향으로 연장된다. 상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층(120)은 상기 제1 도전 패턴들(110)에 인접하여 각각 배치된다. 상기 제1 도전 패턴(110)과 상기 자기 터널 접합(101)이 서로 중첩되지 않은 영역에서 상기 제1 도전 패턴(110)에 연결되고 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)하게 콘택 플러그(115)가 배치된다.

[0129] 상기 제1 도전 패턴(110)은 y축 방향(제2 방향)으로 일정한 폭(L)을 가지고 x축 방향으로 연장될 수 있다. 상기 제1 도전 패턴의 폭은 상기 자기터널 접합의 y축 방향의 폭(W)보다 클 수 있다. 상기 자기 터널 접합(101)은 상기 제1 도전 패턴의 폭 내에 배치되고 연장되는 x축 방향의 중심축에 대하여 비대칭적으로 배치될 수 있다.

[0130] 도전 라인(117)은 상기 제1 방향으로 연장되고 상기 제1 방향으로 배열된 콘택 플러그들에 연결된다.

[0131] 선택 트랜지스터들(TR)은 상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된다.

[0132] 제2 도전 패턴(382)은 상기 제1 방향에 수직한 제2 방향(y 축 방향)으로 배열된 선택 트랜지스터들 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제1 방향에 수직한 제2 방향(y 축 방향)으로 연장된다.

[0133] 제3 도전 패턴(383)은 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된다.

[0134] 도 5는 본 발명의 또 다른 실시예에 따른 자기 메모리 소자를 나타내는 개념도이다.

[0135] 도 5를 참조하면, 자기 메모리 소자(93)는, 매트릭스 형태로 배열된 복수의 자기 터널 접합(101); 및 상기 자기 터널 접합의 자유 자성층(120)에 인접하여 배치된 제1 도전 패턴(110)을 포함한다. 자기 터널 접합(101)은 고정 자성층(140), 자유 자성층(120) 및 상기 고정 자성층과 상기 자유 자성층 사이에 배치된 터널 장벽층(130)을 포함한다.

[0136] 상기 고정 자성층(140)은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 자유 자성층(120)은 자화 방향이 변하고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 제1 도전 패턴(110)의 연장 방향(x축 방향)으로 면내

전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방향 스핀을 갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는

스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 상기 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 이다.

[0137] 상기 제1 도전 패턴(110)은 기판 평면에서 제1 방향으로 연장된다. 상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴에 인접하여 주기적으로 배치된다. 선택 트랜지스터들(TR)은 상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된다. 제2 도전 패턴(382a)은 상기 제1 방향으로 배열된 선택 트랜지스터들 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제1 방향으로 연장된다. 제3 도전 패턴(383)은 상기 제2 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된다.

[0138] 상기 제1 도전 패턴(110)은 y축 방향(제2 방향)으로 일정한 폭(L)을 가지고 x축 방향으로 연장될 수 있다. 상기 제1 도전 패턴의 폭은 상기 자기터널 접합의 y축 방향의 폭(W)보다 클 수 있다. 상기 자기 터널 접합(101)은 상기 제1 도전 패턴의 폭 내에 배치되고 연장되는 x축 방향의 중심축에 대하여 비대칭적으로 배치될 수 있다.

[0139] 도 6은 본 발명의 또 다른 실시예에 따른 자기 메모리 소자를 나타내는 개념도이다.

[0140] 도 6을 참조하면, 자기 메모리 소자(94)는, 매트릭스 형태로 배열된 복수의 자기 터널 접합(101); 및 상기 자기 터널 접합의 자유 자성층(120)에 인접하여 배치된 제1 도전 패턴(110)을 포함한다. 자기 터널 접합(101)은 고정 자성층(140), 자유 자성층(120) 및 상기 고정 자성층과 상기 자유 자성층 사이에 배치된 터널 장벽층(130)을 포함한다.

[0141] 상기 고정 자성층(140)은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 자유 자성층(120)은 자화 방향이 변하고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 제1 도전 패턴(110)의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방향 스핀을 갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는

스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 상기 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 이다.

[0142] 상기 제1 도전 패턴(110)은 기판 평면에서 제1 방향으로 연장된다. 상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴에 인접하여 주기적으로 배치된다. 선택 트랜지스터들(TR)은 상기 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결된다. 제2 도전 패턴(482)은 상기 제1 방향에 수직한 제2 방향으로 배열된 선택 트랜지스터들(TR) 각각의 소오스/드레인에 전기적으로 연결되고 상기 기판 평면에서 상기 제2 방향으로 연장된다. 제3 도전 패턴(483)은 상기 제1 방향으로 배열된 상기 선택 트랜지스터들 각각의 게이트에 연결된다.

[0143] 상기 제1 도전 패턴(110)은 y축 방향(제2 방향)으로 일정한 폭(L)을 가지고 x축 방향으로 연장될 수 있다. 상기 제1 도전 패턴(110)의 폭은 상기 자기터널 접합의 y축 방향의 폭(W)보다 클 수 있다. 상기 자기 터널 접합(101)은 상기 제1 도전 패턴의 폭 내에 배치되고 연장되는 x축 방향의 중심축에 대하여 비대칭적으로 배치될 수 있다.

[0144] 도 7은 본 발명의 또 다른 실시예에 따른 자기 메모리 소자를 나타내는 개념도이다.

[0145] 도 7을 참조하면, 자기 메모리 소자(97)는, 매트릭스 형태로 배열된 복수의 자기 터널 접합(101); 및 상기 자기 터널 접합의 자유 자성층(120)에 인접하여 배치된 제1 도전 패턴(110)을 포함한다. 자기 터널 접합(101)은 고정 자성층(140), 자유 자성층(120) 및 상기 고정 자성층과 상기 자유 자성층 사이에 배치된 터널 장벽층(130)을 포함한다.

[0146] 상기 고정 자성층(140)은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 자유 자성층(120)은 자화 방향이 변하고, 막 면(x-y 평면)에 대하여 수직 방향

(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 제1 도전 패턴(110)의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방향 스핀을 갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는

스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 상기 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 이다.

[0147] 상기 제1 도전 패턴(110)은 기판 평면에서 제1 방향으로 주기적으로 배치된다. 상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴 각각에 인접하여 주기적으로 배치된다. 제2 도전 패턴(782)은 상기 제1 방향으로 배열된 자기 터널 접합들의 고정 자성층 각각에 전기적으로 연결되고 상기 제1 방향으로 연장된다. 제1 선택 트랜지스터(TR1)는 상기 제1 도전 패턴(110)의 일단에 각각 연결된다. 제2 선택 트랜지스터(TR2)는 상기 제1 도전 패턴의 타단에 각각 연결된다.

[0148] 제3 도전 패턴(783)은 상기 제1 방향으로 배열된 상기 제1 선택 트랜지스터(TR1)의 소오스/드레인에 연결되고 상기 제1 방향으로 연장된다.

[0149] 제4 도전 패턴(784)은 상기 제1 방향으로 배열된 상기 제2 선택 트랜지스터(TR2)의 소오스/드레인에 연결되고 상기 제1 방향으로 연장된다.

[0150] 제5 도전 패턴(785)은 상기 제1 방향에 수직인 제2 방향으로 배열된 제1 선택 트랜지스터(TR1)의 게이트와 제2 선택 트랜지스터(TR2)의 게이트를 서로 연결하여 상기 제2 방향으로 연장된다.

[0151] 상기 제1 도전 패턴(110)은 y축 방향(제2 방향)으로 일정한 폭(L)을 가지고 x축 방향으로 연장될 수 있다. 상기 제1 도전 패턴(110)의 폭은 상기 자기터널 접합의 y축 방향의 폭(W)보다 클 수 있다. 상기 자기 터널 접합(101)은 상기 제1 도전 패턴의 폭 내에 배치되고 연장되는 x축 방향의 중심축에 대하여 비대칭적으로 배치될 수 있다.

[0152] 도 8은 본 발명의 또 다른 실시예에 따른 자기 메모리 소자를 나타내는 개념도이다.

[0153] 도 8을 참조하면, 자기 메모리 소자(98)는, 매트릭스 형태로 배열된 복수의 자기 터널 접합(101); 및 상기 자기 터널 접합의 자유 자성층(120)에 인접하여 배치된 제1 도전 패턴(110)을 포함한다. 자기 터널 접합(101)은 고정 자성층(140), 자유 자성층(120) 및 상기 고정 자성층과 상기 자유 자성층 사이에 배치된 터널 장벽층(130)을 포함한다.

[0154] 상기 고정 자성층(140)은 고정 자화 방향을 갖고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 자유 자성층(120)은 자화 방향이 변하고, 막 면(x-y 평면)에 대하여 수직 방향(z축 방향)으로 자화되는 물질을 포함하는 박막이다. 상기 제1 도전 패턴(110)의 연장 방향(x축 방향)으로 면내 전류가 흐르는 경우, 상기 면내 전류에 기인한 y 방향 스핀을 갖는 스핀 축적(μ_y^s)에 대한 z 방향 스핀을 갖는

스핀 축적(μ_z^s)의 비율 $F(y) = \frac{\mu_z^s}{\mu_y^s}$ 을 상기 자유 자성층이 점유하는 셀 면적에 대하여 면적 적분하고 상기 셀 면적으로 나누어 평균한 평균 스핀 축적 비율(F_{ave})은 $F_{ave} \geq 0.1$ 이다.

[0155] 상기 제1 도전 패턴(110)은 기판 평면에서 제1 방향으로 주기적으로 배치된다. 상기 제1 방향으로 배열된 자기 터널 접합들 각각의 자유 자성층은 상기 제1 도전 패턴(110) 각각에 인접하여 주기적으로 배치된다. 제1 선택 트랜지스터(TR1)는 상기 자기 터널 접합의 고정 자성층에 각각 연결된다. 제2 선택 트랜지스터(TR2)는 상기 제1 도전 패턴(110)의 일단에 각각 연결된다. 제2 도전 패턴(882)은 상기 제1 방향으로 배열된 제1 선택 트랜지스터(TR1)의 소오스/드레인에 연결되고 상기 제1 방향으로 연장된다.

[0156] 제3 도전 패턴(883)은 상기 제1 방향으로 배열된 제1 도전 패턴(110)의 타단을 각각 연결하고 상기 제1 방향으로 연장된다. 제4 도전 패턴(884)은 상기 제1 방향으로 배열된 제2 선택 트랜지스터(TR2)의 소오스/드레인을 각각 연결하고 상기 제1 방향으로 연장된다.

[0157] 제5 도전 패턴(885)은 상기 제1 방향에 수직한 제2 방향으로 배열된 제1 선택 트랜지스터의 게이트를 각각 연결하고 상기 제2 방향으로 연장된다. 제6 도전 패턴(886)은 상기 제2 방향으로 배열된 제2 선택 트랜지스터의 게이트를 각각 연결하고 상기 제2 방향으로 연장된다.

[0158] 상기 제1 도전 패턴(110)은 y축 방향(제2 방향)으로 일정한 폭(L)을 가지고 x축 방향으로 연장될 수 있다. 상기 제1 도전 패턴의 폭은 상기 자기터널 접합의 y축 방향의 폭(W)보다 클 수 있다. 상기 자기 터널 접합(101)은 상기 제1 도전 패턴의 폭 내에 배치되고 연장되는 x축 방향의 중심축에 대하여 비대칭적으로 배치될 수 있다.

[0159] 이상에서는 본 발명을 특정한 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

부호의 설명

[0160] 101: 자기터널접합

110: 도전 패턴

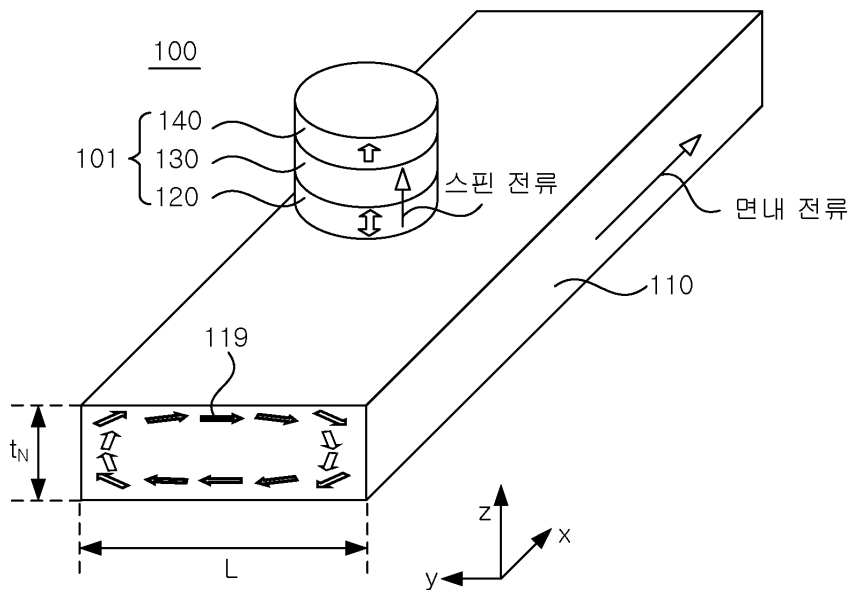
120: 자유 자성층

130: 터널장벽층

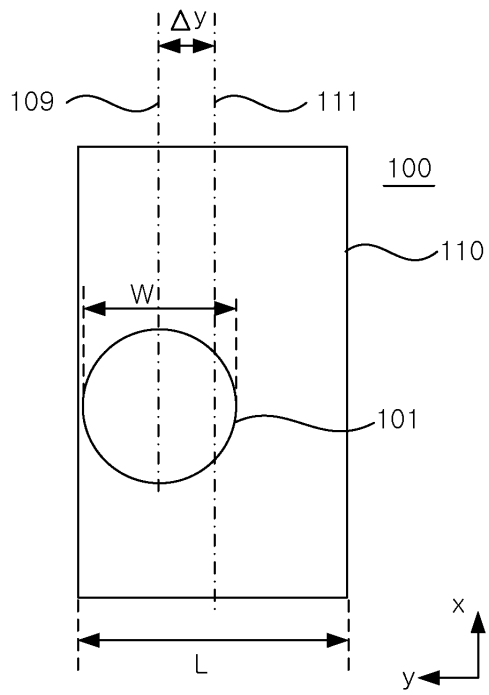
140: 고정 자성층

도면

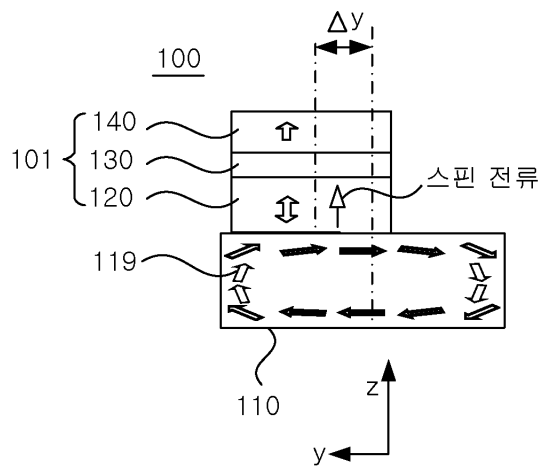
도면1a



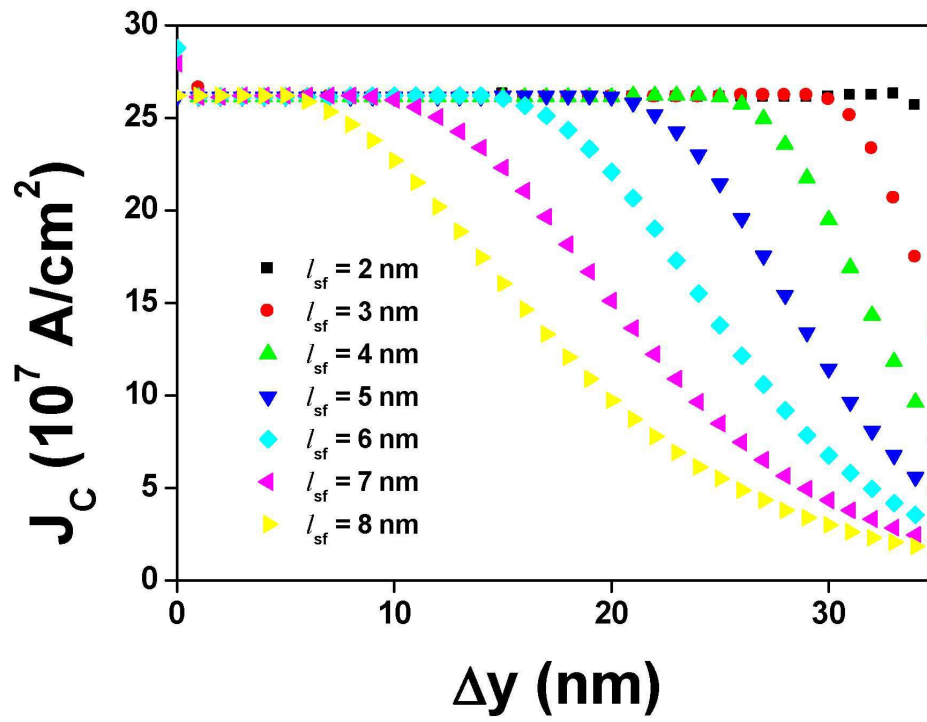
도면1b



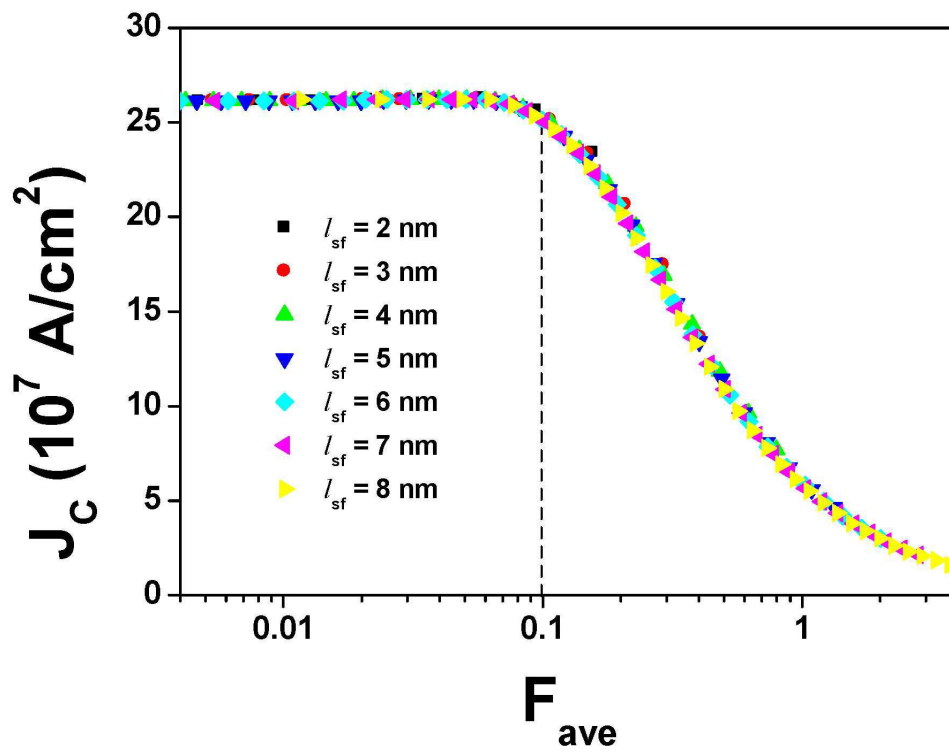
도면1c



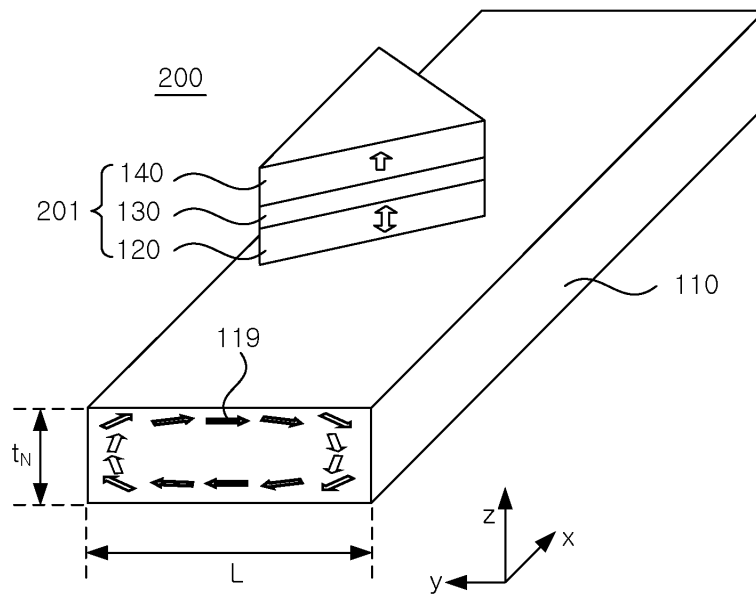
도면1d



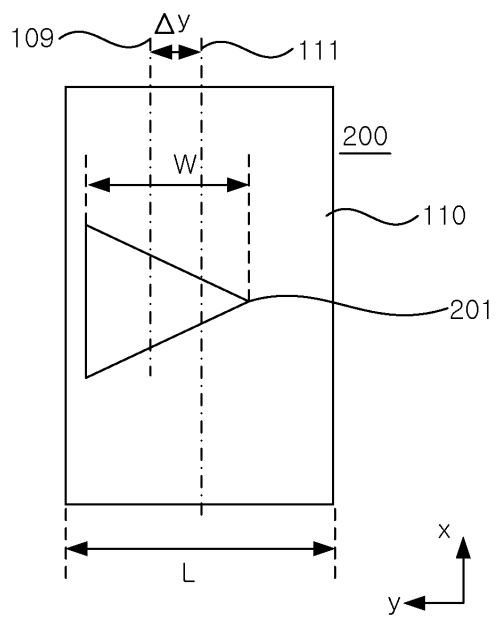
도면1e



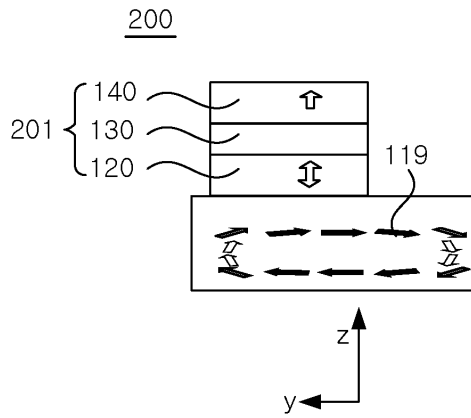
도면2a



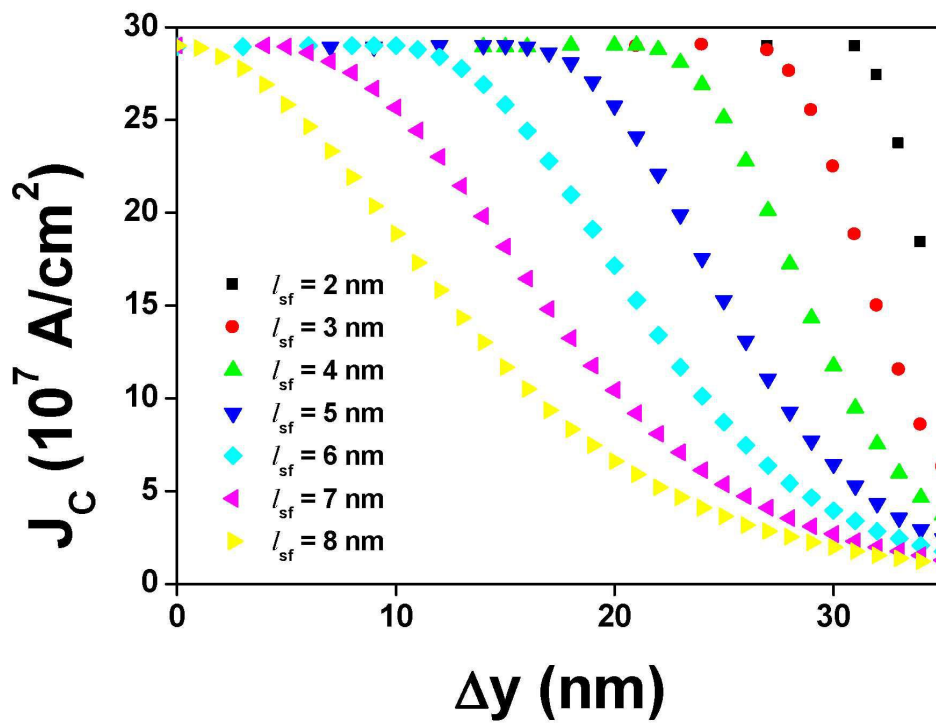
도면2b



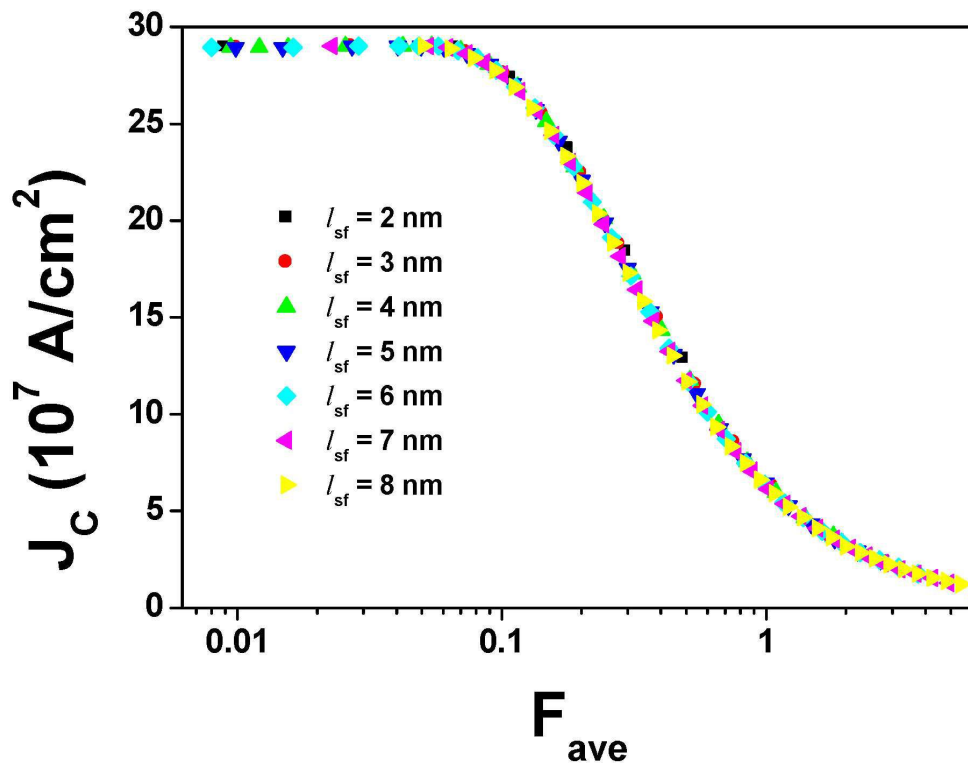
도면2c



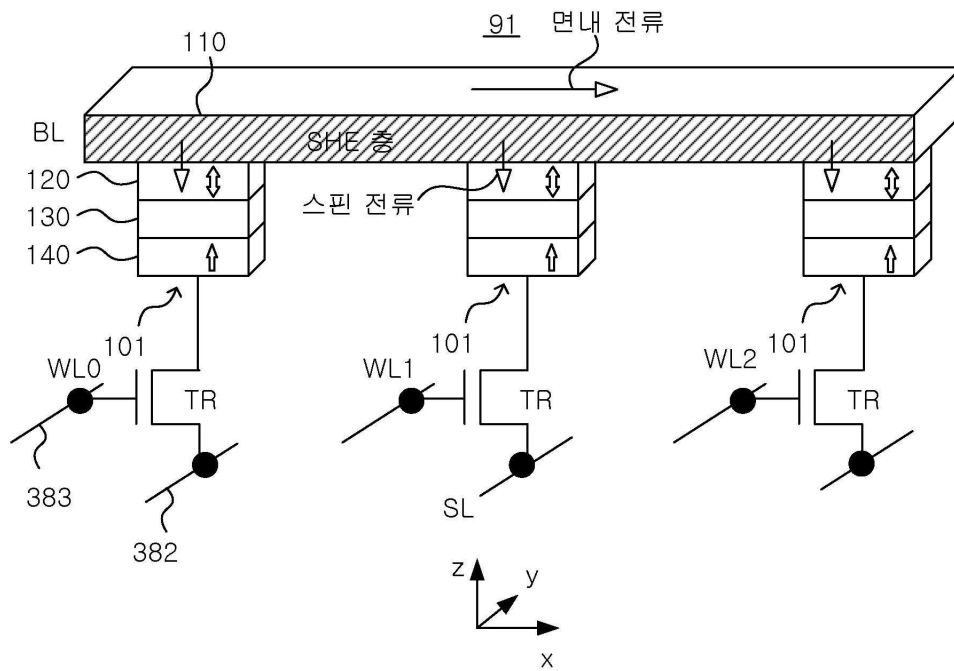
도면2d



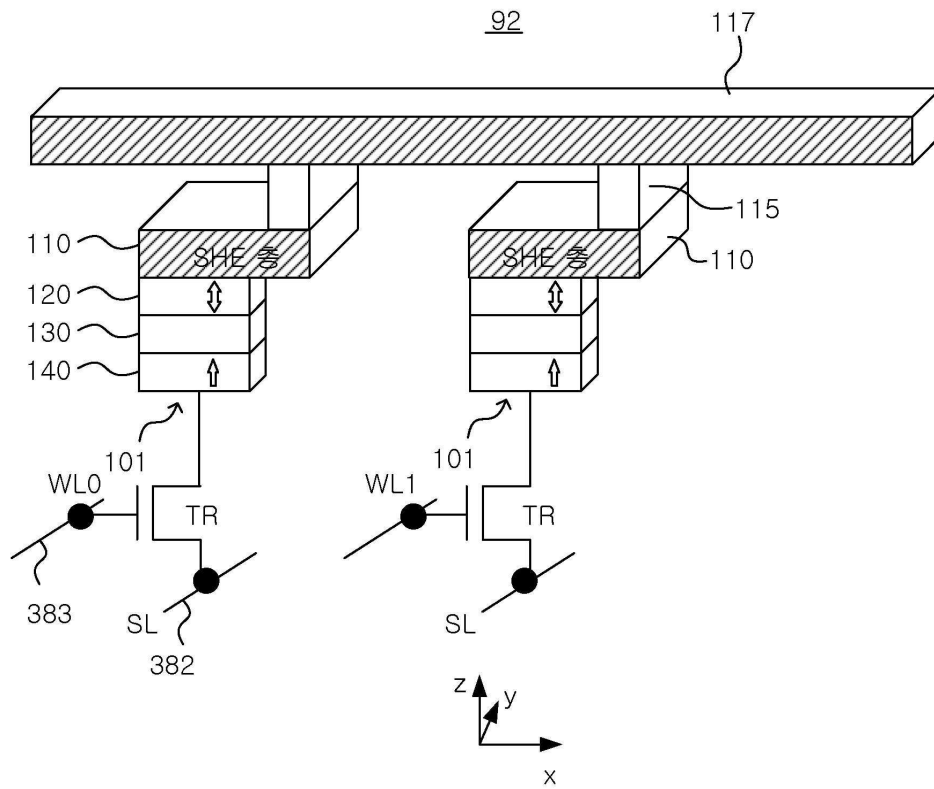
도면2e



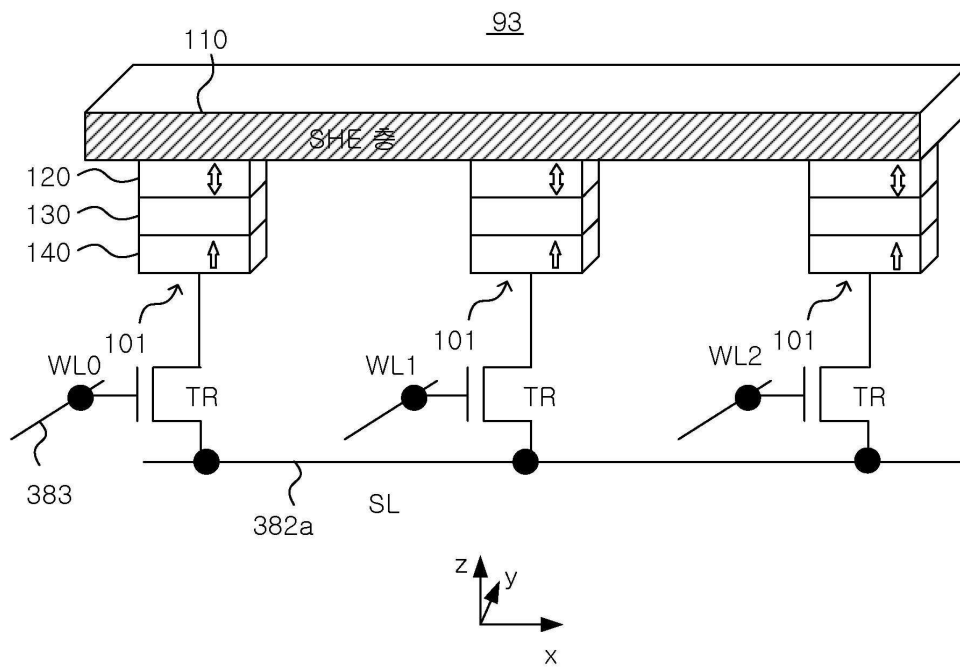
도면3



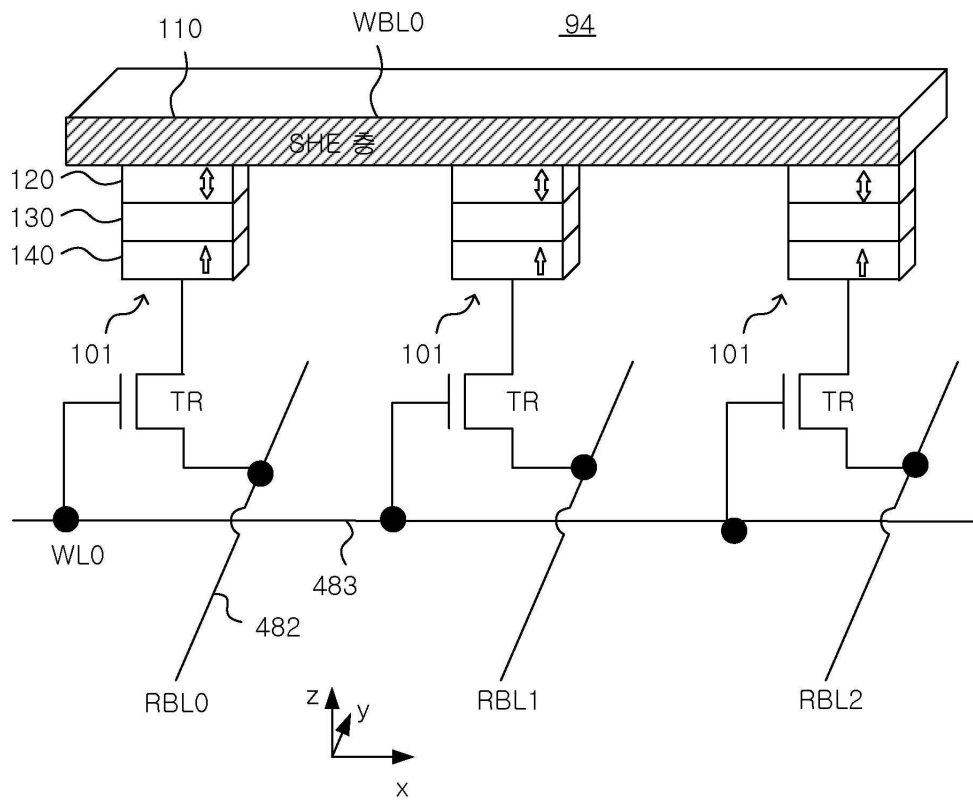
도면4



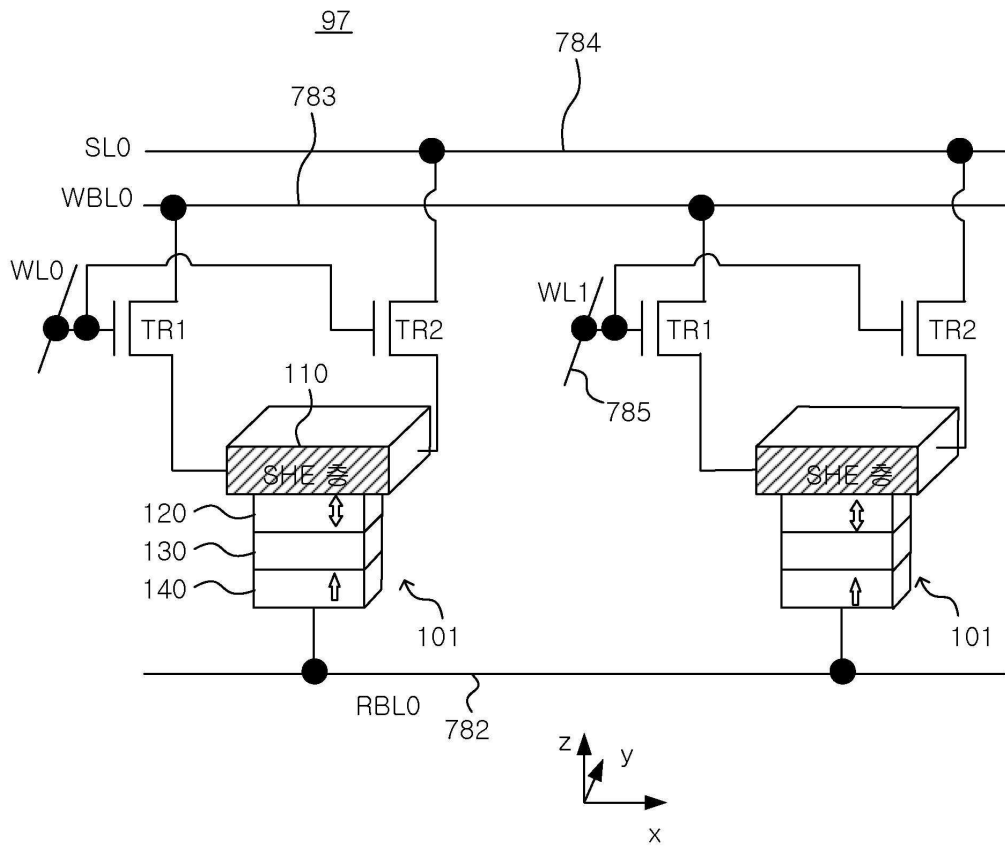
도면5



도면6



도면7



도면8

