



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0069710
(43) 공개일자 2017년06월21일

- (51) 국제특허분류(Int. Cl.)
H03L 7/099 (2006.01) *H03L 7/081* (2006.01)
H03L 7/085 (2006.01) *H03L 7/089* (2006.01)

(52) CPC특허분류
H03L 7/099 (2013.01)
H03L 7/0814 (2013.01)

(21) 출원번호 10-2015-0177266

(22) 출원일자 2015년12월11일
심사청구일자 2015년12월11일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호 (도곡동, 도곡텍슬아파트)

황세욱
서울특별시 용산구 백범로90다길 12, 201동 307호 (문매동, 용산씨제이나인파크)
(뒷면에 계속)

(74) 대리인
심경식, 홍성욱

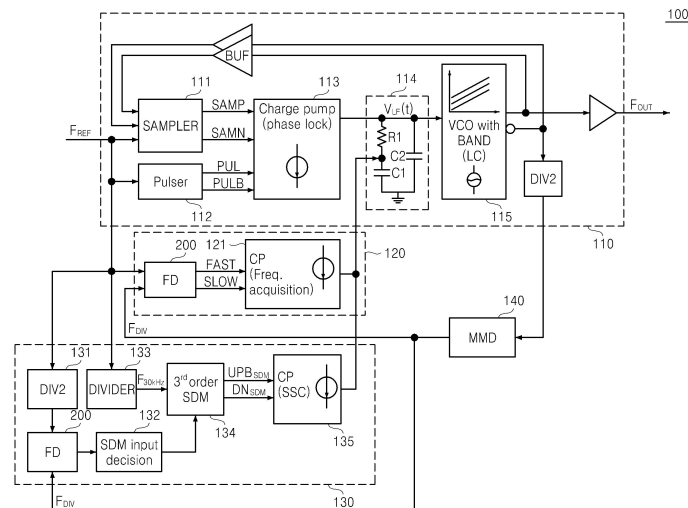
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 서브 샘플링 위상 고정 루프 회로 기반의 스프레드 스펙트럼 클럭 발생기 및 그 방법

(57) 요약

본 발명의 스프레드 스펙트럼 클록 발생기는 전압 제어 발진기를 포함하고, 상기 전압 제어 발진기에서 출력되는 높은 주파수의 신호를 레퍼런스 클럭(F_{REF}) 주기로 서브 샘플링하여 위상을 고정시키는 서브 샘플링 위상 고정 루프; 상기 전압 제어 발진기 출력 신호의 주파수를 상기 레퍼런스 클럭(F_{REF})의 주파수로 고정시키는 주파수 고정 루프; 및 상기 전압 제어 발진기 출력 신호의 스펙트럼을 확산시키기 위해, 상기 레퍼런스 클럭(F_{REF})의 펄스폭 변조에 의해 생성된 제어신호에 기초하여 상기 전압 제어 발진기의 제어 전압을 조절하는 제어 전압 조절기를 포함한다. 따라서, 본 발명은 미세한 범위의 주파수까지도 정확하게 조절이 가능한 장점이 있다. 또한, 이로 인해, 지터 감소 효율을 극대화하고, 전자파 방해 잡음(EMI)을 효과적으로 줄이는 장점이 있다.

대표도 - 도1



(52) CPC특허분류

H03L 7/085 (2013.01)

H03L 7/0891 (2013.01)

(72) 발명자

배상근

강원도 춘천시 소양로183번길 13 (근화동)

이연호

경기도 부천시 소사구 부광로15번길 9, 102동 505호(괴안동, 역곡현대아파트7차)

이 발명을 지원한 국가연구개발사업

과제고유번호 2013070988

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 중견연구자지원_도약연구(전략

연구과제명 해상도, 전압 및 동작 속도 조절 가능한 자동차 센서용 아날로그 IP 연구

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2015.12.01 ~ 2016.11.30

명세서

청구범위

청구항 1

스프레드 스펙트럼 클록 발생기에 있어서,

전압 제어 발진기를 포함하고, 상기 전압 제어 발진기에서 출력되는 높은 주파수의 신호를 레퍼런스 클럭(F_{REF}) 주기로 서브 샘플링하여 위상을 고정시키는 서브 샘플링 위상 고정 루프;

상기 전압 제어 발진기 출력 신호의 주파수를 상기 레퍼런스 클럭(F_{REF})의 주파수로 고정시키는 주파수 고정 루프; 및

상기 전압 제어 발진기 출력 신호의 스펙트럼을 확산시키기 위해, 상기 레퍼런스 클럭(F_{REF})의 펄스폭 변조에 의해 생성된 제어신호에 기초하여 상기 전압 제어 발진기의 제어 전압을 조절하는 제어 전압 조절기를 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클록 발생기.

청구항 2

제1항에 있어서, 상기 서브 샘플링 위상 고정 루프는

전압 제어 발진기;

복수의 커패시터를 포함하고, 그 커패시터에 충/방전되는 전하량에 기초하여 상기 전압 제어 발진기의 제어 전압을 조절하는 루프 필터;

상기 전압 제어 발진기에서 출력되는 높은 주파수의 신호를 레퍼런스 클럭(F_{REF}) 주기로 서브 샘플링하는 샘플러;

상기 샘플링 결과에 기초하여 상기 루프 필터에 포함된 커패시터들의 충/방전을 제어하는 제1 전하 펌프; 및

상기 레퍼런스 클럭(F_{REF}) 주기에 기초하여 상기 제1 전하 펌프의 작동 시간을 제어하는 펄서를 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클록 발생기.

청구항 3

제2항에 있어서,

상기 전압 제어 발진기 출력 신호의 주파수를 다중으로 분주하고, 상기 분주된 신호(F_{DIV})를 상기 주파수 고정 루프 및 상기 제어 전압 조절기로 피드백하는 주파수 디바이더를 더 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클록 발생기.

청구항 4

제3항에 있어서, 상기 주파수 고정 루프는

상기 레퍼런스 클럭(F_{REF})과 상기 주파수 디바이더에서 분주된 전압 제어 발진기 출력 신호(F_{DIV})를 비교하여 주파수 고정을 위한 제어신호(FAST 또는 SLOW)를 출력하는 주파수 검출기; 및

상기 주파수 검출기에서 출력되는 제어신호(FAST 또는 SLOW)에 기초하여 상기 루프 필터에 포함된 커패시터들의 충/방전을 제어하는 제2 전하 펌프를 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클록 발생기.

청구항 5

제4항에 있어서, 상기 주파수 검출기는

상기 레퍼런스 클럭(F_{REF})의 폴링 엣지를 중심으로 소정의 펄스폭을 가지되, 상기 펄스폭은 상기 레퍼런스 클럭

(F_{REF})의 펄스폭 보다 좁은 레퍼런스 펄스(F_{REF1})를 발생시키는 레퍼런스 펄스 발생기; 및

상기 레퍼런스 클럭(F_{REF})과, 상기 레퍼런스 펄스(F_{REF1})와, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})를 입력으로 받고, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때 상기 레퍼런스 클럭(F_{REF})과, 상기 레퍼런스 펄스(F_{REF1})의 상태 값에 기초하여 상기 주파수 고정을 위한 제어신호(FAST 또는 SLOW)를 출력하는 3-입력 주파수 검출기를 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클록 발생기.

청구항 6

제5항에 있어서, 상기 3-입력 주파수 검출기는

상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때, 상기 레퍼런스 클럭(F_{REF})의 현재 값과 이전 값을 출력하는 제1 및 제2 D-플립 플롭;

상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때, 상기 레퍼런스 펄스(F_{REF1})의 현재값과 이전값을 출력하는 제3 및 제4 D-플립 플롭;

상기 제1 및 제2 D-플립 플롭에서 출력되는 레퍼런스 클럭(F_{REF})의 현재 값과 이전 값이 서로 다를 때, 상기 두 값을 출력하는 제5 및 제6 D-플립 플롭;

상기 제3 및 제4 D-플립 플롭에서 출력되는 레퍼런스 펄스(F_{REF1})의 현재 값과 이전 값이 서로 다를 때, 상기 두 값을 출력하는 제7 및 제8 D-플립 플롭; 및

상기 제5 및 제6 D-플립 플롭의 출력단과 상기 제7 및 제8 D-플립 플롭의 출력단에 각각 연결된 제1 및 제2 제어신호 결정부를 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클록 발생기.

청구항 7

제6항에 있어서, 상기 3-입력 주파수 검출기는

상기 제1 및 제2 D-플립 플롭에서 출력되는 레퍼런스 클럭(F_{REF})의 현재 값과 이전 값이 같은지 다른지 여부를 식별하기 위한 제1 EX-OR 게이트; 및

상기 제3 및 제4 D-플립 플롭에서 출력되는 레퍼런스 펄스(F_{REF1})의 현재 값과 이전 값이 같은지 다른지 여부를 식별하기 위한 제2 EX-OR 게이트를 더 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클록 발생기.

청구항 8

제3항에 있어서, 상기 제어 전압 조절기는

복수의 스위치를 포함하고, 상기 복수의 스위치 각각의 온/오프를 조절하기 위한 조절 신호에 기초하여 상기 루프 필터에 포함된 커패시터들의 충전과 방전을 각각 제어하는 제3 전하 펌프;

상기 레퍼런스 클럭(F_{REF})을 모듈레이션하고 그 결과로 상기 제3 전하 펌프의 스위치 각각의 온/오프를 조절하기 위한 조절 신호를 출력하는 3차 오더 시그마 델타 변조기;

상기 레퍼런스 클럭(F_{REF})을 분주하여 상기 3차 오더 시그마 델타 변조기의 모듈레이션 주파수를 결정하는 제1 분주기; 및

상기 레퍼런스 클럭(F_{REF})과 상기 주파수 디바이더에서 분주된 전압 제어 발진기 출력 신호(F_{DIV})에 기초하여 상기 3차 오더 시그마 델타 변조기의 모듈레이션 폭을 결정하는 모듈레이션 폭 결정부를 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클록 발생기.

청구항 9

제8항에 있어서, 상기 모듈레이션 폭 결정부는

상기 레퍼런스 클럭(F_{REF})을 2분주하는 제2 분주기;

상기 2분주된 레퍼런스 클럭($F_{REF}/2$)과 상기 주파수 디바이더에서 분주된 전압 제어 발진기 출력 신호(F_{DIV})를 비교하여 상기 주파수 디바이더에서 분주된 전압 제어 발진기 출력 신호(F_{DIV})를 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)으로 고정시키기 위한 제어신호를 출력하는 주파수 검출기; 및

상기 주파수 검출기에서 출력된 제어신호에 기초하여 상기 3차 오더 시그마 델타 변조기의 모듈레이션 폭을 결정하기 위한 n 개의 배열값을 출력하는 SDM 입력 배열 생성부를 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클럭 발생기.

청구항 10

제9항에 있어서, 상기 주파수 검출기는

상기 2분주된 레퍼런스 클럭($F_{REF}/2$)의 폴링 엣지를 중심으로 소정의 펄스폭을 가지되, 상기 펄스폭은 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)의 펄스폭 보다 좁은 레퍼런스 펄스(F_{REF1})를 발생시키는 레퍼런스 펄스 발생기; 및

상기 2분주된 레퍼런스 클럭($F_{REF}/2$)과, 상기 레퍼런스 펄스(F_{REF1})와, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})를 입력으로 받고, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)과, 상기 레퍼런스 펄스(F_{REF1})의 상태 값에 기초하여 상기 주파수 고정을 위한 제어신호를 출력하는 3-입력 주파수 검출기를 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클럭 발생기.

청구항 11

제10항에 있어서, 상기 3-입력 주파수 검출기는

상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때, 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)의 현재 값과 이전 값을 출력하는 제11 및 제12 D-플립 플롭;

상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때, 상기 레퍼런스 펄스(F_{REF1})의 현재값과 이전값을 출력하는 제13 및 제14 D-플립 플롭;

상기 제11 및 제12 D-플립 플롭에서 출력되는 2분주된 레퍼런스 클럭($F_{REF}/2$)의 현재 값과 이전 값이 서로 다를 때, 상기 두 값을 출력하는 제15 및 제16 D-플립 플롭;

상기 제13 및 제14 D-플립 플롭에서 출력되는 레퍼런스 펄스(F_{REF1})의 현재 값과 이전 값이 서로 다를 때, 상기 두 값을 출력하는 제17 및 제18 D-플립 플롭; 및

상기 제15 및 제16 D-플립 플롭의 출력단과 상기 제17 및 제18 D-플립 플롭의 출력단에 각각 연결된 제11 및 제12 제어신호 결정부를 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클럭 발생기.

청구항 12

제11항에 있어서, 상기 3-입력 주파수 검출기는

상기 제11 및 제12 D-플립 플롭에서 출력되는 2분주된 레퍼런스 클럭($F_{REF}/2$)의 현재 값과 이전 값이 같은지 다른지 여부를 식별하기 위한 제11 EX-OR 게이트; 및

상기 제13 및 제14 D-플립 플롭에서 출력되는 레퍼런스 펄스(F_{REF1})의 현재 값과 이전 값이 같은지 다른지 여부를 식별하기 위한 제12 EX-OR 게이트를 더 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클럭 발생기.

청구항 13

전압 제어 발진기와, 루프 필터를 포함하는 서브 샘플링 위상 고정 루프 회로 기반의 스프레드 스펙트럼 클럭 발생 방법에 있어서,

미리 설정된 모듈레이션 조건에 의거하여, 상기 서브 샘플링 위상 고정 루프 회로의 레퍼런스 클럭(F_{REF})을 3차 시그마 델타 모듈레이션 방식으로 모듈레이션하는 단계; 및

상기 모듈레이션 결과 출력되는 제어 신호에 의거하여, 상기 루프 필터의 출력 전압을 조절하는 단계를 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클럭 발생 방법.

청구항 14

제13항에 있어서, 상기 모듈레이션 단계는

상기 서브 샘플링 위상 고정 루프 회로의 레퍼런스 클럭(F_{REF})에 기초하여 모듈레이션 주파수를 결정하는 단계; 및

상기 서브 샘플링 위상 고정 루프 회로의 레퍼런스 클럭(F_{REF})과 상기 전압 제어 발진기 출력 신호(F_{VCO})에 기초하여 모듈레이션 폭을 결정하는 단계를 더 포함하는 것을 특징으로 하는 스프레드 스펙트럼 클럭 발생 방법.

청구항 15

제14항에 있어서, 상기 루프 필터 출력 전압 조절 단계는

상기 모듈레이션 결과 출력되는 제어 신호에 의거하여 상기 루프 필터를 구성하는 캐패시터들의 충/방전을 직접 제어하는 것을 특징으로 하는 스프레드 스펙트럼 클럭 발생 방법.

발명의 설명

기술 분야

[0001] 본 발명은 스프레드 스펙트럼 클럭 발생기(Spread Spectrum Clock Generator, SSCG)에 관한 것으로서, 특히 서브 샘플링 위상 고정 루프 회로(Sub Sampling Phase Locked Loop, SSPLL)를 기반으로 한 스프레드 스펙트럼 클럭 발생기 및 그 방법에 관한 것이다.

배경 기술

[0002] 위상 고정 루프(Phase Locked Loops, PLL)는 외부로부터 입력되는 기준 클럭 신호에 응답하여 고정된 주파수를 갖는 발진 신호를 생성하며, 이 때 생성된 발진 신호는 상기 위상 고정 루프가 포함된 시스템의 동작 클럭으로 제공된다. 또한, 이 클럭의 내역 위상 잡음(in-band phase noise)과 지터(jitter)가 전체 시스템의 성능을 결정한다. 서브 샘플링 위상 고정 루프는 내부의 분주기(divider)가 노이즈를 더하고 또한 이를 증폭시킨다는 점에 주목하여 분주기를 제거해 낮은 위상 잡음과 지터의 성능을 얻은 회로이다.

[0003] 하지만 신호의 스펙트럼 파워가 한 주파수 성분에만 집중되면 전자파 장애(Electro Magnetic Interference, EMI)를 발생시켜서, 주변의 다른 회로들에 영향을 미칠 수 있고, 더 나아가 시스템 전체에 장애가 발생할 수 있다. 즉, 높은 에너지를 가지는 고 주파수 신호(즉, 클럭 신호)가 주변의 시스템에 영향을 끼쳐 오동작을 야기하는 것이다. 이러한 영향을 감소시키기 위해 스펙트럼 파워를 주변의 주파수 성분으로 퍼뜨려 가장 높은 주파수 성분의 파워를 낮추는 방식이 스프레드 스펙트럼 클럭 발생기(SSCG)이다.

[0004] 하지만 이러한 스프레드 스펙트럼 클럭 발생기(SSCG)의 경우 위상 고정 루프(PLL)의 주파수를 변조시키기 때문에 추가적인 지터가 발생하며, 이는 1UI(Unit Interval)가 줄어드는 고속 시리얼 통신(예컨대, 10Gbps 이상)에서 점점 큰 문제를 유발시킨다.

[0005] 이로 인해, 기본적으로 지터가 현저히 작다고 알려진 서브 샘플링 위상 고정 루프(SSPLL)를 기반으로 한 스프레드 스펙트럼 클럭 발생기(SSCG)를 구현하고자 하는 시도가 늘고 있다.

[0006] 그런데, 기존의 스프레드 스펙트럼 클럭 발생기(SSCG)의 경우 시그마-델타 변조기(Sigma-Delta Modulator, SDM)를 이용하여 위상 고정 루프의 분주비(division ratio)를 변경함으로써 프로파일(profile)을 만드는 것이 일반적이거나, 서브 샘플링 위상 고정 루프(SSPLL)는 이러한 방식을 적용할 수 없다. 왜냐하면, 서브 샘플링 위상 고정 루프(SSPLL)에서는 전하 펌프의 잡음이 N^2 만큼 곱해지는 것에서 착안하여, 지터를 줄이기 위해 주파수 분주기(frequency divider)를 없앴기 때문이다.

[0007] 따라서, 종래에는 서브 샘플링 위상 고정 루프(SSPLL) 기반의 스프레드 스펙트럼 클럭 발생기(SSCG) 구현에 있어서, 주파수 변조에 문제가 있었다. 예를 들어, 종래에는 스프레드 스펙트럼 클럭 발생기(SSCG)에 시그마-델타

변조기(SDM)를 적용할 수 없으므로 미세한 범위의 주파수까지도 정확하게 변경할 수 있는 구조의 클럭 발생기를 구현할 수 없었다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 대한민국 등록특허 등록번호 10-1135872(스프레드 스펙트럼 클럭발생기, 주식회사 실리콘웍스, 2012.04.19 공고)

발명의 내용

해결하려는 과제

- [0009] 따라서, 본 발명은 고속의 유선 전송 인터페이스에서 펄스폭 변조에 의하여 전자파 방해 잡음(EMI)을 효과적으로 줄이는 서브 샘플링 위상 고정 루프 회로(SSPLL) 기반의 스프레드 스펙트럼 클럭 발생기(SSCG) 및 그 방법을 제공하고자 한다.
- [0010] 또한, 본 발명은 서브 샘플링 위상 고정 루프 회로(SSPLL) 기반의 스프레드 스펙트럼 클럭 발생기(SSCG)에 있어서, 미세한 범위의 주파수까지도 정확하게 변경함으로써, 지터 감소 효율을 극대화한 서브 샘플링 위상 고정 루프 회로(SSPLL) 기반의 스프레드 스펙트럼 클럭 발생기(SSCG) 및 그 방법을 제공하고자 한다.

과제의 해결 수단

- [0011] 상기 목적을 달성하기 위해, 본 발명에서 제공하는 스프레드 스펙트럼 클럭 발생기는 전압 제어 발진기를 포함하고, 상기 전압 제어 발진기에서 출력되는 높은 주파수의 신호를 레퍼런스 클럭(F_{REF}) 주기로 서브 샘플링하여 위상을 고정시키는 서브 샘플링 위상 고정 루프; 상기 전압 제어 발진기 출력 신호의 주파수를 상기 레퍼런스 클럭(F_{REF})의 주파수로 고정시키는 주파수 고정 루프; 및 상기 전압 제어 발진기 출력 신호의 스펙트럼을 확산시키기 위해, 상기 레퍼런스 클럭(F_{REF})의 펄스폭 변조에 의해 생성된 제어신호에 기초하여 상기 전압 제어 발진기의 제어 전압을 조절하는 제어 전압 조절기를 포함한다.
- [0012] 바람직하게는, 상기 서브 샘플링 위상 고정 루프는 전압 제어 발진기; 복수의 커패시터를 포함하고, 그 커패시터에 충/방전되는 전하량에 기초하여 상기 전압 제어 발진기의 제어 전압을 조절하는 루프 필터; 상기 전압 제어 발진기에서 출력되는 높은 주파수의 신호를 레퍼런스 클럭(F_{REF}) 주기로 서브 샘플링하는 샘플러; 상기 샘플링 결과에 기초하여 상기 루프 필터에 포함된 커패시터들의 충/방전을 제어하는 제1 전하 펌프; 및 상기 레퍼런스 클럭(F_{REF}) 주기에 기초하여 상기 제1 전하 펌프의 작동 시간을 제어하는 펄서를 포함할 수 있다.
- [0013] 바람직하게는, 상기 스프레드 스펙트럼 클럭 발생기는 상기 전압 제어 발진기 출력 신호의 주파수를 다중으로 분주하고, 상기 분주된 신호(F_{DIV})를 상기 주파수 고정 루프 및 상기 제어 전압 조절기로 피드백하는 주파수 디바이더를 더 포함할 수 있다.
- [0014] 바람직하게는, 상기 주파수 고정 루프는 상기 레퍼런스 클럭(F_{REF})과 상기 주파수 디바이더에서 분주된 전압 제어 발진기 출력 신호(F_{DIV})를 비교하여 주파수 고정을 위한 제어신호(FAST 또는 SLOW)를 출력하는 주파수 검출기; 및 상기 주파수 검출기에서 출력되는 제어신호(FAST 또는 SLOW)에 기초하여 상기 루프 필터에 포함된 커패시터들의 충/방전을 제어하는 제2 전하 펌프를 포함할 수 있다.
- [0015] 바람직하게는, 상기 주파수 검출기는 상기 레퍼런스 클럭(F_{REF})의 폴링 엣지를 중심으로 소정의 펄스폭을 가지되, 상기 펄스폭은 상기 레퍼런스 클럭(F_{REF})의 펄스폭 보다 좁은 레퍼런스 펄스(F_{REF1})를 발생시키는 레퍼런스 펄스 발생기; 및 상기 레퍼런스 클럭(F_{REF})과, 상기 레퍼런스 펄스(F_{REF1})와, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})를 입력으로 받고, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때 상기 레퍼런스 클럭(F_{REF})과, 상기 레퍼런스 펄스(F_{REF1})의 상태 값에 기초하여 상기 주파수 고정을 위한 제어신호(FAST 또는

SLOW)를 출력하는 3-입력 주파수 검출기를 포함할 수 있다.

- [0016] 바람직하게는, 상기 3-입력 주파수 검출기는 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때, 상기 레퍼런스 클럭(F_{REF})의 현재 값과 이전 값을 출력하는 제1 및 제2 D-플립 플롭; 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때, 상기 레퍼런스 펄스(F_{REF1})의 현재값과 이전값을 출력하는 제3 및 제4 D-플립 플롭; 상기 제1 및 제2 D-플립 플롭에서 출력되는 레퍼런스 클럭(F_{REF})의 현재 값과 이전 값이 서로 다를 때, 상기 두 값을 출력하는 제5 및 제6 D-플립 플롭; 상기 제3 및 제4 D-플립 플롭에서 출력되는 레퍼런스 펄스(F_{REF1})의 현재 값과 이전 값이 서로 다를 때, 상기 두 값을 출력하는 제7 및 제8 D-플립 플롭; 및 상기 제5 및 제6 D-플립 플롭의 출력단과 상기 제7 및 제8 D-플립 플롭의 출력단에 각각 연결된 제1 및 제2 제어신호 결정부를 포함할 수 있다.
- [0017] 바람직하게는, 상기 3-입력 주파수 검출기는 상기 제1 및 제2 D-플립 플롭에서 출력되는 레퍼런스 클럭(F_{REF})의 현재 값과 이전 값이 같은지 다른지 여부를 식별하기 위한 제1 EX-OR 게이트; 및 상기 제3 및 제4 D-플립 플롭에서 출력되는 레퍼런스 펄스(F_{REF1})의 현재 값과 이전 값이 같은지 다른지 여부를 식별하기 위한 제2 EX-OR 게이트를 더 포함할 수 있다.
- [0018] 바람직하게는, 상기 제어 전압 조절기는 복수의 스위치를 포함하고, 상기 복수의 스위치 각각의 온/오프를 조절하기 위한 조절 신호에 기초하여 상기 루프 필터에 포함된 커패시터들의 충전과 방전을 각각 제어하는 제3 전하 펌프; 상기 레퍼런스 클럭(F_{REF})을 모듈레이션하고 그 결과로 상기 제3 전하 펌프의 스위치 각각의 온/오프를 조절하기 위한 조절 신호를 출력하는 3차 오더 시그마 델타 변조기; 상기 레퍼런스 클럭(F_{REF})을 분주하여 상기 3차 오더 시그마 델타 변조기의 모듈레이션 주파수를 결정하는 제1 분주기; 및 상기 레퍼런스 클럭(F_{REF})과 상기 주파수 디바이더에서 분주된 전압 제어 발진기 출력 신호(F_{DIV})에 기초하여 상기 3차 오더 시그마 델타 변조기의 모듈레이션 폭을 결정하는 모듈레이션 폭 결정부를 포함할 수 있다.
- [0019] 바람직하게는, 상기 모듈레이션 폭 결정부는 상기 레퍼런스 클럭(F_{REF})을 2분주하는 제2 분주기; 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)과 상기 주파수 디바이더에서 분주된 전압 제어 발진기 출력 신호(F_{DIV})를 비교하여 상기 주파수 디바이더에서 분주된 전압 제어 발진기 출력 신호(F_{DIV})를 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)으로 고정시키기 위한 제어신호를 출력하는 주파수 검출기; 및 상기 주파수 검출기에서 출력된 제어신호에 기초하여 상기 3차 오더 시그마 델타 변조기의 모듈레이션 폭을 결정하기 위한 n 개의 배열값을 출력하는 SDM 입력 배열 생성부를 포함할 수 있다.
- [0020] 바람직하게는, 상기 주파수 검출기는 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)의 폴링 엣지를 중심으로 소정의 펄스 폭을 가지되, 상기 펄스폭은 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)의 펄스폭 보다 좁은 레퍼런스 펄스(F_{REF1})를 발생시키는 레퍼런스 펄스 발생기; 및 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)과, 상기 레퍼런스 펄스(F_{REF1})와, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})를 입력으로 받고, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)과, 상기 레퍼런스 펄스(F_{REF1})의 상태 값에 기초하여 상기 주파수 고정을 위한 제어신호를 출력하는 3-입력 주파수 검출기를 포함할 수 있다.
- [0021] 바람직하게는, 상기 3-입력 주파수 검출기는 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때, 상기 2분주된 레퍼런스 클럭($F_{REF}/2$)의 현재 값과 이전 값을 출력하는 제11 및 제12 D-플립 플롭; 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때, 상기 레퍼런스 펄스(F_{REF1})의 현재값과 이전값을 출력하는 제13 및 제14 D-플립 플롭; 상기 제11 및 제12 D-플립 플롭에서 출력되는 2분주된 레퍼런스 클럭($F_{REF}/2$)의 현재 값과 이전 값이 서로 다를 때, 상기 두 값을 출력하는 제15 및 제16 D-플립 플롭; 상기 제13 및 제14 D-플립 플롭에서 출력되는 레퍼런스 펄스(F_{REF1})의 현재 값과 이전 값이 서로 다를 때, 상기 두 값을 출력하는 제17 및 제18 D-플립 플롭; 및 상기 제15 및 제16 D-플립 플롭의 출력단과 상기 제17 및 제18 D-플립 플롭의 출력단에 각각 연결된 제11 및 제12 제어신호 결정부를 포함할 수 있다.
- [0022] 바람직하게는, 상기 3-입력 주파수 검출기는 상기 제11 및 제12 D-플립 플롭에서 출력되는 2분주된 레퍼런스 클

력($F_{REF}/2$)의 현재 값과 이전 값이 같은지 다른지 여부를 식별하기 위한 제11 EX-OR 게이트; 및 상기 제13 및 제14 D-플립 플롭에서 출력되는 레퍼런스 펄스(F_{REF1})의 현재 값과 이전 값이 같은지 다른지 여부를 식별하기 위한 제12 EX-OR 게이트를 더 포함할 수 있다.

[0023] 한편, 상기 목적을 달성하기 위해, 본 발명에서 제공하는 스프레드 스펙트럼 클럭 발생 방법은, 전압 제어 발진기와, 루프 필터를 포함하는 서브 샘플링 위상 고정 루프 회로 기반의 스프레드 스펙트럼 클럭 발생 방법에 있어서, 미리 설정된 모듈레이션 조건에 의거하여, 상기 서브 샘플링 위상 고정 루프 회로의 레퍼런스 클럭(F_{REF})을 3차 시그마 델타 모듈레이션 방식으로 모듈레이션하는 단계; 및 상기 모듈레이션 결과 출력되는 제어 신호에 의거하여, 상기 루프 필터의 출력 전압을 조절하는 단계를 포함하는 것을 특징으로 한다.

[0024] 바람직하게는, 상기 모듈레이션 단계는 상기 서브 샘플링 위상 고정 루프 회로의 레퍼런스 클럭(F_{REF})에 기초하여 모듈레이션 주파수를 결정하는 단계; 및 상기 서브 샘플링 위상 고정 루프 회로의 레퍼런스 클럭(F_{REF})과 상기 전압 제어 발진기 출력 신호(F_{VCO})에 기초하여 모듈레이션 폭을 결정하는 단계를 더 포함할 수 있다.

[0025] 바람직하게는, 상기 루프 필터 출력 전압 조절 단계는 상기 모듈레이션 결과 출력되는 제어 신호에 의거하여 상기 루프 필터를 구성하는 캐패시터들의 충/방전을 직접 제어할 수 있다.

발명의 효과

[0026] 본 발명의 스프레드 스펙트럼 클럭 발생기 및 그 방법은, 서브 샘플링 위상 고정 루프 회로를 기반으로 하는 스프레드 스펙트럼 클럭 발생기에 있어서, 3차 시그마 델타 변조기와 전하 펌프의 연결 구조에 의해 루프 전압을 제어하고, 그에 의해 전압 제어 발진기의 제어 전압을 조절함으로써, 미세한 범위의 주파수까지도 정확하게 조절이 가능한 장점이 있다. 또한, 이로 인해, 지터 감소 효율을 극대화하고, 전자파 방해 잡음(EMI)을 효과적으로 줄이는 장점이 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시 예에 따른 서브 샘플링 위상 고정 루프 회로 기반의 스프레드 스펙트럼 클럭 발생기에 대한 회로도이다.

도 2는 본 발명의 일 실시 예에 따른 주파수 검출기에 대한 개략적인 블록도이다.

도 3은 본 발명의 일 실시 예에 따른 주파수 검출기에서 생성 및 동작하는 신호들 간의 타이밍도를 예시한 도면이다.

도 4는 본 발명의 일 실시 예에 따른 3-입력 주파수 검출기에 대한 개략적인 블록도이다.

도 5는 본 발명의 일 실시 예에 따른 3차 시그마 델타 변조기와 전하 펌프의 연결 구조를 예시한 도면이다.

도 6은 도 5에 예시된 구조에서 3차 시그마 델타 변조기의 입/출력 신호들에 대한 타이밍도를 예시한 도면이다.

도 7은 본 발명의 일 실시 예에 따른 스프레드 스펙트럼 클럭 발생기의 주파수와 위상차의 관계를 타이밍도로 나타낸 도면이다.

도 8은 본 발명의 일 실시 예에 따른 스프레드 스펙트럼 클럭 발생 방법에 대한 처리 흐름을 예시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 설명하되, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 한편 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다. 또한 상세한 설명을 생략하여도 본 기술 분야의 당업자가 쉽게 이해할 수 있는 부분의 설명은 생략하였다.

[0029] 명세서 및 청구범위 전체에서, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

- [0030] 도 1은 본 발명의 일 실시 예에 따른 서브 샘플링 위상 고정 루프 회로 기반의 스프레드 스펙트럼 클럭 발생기에 대한 회로도이다.
- [0031] 도 1을 참조하면, 본 발명의 일 실시 예에 따른 서브 샘플링 위상 고정 루프 회로(Sub Sampling Phase Locked Loop, SSPLL) 기반의 스프레드 스펙트럼 클럭 발생기(Spread Spectrum Clock Generator, SSCG)는 서브 샘플링 위상 고정 루프 회로(SSPLL)(110)와, 주파수 고정 루프 회로(Frequency Locked Loop, FLL)(120)와, 제어전압 조절기(130)와, 주파수 분주기(Multi Modulus Divider, MMD)(140)를 포함한다.
- [0032] 서브 샘플링 위상 고정 루프 회로(SSPLL)(110)는 샘플러(SAMPLER)(111)와, 펄서(Pulser)(112)와, 전하펌프(Charge pump)(113)와, 루프필터(114)와, 전압 제어 발진기(Voltage Control Oscillator, VCO)(115)를 포함하고, 전압 제어 발진기(VCO)(115)에서 출력되는 높은 주파수의 신호를 레퍼런스 클럭(F_{REF}) 주기로 서브 샘플링하여 위상을 고정시키는 역할을 한다. 이를 위해, 샘플러(SAMPLER)(111)는 전압 제어 발진기(VCO)(115)에서 출력되는 높은 주파수의 신호 및 그 반전 신호(예컨대, F_{VCO} 및 F_{VCOB})의 피드백(feedback)을 레퍼런스 클럭(F_{REF}) 주기로 서브-샘플링(Sub Sampling)하고, 전압 제어 발진기(VCO)(115)의 출력 신호(F_{VCO}) 및 반전 신호(F_{VCOB})와 상기 레퍼런스 클럭(F_{REF})과의 위상 차이를 각각 직류값(SAMP, SAMN)으로 산출한다. 펄서(Pulser)(112)는 상기 레퍼런스 클럭(F_{REF}) 주기에 기초하여 전하 펌프(Charge pump)(113)의 작동 시간을 제어한다. 즉, 펄서(Pulser)(112)는 상기 위상 차이(SAMP, SAMN)와 관계없이 전하펌프(Charge pump)(113)를 구성하는 스위치를 온/오프할 수 있도록 제어한다. 전하펌프(Charge pump)(113)는 상기 위상 차이(SAMP, SAMN)가 같아지도록 루프 필터(114)에 포함된 커패시터들(C1, C2)의 충/방전을 제어한다. 이는 상기 위상 차이(SAMP, SAMN)가 같아지는 지점에서 위상을 고정(phase lock)시키기 위함이다. 루프 필터(114)는 복수의 커패시터(C1, C2)를 포함하고, 그 커패시터(C1, C2)에 충/방전되는 전하량에 기초하여 전압 제어 발진기(VCO)(115)의 제어 전압을 조절한다.
- [0033] 주파수 고정 루프 회로(Frequency Locked Loop, FLL)(120)는 전압 제어 발진기(VCO)(115) 출력 신호의 주파수를 상기 레퍼런스 클럭(F_{REF})의 주파수로 고정시킨다. 특히, 주파수 고정 루프 회로(FLL)(120)는 서브 샘플링 위상 고정 루프 회로(SSPLL)(110) 보다 우선적으로 동작하며, 주파수가 고정될 때까지 특정 기간 동안만 동작하는 것이 바람직하다. 이를 위해, 주파수 고정 루프 회로(FLL)(120)는 주파수 검출기(Frequency Detector, FD)(200)와, 전하펌프(Charge Pump, CP)(121)를 포함한다. 주파수 검출기(FD)(200)는 레퍼런스 클럭(F_{REF})과 주파수 분주기(Multi Modulus Divider, MMD)(140)를 거쳐 분주된 전압 제어 발진기 출력 신호(F_{DIV})를 비교하여 주파수 고정을 위한 제어신호(FAST 또는 SLOW)를 출력한다. 이러한 주파수 검출기(FD)(200)에 대한 개략적인 블록도가 도 2에 예시되어 있다. 주파수 검출기(FD)(200)의 구성 및 동작에 대한 구체적인 설명은 도 2를 참조하여 설명할 것이다. 한편, 전하펌프(CP)(121)는 주파수 검출기(FD)(200)에서 출력되는 제어신호(FAST 또는 SLOW)에 기초하여 루프 필터(114)에 포함된 커패시터들(C1, C2)의 충/방전을 제어한다. 이는 제어신호(FAST 또는 SLOW)가 같아지는 지점에서 주파수를 획득(Freq. acquisition)하기 위함이다.
- [0034] 제어전압 조절기(130)는, 전압 제어 발진기(VCO)(115) 출력 신호(F_{OUT})의 스펙트럼을 확산시키기 위해, 전압 제어 발진기(115)의 제어 전압을 직접 조절하기 위한 신호를 발생킨다. 이는, 분주기를 제거한 서브 샘플링 위상 고정 루프(SSPLL)(110)의 특성상, 전압 제어 발진기(VCO)(115) 출력 신호(F_{OUT})의 스펙트럼을 확산시키기 위해서는 전압 제어 발진기(115)의 제어 전압을 직접 조절해야하기 때문이다. 특히, 제어전압 조절기(130)는 상기 레퍼런스 클럭(F_{REF})의 펄스폭 변조에 의해 생성된 제어신호에 기초하여 전압 제어 발진기(VCO)(115)의 제어 전압을 조절한다. 이는 보다 미세한 변화까지 제어 전압의 조절에 반영할 수 있도록 하기 위함이다. 이를 위해, 제어전압 조절기(130)는 복수의 분주기(131, 133)와, 주파수 검출기(FD)(200)와, 시그마 델타 변조 입력 배열 생성부(Sigma Delta Modulation input decision, SDM input decision)(132)와, 3차 오더 시그마 델타 변조기(3rd order SDM)(134)와, 전하펌프(Charge Pump, CP)(135)를 포함한다.
- [0035] 전하펌프(Charge Pump, CP)(135)는 복수의 스위치를 포함하고, 상기 복수의 스위치 각각의 온/오프를 조절하기 위한 조절 신호에 기초하여 루프 필터(114)에 포함된 커패시터들(C1, C2)의 충전과 방전을 각각 제어한다. 이는 스프레드 스펙트럼 클럭(Spread Spectrum Clock, SSC)을 생성하기 위함이다. 3차 오더 시그마 델타 변조기(3rd order SDM)(134)는 레퍼런스 클럭(F_{REF})을 모듈레이션하고 그 결과로 전하 펌프(CP)(135)에 포함된 스위치 각각의 온/오프를 조절하기 위한 조절 신호를 출력한다. 분주기(DIVIDER)(133)는 레퍼런스 클럭(F_{REF})을 분주하여 3

차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)의 모듈레이션 주파수를 결정한다. 도 1의 예에서는, 분주기(DIVIDER)(133)가 레퍼런스 클럭(F_{REF})을 분주하여 30kHz의 주파수($F_{30\text{kHz}}$)를 생성하고, 그 주파수($F_{30\text{kHz}}$)를 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)로 전달하는 예를 도시하고 있다.

[0036] 한편, 또 하나의 분주기(DIV2)(131)와, 주파수 검출기(FD)(200)와, 시그마 델타 변조 입력 배열 생성부(Sigma Delta Modulation input decision, SDM input decision)(132)는 상기 레퍼런스 클럭(F_{REF})과 주파수 분주기(MMD)(140)를 거쳐 분주된 전압 제어 발진기(VCO)(115) 출력 신호(F_{DIV})에 기초하여 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)의 모듈레이션 폭을 결정한다. 이를 위해, 분주기(DIV2)(131)는 레퍼런스 클럭(F_{REF})을 2분주하여 주파수 검출기(FD)(200)로 인가하고, 주파수 검출기(FD)(200)는 분주기(DIV2)(131)의 출력 신호를 기준으로 하여 주파수를 고정시키기 위한 제어신호를 출력한다. 즉, 주파수 검출기(FD)(200)는 분주기(DIV2)(131)에서 2분주된 레퍼런스 클럭($F_{\text{REF}}/2$)과 주파수 분주기(MMD)(140)를 거쳐 분주된 전압 제어 발진기(VCO)(115) 출력 신호(F_{DIV})를 비교하여, 주파수 분주기(MMD)(140)를 거쳐 분주된 전압 제어 발진기(VCO)(115) 출력 신호(F_{DIV})를 상기 2분주된 레퍼런스 클럭($F_{\text{REF}}/2$)으로 고정시키기 위한 제어신호를 출력한다. 시그마 델타 변조 입력 배열 생성부(Sigma Delta Modulation input decision, SDM input decision)(132)는 주파수 검출기(FD)(200)에서 출력된 제어신호에 기초하여 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)의 모듈레이션 폭을 결정하기 위한 n 개의 배열값을 출력한다.

[0037] 예를 들어, 스프레드 스펙트럼 클럭의 변조 폭을 20ns로 설정하고자 하는 경우, 한 주기가 20ns인 50MHz의 레퍼런스 클럭(F_{REF})을 입력하고, 분주기(DIV2)(131)는 이를 2분주하여 한 주기가 40ns인 클럭을 주파수 검출기(FD)(200)로 인가한다. 그리고, 주파수 검출기(FD)(200)는 위상차가 20ns를 넘지 않는 범위로 변조 폭을 결정하기 위해, SAR(Success Approximate Register) 알고리즘을 적용하여 20비트의 시그마 델타 변조 입력 배열(SDM[19:0])에 해당되는 값들을 도출한다. 이를 위해, 주파수 검출기(FD)(200)는 먼저, $20'h80001$ 의 출력과 20ns를 비교하여, $20'h80001$ 의 출력이 20ns 보다 크면 1을 출력하고, 그렇지 않으면 0을 출력한 후, 입력값을 $20'h40001$, $20'h20001$, ...로 변경하면서 그 출력값과 20ns를 비교하여 그 결과에 따라 1 또는 0을 출력한다. 그리고 그 출력값을 20비트의 시그마 델타 변조 입력 배열(SDM[19:0])의 MSB부터 LSB 방향으로 순서대로 저장한다. 이러한 과정을 20번 반복하여, 20비트의 시그마 델타 변조 입력 배열(SDM[19:0])에 해당되는 값들이 모두 도출되면, 시그마 델타 변조 입력 배열 생성부(Sigma Delta Modulation input decision, SDM input decision)(132)는 그 값을 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)로 전달한다. 그러면 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)는 그 값에 기초하여 전하 펌프(CP)(135)로 인가할 펄스 값(UPB_{SDM} , DN_{SDM})을 생성하여 출력하는데 그 예가 도 6에 예시된 바와 같다.

[0038] 이 때, 상기 변조 폭은 지터 특성과 EMI 특성에 영향을 주는데, 변조 폭이 줄어들수록 지터 특성은 좋아지지만 변조 폭이 지나치게 좁을 경우 EMI 개선 효과가 줄어들게 된다. 따라서, 상기 변조 폭을 적정 수준으로 결정하는 것이 중요하다. 상기 설명에서는 변조 폭이 20ns인 경우를 예로 들어 설명하였지만, 이는 바람직한 예일 뿐, 본 발명에서 변조 폭이 20ns로 제한되는 것은 아니다. 그리고, 그 변조 폭의 변화에 따라 레퍼런스 클럭(F_{REF})의 주파수, 분주기(DIV2)(131)의 분주비율 및 시그마 델타 변조 입력 배열 생성부(Sigma Delta Modulation input decision, SDM input decision)(132)의 배열수 등 세부 사항들은 함께 연동하는 것이 바람직하다.

[0039] 주파수 분주기(Multi Modulus Divider, MMD)(140)는 전압 제어 발진기(VCO)(115)의 출력 주파수를 다중으로 분주하고, 상기 분주된 신호(F_{DIV})를 주파수 고정 루프(FLL)(120) 및 제어 전압 조절기(130)로 피드백한다. 보다 정확히는 주파수 고정 루프(FLL)(120) 및 제어 전압 조절기(130)에 포함된 주파수 검출기(FD)(200)로 피드백한다. 이는 전압 제어 발진기(VCO)(115)의 출력 주파수를 주파수 검출기(FD)(200)에서 처리 가능한 주파수 대역으로 변경하기 위함이다.

[0040] 도 2는 본 발명의 일 실시 예에 따른 주파수 검출기에 대한 개략적인 블록도이다. 즉, 도 2는 도 1에 예시된 주파수 검출기(FD)(200)에 대한 개략적인 블록도이다. 도 1 및 도 2를 참조하면, 주파수 검출기(FD)(200)는 레퍼런스 펄스 발생기(Reference Pulse Generator, RP_GEN)(210)와, 3-입력 주파수 검출기(3-input Frequency Detector)(220)를 포함한다.

- [0041] 레퍼런스 펄스 발생기(RP_GEN)(210)는 레퍼런스 클럭(F_{REF})과 주파수 분주기(MMD)(140)를 거쳐 분주된 전압 제어 발진기의 출력 신호(F_{DIV})의 속도 차이를 검출하기 위한 레퍼런스 펄스(F_{REF1})를 발생시킨다. 이 때, 레퍼런스 펄스(F_{REF1})는 레퍼런스 클럭(F_{REF})의 폴링 엣지를 중심으로 소정의 펄스폭을 가지되, 상기 펄스폭은 상기 레퍼런스 클럭(F_{REF})의 펄스폭 보다 좁은 것이 바람직하다. 도 3은 본 발명의 일 실시 예에 따른 주파수 검출기에서 생성 및 동작하는 신호들 간의 타이밍도를 예시한 도면으로서, 도 3에 상기 레퍼런스 펄스(F_{REF1})를 레퍼런스 클럭(F_{REF}) 및 주파수 분주기(MMD)(140)를 거쳐 분주된 전압 제어 발진기의 출력 신호(F_{DIV})와 함께 표시하였다. 이 때, 레퍼런스 클럭(F_{REF})은 레퍼런스 펄스 발생기(Reference Pulse Generator, RP_GEN)(210)의 입력단에 표시된 레퍼런스 클럭(F_{REF})과 구분하기 위해 다르게 표시하였을 뿐 결국 같은 신호이다. 도 3을 참조하면, 레퍼런스 펄스 발생기(Reference Pulse Generator, RP_GEN)(210)에서 생성된 레퍼런스 펄스(F_{REF1})는 레퍼런스 클럭(F_{REF})의 폴링 엣지를 중심으로 소정폭(A)을 가지는 펄스로써, 레퍼런스 클럭(F_{REF})의 폴링 엣지를 감싸는 형태를 가진다. 이 때, 주파수 분주기(MMD)(140)를 거쳐 분주된 전압 제어 발진기의 출력 신호(F_{DIV})의 위치가 도 3에 예시된 위치를 기준으로 좌측에 나타날 경우 전압 제어 발진기(VCO)(115)의 출력 주파수가 빠른 것을 나타내고, 우측에 나타날 경우 전압 제어 발진기(VCO)(115)의 출력 주파수가 빠른 것을 나타낸다.
- [0042] 3-입력 주파수 검출기(3-input Frequency Detector)(220)는 상기 레퍼런스 클럭(F_{REF0})과, 상기 레퍼런스 펄스(F_{REF1})와, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})를 입력으로 받고, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때 상기 레퍼런스 클럭(F_{REF0})과, 상기 레퍼런스 펄스(F_{REF1})의 상태 값에 기초하여 상기 주파수 고정을 위한 제어신호(FAST 또는 SLOW)를 출력한다. 즉 도 3에 예시된 타이밍도를 참조하여 특정 지점에서의 상기 레퍼런스 클럭(F_{REF0})과, 상기 레퍼런스 펄스(F_{REF1})와, 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})을 비교 분석하여 주파수 고정을 위한 제어신호(FAST 또는 SLOW)를 출력한다. 예를 들어, 3-입력 주파수 검출기(3-input Frequency Detector)(220)는 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거 될 때 마다 상기 레퍼런스 클럭(F_{REF0})과, 상기 레퍼런스 펄스(F_{REF1})의 값들을 누적하여 비교하고, 그 값들이 변하지 않는 경우 주파수가 고정된 것으로 판단한다. 한편, 그렇지 않은 경우 3-입력 주파수 검출기(3-input Frequency Detector)(220)는 주파수 고정을 위한 제어신호(FAST 또는 SLOW)를 출력하는데, 누적된 상기 레퍼런스 클럭(F_{REF0})과, 상기 레퍼런스 펄스(F_{REF1})의 값들이 10, 11, 01, 00 순으로 변하는 경우 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 느린 것으로 판단하고, 누적된 상기 레퍼런스 클럭(F_{REF0})과, 상기 레퍼런스 펄스(F_{REF1})의 값들이 00, 01, 11, 10 순으로 변하는 경우 상기 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 빠른 것으로 판단하여 해당 제어 신호를 출력할 수 있다.
- [0043] 도 4는 본 발명의 일 실시 예에 따른 3-입력 주파수 검출기에 대한 개략적인 블록도이다. 즉, 도 4는 도 3에 예시된 3-입력 주파수 검출기(3-input Frequency Detector)(220)에 대한 개략적인 블록도이다.
- [0044] 도 4를 참조하면, 3-입력 주파수 검출기(3-input Frequency Detector)(220)는 다수의 D-플립플롭들(DFF0, DFF1, DFF2, DFF3, DFF4, DFF5, DFF6, DFF7)과, 복수의 EX-OR 게이트들(XOR0, XOR1) 및 복수의 제어 신호 결정 부들(Decision 1, Decision 2)를 포함한다. 복수의 D-플립플롭들(DFF0, DFF1)은 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때, 레퍼런스 클럭(F_{REF0})의 현재 값($FD0[0]$)과 이전 값($FD0[1]$)을 출력하고, 복수의 D-플립플롭들(DFF2, DFF3)은 분주된 전압 제어 발진기의 출력 신호(F_{DIV})가 트리거될 때, 레퍼런스 펄스(F_{REF1})의 현재값($FD1[0]$)과 이전값($FD1[1]$)을 출력한다.
- [0045] 한편, EX-OR 게이트(XOR0)는 복수의 D-플립플롭들(DFF0, DFF1)에서 출력되는 레퍼런스 클럭(F_{REF0})의 현재 값($FD0[0]$)과 이전 값($FD0[1]$)이 같은지 다른지 여부를 식별한다. 즉, 상기 레퍼런스 클럭(F_{REF0})의 현재 값($FD0[0]$)과 이전 값($FD0[1]$)이 다를 때, 클럭을 발생시켜, D-플립플롭들(DFF4, DFF5)에 전달된 상기 레퍼런스 클럭(F_{REF0})의 현재 값($FD0[0]$)과 이전 값($FD0[1]$)을 $FD_M[0]$ 과 $FD_M[1]$ 로 출력한다. 즉, 제어 신호 결정부(Decision 1)로 전달한다.
- [0046] 또한, EX-OR 게이트(XOR1)는 복수의 D-플립플롭들(DFF2, DFF3)에서 출력되는 레퍼런스 펄스(F_{REF1})의 현재 값

(FD1[0])과 이전 값(FD1[1])이 같은지 다른지 여부를 식별한다. 즉, 상기 레퍼런스 펄스(F_{REF1})의 현재 값(FD1[0])과 이전 값(FD1[1])이 다를 때, 클럭을 발생시켜, D-플립플롭들(DDF6, DDF7)에 전달된 상기 레퍼런스 펄스(F_{REF1})의 현재 값(FD1[0])과 이전 값(FD1[1])을 FD_M[0]과 FD_M[1]로 출력한다. 즉, 제어 신호 결정부(Decision 2)로 전달한다.

[0047] 도 5는 본 발명의 일 실시 예에 따른 3차 시그마 델타 변조기와 전하 펌프의 연결 구조를 예시한 도면이다. 도 1 및 도 5를 참조하면, 스프레드 스펙트럼 클럭(SSC)을 발생시키기 위해 구현된 전하펌프(CP)(135)의 구조와, 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)로 입력되는 신호의 종류들(F_{30kHz} , SDM_IN[19:0], F_{REF})과, 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)의 출력 신호(UPB_{SDM} , DN_{SDM})가 전하펌프(CP)(135)에 적용되는 경로와, 전하펌프(CP)(135)의 출력 신호가 서브 샘플링 위상 고정 루프 회로(SSPLL)(110)의 루프 필터(114)로 전달되는 경로를 보다 알기 쉽게 도시하였다.

[0048] 도 6은 도 5에 예시된 구조에서 3차 시그마 델타 변조기의 입/출력 신호들에 대한 타이밍도를 예시한 도면이다. 도 6을 참조하면, 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)로 입력되는 신호들(F_{30kHz} , SDM_IN[19:0], F_{REF})의, 시간의 흐름에 따른, 상태 변화를 알 수 있다.

[0049] 도 7은 본 발명의 일 실시 예에 따른 스프레드 스펙트럼 클럭 발생기의 주파수와 위상차의 관계를 타이밍도로 나타낸 도면이다. 도 7을 참조하면, 본 발명에 의해 출력된 스프레드 스펙트럼 클럭과, 위상차의 관계를 알 수 있다.

[0050] 도 8은 본 발명의 일 실시 예에 따른 스프레드 스펙트럼 클럭 발생 방법에 대한 처리 흐름을 예시한 순서도이다. 도 1 및 도 8을 참조하면, 본 발명의 일 실시 예에 따른 스프레드 스펙트럼 클럭 발생 방법은 다음과 같다.

[0051] 먼저, S110 단계에서는, 제어전압 조절기(130)는 레퍼런스 클럭(F_{REF})과 상기 전압 제어 발진기 출력 신호(F_{VCO})에 기초하여 모듈레이션 조건을 설정한다. 예를 들어, 분주기(DIVIDER)(133)는 레퍼런스 클럭(F_{REF})에 기초하여 모듈레이션 주파수를 결정하고, 하나의 분주기(DIV2)(131)와, 주파수 검출기(FD)(200)와, 시그마 델타 변조 입력 배열 생성부(Sigma Delta Modulation input decision, SDM input decision)(132)는 레퍼런스 클럭(F_{REF})과 전압 제어 발진기(VCO)(115)의 출력 신호(F_{VCO})에 기초하여 모듈레이션 폭을 결정한다.

[0052] S120 단계에서는, 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)가, S110 단계에서 설정된 모듈레이션 조건에 의거하여, 모듈레이션을 수행한다. 즉, 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)는 상기 레퍼런스 클럭(F_{REF})을 3차 시그마 델타 모듈레이션 방식으로 모듈레이션한다.

[0053] S130 단계에서는, 3차 오더 시그마 델타 변조기(3^{rd} order SDM)(134)가, 상기 모듈레이션 결과로 생성된 펄스 값(UPB_{SDM} , DN_{SDM})을 전하 펌프(CP)(135)로 인가하여 전하 펌프(CP)(135)의 전하량을 제어한다.

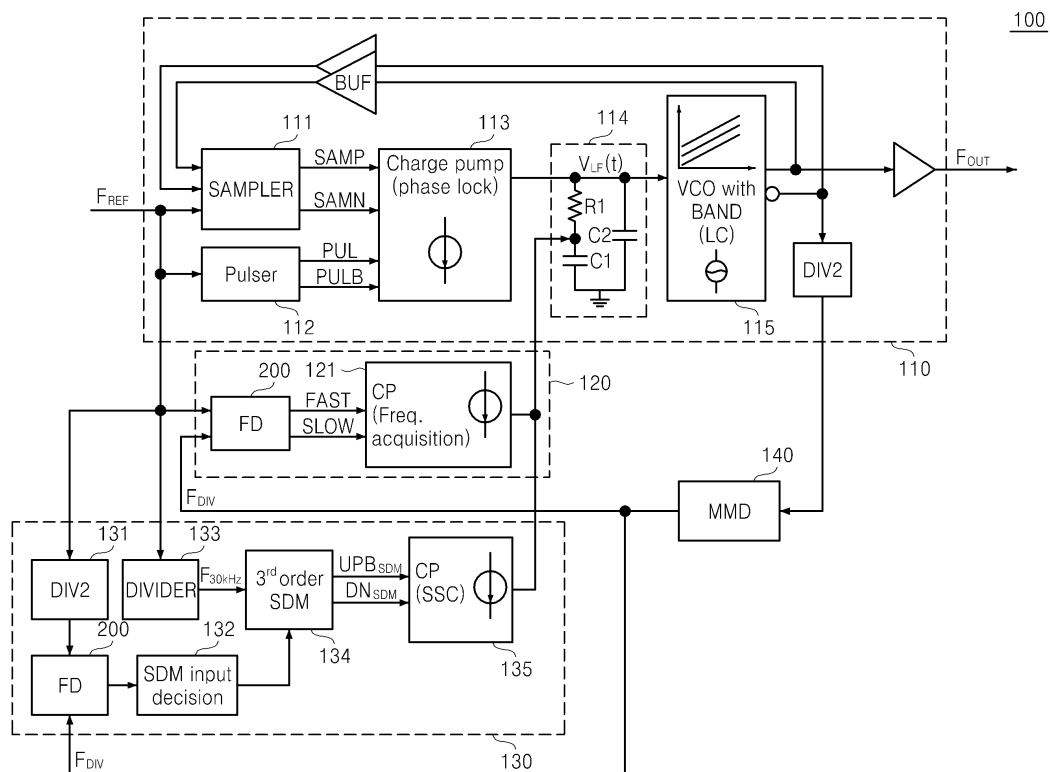
[0054] S140 단계에서는, 전하 펌프(CP)(135)가, 상기 모듈레이션 결과로 생성된 펄스 값(UPB_{SDM} , DN_{SDM})에 의거하여, 루프 필터(114)의 출력 전압을 조절한다. 즉, 전하 펌프(CP)(135)는 상기 모듈레이션 결과로 생성된 펄스 값(UPB_{SDM} , DN_{SDM})에 전하량이 조절되어, 루프 필터(114)를 구성하는 캐패시터들(C1, C2)의 충/방전을 직접 제어한다.

[0055] 상술한 예시적인 시스템에서, 방법들은 일련의 단계 또는 블록으로써 순서도를 기초로 설명되고 있지만, 본 발명은 단계들의 순서에 한정되는 것은 아니며, 어떤 단계는 상술한 바와 다른 단계와 다른 순서로 또는 동시에 발생할 수 있다.

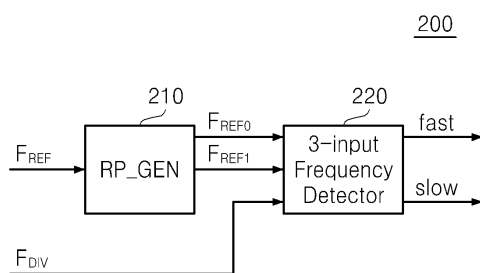
[0056] 또한, 당업자라면 순서도에 나타난 단계들이 배타적이지 않고, 다른 단계가 포함되거나 순서도의 하나 또는 그 이상의 단계가 본 발명의 범위에 영향을 미치지 않고 삭제될 수 있음을 이해할 수 있을 것이다.

도면

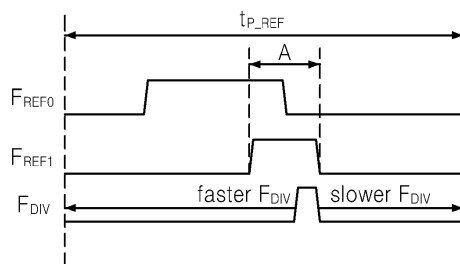
도면1



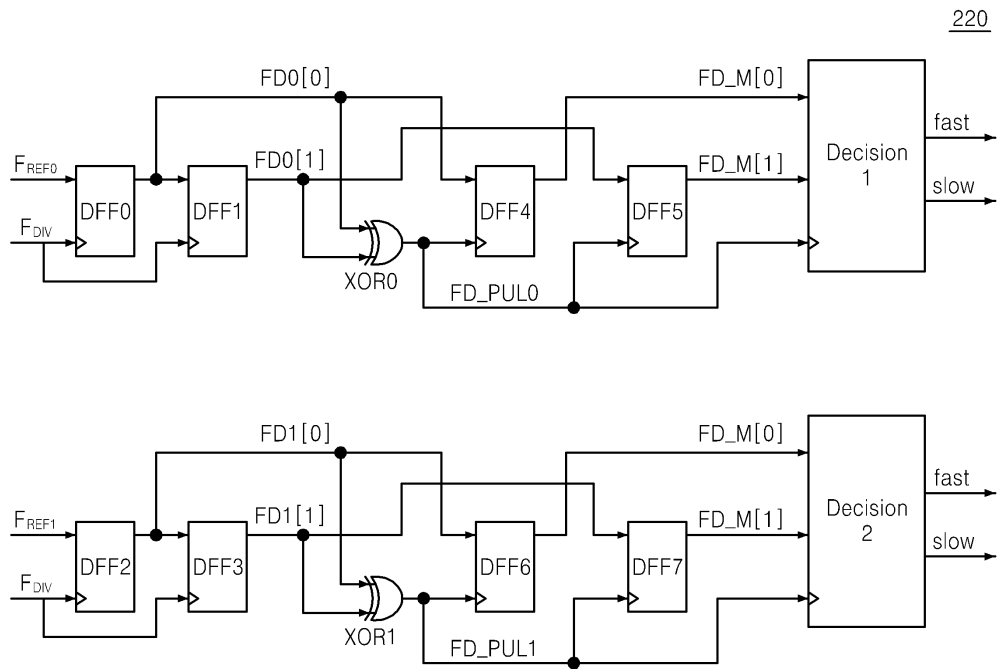
도면2



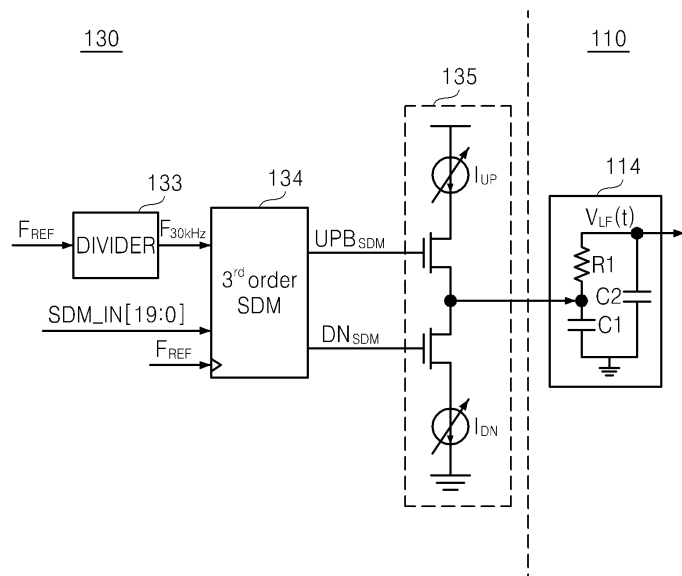
도면3



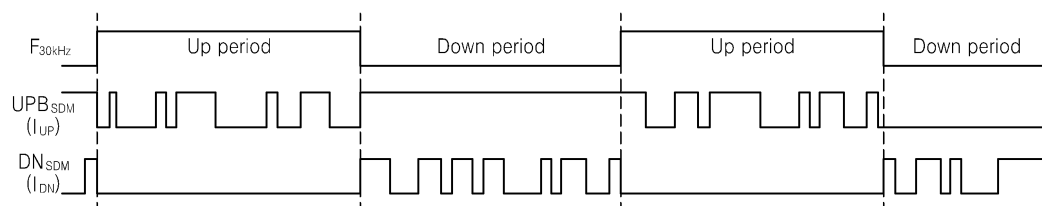
도면4



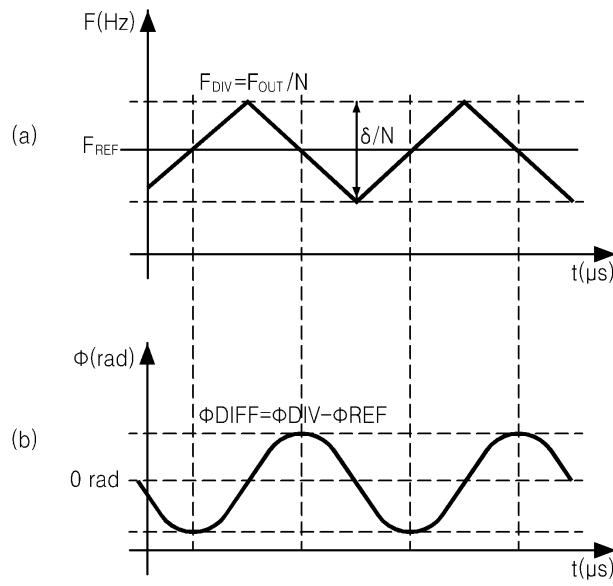
도면5



도면6



도면7



도면8

