



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201401039 A

(43)公開日：中華民國 103 (2014) 年 01 月 01 日

(21)申請案號：101124323

(22)申請日：中華民國 101 (2012) 年 07 月 06 日

(51)Int. Cl. : **G06F1/32 (2006.01)**

G06F1/04 (2006.01)

(30)優先權：2012/06/29 中國大陸

201210220701.7

(71)申請人：鴻海精密工業股份有限公司 (中華民國) HON HAI PRECISION INDUSTRY CO., LTD. (TW)

新北市土城區自由街 2 號

(72)發明人：周海清 ZHOU, HAI-QING (CN)

申請實體審查：無 申請專利範圍項數：10 項 圖式數：3 共 19 頁

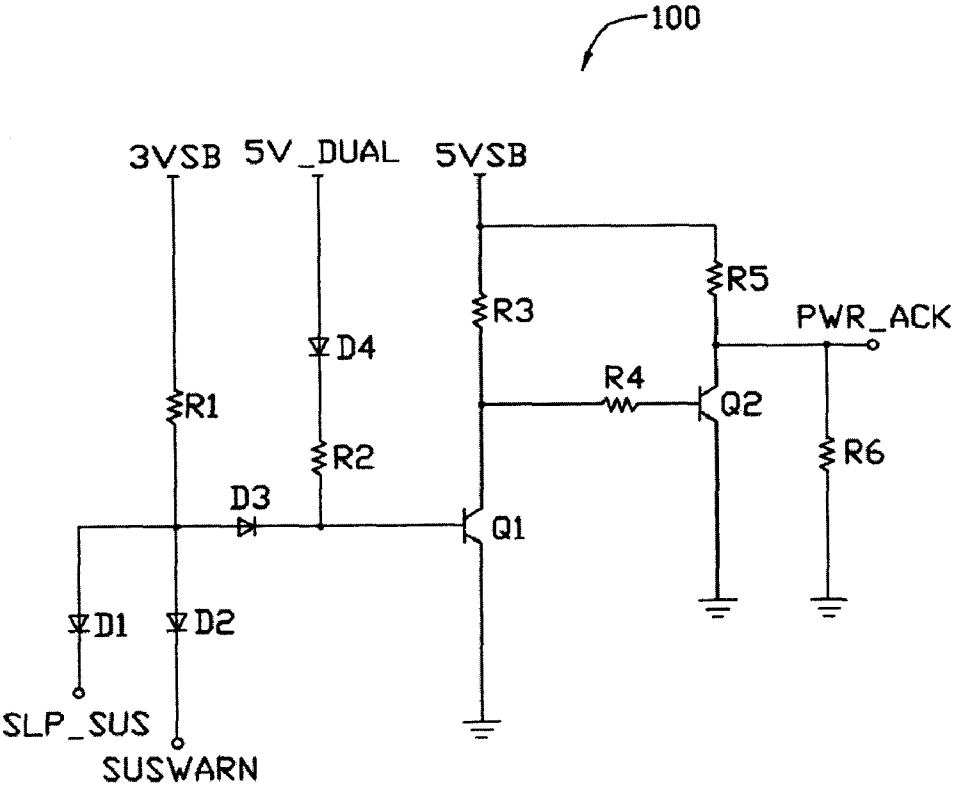
(54)名稱

時序電路

TIME SEQUENCE CIRCUIT

(57)摘要

一種時序電路，包括第一至第二控制端、第一至第三二極體、第一至第二電晶體及輸出端，該第一至第三二極體之陽極均連接於一起，並連接至一第一電源，該第一及第二二極體之陰極分別連接至所述第一控制端及該第二控制端，該第三二極體之陰極連接至一第二電源，該第一電晶體之基極連接至該第三二極體之陰極，所述第一電晶體之射極接地，集極連接至一第三電源，該第二電晶體之基極連接至該第一電晶體之集極，該第二電晶體之射極接地，集極則連接至該第三電源，並藉由一電阻接地，該輸出端連接至該第二電晶體之集極。



- 3VSB：第一電源
- 5V_DUAL：第二電源
- 5VSB：第三電源
- 100：時序電路
- D1-D4：第一至第四二極體
- PWR_ACK：輸出端
- Q1：第一電晶體
- Q2：第二電晶體
- R1-R6：第一至第六電阻
- SLP_SUS：第一控制端
- SUSWARN：第二控制端



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201401039 A

(43)公開日：中華民國 103 (2014) 年 01 月 01 日

(21)申請案號：101124323

(22)申請日：中華民國 101 (2012) 年 07 月 06 日

(51)Int. Cl. : **G06F1/32 (2006.01)**

G06F1/04 (2006.01)

(30)優先權：2012/06/29 中國大陸

201210220701.7

(71)申請人：鴻海精密工業股份有限公司 (中華民國) HON HAI PRECISION INDUSTRY CO., LTD. (TW)

新北市土城區自由街 2 號

(72)發明人：周海清 ZHOU, HAI-QING (CN)

申請實體審查：無 申請專利範圍項數：10 項 圖式數：3 共 19 頁

(54)名稱

時序電路

TIME SEQUENCE CIRCUIT

(57)摘要

一種時序電路，包括第一至第二控制端、第一至第三二極體、第一至第二電晶體及輸出端，該第一至第三二極體之陽極均連接於一起，並連接至一第一電源，該第一及第二二極體之陰極分別連接至所述第一控制端及該第二控制端，該第三二極體之陰極連接至一第二電源，該第一電晶體之基極連接至該第三二極體之陰極，所述第一電晶體之射極接地，集極連接至一第三電源，該第二電晶體之基極連接至該第一電晶體之集極，該第二電晶體之射極接地，集極則連接至該第三電源，並藉由一電阻接地，該輸出端連接至該第二電晶體之集極。



日期：101年07月06日

發明專利說明書

※記號部分請勿填寫

※申請案號：101124323

※IPC分類：G06F 1/32 (2006.1)
G06F 1/04 (2006.1)

※申請日：

101. 7. -6

一、發明名稱：

時序電路

TIME SEQUENCE CIRCUIT

二、中文發明摘要：

一種時序電路，包括第一至第二控制端、第一至第三二極體、第一至第二電晶體及輸出端，該第一至第三二極體之陽極均連接於一起，並連接至一第一電源，該第一及第二二極體之陰極分別連接至所述第一控制端及該第二控制端，該第三二極體之陰極連接至一第二電源，該第一電晶體之基極連接至該第三二極體之陰極，所述第一電晶體之射極接地，集極連接至一第三電源，該第二電晶體之基極連接至該第一電晶體之集極，該第二電晶體之射極接地，集極則連接至該第三電源，並藉由一電阻接地，該輸出端連接至該第二電晶體之集極。

三、英文發明摘要：

The present invention discloses a time sequence circuit including a first and second control terminals, a first to third diodes, a first and second transistors, and an output terminal. Anodes of all of the first to third diodes are connected together, and also connected to a first power supply. Cathodes of the first and second diodes are separately connected to the first and the second control terminals. A cathode of the third diode is connected to a second power supply. A base of the first transistor is connected to the cathode of the third diode. An emitter of the first transistor is connected to ground. A collector of the first transistor is connected to a third power supply. A base of the second

201401039

transistor is connected to the collector of the first transistor. An emitter of the second transistor is connected to ground. A collector of the second transistor is connected to the third power supply, and also connected to ground via a resistor. The output terminal is connected to the collector of the second transistor.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖

(二)本代表圖之元件符號簡單說明：

時序電路：100

第一控制端：SLP_SUS

第二控制端：SUSWARN

第一電晶體：Q1

第二電晶體：Q2

第一至第四二極體：D1-D4

輸出端：PWR_ACK

第一至第六電阻：R1-R6

第一電源：3VSB

第二電源：5V_DUAL

第三電源：5VSB

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明涉及一種時序電路，尤其涉及一種可實現電腦深度睡眠狀態（S5+）之時序電路。

【先前技術】

[0002] 根據高級配置與電源介面（Advanced Configuration and Power Interface, ACPI）規範，電腦電源管理系統可將電腦之工作狀態分為S0-S5，它們代表之含義分別為：

[0003] S0：電腦正常工作，所有硬體設備全部處於打開或正常工作之狀態；

[0004] S1：亦稱為POS（Power on Suspend，CPU停止工作），其他之硬體設備仍然正常工作；

[0005] S2：將CPU關閉，但其餘之硬體設備仍然運轉；

[0006] S3：通常稱為STR（Suspend to RAM，掛起到記憶體），將運行中之資料寫入記憶體後關閉硬碟機；

[0007] S4：亦稱為STD（Suspend to Disk，掛起到硬碟機），記憶體資訊寫入硬碟機，然後所有部件停止工作；

[0008] S5：所有硬體設備（包括電源）全部關閉，即電腦處於關機狀態。

[0009] 其中，當電腦處於S5狀態時，由於電腦主機板上之晶片組仍處於工作狀態，如此不利於電腦能源之節省及功耗之降低。因此，為解決上述問題，電腦電源管理系統於

S0-S5狀態之基礎上增加了一個新之狀態，即深度睡眠狀態（S5+）。

[0010] 請一併參閱圖2及圖3，當常見之電腦進入S5+狀態時，其必須滿足之時序為：當所述SLP_SUS訊號及SUSWARN訊號均為高電平，且所述5V_DUAL訊號之電壓為一預設電壓（例如5V）時，PWR_ACK訊號為一高電平。而當所述SLP_SUS訊號及SUSWARN訊號分別為高電平及低電平，且所述5V_DUAL訊號之電壓於該預設電壓下降至1.05V時，PWR_ACK訊號為一低電平。而當電腦退出S5+狀態時，其必須滿足之時序為：當所述SLP_SUS訊號及SUSWARN訊號分別為高電平及低電平，且所述5V_DUAL訊號之電壓下降至0V時，PWR_ACK訊號為一低電平。而當所述SLP_SUS訊號及SUSWARN訊號均為高電平，且所述5V_DUAL訊號之電壓仍然為0V時，PWR_ACK訊號為一高電平。

[0011] 然而，習知之用於實現S5+狀態之時序電路一般線路較為複雜，涉及之元件較多、且佔用空間大，不利於電腦成本之降低。

【發明內容】

[0012] 有鑒於此，有必要提供一種結構簡單、成本較低且可實現S5+狀態之時序電路。

[0013] 一種時序電路，設置於一電腦內，包括第一控制端、第二控制端、第一至第三二極體、第一電晶體、第二電晶體及輸出端，該第一至第三二極體之陽極均連接於一起，並藉由一第一電阻連接至一第一電源，該第一及第二二極體之陰極分別連接至所述第一控制端及該第二控制

端，該第三二極體之陰極藉由一第二電阻連接至一第二電源，該第一電晶體之基極連接至該第三二極體之陰極，所述第一電晶體之射極接地，集極則藉由一第三電阻連接至一第三電源，該第二電晶體之基極藉由一第四電阻連接至該第一電晶體之集極，該第二電晶體之射極接地，集極則藉由一第五電阻連接至該第三電源，並藉由一第六電阻接地，該輸出端連接至該第二電晶體之集極。

- [0014] 上述時序電路涉及之電子元件較少，線路簡單，可有效降低該電腦之成本，且不佔用該電腦過多之空間，方便用戶日常使用。

【實施方式】

- [0015] 請參閱圖1，本發明較佳實施方式提供一種時序電路100，應用於一電腦（圖未示）。該時序電路100包括第一控制端SLP_SUS、第二控制端SUSWARN、第一二極體D1、第二二極體D2、第三二極體D3、第一電晶體Q1、第二電晶體Q2及輸出端PWR_ACK。

- [0016] 該第一控制端SLP_SUS及第二控制端SUSWARN均連接至該電腦內之控制晶片，例如平臺控制集線器（Platform Controller Hub，PCH）（圖未示），用以於該控制晶片之控制下分別輸出一SLP_SUS訊號及SUSWARN訊號。

- [0017] 該第一至第三二極體D1-D3之陽極均連接於一起，並藉由一第一電阻R1連接至一第一電源3VSB。該第一及第二二極體D1-D2之陰極分別連接至所述第一控制端SLP_SUS及該第二控制端SUSWARN。該第三二極體D3之陰極藉由一

第二電阻R2連接至一第二電源5V_DUAL。

[0018] 該第一電晶體Q1為一NPN型之三極管。該第一電晶體Q1之基極連接至該第三二極體D3之陰極。所述第一電晶體Q1之射極接地，集極則藉由一第三電阻R3連接至一第三電源5VSB。該第二電晶體Q2為一NPN型之三極管。該第二電晶體Q2之基極藉由一第四電阻R4連接至該第一電晶體Q1之集極。該第二電晶體Q2之射極接地，集極則藉由一第五電阻R5連接至該第三電源5VSB，並藉由一第六電阻R6接地。該輸出端PWR_ACK連接至該第二電晶體Q2之集極，用以輸出一PWR_ACK訊號。

[0019] 下面將詳細介紹本發明較佳實施例中之時序電路100之工作原理。

[0020] 請一併參閱圖2，當所述電腦進入該S5+狀態時，將第一控制端SLP_SUS及第二控制端SUSWARN之電壓均為高電平，且所述第二電源5V_DUAL之電壓為一第一預設電壓（例如5V）時之時間段記為T1。將所述第一控制端SLP_SUS及第二控制端SUSWARN之電壓分別為高電平及低電平，且所述第二電源5V_DUAL之電壓由該第一預設電壓下降至一第二預設電壓（例如1.05V）時之時間段記為T2。首先，於T1時間段內，由於所述第一控制端SLP_SUS及第二控制端SUSWARN之電壓均為高電平。因此，所述第一二極體D1及第二二極體D2均截止，進而使得所述第三二極體D3之陽極因藉由該第一電阻R1連接至第一電源3VSB而導通。如此，所述第一電晶體Q1之基極藉由該導通之第三二極體D3連接至該第一電源3VSB，或藉由該第二電阻R2連

接至該第二電源5V_DUAL而導通。而所述第二電晶體Q2則藉由導通之第一電晶體Q1接地而截止。如此，該輸出端PWR_ACK藉由該第五電阻R5連接至該第三電源5VSB，進而輸出一高電平。

[0021] 於T2時間段內，由於所述第一控制端SLP_SUS及第二控制端SUSWARN之電壓分別為高電平及低電平。因此，所述第一二極體D1截止，而第二二極體D2導通，進而使得所述第三二極體D3之陽極因藉由該導通之第二二極體D2接地而截止。接著，所述第一電晶體Q1之基極藉由該第二電阻R2連接至該第二電源5V_DUAL。因此，當所述第二電源5V_DUAL輸出之第一預設電壓未下降至該第二預設電壓之前，所述第二電源5V_DUAL藉由該第二電阻R2輸入至第一電晶體Q1之基極之電壓將滿足所述第一電晶體Q1之導通電壓，進而使得所述第一電晶體Q1導通。如此，將使得所述第二電晶體Q2藉由導通之第一電晶體Q1接地而截止，而所述輸出端PWR_ACK繼續輸出一高電平。反當所述第二電源5V_DUAL輸出之第一預設電壓下降至該第二預設電壓時，所述第二電源5V_DUAL藉由該第二電阻R2輸入至第一電晶體Q1之基極之電壓將小於所述第一電晶體Q1之導通電壓，進而使得所述第一電晶體Q1截止。如此，所述第二電晶體Q2將藉由該第三電阻R3及第四電阻R4連接至第三電源5VSB而導通，而所述輸出端PWR_ACK則藉由導通之第二電晶體Q2接地而輸出一低電平，進而滿足所述電腦進入該S5+狀態之時序。

[0022] 對應地，請一併參閱圖3，當所述電腦退出該S5+狀態時

，將第一控制端SLP_SUS及第二控制端SUSWARN之電壓分別為高電平及低電平，且所述第二電源5V_DUAL之電壓為0伏特時之時間段記為T3。將所述第一控制端SLP_SUS及第二控制端SUSWARN之電壓均為高電平，且所述第二電源5V_DUAL之電壓仍為0伏特時之時間段記為T4。於圖中所示T3時間段內，由於所述第一控制端SLP_SUS及第二控制端SUSWARN電壓分別為高電平及低電平。因此，所述第一二極體D1截止，而第二二極體D2導通，進而使得所述第三二極體D3之陽極藉由該導通之第二二極體D2接地而截止。又因為於該T3時間段內，所述第二電源5V_DUAL之電壓為0伏特。因此，所述第一電晶體Q1截止，而所述第二電晶體Q2導通，進而使得所述輸出端PWR_ACK藉由導通之第二電晶體Q2接地而輸出一低電平。

[0023] 而於圖中所示T4時間段內，由於該第一控制端SLP_SUS及第二控制端SUSWARN之電壓均為高電平。因此，所述第一及第二二極體D1、D2均截止，進而使得所述第三二極體D3之陽極因藉由第一電阻R1連接至所述第一電源3VSB而導通。因此，即使於該T4時間段內，該第二電源5V_DUAL之電壓仍未開始上升（即仍然為0伏特），所述第一電晶體Q1仍將藉由導通之第三二極體D3及第一電阻R1連接至第一電源3VSB而導通，進而使得所述第二電晶體Q2藉由該導通之第一電晶體Q1接地而截止。如此，所述輸出端PWR_ACK將藉由該第五電阻R5連接至該第三電源5VSB而輸出一高電平，進而滿足所述電腦退出該S5+狀態時之時序。

[0024] 可理解，於本發明其他實施方式中，所述時序電路100還包括第四二極體D4，所述第四二極體D4之陽極連接至所述第二電源5V_DUAL，陰極藉由該第二電阻R2連接至所述第三二極體D3之陰極。所述第四二極體D4用於防止所述第二電源5V_DUAL之電壓開始下降時，所述第一電源3VSB藉由該第三二極體D3及第二電阻R2對所述第二電源5V_DUAL進行充電，進而干擾所述第一電晶體Q1之導通或截止。

[0025] 顯然，本發明之時序電路100涉及之電子元件較少，線路簡單，可有效降低該電腦之成本，且不佔用該電腦過多之空間，方便用戶日常使用。

[0026] 綜上所述，本發明符合發明專利要件，爰依法提出專利申請。惟，以上所述者僅為本發明之較佳實施方式，舉凡熟悉本案技藝之人士，於爰依本發明精神所作之等效修飾或變化，皆應涵蓋於以下之申請專利範圍內。

【圖式簡單說明】

[0027] 圖1為本發明較佳實施方式之時序電路之電路圖。

[0028] 圖2為圖1所示時序電路進入S5+狀態時之時序圖。

[0029] 圖3為圖1所示時序電路退出S5+狀態時之時序圖。

【主要元件符號說明】

[0030] 時序電路：100

[0031] 第一控制端：SLP_SUS

[0032] 第二控制端：SUSWARN

[0033] 第一電晶體：Q1

[0034] 第二電晶體：Q2

[0035] 第一至第四二極體：D1-D4

[0036] 輸出端：PWR_ACK

[0037] 第一至第六電阻：R1-R6

[0038] 第一電源：3VSB

[0039] 第二電源：5V_DUAL

[0040] 第三電源：5VSB

七、申請專利範圍：

- 1 . 一種時序電路，設置於一電腦內，包括第一控制端、第二控制端、第一至第三二極體、第一電晶體、第二電晶體及輸出端，該第一至第三二極體之陽極均連接於一起，並藉由一第一電阻連接至一第一電源，該第一及第二二極體之陰極分別連接至所述第一控制端及第二控制端，該第三二極體之陰極藉由一第二電阻連接至一第二電源，該第一電晶體之基極連接至該第三二極體之陰極，所述第一電晶體之射極接地，集極則藉由一第三電阻連接至一第三電源，該第二電晶體之基極藉由一第四電阻連接至該第一電晶體之集極，該第二電晶體之射極接地，集極則藉由一第五電阻連接至該第三電源，並藉由一第六電阻接地，該輸出端連接至該第二電晶體之集極。
- 2 . 如申請專利範圍第1項所述之時序電路，其中所述第一控制端及第二控制端均連接至所述電腦內之控制晶片。
- 3 . 如申請專利範圍第1項所述之時序電路，其中該第一電晶體為一NPN型之三極管。
- 4 . 如申請專利範圍第1項所述之時序電路，其中該第二電晶體為一NPN型之三極管。
- 5 . 如申請專利範圍第1項所述之時序電路，其中所述時序電路還包括第四二極體，所述第四二極體之陽極連接至所述第二電源，陰極藉由該第二電阻連接至所述第三二極體之陰極。
- 6 . 如申請專利範圍第1項所述之時序電路，其中當所述電腦進入深度睡眠狀態，且第一控制端及第二控制端之電壓均

為高電平而所述第二電源之電壓為一第一預設電壓時，所述第一電晶體導通而所述第二電晶體截止，該輸出端輸出一高電平。

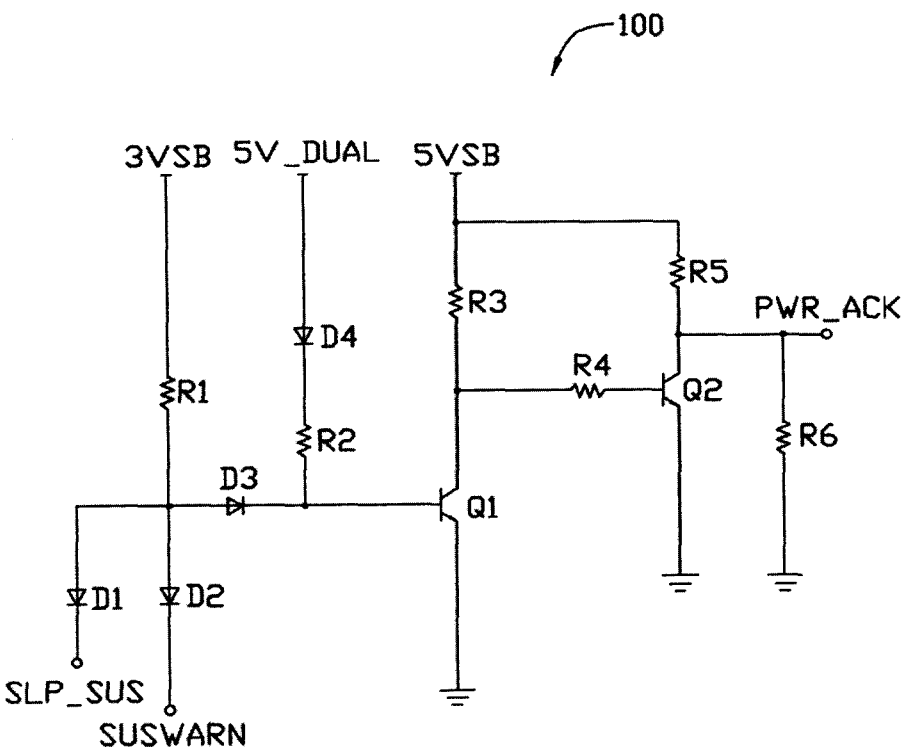
7. 如申請專利範圍第1項所述之時序電路，其中當所述電腦進入深度睡眠狀態，且第一控制端及第二控制端之電壓分別為高電平及低電平而所述第二電源之電壓未下降至一第二預設電壓之前，所述第一電晶體導通而所述第二電晶體截止，該輸出端輸出一高電平。

8. 如申請專利範圍第1項所述之時序電路，其中當所述電腦進入深度睡眠狀態，且第一控制端及第二控制端之電壓分別為高電平及低電平而所述第二電源之電壓下降至一第二預設電壓時，所述第一電晶體截止而所述第二電晶體導通，該輸出端輸出一低電平。

9. 如申請專利範圍第1項所述之時序電路，其中當所述電腦退出深度睡眠狀態，且第一控制端及第二控制端之電壓分別為高電平及低電平而所述第二電源之電壓為0伏特時，所述第一電晶體截止而所述第二電晶體導通，該輸出端輸出一低電平。

10. 如申請專利範圍第1項所述之時序電路，其中當所述電腦退出深度睡眠狀態，且第一控制端及第二控制端之電壓均為高電平而所述第二電源之電壓為0伏特時，所述第一電晶體導通而所述第二電晶體截止，該輸出端輸出一高電平。

八、圖式：



■ 1

