

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7631440号
(P7631440)

(45)発行日 令和7年2月18日(2025.2.18)

(24)登録日 令和7年2月7日(2025.2.7)

(51)国際特許分類	F I		
H 1 0 B 43/50 (2023.01)	H 1 0 B	43/50	
H 1 0 B 43/27 (2023.01)	H 1 0 B	43/27	
H 1 0 D 30/68 (2025.01)	H 0 1 L	29/78	3 7 1
H 0 1 L 21/768(2006.01)	H 0 1 L	21/90	C

請求項の数 17 (全25頁)

(21)出願番号	特願2023-126900(P2023-126900)	(73)特許権者	519237948 長江存儲科技有限責任公司 Yangtze Memory Technologies Co., Ltd. 中華人民共和国湖北省武漢市東湖新技術 開發区未来三路88号 No. 88 Weilai 3rd Road, East Lake High-tech Development Zone, Wuhan, Hubei, China
(22)出願日	令和5年8月3日(2023.8.3)	(74)代理人	100109210 弁理士 新居 広守
(62)分割の表示	特願2021-530999(P2021-530999)の分割	(72)発明者	ウェイ・シンシャン 中華人民共和国、フベイ 430074 最終頁に続く
原出願日	平成31年1月2日(2019.1.2)		
(65)公開番号	特開2023-145697(P2023-145697A)		
(43)公開日	令和5年10月11日(2023.10.11)		
審査請求日	令和5年8月3日(2023.8.3)		

(54)【発明の名称】 階段貫通コンタクトを有する三次元メモリデバイス

(57)【特許請求の範囲】

【請求項1】

インターリーブされた導電層及び誘電体層を有するメモリスタックであって、階段領域内の階段を有するメモリスタックと、

前記階段領域内の前記メモリスタックを通して延在する階段貫通コンタクト(TSC)であって、前記TSCが第1の導体層と、前記第1の導体層を取り囲む第1のスペーサとを有し、前記TSCの前記第1の導体層が前記第1のスペーサによって前記メモリスタックの前記導電層から絶縁されている、TSCと、

前記階段領域内の前記メモリスタックの前記導電層の1つに接触するワード線コンタクトと、を備え、

前記ワード線コンタクト及び前記TSCの前記第1の導体層は同じ導電性材料を有する、三次元(3D)メモリデバイス。

【請求項2】

前記第1のスペーサは、誘電体材料を有する、請求項1に記載の3Dメモリデバイス。

【請求項3】

前記階段領域に隣接するコアアレイ領域内の前記メモリスタックを通して延在するチャネル構造をさらに備える、

請求項1に記載の3Dメモリデバイス。

【請求項4】

前記 T S C は、前記チャネル構造よりも少ない数の前記メモリスタックの前記導電層及び誘電体層を通して垂直に延在する、

請求項 3 に記載の 3 D メモリデバイス。

【請求項 5】

前記メモリスタックが形成される第 1 の基板をさらに備える、

請求項 1 に記載の 3 D メモリデバイス。

【請求項 6】

前記第 1 の基板は、シリコンを含み、

前記 T S C は、前記第 1 の基板に接触する、

請求項 5 に記載の 3 D メモリデバイス。

10

【請求項 7】

前記メモリスタックの外側の周辺コンタクトであって、前記周辺コンタクトが第 2 の導電層と、前記第 2 の導電層を取り囲む第 2 のスペーサとを有する周辺コンタクトをさらに備える、

請求項 1 に記載の 3 D メモリデバイス。

【請求項 8】

前記ワード線コンタクトの断面及び前記 T S C の断面は、同じ形状を有する、

請求項 1 に記載の 3 D メモリデバイス。

【請求項 9】

前記 T S C の断面は、円の形状を有する、

請求項 1 に記載の 3 D メモリデバイス。

20

【請求項 10】

前記メモリスタックの上又は下に周辺デバイスをさらに備える、

請求項 1 に記載の 3 D メモリデバイス。

【請求項 11】

前記周辺デバイスが形成される第 2 の基板をさらに備える、

請求項 10 に記載の 3 D メモリデバイス。

【請求項 12】

インターリーブされた導電層及び誘電体層を有するメモリスタックと、

第 1 の領域内の前記メモリスタックを通して延在するチャネル構造と、

前記第 1 の領域とは異なる第 2 の領域内の前記メモリスタックを通して延在する階段貫通コンタクト (T S C) であって、前記チャネル構造よりも少ない数の前記メモリスタックの前記導電層及び誘電体層を通して延在し、導電層と前記導電層を横方向に取り囲むスペーサとを有する、 T S C と、

30

前記第 2 の領域内の前記メモリスタックの前記導電層の 1 つに接触するワード線コンタクトと、を備え、

前記ワード線コンタクト及び前記 T S C の前記導電層は同じ導電性材料を有する、

三次元 (3 D) メモリデバイス。

【請求項 13】

前記ワード線コンタクトの横方向寸法は、前記 T S C の前記導電層の横方向寸法よりも小さい、

40

請求項 12 に記載の 3 D メモリデバイス。

【請求項 14】

インターリーブされた導電層及び誘電体層を有するメモリスタックであって、階段領域内の階段を有するメモリスタックと、

前記階段領域内の前記メモリスタックの前記導電層の 1 つに接触するワード線コンタクトと、

前記階段領域内の前記メモリスタックを通して延在する階段貫通コンタクト (T S C) であって、前記 T S C 及び前記ワード線コンタクトが同じ材料を有する導電層をそれぞれ有する、 T S C とを備える、

50

三次元（３Ｄ）メモリデバイス。

【請求項 15】

前記ＴＳＣは、前記導体層を取り囲むスペーサをさらに有し、
前記ＴＳＣの前記導体層は、前記スペーサによって前記メモリスタックの前記導電層から絶縁されている、

請求項 14 に記載の 3 D メモリデバイス。

【請求項 16】

前記階段領域に隣接するコアアレイ領域内の前記メモリスタックを通して延在するチャンネル構造をさらに備える、

請求項 14 に記載の 3 D メモリデバイス。

10

【請求項 17】

前記メモリスタックが形成される基板をさらに備え、

前記ＴＳＣは、前記基板に接触する、

請求項 14 に記載の 3 D メモリデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施形態は、三次元（３Ｄ）メモリデバイスおよびその製造方法に関する。

【背景技術】

【0002】

平面メモリセルは、プロセス技術、回路設計、プログラミングアルゴリズム、および製造プロセスを改善することによって、より小さいサイズにスケールされる。しかしながら、メモリセルの特徴サイズが下限に近づくにつれて、平面プロセスおよび製造技法は困難になり、費用がかかるようになる。その結果、平面メモリセルのメモリ密度は上限に近づく。

20

【0003】

3 D メモリアーキテクチャは、平面メモリセルにおける密度制限に対処することができる。3 D メモリアーキテクチャは、メモリアレイと、メモリアレイとの間の信号を制御するための周辺デバイスとを含む。

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

従来の 3 D メモリデバイスには、改善の余地がある。そこで、本明細書では、より適切な 3 D メモリデバイスを提供する。

【課題を解決するための手段】

【0005】

本明細書では、3 D メモリデバイスの実施形態が開示される。

【0006】

一例では、3 D メモリデバイスは、インターリーブされた導電層及び誘電体層を有するメモリスタックであって、階段領域内の階段を有するメモリスタックと、前記階段領域内の前記メモリスタックを通して延在する階段貫通コンタクト（ＴＳＣ）であって、前記ＴＳＣが第 1 の導体層と、前記第 1 の導体層を取り囲む第 1 のスペーサとを有し、前記ＴＳＣの前記第 1 の導体層が前記第 1 のスペーサによって前記メモリスタックの前記導電層から絶縁されている、ＴＳＣとを備える。

40

【0007】

別の例では、3 D メモリデバイスは、インターリーブされた導電層及び誘電体層を有するメモリスタックと、第 1 の領域内の前記メモリスタックを通して延在するチャンネル構造と、前記第 1 の領域とは異なる第 2 の領域内の前記メモリスタックを通して延在する階段貫通コンタクト（ＴＳＣ）であって、前記チャンネル構造よりも少ない数の前記メモリスタックの前記導電層及び誘電体層を通して延在し、導体層と前記導体層を横方向に取り囲む

50

スペーサとを有する、TSCとを備える。

【0008】

異なる例では、3Dメモリデバイスは、インターリーブされた導電層及び誘電体層を有するメモリストックであって、階段領域内の階段を有するメモリストックと、前記階段領域内の前記メモリストックの前記導電層の1つに接触するワード線コンタクトと、前記階段領域内の前記メモリストックを通過して延在する階段貫通コンタクト(TSC)であって、前記TSC及び前記ワード線コンタクトが同じ材料を有する導電層をそれぞれ有する、TSCとを備える。

【0009】

本明細書に組み込まれ、本明細書の一部を形成する添付の図面は、本開示の実施形態を示し、本明細書とともに、さらに、本開示の原理を説明し、当業者が本開示を作成および使用することを可能にするのに役立つ。

10

【発明の効果】

【0010】

本明細書によれば、より適切な3Dメモリデバイスが提供される。

【図面の簡単な説明】

【0011】

【図1】本開示のいくつかの実施形態による、典型的な3Dメモリデバイスの断面図である。

【図2A】本開示のいくつかの実施形態による、3Dメモリデバイスのチャンネル構造および階段構造を形成するための典型的な製造プロセスを示す図である。

20

【図2B】本開示のいくつかの実施形態による、3Dメモリデバイスのチャンネル構造および階段構造を形成するための典型的な製造プロセスを示す図である。

【図2C】本開示のいくつかの実施形態による、3Dメモリデバイスのチャンネル構造および階段構造を形成するための典型的な製造プロセスを示す図である。

【図3A】本開示の様々な実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための典型的な製造プロセスを示す図である。

【図3B】本開示の様々な実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための典型的な製造プロセスを示す図である。

【図3C】本開示の様々な実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための典型的な製造プロセスを示す図である。

30

【図3D】本開示の様々な実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための典型的な製造プロセスを示す図である。

【図3E】本開示の様々な実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための典型的な製造プロセスを示す図である。

【図4A】本開示のいくつかの実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための別の典型的な製造プロセスを示す図である。

【図4B】本開示のいくつかの実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための別の典型的な製造プロセスを示す図である。

40

【図4C】本開示のいくつかの実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための別の典型的な製造プロセスを示す図である。

【図4D】本開示のいくつかの実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための別の典型的な製造プロセスを示す図である。

【図5A】いくつかの実施形態による、3Dメモリデバイスを形成するための典型的な方法のフローチャートである。

【図5B】いくつかの実施形態による、3Dメモリデバイスを形成するための典型的な方

50

法のフローチャートである。

【図5C】いくつかの実施形態による、3Dメモリデバイスを形成するための典型的な方法のフローチャートである。

【図6】別個の製造ステップにおいてダミーチャンネル構造およびTSCを形成するために異なるパターンを使用する関連技術を示す図である。

【発明を実施するための形態】

【0012】

本開示の実施形態について、添付の図面を参照しながら説明する。

【0013】

特定の構成および配置について説明するが、これは例示のみを目的として行われていることを理解されたい。当業者は、本開示の精神および範囲から逸脱することなく、他の構成および配置を使用することができることを認識するであろう。本開示を様々な他の用途でも使用することができることを、当業者には明らかであろう。

10

【0014】

本明細書における「1つの実施形態」、「一実施形態」、「例示的な実施形態」、「いくつかの実施形態」などへの言及は、記載されている実施形態が特定の特徴、構造、または特性を含み得ることを示すが、すべての実施形態が特定の特徴、構造、または特性を必ずしも含むとは限らないことに留意されたい。さらに、そのような語句は必ずしも同じ実施形態を指すとは限らない。さらに、特定の特徴、構造、または特性が一実施形態に関連して記載されている場合、明示的に記載されているか否かに関係なく、他の実施形態に関連してそのような特徴、構造、または特性がもたらされることは、当業者の知識の範囲内であろう。

20

【0015】

一般に、用語は少なくとも部分的に文脈の中での使用から理解され得る。例えば、本明細書において使用される場合、「1つまたは複数」という用語は、文脈に少なくとも部分的に依存して、任意の特徴、構造、または特性を単数の意味で記載するために使用されている場合があり、または複数の意味で特徴、構造または特性の組み合わせを記載するために使用されている場合がある。同様に、「1つの(a)」、「1つの(an)」、「その(the)」などの用語は、同じく、文脈に少なくとも部分的に依存して、単数形の使用法を伝達するか、または複数形の使用法を伝達すると理解され得る。さらに、「~に基づく」という用語は、必ずしも要因の排他的な集合を伝達することを意図していないと理解することができ、代わりに、文脈に少なくとも部分的に依存して、同じく必ずしも明示的に説明されていない追加の要因が存在することを許容することができる。

30

【0016】

本開示における「上(on)」、「上方(above)」、および「~の上(over)」の意味するところは、「上の」が何かの「直上」にあることを意味するだけでなく、中間の特徴または層を挟んで何かの「上」にあることも意味するように、また、「上方」または「~の上」が、何かの「上方」または何か「の上」にあることを意味するだけでなく、中間の特徴または層を挟まずに何かの「上方」または何か「の上」にある(すなわち、何かの直上にある)ことも意味するように、最も広義に解釈されるべきであることは容易に理解されるべきである。

40

【0017】

さらに、「下(beneath)」、「下方(below)」、「下側(lower)」、「上方(above)」、「上側(upper)」などのような空間的に相対的な用語は、本明細書においては、図に示されているような、ある要素または特徴の別の要素(複数可)または特徴(複数可)との関係を説明するために、説明を容易にするために使用され得る。空間的に相対的な用語は、図に示されている向きに加えて、使用中または動作中のデバイスの様々な向きを包含することを意図している。装置は他の方向に向けられ(90度または他の向きに回転され)てもよく、本明細書で使用される空間的に相対的な記述語もそれに応じて解釈され得る。

50

【 0 0 1 8 】

本明細書で使用される場合、「基板」という用語は、後続の材料層が追加される材料を指す。基板自体をパターニングすることができる。基板の上部に追加される材料は、パターニングすることもでき、またはパターニングしないままにすることもできる。さらに、基板は、シリコン、ゲルマニウム、ヒ化ガリウム、リン化インジウムなどのような幅広い半導体材料を含むことができる。代替的に、基板は、ガラス、プラスチック、またはサファイアウェハなどの非導電性材料から作製することができる。

【 0 0 1 9 】

本明細書で使用される場合、「層」という用語は、厚さのある領域を含む材料部分を指す。層は、下にあるもしくは上にある構造の全体にわたって延在することができ、または下にあるもしくは上にある構造の範囲よりも小さい範囲を有することができる。さらに、層は、均一または不均一な連続構造のうちの、当該連続構造の厚さよりも薄い厚さを有する領域であり得る。例えば、層は、連続構造の上面と底面との間の任意の水平面対の間に、または上面および底面に位置することができる。層は、横方向に、垂直に、かつ/またはテーパ面に沿って延在することができる。基板は、層であり得、基板の中に1つもしくは複数の層を含み得、ならびに/または基板の上、上方、および/もしくは下方に1つもしくは複数の層を有し得る。層は複数の層を含むことができる。例えば、相互接続層は、1つまたは複数の導体層および接触層（中に相互接続線、および/またはビアコンタクトが形成される）、ならびに1つまたは複数の誘電体層を含むことができる。

【 0 0 2 0 】

本明細書で使用する場合、「公称/公称的に」という用語は、製品またはプロセスの設計段階の間に設定される、構成要素またはプロセス動作の特性またはパラメータの所望のまたは目標の値を、所望の値の上および/または下の値の範囲とともに参照する。値の範囲は、製造プロセスまたは許容誤差のわずかな変動に起因する可能性がある。本明細書で使用される場合、「約」という用語は、主題の半導体デバイスに関連付けられた特定の技術ノードに基づいて変化する可能性がある所与の量の値を示す。特定の技術ノードに基づいて、「約」という用語は、例えば値の10~30%（例えば、値の±10%、±20%、または±30%）以内で変化する特定の量の値を示すことができる。

【 0 0 2 1 】

本明細書で使用される場合、「3Dメモリデバイス」という用語は、メモリストリングが基板に対して垂直方向に延伸するように、横向きの基板上にあるメモリセルトランジスタの垂直配向ストリング（NANDメモリストリングなど、本明細書において「メモリストリング」として参照される）を有する半導体デバイスを指す。本明細書で使用される場合、「垂直/垂直方向に」という用語は、基板の側面に対して公称的に垂直であることを意味する。

【 0 0 2 2 】

いくつかの3Dメモリデバイスでは、メモリデバイスと周辺デバイスとの間に垂直相互接続を提供するために、階段貫通コンタクト（TSC）が使用される。さらに、ダミーチャネル構造が、メモリデバイスの構造的支持を提供するために使用される。既存の製造プロセスでは、TSCおよびダミーチャネル構造は、異なるパターンを使用して別個のステップにおいて形成される。各パターンはダイ上でそれ自体の面積の配分を消費するため、他のパターンのためのダイ上の利用可能な面積が制限されることになる。

【 0 0 2 3 】

図6は、別個の製造ステップにおいてダミーチャネル構造およびTSCを形成するために異なるパターンを使用する関連技術を示す。図6に示すように、メモリデバイス600は、基板602の上方にメモリストック604を含む。メモリストック604は、メモリストリング606のアレイを含むことができ、階段構造642を含むことができる。ダミーチャネル構造602のアレイは、最初にダミーパターンを使用してダミーホールのアレイをエッチングし、次に、ダミーホールを誘電体層によって充填してダミーチャネル構造602を形成することによって形成することができる。ダミーチャネル構造602を形成

10

20

30

40

50

した後、インターリーブされた誘電体層 612 および犠牲層 610 を含む誘電体スタックの一部として最初に形成された犠牲層 610 を導体層（導電層ともいう）に置き換えて、ワード線を形成することができる。ワード線が形成された後、TSC パターンを使用して TSC ホールのアレイをエッチングすることができ、その後、TSC ホールは導体層によって充填されて、TSC 608 が形成される。上述の製造プロセスは、異なるパターン（ダミーチャンネル構造パターンおよび TSC パターン）を利用して、別個の製造ステップにおいてダミーチャンネル構造 602 および TSC 608 をそれぞれ形成する。

【0024】

本開示による様々な実施形態は、ダミーチャンネル構造を形成するための同じパターンを共有する TSC を有する 3D メモリデバイスを提供し、これによって、ダイ使用の効率が改善する。例えば、2つの別個のパターンを組み合わせることで単一のパターンにすることによって、ダイ上の利用可能な面積を増加させることができ、追加のパターンを配置することが可能になる。さらに、本明細書において開示される 3D メモリデバイスを形成するための方法の様々な実施形態は、他の構造（例えば、周辺コンタクト）を作製するための同じ製造プロセス（複数可）において TSC を形成することを可能にし、したがって、製造フローをさらに単純化し、プロセスコストを削減することができる。

【0025】

図 1 は、本開示のいくつかの実施形態による、典型的な 3D メモリデバイス 100 の断面を示す。3D メモリデバイス 100 は、シリコン（例えば、単結晶シリコン）、シリコンゲルマニウム（SiGe）、ヒ化ガリウム（GaAs）、ゲルマニウム（Ge）、シリコン・オン・インシュレータ（SOI）、または任意の他の適切な材料を含んでもよい基板 102 を含むことができる。いくつかの実施形態では、基板 102 は薄型基板（例えば、半導体層）であり、研削、ウェット/ドライエッチング、化学機械研磨（CMP）、またはそれらの任意の組み合わせによって通常の厚さから薄くされている。

【0026】

3D メモリデバイス 100 は、基板 102 の上方にメモリスタック 104 を含むことができる。メモリスタック 104 は、メモリストリング（例えば、NAND メモリストリング 106）が形成される積層ストレージ構造とすることができる。いくつかの実施形態では、メモリスタック 104 は、基板 102 の上方に垂直に積層された複数の導体/誘電体層の対を含む。各導体/誘電体層の対は、導体層 110 および誘電体層 112 を含むことができる。すなわち、メモリスタック 104 は、垂直に積層されている、インターリーブされた導体層 110 および誘電体層 112 を含むことができる。図 1 に示すように、各 NAND メモリストリング 106 は、メモリスタック 104 内のインターリーブされた導体層 110 および誘電体層 112 を貫通して垂直に延在する。いくつかの実施形態では、3D メモリデバイス 100 は、NAND メモリストリング 106 と 3D メモリデバイス 100 の導体層 110（ワード線として機能する）との交差部にメモリセルが設けられた NAND フラッシュメモリデバイスである。メモリスタック 104 内の導体/誘電体層の対の数（例えば、32、64、96、または 128）が、3D メモリデバイス 100 内のメモリセルの数を設定することができる。

【0027】

導体層 110 は各々、同じ厚さを有してもよく、または異なる厚さを有してもよい。同様に、誘電体層 112 は各々、同じ厚さを有してもよく、または異なる厚さを有してもよい。導体層 110 は、タンゲステン（W）、コバルト（Co）、銅（Cu）、アルミニウム（Al）、多結晶シリコン（ポリシリコン）、ドーブシリコン、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料を含むことができる。誘電体層 112 は、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。いくつかの実施形態では、導体層 110 は W などの金属を含み、誘電体層 112 は酸化ケイ素を含む。いくつかの実施形態によれば、その場蒸気発生（ISSG）酸化ケイ素などの酸化ケイ素膜（図示せず）を基板 102（例えば、シリコン基板）とメモリスタック 104 との間に形成す

10

20

30

40

50

ることができることが理解される。

【0028】

図1には、3Dメモリデバイス100内の構成要素の空間的関係をさらに示すために、x軸、y軸、およびz軸が追加されている(y方向はページ内を指す)ことに留意されたい。x方向、y方向、およびz方向は互いに垂直である。基板102は、横方向においてx-y平面においてx方向およびy方向(横方向)に延在する2つの側面(例えば、上面および底面)を有する。本明細書において使用される場合、半導体デバイス(例えば、3Dメモリデバイス100)の1つの構成要素(例えば、層またはデバイス)が別の構成要素(例えば、層またはデバイス)の「上(on)」、「上方(above)」、または「下方(below)」にあるかは、半導体デバイスの基板(例えば、基板102)がz方向(垂直方向)において半導体デバイスの最下面に位置付けられているときに、z方向において半導体デバイスの基板に対して判定される。空間的関係を説明するための同じ概念が本開示全体にわたって適用される。

10

【0029】

いくつかの実施形態では、3Dメモリデバイス100は、モノリシック3Dメモリデバイスの一部であり、モノリシック3Dメモリデバイスの構成要素(例えば、メモリセルおよび周辺デバイス)は、単一の基板(例えば、基板102)上に形成される。3Dメモリデバイス100の動作を促進するために使用される任意の適切なデジタル、アナログ、および/または混合信号周辺回路などの周辺デバイス111は、メモリスタック104の外側の基板102上にも形成することができる。周辺デバイス111は、基板102「上」に形成することができ、周辺デバイス111の全体または一部は、基板102内に(例えば、基板102の上面の下方)および/または直接的に基板102上に形成される。周辺デバイス111は、ページバッファ、デコーダ(例えば、行デコーダおよび列デコーダ)、センス増幅器、ドライバ、チャージポンプ、電流もしくは電圧基準、または回路の任意の能動もしくは受動構成要素(例えば、トランジスタ、ダイオード、抵抗器、またはコンデンサ)のうちの1つまたは複数を含むことができる。分離領域(例えば、シャロー・トレンチ・アイソレーション(STI))およびドープ領域(例えば、トランジスタのソース領域およびドレイン領域)は、メモリスタック104の外側の基板102内にも形成することができる。いくつかの実施形態では、周辺デバイス111は、図1に示すようなNANDメモリスタック106の側とは対称的に、NANDメモリスタック106の上方または下方に形成されることが理解される。いくつかの実施形態では、3Dメモリデバイス100は、非モノリシック3Dメモリデバイスの一部であり、構成要素は、異なる基板上に別個に形成され、次いで、フェイスツーフェイス方式、フェイスツーバック方式、またはバックツーバック方式で接合されることがさらに理解される。周辺デバイス111は、基板102とは異なる別個の基板上に形成することができる。

20

30

【0030】

図1に示すように、メモリスタック104は、内側領域116(「コアアレイ領域」としても知られる)および外側領域118(「階段領域」としても知られる)を含むことができる。いくつかの実施形態では、内側領域116は、NANDメモリスタック106のアレイが導体/誘電体層の対を通して形成されるメモリスタック104の中央領域であり、外側領域118は、NANDメモリスタック106のない、内側領域116(側および縁部を含む)を囲むメモリスタック104の残りの領域である。

40

【0031】

図1に示すように、各NANDメモリスタック106は、メモリスタック104の内側領域116内の導体/誘電体層の対を貫通して垂直に延在するチャネル構造108を含むことができる。チャネル構造108は、半導体材料(例えば、半導体チャネルを形成する)および誘電体材料(例えば、メモリ膜を形成する)で充填されたチャネルホールを含むことができる。いくつかの実施形態では、半導体チャネルは、アモルファスシリコン、ポリシリコン、または単結晶シリコンなどのシリコンを含む。いくつかの実施形態では、メモリ膜は、トンネル層、蓄積層(「電荷トラップ/蓄積層」としても知られる)、およ

50

びブロッキング層を含む複合層である。各NANDメモリストリング106は、円筒形状（例えば、ピラー形状）を有することができる。いくつかの実施形態によれば、半導体チャネル、トンネル層、蓄積層、およびブロッキング層は、この順序でピラーの中心から外面に向かう方向に沿って配置される。トンネル層は、酸化ケイ素、酸化窒化ケイ素、またはそれらの任意の組み合わせを含むことができる。蓄積層は、窒化ケイ素、酸化窒化ケイ素、シリコン、またはそれらの任意の組み合わせを含むことができる。ブロッキング層は、酸化ケイ素、酸化窒化ケイ素、高誘電率（高k）誘電体、またはそれらの任意の組み合わせを含むことができる。

【0032】

いくつかの実施形態では、NANDメモリストリング106は、NANDメモリストリング106の複数の制御ゲート（各々がワード線/導体層110の一部である）を含む。各導体/誘電体層の対の導体層110は、NANDメモリストリング106のメモリセルの制御ゲートとして機能することができる。導体層110は、複数のNANDメモリストリング106の複数の制御ゲートを含むことができ、メモリスタック104の外側領域118において終端するワード線として横方向に延在することができる。

10

【0033】

いくつかの実施形態では、NANDメモリストリング106は、垂直方向のそれぞれの端部に2つのプラグ117および119を含む。各プラグ117または119は、チャネル構造108のそれぞれの端部と接触することができる。プラグ117は、基板102からエピタキシャル成長されるシリコンなどの半導体材料を含むことができる。プラグ117は、NANDメモリストリング106のソース選択ゲートによって制御されるチャネルとして機能することができる。プラグ117は、NANDメモリストリング106の下端にあり、チャネル構造108（例えば、チャネル構造108の下端において）と接触することができる。本明細書において使用される場合、基板102が3Dメモリデバイス100の最低面に位置付けられるとき、構成要素（例えば、NANDメモリストリング106）の「上端」は、z方向において基板102から離れている方の端部であり、構成要素（例えば、NANDメモリストリング106）の「下端」は、z方向において基板102により近い方の端部である。

20

【0034】

プラグ119は、半導体材料（例えば、ポリシリコン）または導体材料（例えば、金属）を含むことができる。いくつかの実施形態では、プラグ119は、チタン/窒化チタン（バリア層としてのTi/TiN）およびタングステン（導体として）で充填された開口部を含む。3Dメモリデバイス100の製造中にチャネル構造108の上端を覆うことによって、プラグ119は、酸化ケイ素および窒化ケイ素などのチャネル構造108に充填された誘電体のエッチングを防止するエッチング停止層として機能することができる。いくつかの実施形態では、プラグ119は、NANDメモリストリング106のドレインとして機能する。

30

【0035】

図1に示すように、（例えば、x方向において）横方向の少なくとも一方の側において、メモリスタック104の外側領域118は階段構造142を含むことができる。いくつかの実施形態において、別の階段構造（図示せず）がx方向においてメモリスタック104の反対側に配置される。階段構造142の各「レベル」は、各々が導体層110および誘電体層112を含む、1つまたは複数の導体/誘電体層の対を含むことができる。階段構造142の各レベルの最上層は、垂直方向の相互接続のための導体層110とすることができる。いくつかの実施形態では、階段構造142の各隣接する2レベルは、垂直方向に名目上同じ距離だけオフセットされ、横方向に名目上同じ距離だけオフセットされる。階段構造142の各隣接する2レベルについて、基板102により近い方の第1のレベル（およびその中の導体層および誘電体層）は、第2のレベル（およびその中の導体層および誘電体層）よりも横方向にさらに延在することができ、それによって垂直方向の相互接続のために第1のレベル上に「ランディング領域」を形成する。

40

50

【 0 0 3 6 】

階段構造 1 4 2 は、ワード線コンタクト 1 4 4 をランディングするために使用することができる。各ワード線コンタクト 1 4 4 の下端は、階段構造 1 4 2 のそれぞれのレベルの最上部導体層 1 1 0 (ワード線) と接触して、3 Dメモリデバイス 1 0 0 の対応するワード線を個別にアドレス指定することができる。ワード線コンタクト 1 4 4 は、1 つまたは複数の誘電体層を貫通して垂直に延在し、W、Co、Cu、Al、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料で充填された開口部 (例えば、ビアホールまたはトレンチ) を含むことができる。

【 0 0 3 7 】

図 1 に示すように、3 Dメモリデバイス 1 0 0 は、階段構造 1 4 2 内の導体 / 誘電体層の対を貫通して垂直に各々延在する T S C 1 3 6 をさらに含む。各 T S C 1 3 6 は、インターリーブされた導体層 1 1 0 および誘電体層 1 1 2 を貫通して垂直に延在することができる。いくつかの実施形態では、T S C 1 3 6 は、階段構造 1 4 2 の厚さ全体 (例えば、階段構造 1 4 2 の横方向位置における垂直方向のすべての導体 / 誘電体層の対) を貫通して延在し、基板 1 0 2 に到達することができる。いくつかの実施形態では、T S C 1 3 6 は、基板 1 0 2 の少なくとも一部を貫通してさらに延在する。T S C 1 3 6 は、相互接続ルーティングを短縮して、電力バスの一部などの 3 Dメモリデバイス 1 0 0 からおよび / または 3 Dメモリデバイスに電気信号を搬送することができる。いくつかの実施形態では、T S C 1 3 6 は、3 Dメモリデバイス 1 0 0 と周辺デバイス 1 1 1 との間、および / または配線工程 (B E O L) 相互接続 (図示せず) と周辺デバイス 1 1 1 との間の電気接続を提供することができる。T S C 1 3 6 はまた、階段構造 1 4 2 に機械的支持を提供することもできる。

【 0 0 3 8 】

T S C 1 3 6 は、階段 1 4 2 を通る垂直開口部に材料を充填することによって形成することができる。いくつかの実施形態では、T S C 1 3 6 は、スペーサ 1 3 8 によって囲まれた導体層 1 4 0 を含む。例えば、T S C 1 3 6 の側壁は、スペーサ 1 3 8 と接触してもよい。導体層 1 4 0 は、W、Co、Cu、Al、ドーブシリコン、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料を含むことができる。スペーサ 1 3 8 は、階段構造 1 4 2 内の周囲の導体層 1 1 0 から T S C 1 3 6 の導体層 1 4 0 を電氣的に絶縁することができる。いくつかの実施形態では、T S C 1 3 6 は、平面視において実質的に円の形状を有し、導体層 1 4 0 およびスペーサ 1 3 8 は半径方向において、この順序で T S C 1 3 6 の中心から配置される。スペーサ 1 3 8 は、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。

【 0 0 3 9 】

図 1 に示すように、3 Dメモリデバイス 1 0 0 は、1 つまたは複数の誘電体層を貫通して垂直に延在し、メモリスタック 1 0 4 の外側の周辺デバイス 1 1 1 と接触する周辺コンタクト 1 4 8 をさらに含むことができる。周辺コンタクト 1 4 8 は、周辺デバイス 1 1 1 との電氣的接続を提供することができる。周辺コンタクト 1 4 8 は、垂直開口部に材料を充填することによって形成することができる。いくつかの実施形態では、T S C 1 3 6 と同様に、周辺コンタクト 1 4 8 は、スペーサ 1 5 0 によって囲まれた導体層 1 5 2 を含むことができる。導体層 1 5 2 は、W、Co、Cu、Al、ドーブシリコン、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料を含むことができる。いくつかの実施形態では、周辺コンタクト 1 4 8 は、平面視において実質的に円の形状を有し、導体層 1 5 2 およびスペーサ 1 5 0 は半径方向において、この順序で周辺コンタクト 1 4 8 の中心から配置される。スペーサ 1 5 0 は、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。いくつかの実施形態では、スペーサ 1 5 0 およびスペーサ 1 3 8 は、横方向 (例えば、半径方向) において名目上同じ厚さを有する。いくつかの実施形態では、スペーサ 1 5 0 およびスペーサ 1 3 8 の両方が酸化ケイ素を含む。周辺デバイス 1 1

10

20

30

40

50

1は基板102上に形成されなくてもよく、周辺コンタクト148は、いくつかの実施形態では、例えば、3Dメモリデバイス100が非モノリシック3Dメモリデバイスであるなど、異なる構成であってもよいことが理解される。

【0040】

3Dメモリデバイス100は、限定はしないが、メモリスタック104の上方および/または基板102の下方の1つまたは複数のBEOL相互接続層内の他のローカルコンタクトおよび相互接続を含む、図1に示されていない追加の構成要素および構造を含むことができることが理解される。

【0041】

図2A~図2Cは、本開示のいくつかの実施形態による、3Dメモリデバイスのチャンネル構造および階段構造を形成するための典型的な製造プロセスを示す図である。図3A~図3Eは、本開示の様々な実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための典型的な製造プロセスを示す。図4A~図4Dは、本開示のいくつかの実施形態による、3DメモリデバイスのTSC、周辺コンタクト、およびワード線コンタクトを形成するための別の典型的な製造プロセスを示す図である。図5A~図5Cは、いくつかの実施形態による、3Dメモリデバイスを形成するための典型的な方法500、500'、および500''のフローチャートである。図2~図5に示す3Dメモリデバイスの例は、図1に示す3Dメモリデバイス100を含む。図2~図5をとともに説明する。方法500、500'および500''に示される動作は網羅的ではなく、図示された動作のいずれかの前、後、または動作と動作との間に他の動作も実行できることが理解される。さらに、動作のいくつかは、同時に、または図5A~図5Cに示す順序とは異なる順序で実行されてもよい。

【0042】

図5Aを参照すると、方法500は動作502で開始し、複数のインターリーブされた誘電体層および犠牲層を含む誘電体スタックが基板上に形成される。基板はシリコン基板とすることができる。方法500は、図5Aに示すように、動作504に進み、誘電体スタックを貫通して垂直に延在するチャンネル構造が形成される。方法500は動作506に進み、誘電体スタックの一方の側に階段構造が形成される。

【0043】

図2Aに示すように、複数のインターリーブされた誘電体層および犠牲層を含む誘電体デッキ204がシリコン基板202上に形成される。いくつかの実施形態では、犠牲層206および誘電体層208は、物理気相成長(PVD)、化学気相成長(CVD)、原子層堆積(ALD)、またはそれらの任意の組み合わせを含むがこれらに限定されない、1つまたは複数の薄膜堆積プロセスによって交互に堆積される。いくつかの実施形態では、犠牲層206は窒化ケイ素を含み、誘電体層208は酸化ケイ素を含む。犠牲層206および誘電体層208を堆積する順序は限定されないことが理解される。堆積は、犠牲層206または誘電体層208によって開始することができ、犠牲層206または誘電体層208によって終了することができる。

【0044】

図2Bに示すように、チャンネル構造210のアレイが形成され、その各々は、誘電体デッキ204内のインターリーブされた犠牲層206および誘電体層208を貫通して垂直に延在する。いくつかの実施形態では、チャンネル構造210を形成する製造プロセスは、深掘り反応性イオンエッチング(DRIE)などのドライエッチングおよび/またはウェットエッチングを使用して、誘電体デッキ204内のインターリーブされた犠牲層206および誘電体層208を貫通するチャンネルホールを形成することと、その後、薄膜堆積プロセスを使用して、誘電体層および半導体層などの複数の層でチャンネルホールを充填することを含む。いくつかの実施形態では、誘電体層は、トンネル層、蓄積層、およびブロッキング層を含むがこれらに限定されない複数の誘電体層の組み合わせなどの複合誘電体層である。トンネル層は、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。蓄積層は、

10

20

30

40

50

メモリ動作のために電荷を蓄積するための材料を含むことができる。蓄積層材料は、窒化ケイ素、酸窒化ケイ素、酸化ケイ素と窒化ケイ素との組み合わせ、またはそれらの任意の組み合わせを含むことができるが、これらに限定されない。ブロッキング層は、酸化ケイ素または酸化ケイ素/酸窒化ケイ素/酸化ケイ素(ONO)の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。ブロッキング層は、酸化アルミニウム(Al_2O_3)層などの高k誘電体層をさらに含むことができる。半導体層は、半導体チャネルとして機能するポリシリコンを含むことができる。半導体層および誘電体層は、ALD、CVD、PVD、またはそれらの任意の組み合わせなどのプロセスによって形成することができる。

【0045】

いくつかの実施形態では、誘電体スタック204は、接合層212を介してマルチスタック構造を形成するために、別の誘電体スタックによって接合されてもよい。図2Bに示すように、接合層212は、ALD、CVD、PVD、またはそれらの任意の組み合わせなどの薄膜堆積プロセスを使用して、酸化ケイ素層などの誘電体層を堆積することによって誘電体デッキ204上に形成することができる。デッキ間プラグ214のアレイが、接合層212内に形成され、チャネル構造210のアレイとそれぞれ接触することができる。デッキ間プラグ214は、接合層212を介して開口部をパターニングおよびエッチングし、続いてALD、CVD、PVD、またはそれらの任意の組み合わせなどの薄膜堆積プロセスを使用して、ポリシリコンなどの半導体材料を堆積することによって形成することができる。以下では、簡潔かつ単純にするために、単一スタック構造に関して本開示の実施形態を説明する。本明細書に開示される技術的解決策は、マルチスタック構造にも適用可能であることが理解される。

【0046】

図2Cに示すように、階段構造224が誘電体スタック218の側面に形成される。階段構造224は、各サイクルにおいて、パターニングされたフォトレジスト層をトリミング(例えば、漸増的かつ内方に、多くの場合、すべての方向からエッチングすること)し、続いてトリミングされたフォトレジスト層をエッチングマスクとして使用して誘電体/犠牲層の対の露出部分をエッチングして階段構造224の1つの段を形成する、いわゆる「トリムエッチング」プロセスによって形成することができる。

【0047】

方法500は、図5Aに示すように、動作508に進み、階段構造を貫通して垂直に延在するダミーチャネル構造が形成される。いくつかの実施形態では、ダミーチャネル構造は、後にTSCに置き換えられる中間構造として形成される。図3Bに示すように、ダミーチャネル構造302のアレイは、誘電体スタック304の階段構造342を貫通して形成される。誘電体スタック304は、インターリーブされた誘電体層312および犠牲層310を含む。

【0048】

ダミーチャネル構造302は、階段構造342を貫通して垂直に延在し、チャネル構造108と同じ材料で充填された垂直開口部を有することができる。いくつかの実施形態によれば、チャネル構造108とは異なり、3Dメモリデバイス100などの3Dメモリデバイスの他の構成要素との電氣的接続を提供するためのコンタクトは、ダミーチャネル構造302上には形成されない。いくつかの実施形態では、ダミーチャネル構造302は、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料で完全に充填される。

【0049】

ダミーチャネル構造302は、製造中の特定のプロセス(例えば、エッチングおよび化学機械研磨(CMP))における負荷を平衡させ、例えば階段構造342などのメモリアレイ構造に機械的支持を提供するために使用することができる。本開示の実施形態は、ダミーチャネル構造からTSCを形成することができ、それにより、同じパターンを使用してダミーチャネル構造およびTSCの両方を形成する。結果として生じるTSCは、ダミ

10

20

30

40

50

ーチャンネル構造の平衡および支持機能を提供することができる。

【 0 0 5 0 】

図 3 A に示すように、ダミーチャンネル構造 3 0 2 は、D R I E などのウェットエッチングおよび/またはドライエッチングを使用して、階段構造 3 4 2 内の 1 つまたは複数の誘電体層を貫通するダミーホール 3 2 2 を最初にエッチングすることによって形成することができる。いくつかの実施形態では、ダミーホール 3 2 2 は、階段構造 3 4 2 内の誘電体層のすべてを貫通して垂直に延在し、シリコン基板 2 0 2 の一部を露出させることができる（例えば、ダミーホール 3 2 2 は、シリコン基板 2 0 2 まで延在してもよい）。いくつかの実施形態では、ダミーホール 3 2 2 は、シリコン基板 2 0 2 内へと延在してもよい（例えば、シリコン基板 2 0 2 の一部がエッチングプロセス中にエッチング除去されてもよい）。

10

【 0 0 5 1 】

いくつかの実施形態では、誘電体スタック 3 0 4 の外側のダミーホール 3 2 4 が、ダミーホール 3 2 2 の形成と同時に（例えば、同じ製造ステップにおいて）形成されてもよい。ダミーホール 3 2 4 は、周辺デバイス 3 1 1 に相互接続を提供する周辺コンタクトを形成するために使用されてもよい。いくつかの実施形態では、ダミーホール 3 2 2 および 3 2 4 は、図 3 A に示すように、平面視において名目上円の形状を有してもよい。いくつかの実施形態では、ダミーホール 3 2 2 および 3 2 4 のサイズは名目上同じであってもよい。

【 0 0 5 2 】

再び図 3 B を参照すると、図 3 A に示すダミーホール 3 2 2 は、A L D、C V D、P V D、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、ダミーチャンネル構造 3 0 2 を形成するために、酸化ケイ素層などの誘電体層 3 5 2 で充填（堆積）することができる。いくつかの実施形態では、ダミーチャンネル構造 3 0 2 は、ダミーホール 3 2 2 がチャンネル構造 2 1 0 を充填する材料の少なくとも一部で充填されるように、同じ製造ステップにおいてチャンネル構造 2 1 0 と同時に形成される。

20

【 0 0 5 3 】

いくつかの実施形態では、誘電体スタック 3 0 4 の外側のダミーチャンネル構造 3 0 3 は、ダミーホール 3 2 4 内に誘電体層 3 5 4 を堆積することによってダミーチャンネル構造 3 0 2 を形成すると同時に（例えば、同じ製造ステップにおいて）形成される。誘電体層 3 5 4 は、誘電体層 3 5 2 と同じ材料を有してもよい。

30

【 0 0 5 4 】

いくつかの実施形態では、ダミーホール 3 2 2 / 3 2 4 は、それぞれ誘電体層 3 5 2 / 3 5 4 で完全に充填されてもよい。他の実施形態では、図 3 B に示すように、ダミーホール 3 2 2 または 3 2 4 は部分的に充填されてもよい。そのような場合、結果として得られるダミーチャンネル構造 3 0 2 / 3 0 3 は、誘電体層 3 5 2 / 3 5 4 が堆積された上部、底部、および側壁部分を有することができる。中央領域は、完全に充填されなくてもよい。

【 0 0 5 5 】

方法 5 0 0 は、図 5 に示すように、動作 5 1 0 に進み、誘電体スタック内の犠牲層を導体層に置き換えることによって複数のワード線が形成される。図 3 C に示すように、犠牲層 3 1 0 は導体層（ワード線として機能する）3 0 9 に置き換えられている。犠牲層 3 1 0 を導体層 3 0 9 に置き換えることは、誘電体層 3 0 4（例えば、酸化ケイ素）に対して選択的に犠牲層 3 1 0（例えば、窒化ケイ素）をウェットエッチングし、構造を導体層 3 0 9（例えば、W）で充填することによって実行することができる。導体層 3 0 9 は、P V D、C V D、A L D、電気化学堆積、またはそれらの任意の組み合わせによって堆積させることができる。導体層 3 0 9 は、W、C o、C u、A l、ポリシリコン、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電性材料を含むことができる。結果として、ゲート置換プロセスの後、図 3 A ~ 図 3 B の誘電体スタック 3 0 4 は、シリコン基板 2 0 2 上の導体/誘電体層の対、すなわちインターリーブされた導体層 3 0 9 および誘電体層 3 1 2 を含むメモリストック 3 0 5 になる。

40

【 0 0 5 6 】

50

方法500は動作512に進み、ダミーチャネル構造の中央部分を貫通して垂直に延在する開口部がエッチングされて、スペーサが形成される。図3Dを参照すると、開口部372(TSCホール)がダミーチャネル構造302(図3B~図3Cに示す)を通じてエッチングされて、スペーサ362を形成する。いくつかの実施形態では、開口部372/スペーサ362は、階段構造342内のインターリーブされた誘電体層312および導体層309を貫通して垂直に延在して、シリコン基板202に到達することができる。いくつかの実施形態では、第2の開口部374(周辺コンタクトホール)が、ダミーチャネル構造303(図3B~図3Cに示す)から同時に形成されてもよい。開口部372/374は、DRIEなどのウェットエッチングおよび/またはドライエッチングプロセスを使用してエッチングすることができる。例えば、図3Dに示すように、ダミーチャネル構造302/303の中央部分をエッチングによって除去して、中空コアを有するスペーサ362/364を形成することができる。いくつかの実施形態では、スペーサ362および364の側壁は、名目上同じ厚さを有することができる。垂直方向におけるTSCホール372および周辺コンタクトホール374の深さは、名目上同じであり得る。直径などのTSCホール372および周辺コンタクトホール374の横方向寸法は、様々な実施形態において名目上同じであってもよく、または異なってもよい。例えば、いくつかの実施形態によれば、TSCホール372の直径は、周辺コンタクトホール374の直径よりも大きくすることができる。

10

【0057】

図3Dに示すように、TSCホール372および周辺コンタクトホール374はシリコン基板202に到達することができる。周辺コンタクトホール374の下端はシリコン基板202上に形成された周辺デバイス311と接触することができる。いくつかの実施形態では、周辺デバイス311は、フォトリソグラフィ、ウェット/ドライエッチング、薄膜堆積、熱成長、注入、CMP、および任意の他の適切なプロセスを含むがこれらに限定されない複数のプロセスによって形成することができるトランジスタを含む。いくつかの実施形態では、ドープ領域が、イオン注入および/または熱拡散によってシリコン基板202内に形成され、これらは例えばトランジスタのソース領域および/またはドレイン領域として機能する。いくつかの実施形態では、分離領域(例えば、STI)もまた、ウェットエッチングおよび/またはドライエッチングならびに薄膜堆積プロセスによってシリコン基板202内に形成される。周辺デバイス311を形成するための製造プロセスは、周辺コンタクトホール374のエッチングの前の任意の製造段階で行うことができる。

20

30

【0058】

開口部372/374は、ダミーチャネル構造302/303から、その上に堆積された誘電体層の一部を除去することによってエッチングされるため、開口部372/374が形成された後のダミーチャネル構造302/303の側壁を含む残りの部分は、スペーサ362/364となる。スペーサ362/364は、ダミーチャネル構造302/303と同様に、階段構造342を含むメモリスタック305に機械的支持を提供することができる。さらに、スペーサ362/364は、開口部372/374内に堆積された導体層を囲んでTSC/周辺コンタクトを形成する絶縁層として機能することができる。

【0059】

40

いくつかの実施形態では、開口部372/374(スペーサ362/364の内壁によって画定される)は、図3Dに示すように、平面視で名目上円の形状を有することができる。いくつかの実施形態では、スペーサ362および364の側壁は、名目上同じ厚さを有することができる。いくつかの実施形態では、スペーサ362および364は、同じまたは異なるサイズを有してもよい。例えば、スペーサ364の直径(例えば、内側または外側側壁から測定される)は、スペーサ362の直径よりも小さくてもよい。

【0060】

方法500は、図5に示すように、動作514に進み、ワード線コンタクトおよびTSCが同時に形成される。いくつかの実施形態では、導体層は、開口部内に堆積されてTSCを形成する。いくつかの実施形態では、導体層は、接着/バリア層および導体を含む複

50

合層である。図 3 E に示すように、開口部 3 7 2 の残りの空間を充填するために（図 3 D に示すように）開口部 3 7 2 内に導体層 3 8 2 が堆積され、それによって階段構造 3 4 2 を貫通して垂直に延在する T S C 3 3 6 が形成される。いくつかの実施形態では、A L D、C V D、P V D、電気化学堆積、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用して、タングステンなどの金属を堆積することによって、開口部 3 7 2 の残りの空間内に導体を形成することができる。同じ堆積プロセスを使用して、開口部 3 7 4 内に導体層 3 8 4 を同時に形成して（図 3 D に示すように）、周辺デバイス 3 1 1 と接触する周辺コンタクト 3 4 8 を形成することができる。いくつかの実施形態では、導体層 3 8 2 および 3 8 4 は、同じ材料（例えば、タングステン（W））を使用することができる。堆積後の余剰導体層は、C M P により除去することができる。

10

【 0 0 6 1 】

ワード線コンタクト 3 4 4 は、T S C と同時に（例えば、同じ製造ステップにおいて、）形成することができる。各ワード線コンタクト 3 4 4 は、階段構造 3 4 2 内の導体 / 誘電体層の対の導体層 3 0 9 のそれぞれと接触している。ワード線コンタクト 3 4 4 は、最初に垂直開口部（例えば、ウェットエッチングおよび / またはドライエッチングによって、）をエッチングし、続いて A L D、C V D、P V D、電気化学堆積、またはそれらの任意の組み合わせを使用して開口部を導電性材料で充填することによって、1 つまたは複数の誘電体層を通して形成される。いくつかの実施形態では、他の導電性材料が開口部に充填されて、接着 / バリア層として機能する。ワード線コンタクト 3 4 4 の開口部を形成するための誘電体層のエッチングは、異なる材料におけるエッチング停止によって制御することができる。例えば、誘電体層のエッチングは、階段構造 3 4 2 内の導体層 3 0 9 に到達したときに停止することができる。

20

【 0 0 6 2 】

いくつかの実施形態では、T S C 3 3 6、ワード線コンタクト 3 4 4、および周辺コンタクト 3 4 8 は、図 3 E に示すように、平面視において名目上円の形状を有することができる。T S C 3 3 6、ワード線コンタクト 3 4 4、および周辺コンタクト 3 4 8 は、同じまたは異なるサイズを有してもよい。例えば、いくつかの実施形態によれば、T S C 3 3 6 および周辺コンタクト 3 4 8 は、ワード線コンタクト 3 4 4 の直径よりも大きい直径を有してもよい。

30

【 0 0 6 3 】

図 5 B は、本開示のいくつかの実施形態による、3 D メモリデバイスを形成するための別の典型的な方法 5 0 0 ' のフローチャートである。動作 5 0 2 '、5 0 4 '、5 0 6 '、および 5 0 8 ' は、それぞれ動作 5 0 2、5 0 4、5 0 6、および 5 0 8 と同様であり、したがって繰り返されない。方法 5 0 0 ' は、図 5 B に示すように、動作 5 2 0 に進み、ダミーチャンネル構造の中央部分を貫通して垂直に延在する開口部がエッチングされて、スペーサが形成される。動作 5 2 0 は動作 5 1 2 と同様であるが、動作 5 2 0 における開口部のエッチングがワード線を形成する前に実行される点が異なる。図 4 A に示すように、犠牲層 3 1 0 が導体層 3 0 9 に置き換えられる前に開口部 3 7 2 / 3 7 4 がエッチングされる。

【 0 0 6 4 】

方法 5 0 0 ' は、図 5 B に示すように、動作 5 2 2 に進み、開口部内に導体層を堆積することによって、階段構造を貫通して垂直に延在する T S C が形成される。動作 5 2 2 は、T S C の形成に関しては 5 1 4 と同様である。ワード線コンタクトが T S C と同時に形成される動作 5 1 4 とは異なり、動作 5 2 2 では、動作 5 2 2 の前にワード線がまだ形成されていないため、ワード線コンタクトは形成されない。図 4 B を参照すると、犠牲層 3 1 0 が導体層 3 0 9 に置き換えられる前に、T S C 3 3 6 が形成される。

40

【 0 0 6 5 】

方法 5 0 0 ' は、図 5 B に示すように、動作 5 2 4 に進み、誘電体スタック内の犠牲層を導体層に置き換えることによってワード線が形成される。動作 5 2 4 は、動作 5 1 0 と同様である。図 4 C を参照すると、犠牲層 3 1 0 を導体層 3 0 9 に置き換えることによってワード線 3 0 9 が形成される。図 4 C では、T S C 3 3 6 および周辺コンタクト 3 4 8 が

50

形成されていることに留意されたい。

【0066】

方法500'は、図5Bに示すように、動作526に進み、ワード線コンタクトが形成される。動作526は、ワード線の形成に関して動作514と同様である。図4Dに示すように、TSC336および周辺コンタクト348が形成された後にワード線コンタクト344が形成される。

【0067】

図5Cは、本開示のいくつかの実施形態による、3Dメモリデバイスを形成するためのさらなる典型的な方法500''のフローチャートである。動作502''、504''、および506''は、それぞれ動作502、504、および506と同様であり、したがって繰り返されない。方法500''は、図5Cに示すように、動作530に進み、階段構造を貫通して垂直に延在するダミーホールが形成される。図3Aに示すように、ダミーホール322は、DRIEなどのウェットエッチングおよび/またはドライエッチングを使用して、階段構造342内の1つまたは複数の誘電体層を貫通して形成することができる。いくつかの実施形態では、ダミーホール322は、階段構造342内の誘電体層のすべてを貫通して垂直に延在し、シリコン基板202に到達することができる。いくつかの実施形態では、ダミーホール322は、シリコン基板202内へと延在してもよい(例えば、シリコン基板202の一部がエッチングプロセス中にエッチング除去されてもよい)。

【0068】

いくつかの実施形態では、誘電体スタック304の外側のダミーホール324が、ダミーホール322の形成と同時に(例えば、同じ製造ステップにおいて)形成されてもよい。ダミーホール324は、周辺デバイス311に相互接続を提供する周辺コンタクトを形成するために使用されてもよい。いくつかの実施形態では、ダミーホール322および324は、図3Aに示すように、平面視において名目上円の形状を有してもよい。いくつかの実施形態では、ダミーホール322および324のサイズは名目上同じであってもよい。

【0069】

方法500''は、図5Cに示すように、動作532に進み、中空コアを有するスペーサがダミーホール内に形成される。図3B~図3Dに示すように、スペーサ362は、ステップ512および520に関連して上述したように、誘電体層352をダミーホール322内に堆積させ、続いて誘電体層352の一部を除去してスペーサ362を形成することによって形成することができる。いくつかの実施形態では、スペーサ362を形成するために、堆積された誘電体材料の一部を除去するための追加のエッチング動作なしに、誘電体層352をダミーホール322内に堆積することによってスペーサ362を直接形成することができる。スペーサ364も同様に形成することができる。

【0070】

方法500''は、図5Cに示すように、動作534に進み、スペーサの中空コア内に導電層を堆積することによって、階段構造を貫通して垂直に延在するTSCが形成される。動作534は、動作522と同様である。

【0071】

方法500''は、図5Cに示すように、動作536に進み、誘電体スタック内の犠牲層を導電層に置き換えることによってワード線が形成される。動作536は、動作524と同様である。図4Cを参照すると、犠牲層310を導電層309に置き換えることによってワード線309が形成される。図4Cでは、TSC336および周辺コンタクト348が形成されていることに留意されたい。

【0072】

方法500''は、図5Cに示すように、動作538に進み、ワード線コンタクトが形成される。動作538は、動作526と同様である。図4Dに示すように、TSC336および周辺コンタクト348が形成された後にワード線コンタクト344が形成される。

【0073】

本開示の一態様によれば、3Dメモリデバイスを形成するための方法が提供される。複

数のインターリーブされた誘電体層および犠牲層を含む誘電体スタックが基板上に形成される。誘電体スタックの一方の側に階段構造が形成される。階段構造を貫通して垂直に延在して基板に達するダミーホールが形成される。ダミーホール内には、中空コアを有するスペーサが形成される。基板と接触するTSCが、スペーサの中空コア内に導体層を堆積することによって形成される。TSCは、階段構造を貫通して垂直に延在する。

【0074】

いくつかの実施形態では、スペーサを形成する前に、誘電体スタック内の犠牲層を導体層に置き換えることによって複数のワード線が形成される。

【0075】

いくつかの実施形態では、ワード線のそれぞれ1つと各々が接触する複数のワード線コンタクトが、TSCの形成と同時に形成される。

10

【0076】

いくつかの実施形態では、TSCを形成した後に、誘電体スタック内の犠牲層を導体層に置き換えることによって複数のワード線が形成される。

【0077】

いくつかの実施形態では、ワード線のそれぞれ1つと各々が接触する複数のワード線コンタクトが形成される。

【0078】

いくつかの実施形態では、スペーサを形成するために、ダミーホール内に誘電体層が形成される。

20

【0079】

いくつかの実施形態では、誘電体層は酸化ケイ素を含む。

【0080】

いくつかの実施形態では、誘電体層はスペーサを形成する。

【0081】

いくつかの実施形態では、スペーサを形成するために、中空コアは、ダミーホール内に堆積された誘電体層を通してエッチングされる。

【0082】

いくつかの実施形態では、誘電体スタックの外側の第2のダミーホールが、ダミーホールと同時に形成される。

30

【0083】

いくつかの実施形態では、周辺コンタクトが、TSCの形成と同時に、第2のダミーホール内に第2の導体層を堆積することによって形成される。周辺コンタクトは基板と接触している。

【0084】

いくつかの実施形態では、第1の導体層および第2の導体層は同じ材料を含む。

【0085】

いくつかの実施形態では、TSCは、平面視で名目上円の形状を有する。

【0086】

いくつかの実施形態では、導体層はタングステン(W)を含む。

40

【0087】

いくつかの実施形態では、インターリーブされた誘電体層および犠牲層内の誘電体層は酸化ケイ素を含み、インターリーブされた誘電体層および犠牲層内の犠牲層は窒化ケイ素を含む。

【0088】

本開示の別の態様によれば、3Dメモリデバイスを形成するための方法が提供される。複数のインターリーブされた誘電体層および犠牲層を含む誘電体スタックが基板上に形成される。誘電体スタックの一方の側に階段構造が形成される。基板に達するダミーチャネル構造が形成される。ダミーチャネル構造は、階段構造を貫通して垂直に延在する。ダミーチャネル構造の一部を除去することによってスペーサが形成される。スペーサは、中空

50

コアを有する。基板と接触するTSCが、スペーサの中空コア内に導体層を堆積することによって形成される。TSCは、階段構造を貫通して垂直に延在する。

【0089】

いくつかの実施形態では、スペーサを形成する前に、誘電体スタック内の犠牲層を導体層に置き換えることによって複数のワード線が形成される。

【0090】

いくつかの実施形態では、ワード線のそれぞれ1つと各々が接触する複数のワード線コンタクトが、TSCの形成と同時に形成される。

【0091】

いくつかの実施形態では、TSCを形成した後に、誘電体スタック内の犠牲層を導体層に置き換えることによって複数のワード線が形成される。

10

【0092】

いくつかの実施形態では、ワード線のそれぞれ1つと各々が接触する複数のワード線コンタクトが形成される。

【0093】

いくつかの実施形態では、ダミーチャンネル構造を形成する前に、階段構造を貫通して垂直に延在し、基板の一部を露出させるダミーホールが形成される。

【0094】

いくつかの実施形態では、ダミーチャンネル構造を形成するために、誘電体層がダミーホール内に堆積される。

20

【0095】

いくつかの実施形態では、誘電体層は酸化ケイ素を含む。

【0096】

いくつかの実施形態では、スペーサを形成するために、開口部が、ダミーホール内に堆積された誘電体層を通してエッチングされる。

【0097】

いくつかの実施形態では、スペーサを形成するために、ダミーホール内に堆積された誘電体層の一部が除去される。

【0098】

いくつかの実施形態では、誘電体スタックの外側の第2のスペーサが、スペーサと同時に形成される。

30

【0099】

いくつかの実施形態では、周辺コンタクトが、TSCの形成と同時に、第2のスペーサ内に第2の導体層を堆積することによって形成される。周辺コンタクトは基板と接触している。

【0100】

いくつかの実施形態では、第1の導体層および第2の導体層は同じ材料を含む。

【0101】

いくつかの実施形態では、スペーサおよび第2のスペーサは、名目上同じ厚さを有する。

【0102】

いくつかの実施形態では、導体層はタングステン(W)を含む。

40

【0103】

いくつかの実施形態では、インターリーブされた誘電体層および犠牲層内の誘電体層は酸化ケイ素を含み、インターリーブされた誘電体層および犠牲層内の犠牲層は窒化ケイ素を含む。

【0104】

本開示のさらに別の態様によれば、3Dメモリデバイスが提供される。3Dメモリデバイスは、基板と、複数のインターリーブされた導体層および誘電体層を含む基板上のメモリストックと、メモリストックの一方の側にある階段構造と、メモリストックの階段構造を貫通して垂直に延在するTSCとを含む。TSCは基板と接触している。

50

【0105】

いくつかの実施形態では、3Dメモリデバイスは、メモリスタックの外側に周辺コンタクトをさらに含む。周辺コンタクトは、基板と接触している。

【0106】

いくつかの実施形態では、周辺コンタクトおよびTSCは同じ材料を含む。

【0107】

いくつかの実施形態では、TSCおよび周辺コンタクトの各々の側壁は、名目上同じ厚さを有するスペーサによって囲まれている。

【0108】

いくつかの実施形態では、スペーサは酸化ケイ素を含む。

10

【0109】

いくつかの実施形態では、3Dメモリデバイスは、階段構造内の導体層のそれぞれ1つと各々接触する複数のワード線コンタクトをさらに含む。

【0110】

特定の実施形態の前述の説明は、本開示の一般的性質を明らかにするため、当業者は、当該技術分野の技能の範囲内の知識を適用することにより、過度の実験なしに、本開示の一般的な概念から逸脱することなく、そのような特定の実施形態を容易に変更し、および/または、当該実施形態を様々な用途に適合させることができる。したがって、そのような適合および変更は、本明細書に提示された教示および案内に基づいて、開示された実施形態の等価物の意味および範囲内にあることを意図している。本明細書の語法または用語は説明のためのものであり、限定するものではなく、結果、本明細書の用語または語法は、教示および案内に照らして当業者によって解釈されるべきであることを理解されたい。

20

【0111】

本開示の実施形態は、特定の機能の実施態様および特定の機能の実施態様の関係を示す機能的構成要素を用いて上記で説明されてきた。これらの機能的構成要素の境界は、説明の便宜上、本明細書において任意裁量で画定されている。指定された機能と指定された機能の関係が適切に実行される限り、代替の境界が画定されてもよい。

【0112】

概要および要約のセクションは、発明者（複数可）によって企図される本開示のすべてではないが1つまたは複数の例示的な実施形態を記載し得、したがって、本開示および添付の特許請求の範囲を限定することは決して意図されていない。

30

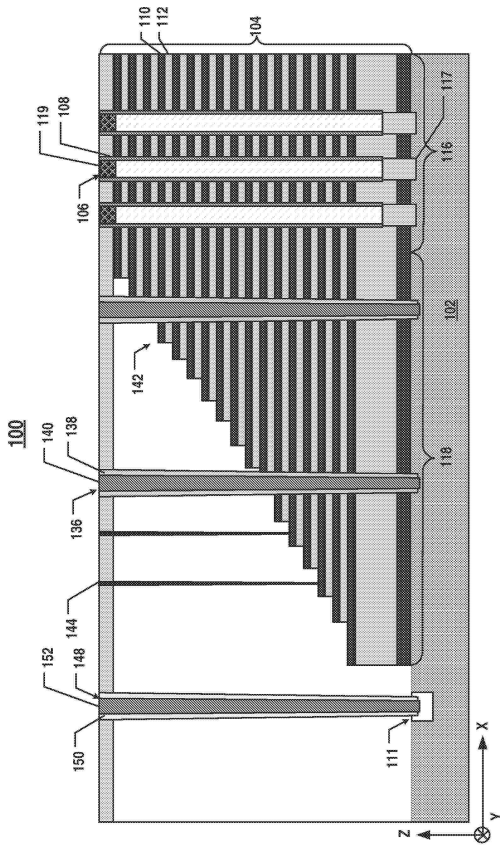
【0113】

本開示の幅および範囲は、上記の典型的な実施形態のいずれによっても限定されるべきではなく、添付の特許請求の範囲および特許請求の範囲の等価物に従ってのみ定義されるべきである。

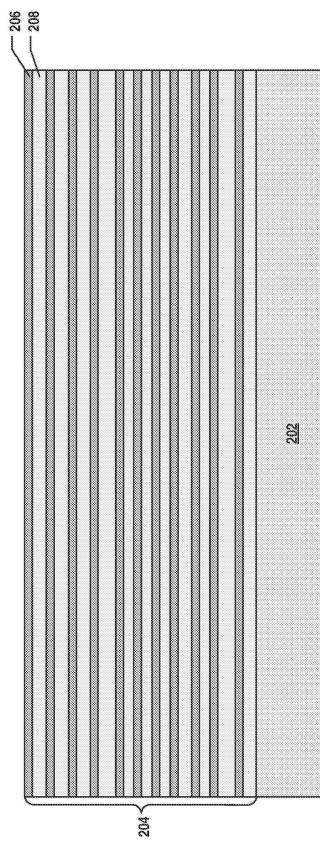
40

50

【図面】
【図 1】



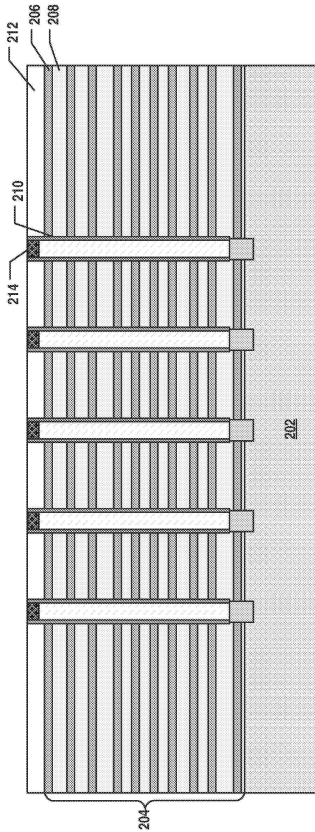
【図 2 A】



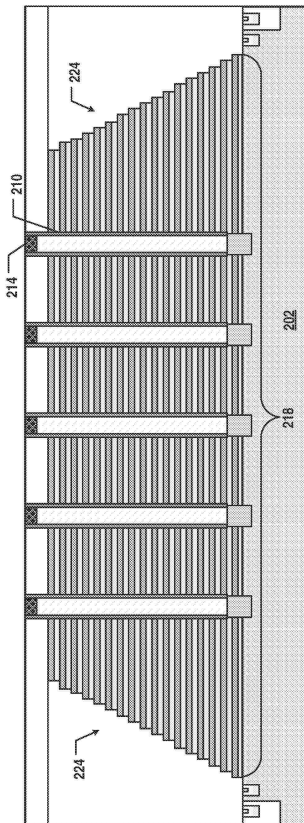
10

20

【図 2 B】



【図 2 C】

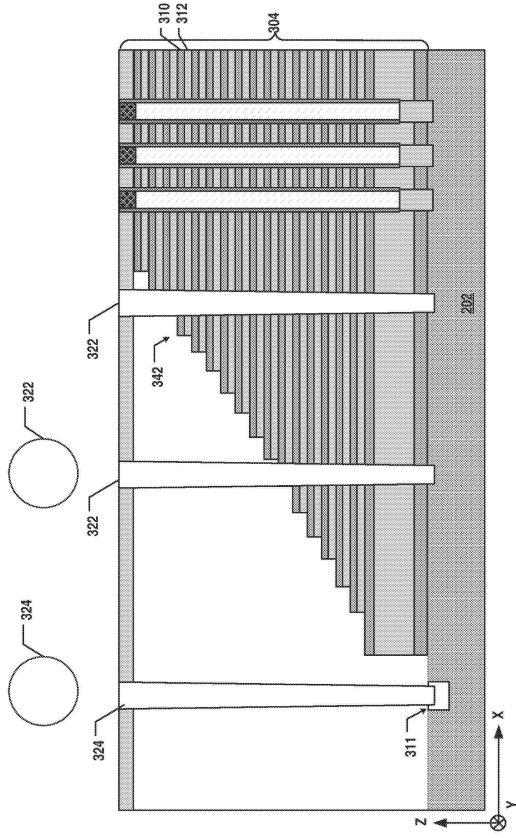


30

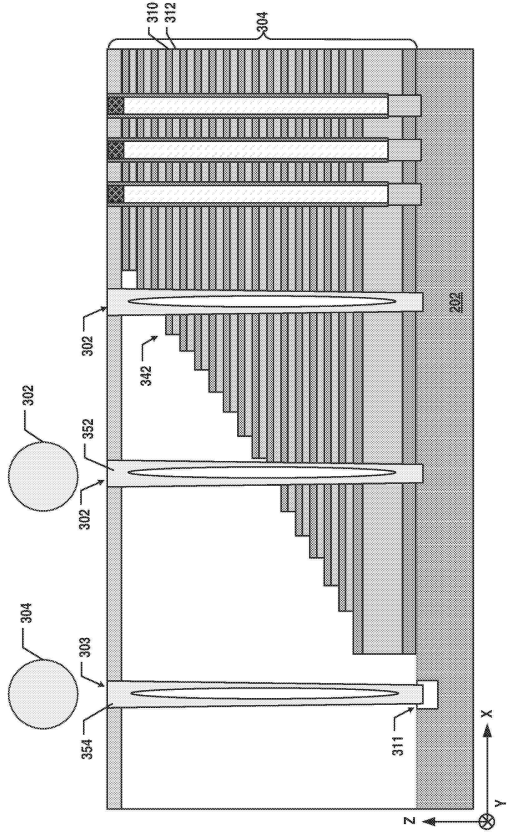
40

50

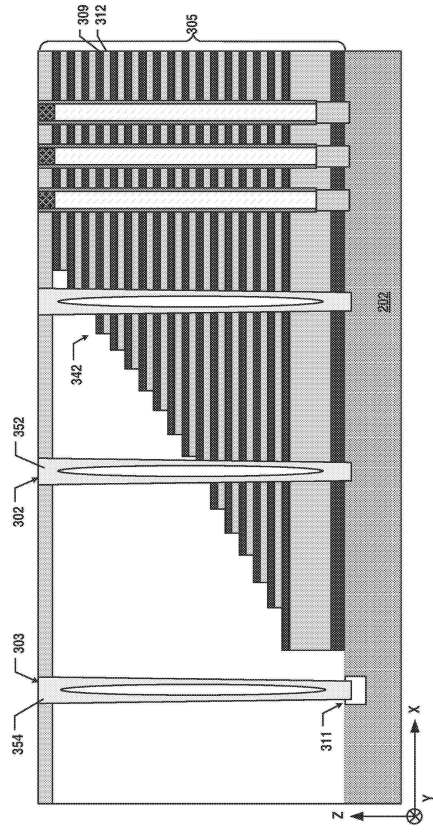
【 3 A 】



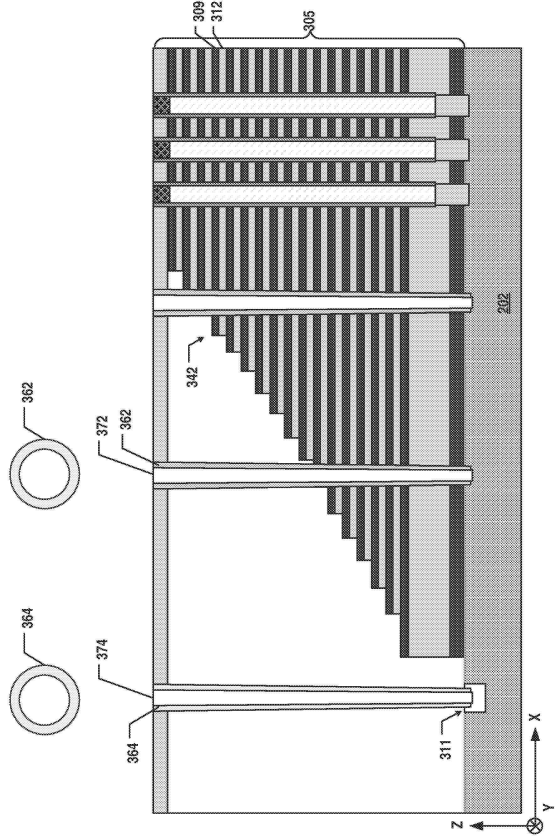
【 3 B 】



【 3 C 】



【 3 D 】



10

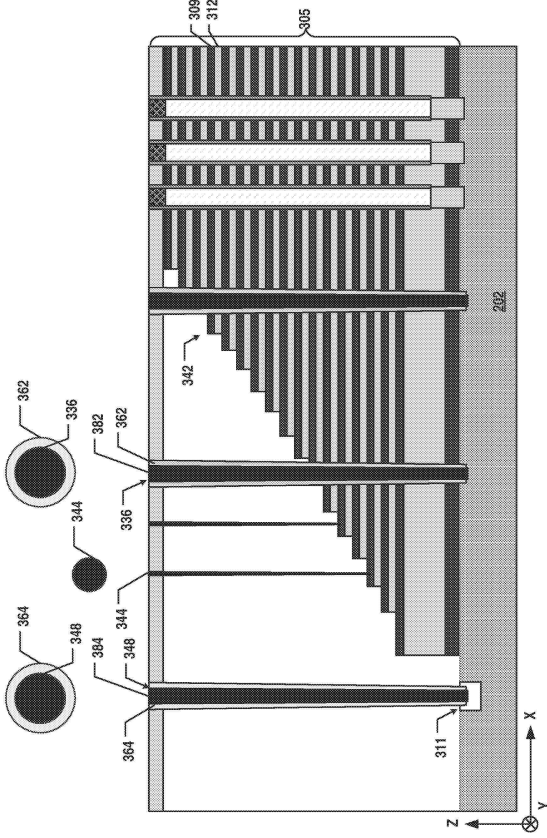
20

30

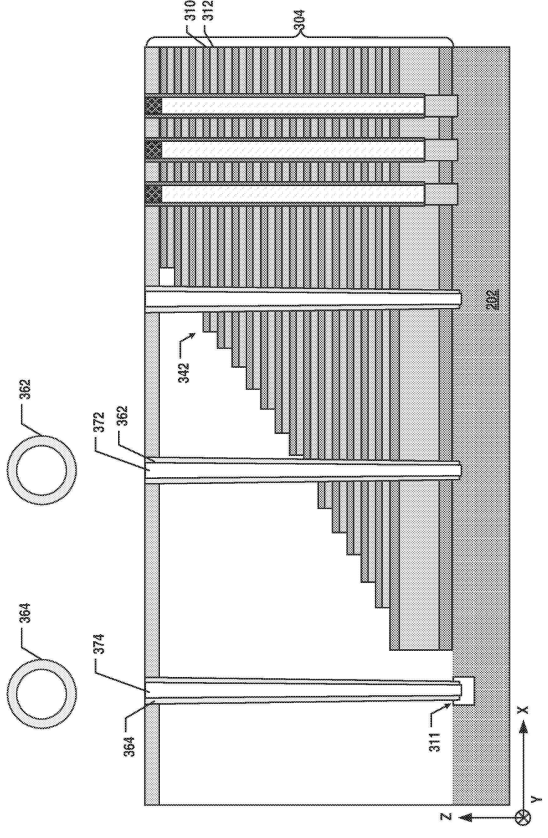
40

50

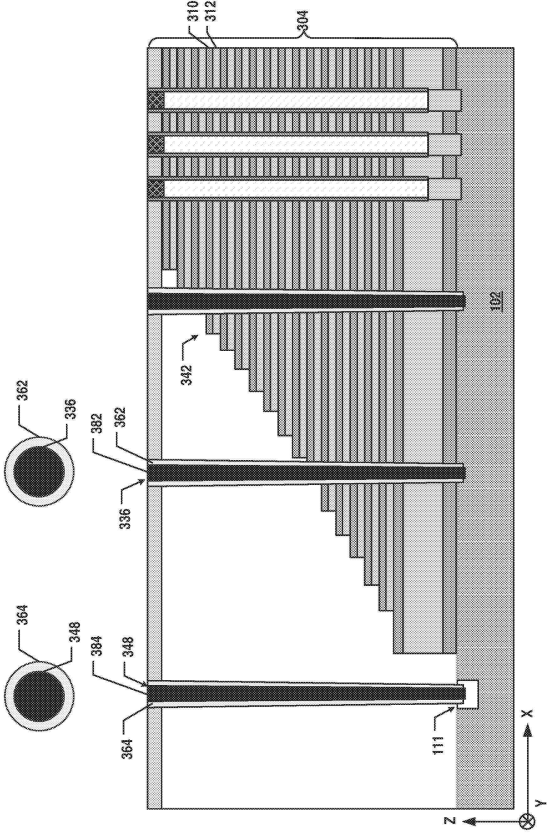
【図 3 E】



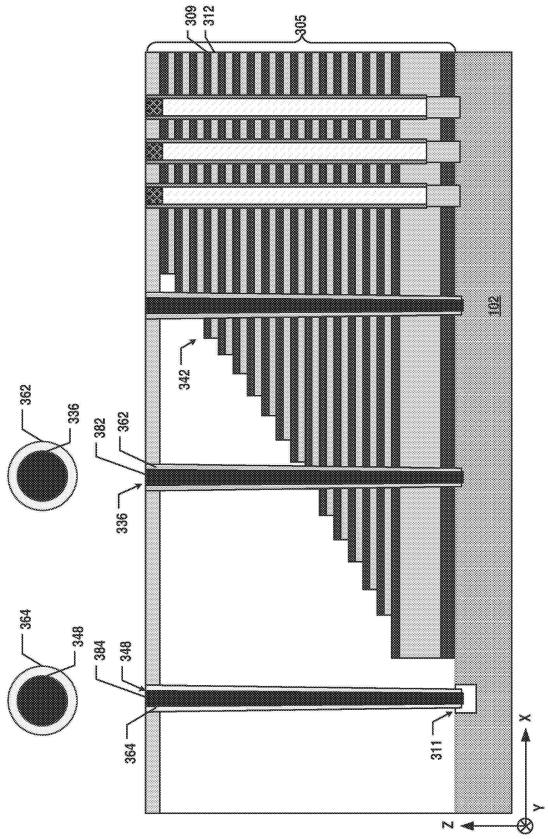
【図 4 A】



【図 4 B】



【図 4 C】



10

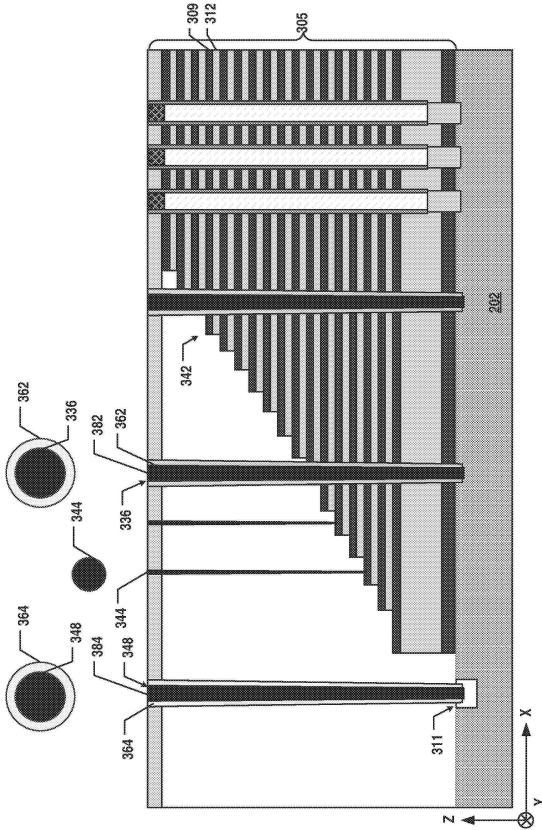
20

30

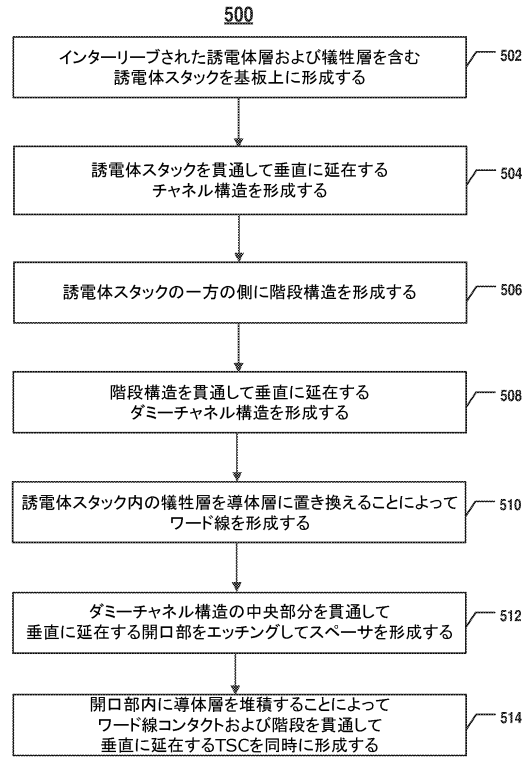
40

50

【図 4 D】



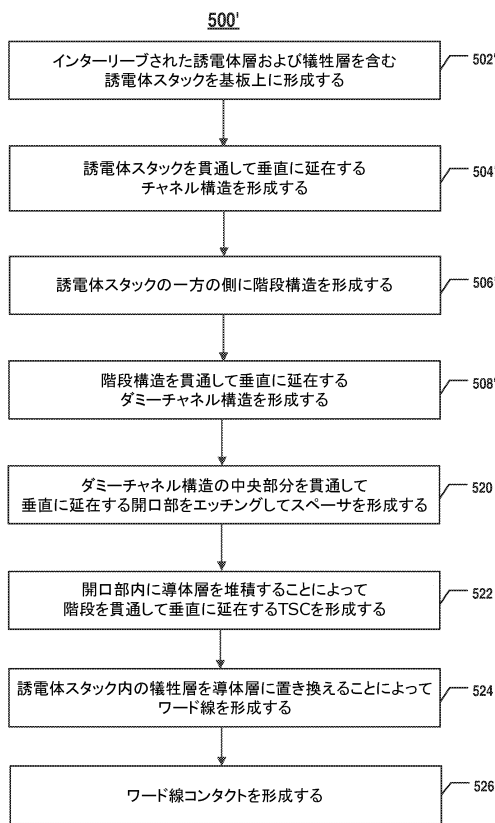
【図 5 A】



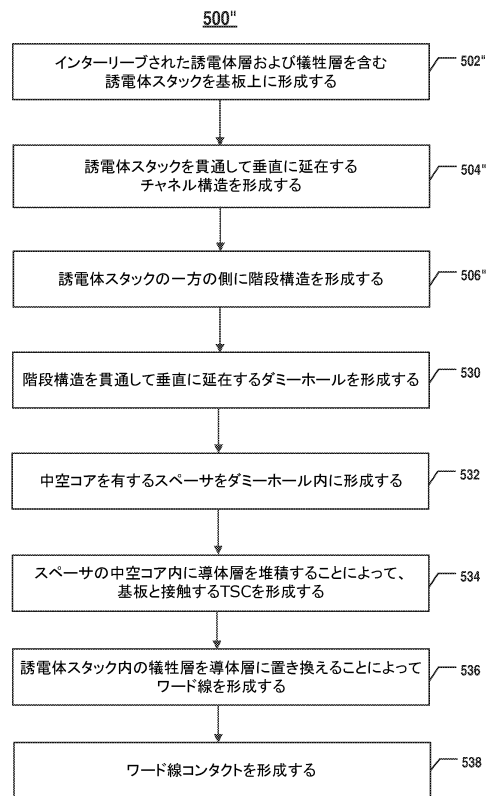
10

20

【図 5 B】



【図 5 C】

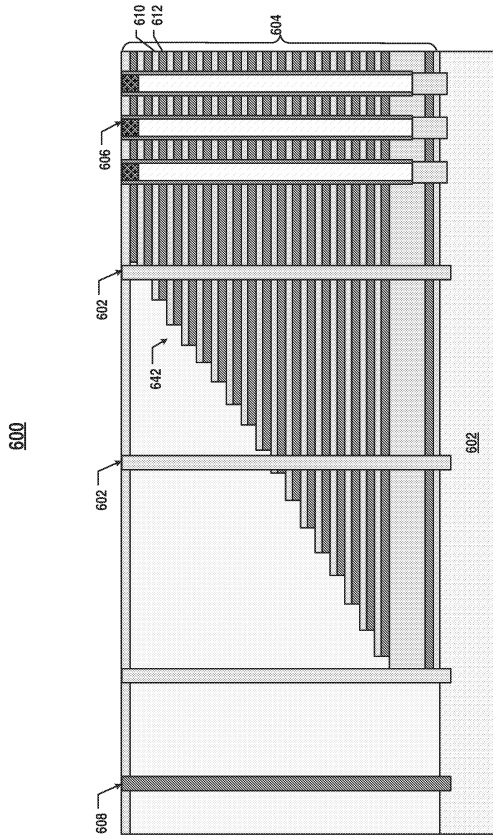


30

40

50

【 6 】



10

20

30

40

50

フロントページの続き

- 、ウーハン、イースト レイク デベロップメント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグアン ロード、ナンバー 18、ルーム 7018
- (72)発明者 スン・ジアンファ
中華人民共和国、フベイ 430074、ウーハン、イースト レイク デベロップメント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグアン ロード、ナンバー 18、ルーム 7018
- (72)発明者 シア・ジ
中華人民共和国、フベイ 430074、ウーハン、イースト レイク デベロップメント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグアン ロード、ナンバー 18、ルーム 7018
- 審査官 小山 満
- (56)参考文献 米国特許出願公開第2018/0301374 (US, A1)
特表2018-534765 (JP, A)
米国特許出願公開第2016/0071876 (US, A1)
国際公開第2018/194750 (WO, A1)
米国特許出願公開第2017/0179152 (US, A1)
国際公開第2017/112014 (WO, A1)
米国特許出願公開第2017/0263558 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
H10B 43/50
H10B 43/27
H01L 21/336
H01L 21/768
H01L 29/788
H01L 29/792