

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 5 月 11 日 (2006.5.11)

【公開番号】特開 2004-31914 (P2004-31914A)

【公開日】平成 16 年 1 月 29 日 (2004.1.29)

【年通号数】公開・登録公報 2004-004

【出願番号】特願 2003-69239 (P2003-69239)

【国際特許分類】

H 0 1 L 27/105 (2006.01)

H 0 1 L 21/8246 (2006.01)

G 1 1 C 11/15 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 43/08 (2006.01)

【F I】

H 0 1 L 27/10 4 4 7

G 1 1 C 11/15 1 1 6

G 1 1 C 11/15 1 2 0

H 0 1 L 27/10 4 3 1

H 0 1 L 27/10 4 5 1

H 0 1 L 43/08 Z

【手続補正書】

【提出日】平成 18 年 3 月 13 日 (2006.3.13)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

平行なメモリプレーンを有するデータ記憶装置であって、
抵抗性交点メモリセルの第 1 のアレイプレーンと、
抵抗性交点メモリセルの第 2 のアレイプレーンと、
メモリセルの前記第 1 のプレーンと前記第 2 のプレーンとの間で共有される複数の導電性ワード線と、

各ビット線が前記第 1 のプレーン内の 1 つのメモリセルを前記第 2 のプレーン内の別のメモリセルに接続するように構成された、複数のビット線と、

第 1 の導電方向において前記第 1 のプレーンの 1 つのメモリセルを選択されたワード線及び選択されたビット線に接続する単方向性素子と、

第 2 の導電方向において前記第 2 のプレーンの別のメモリセルを前記選択されたワード線及び前記選択されたビット線に接続する別の単方向性素子と
からなるデータ記憶装置。

【請求項 2】

前記第 1 のプレーン内のメモリセルから、同じワード線を共有する前記第 2 のプレーン内のメモリセルまで、単方向性の導電性経路が形成される、請求項 1 に記載のデータ記憶装置。

【請求項 3】

複数の読出し回路を更に含み、該読出し回路のそれぞれが、対応するビット線によってメモリセルの 1 以上のグループに接続され、関連するグループのメモリセルを流れる電流

を検出する、請求項 1 に記載のデータ記憶装置。

【請求項 4】

前記読出し回路はそれぞれセンス増幅器を含む、請求項 3 に記載のデータ記憶装置。

【請求項 5】

前記センス増幅器は電流モードセンス増幅器である、請求項 4 に記載のデータ記憶装置。

【請求項 6】

ワード線の選択されたグループにおける未選択ワード線は、前記センス増幅器の入力に印加される電圧に実質的に等しい電圧に接続される、請求項 4 に記載のデータ記憶装置。

【請求項 7】

前記選択されたビット線と同電位のバイアスが、前記未選択ワード線に印加される、請求項 6 に記載のデータ記憶装置。

【請求項 8】

前記ワード線に接続され、読出しが行われていない隣接メモリセルのセンス電流に選択された寄生電流が干渉することを実質的に防止するか、又は前記選択された寄生電流の方向を逸らすように、前記抵抗性交点メモリセルアレイの電圧レベルを設定する等電位発生器を含む、請求項 1 に記載のデータ記憶装置。

【請求項 9】

前記等電位発生器は、共通のアレイ電圧を有する未選択ワード線からのフィードバックを阻止するように、メモリセルの各グループの共通の単方向性素子の入力ノードを設定する、請求項 8 に記載のデータ記憶装置。

【請求項 12】

データ記憶装置を製造するプロセスであって、

複数のワード線を形成するステップと、

複数のビット線を形成するステップと、

各メモリセルが対応するビット線及び対応するワード線に接続された、抵抗性交点メモリセルの第 1 のアレイプレーンを形成するステップと、

各メモリセルが対応するビット線及び対応するワード線に接続された、抵抗性交点メモリセルの第 2 のアレイプレーンであって、前記第 1 のアレイプレーンの 1 つのセルと前記第 2 のアレイプレーンの 1 つのセルが、共通のビット線及びワード線を共有するように構成された、抵抗性交点メモリセルの第 2 のアレイプレーンを形成するステップと、

前記アレイにバイアスを印加し、前記共通のワード線から、前記第 1 のアレイの前記セルを通して、前記共通のビット線まで電流を流すステップと、

前記アレイにバイアスを印加している間、前記第 2 のアレイから前記セルを通して電流が流れるのを阻止するステップと

からなるプロセス。

【請求項 13】

前記読出しプロセスの間に、前記ワード線から前記メモリセルを通して前記ビット線まで単方向性の導電性経路を形成することを含む、請求項 12 に記載のプロセス。

【請求項 14】

対応するビット線により 1 以上のメモリセルのそれぞれに接続され、接続されたメモリセルを流れる電流を検出する複数の読出し回路を更に含む、請求項 12 に記載のプロセス。

【請求項 15】

各センス増幅器は読出し回路を含む、請求項 14 に記載のプロセス。

【請求項 16】

前記センス増幅器は、選択されたメモリセルを流れる電流を基準電流と比較し、該メモリセルの抵抗状態を生成する、請求項 15 に記載のプロセス。

【請求項 17】

前記ワード線に接続され、選択された寄生電流がメモリセルのセンス電流に干渉するこ

とを実質的に防止するか、又は該寄生電流の方向を逸らすように、前記抵抗性交点メモリセルアレイの電圧レベルを設定する等電位発生器を形成するステップを更に含む、請求項 13 に記載のプロセス。

【請求項 18】

前記等電位発生器は、共通のアレイ電圧を有する未選択ワード線からのフィードバックを阻止するように、メモリセルの各グループの共通の単方向性素子の入力ノードを設定する、請求項 17 に記載のプロセス。