(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 109643689 B
(45)授权公告日 2023.06.27

(21)申请号 201780053843.X
(22)申请日 2017.10.12
(65)同一申请的已公布的文献号
申请公布号 CN 109643689 A
(43)申请公布日 2019.04.16
(30)优先权数据
10-2016-0133720 2016.10.14 KR
(85)PCT国际申请进入国家阶段日
2019.03.01
(86)PCT国际申请的申请数据
PCT/KR2017/011260 2017.10.12
(87)PCT国际申请的公布数据
WO2018/070808 KO 2018.04.19
(73)专利权人 西江大学校产学协力团
地址 韩国首尔
(72)发明人 金光沫 裴东佑
(74)专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 赵彤 刘久亮
(51)Int.Cl.
H01L 21/8238(2006.01)
H01L 29/16(2006.01)
H01L 27/092(2006.01)
H01L 29/24(2006.01)
(56)对比文件
US 5981326 A,1999.11.09
JP H03173172 A,1991.07.26
US 2016268220 A1,2016.09.15
US 5831313 A,1998.11.03
审查员 唐朝东

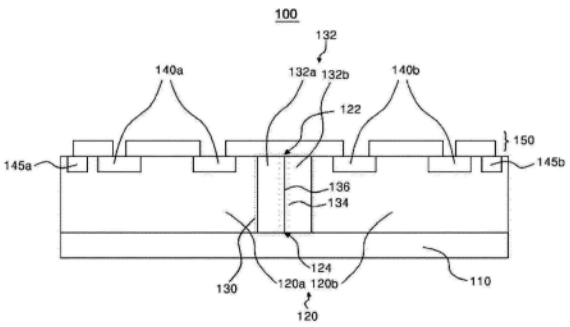
权利要求书2页 说明书10页 附图6页

(54)发明名称

基于碳化硅的晶体管以及制造该晶体管的方法

(57)摘要

一种晶体管，所述晶体管包括：基板；第一类型阱与第二类型阱，所述第一类型阱与所述第二类型阱在所述基板上彼此接触；以及击穿电压改善区，所述击穿电压改善区形成根据各个类型的垂直高浓度掺杂区，从而在所述第一类型阱与所述第二类型阱的相互接触的部分处从所述第一类型阱与所述第二类型阱的上表面垂直接触到所述基板的上表面垂直接触。



CN 109643689 B

1.一种晶体管,所述晶体管包括:

基板;

第一类型阱与第二类型阱,所述第一类型阱与所述第二类型阱在所述基板上彼此接触;以及

击穿电压改善区,所述击穿电压改善区包括在所述第一类型阱与所述第二类型阱彼此接触的部分中从所述第一类型阱与所述第二类型阱的上表面垂直接触到所述基板的上表面的根据第一类型与第二类型的垂直高浓度掺杂区,

其中,所述垂直高浓度掺杂区中的每一个包括第一垂直高浓度掺杂子区域、第二垂直高浓度掺杂子区域和第三垂直高浓度掺杂子区域,所述第一垂直高浓度掺杂子区域最靠近所述垂直高浓度掺杂区之间的界面,所述第二垂直高浓度掺杂子区域距所述界面最远,所述第一垂直高浓度掺杂子区域和所述第二垂直高浓度掺杂子区域分别具有高于所述第一类型阱与所述第二类型阱的第一掺杂浓度和第二掺杂浓度,所述第三垂直高浓度掺杂子区域插入在所述第一垂直高浓度掺杂子区域与所述第二垂直高浓度掺杂子区域之间并具有低于所述第一掺杂浓度和所述第二掺杂浓度的第三掺杂浓度。

2.根据权利要求1所述的晶体管,其中,所述击穿电压改善区包括在相互接触区域处的边界区,并且所述边界区与根据所述第一类型和所述第二类型的所述垂直高浓度掺杂区交叠,形成界面,或者部分交叠。

3.根据权利要求2所述的晶体管,其中,所述击穿电压改善区的所述边界区形成为使得ΔW_{BS}具有$-5(\%) \leqslant \Delta W_{BS}(\%) \leqslant +7(\%)$的可允许范围,所述$\Delta W_{BS}$被定义为所述边界区的宽度与所述垂直高浓度掺杂区的宽度之和的百分比,其中负值表示交叠,正值表示部分交叠。

4.根据权利要求1所述的晶体管,其中,所述击穿电压改善区的所述垂直高浓度掺杂区形成为对称的。

5.根据权利要求1所述的晶体管,其中,所述击穿电压改善区的所述垂直高浓度掺杂区的掺杂浓度高于所述第一类型阱与所述第二类型阱中的每一个的掺杂浓度并且低于源极和漏极掺杂区的掺杂浓度,所述源极和漏极掺杂区形成在所述第一类型阱与所述第二类型阱中的每一个的一部分中。

6.根据权利要求1所述的晶体管,其中,所述击穿电压改善区还包括在所述第一类型阱与所述第二类型阱和所述基板彼此接触的部分中,分别沿着所述第一类型阱与所述第二类型阱的下边缘与所述基板的上表面的至少一部分水平接触的根据所述第一类型与所述第二类型的水平高浓度掺杂区。

7.根据权利要求1所述的晶体管,其中,所述击穿电压改善区还包括在所述第一类型阱与所述第二类型阱和所述基板彼此接触的部分中,沿着所述第一类型阱与所述第二类型阱的整个边缘与所述基板的整个上表面接触的根据所述第一类型与所述第二类型的边缘高浓度掺杂区。

8.根据权利要求1所述的晶体管,其中,所述击穿电压改善区包括垂直高浓度掺杂区,所述垂直高浓度掺杂区形成为比根据相应类型的阱的深度更深地交叠2.0μm至3.0μm。

9.根据权利要求1所述的晶体管,所述晶体管还包括:

完全覆盖所述垂直高浓度掺杂区上部的上部结构,

其中,根据所述第一类型与所述第二类型的所述垂直高浓度掺杂区形成为在所述基板

与所述上部结构之间的所述第一类型阱与第二类型阱彼此接触的部分中从所述基板的上表面垂直接触到所述上部结构的下表面。

10.根据权利要求1所述的晶体管，其中，所述击穿电压改善区具有1.3μm至2.7μm的宽度，并且所述垂直高浓度掺杂区中的每一个具有0.75μm至1.25μm的宽度。

11.根据权利要求1所述的晶体管，其中，所述第一类型阱与所述第二类型阱的宽度之和为15μm至25μm，并且所述击穿电压改善区的宽度对应于所述第一类型阱与所述第二类型阱的宽度之和的5％至15％。

12.根据权利要求1所述的晶体管，其中，所述第一类型阱与所述第二类型阱中的每一个形成为具有$0.5x10^{16}cm^{-3}$至$1.5x10^{16}cm^{-3}$的掺杂浓度，并且所述击穿电压改善区包括各自形成为具有$2.0x10^{17}cm^{-3}$至$3.0x10^{17}cm^{-3}$的掺杂浓度的垂直高浓度掺杂区。

13.根据权利要求1所述的晶体管，其中，所述垂直高浓度掺杂区通过根据每种类型的顺序注入掺杂形成。

14.根据权利要求1所述的晶体管，其中，所述击穿电压改善区的厚度为源极和漏极掺杂区的厚度的400％至600％。

15.根据权利要求1所述的晶体管，其中，所述击穿电压改善区具有1.5μm至2.5μm的厚度。

16.一种晶体管，所述晶体管包括：

基板；

上部结构；

第一类型阱与第二类型阱，所述第一类型阱与第二类型阱在所述基板与所述上部结构之间彼此接触；以及

击穿电压改善区，所述击穿电压改善区包括在所述第一类型阱与所述第二类型阱彼此接触的部分中，从所述基板的上表面垂直接触到所述上部结构的下表面的根据第一类型与第二类型的垂直高浓度掺杂区，

其中，所述垂直高浓度掺杂区中的每一个包括第一垂直高浓度掺杂子区域、第二垂直高浓度掺杂子区域和第三垂直高浓度掺杂子区域，所述第一垂直高浓度掺杂子区域最靠近所述垂直高浓度掺杂区之间的界面，所述第二垂直高浓度掺杂子区域距所述界面最远，所述第一垂直高浓度掺杂子区域和所述第二垂直高浓度掺杂子区域分别具有高于第一类型阱与第二类型阱的第一掺杂浓度和第二掺杂浓度，所述第三垂直高浓度掺杂子区域插入在所述第一垂直高浓度掺杂子区域与所述第二垂直高浓度掺杂子区域之间并具有低于所述第一掺杂浓度和第二掺杂浓度的第三掺杂浓度。

17.一种制造根据权利要求1至16中的任一项所述的晶体管的方法，所述方法包括：

制备基板；

在所述基板上形成彼此接触的第一类型阱与第二类型阱；以及

形成击穿电压改善区，所述击穿电压改善区包括在所述第一类型阱与所述第二类型阱彼此接触的部分中，从所述第一类型阱与所述第二类型阱的上表面垂直接触到所述基板的上表面的根据第一类型与第二类型的垂直高浓度掺杂区。

基于碳化硅的晶体管以及制造该晶体管的方法

技术领域

[0001] 本发明涉及一种基于碳化硅的晶体管技术，并且更具体地说，涉及一种基于碳化硅的晶体管以及制造该晶体管的方法，该碳化硅的晶体管在结构上防止了(reach through)穿通的发生，从而提高了击穿电压并且减小漏电流。

背景技术

[0002] 具有良好功耗特性的互补金属氧化物半导体(CMOS)通常用作逆变器结构。虽然大多数金属氧化物半导体(MOS)逆变器具有在“高”或“低”状态下产生的待机电流，但CMOS逆变器具有非常好的待机功耗特性，因为当其中的一侧晶体管截止时会产生非常低的待机电流。

[0003] 使用硅的CMOS在高温和高压下很弱，对于用作可再生能源和电动车辆的功率转换的高效逆变器具有局限性。而且，在配置电力转换装置时，使用硅的CMOS连接(串联和并联的)元件和辅助装置(诸如用于散热的冷却装置)的过程中占据大的空间，就重量轻和小型化而言具有许多缺点。

[0004] 为了克服这些问题，已经开发出了基于碳化硅(SiC)的功率器件。SiC具有宽带隙特性，并且即使在高温下也有助于稳定操作。

[0005] 就雪崩击穿而言，现有技术的SiC CMOS具有比基于硅的CMOS更高的击穿电压。然而，如果在雪崩击穿发生之前将耗尽区形成为大于单元间距(cell pitch)，则仍然会因穿通而发生击穿。由于击穿源自穿通，因此现有技术的SiC CMOS不能承受高电压，从而使得击穿电压降低。

[0006] 韩国专利第10-0393399号涉及一种制造碳化硅功率器件的方法，该方法包括如下步骤：掩蔽碳化硅基板的表面以在表面(112)处限定开口；在注入能量和剂量时通过开口将p型掺杂剂注入到碳化硅基板中，以形成深p型注入部分(116)；在注入能量和剂量时通过开口将n型掺杂剂注入到碳化硅基板中，以形成与深p型注入部分(122)相对的浅n型注入部分124a；以及在1650℃或更低的温度下对深p型注入部分和浅n型注入部分进行热处理。

[0007] 韩国专利第10-0698096号涉及一种ESD保护电路及其制造方法，该ESD保护电路包括：隔离层，其形成在第一导电类型半导体基板的场区域中；第一高浓度第二导电类型杂质区域和第二高浓度第二导电类型杂质区域，其形成在第一导电类型半导体基板上并通过被隔离层隔离；高浓度第一导电类型杂质区，其形成在第二高浓度第二导电类型杂质区的一侧上的第一导电类型半导体基板上，并且被隔离层隔离；第一导电类型阱，其形成在半导体基板中的高浓度第一导电类型杂质区、第二高浓度第二导电类型杂质区和第一高浓度第二导电类型杂质区中的一部分区域下方；第二导电类型阱，其形成半导体基板中的第一导电类型阱的一侧上的第一高浓度第二导电类型杂质区域的其他剩余区域处；以及第一导电类型杂质区，其形成在第一高浓度第二导电类型杂质区下方的第一导电类型阱与第二导电类型阱之间的界面部分处，以降低击穿电压。

发明内容

[0008] 技术问题

[0009] 本发明的一个实施方式提供了一种基于碳化硅的晶体管及其制造方法,其中在结构上防止了穿通的发生以改善击穿电压并降低漏电流。

[0010] 本发明的一个实施方式提供了一种基于碳化硅的晶体管及其制造方法,其中考虑到由于穿通而引起的击穿电压和通过垂直高浓度掺杂区的雪崩击穿电压来增强击穿电压,每个垂直高浓度掺杂区具有不同的掺杂浓度,同时保持其他开关特性。

[0011] 本发明的一个实施方式提供了一种基于碳化硅的晶体管及其制造方法,该晶体管能够在高温下确保互补金属氧化物半导体(CMOS)的操作稳定性,同时支持高击穿电压。

[0012] 技术方案

[0013] 在一个实施方式中,一种晶体管,所述晶体管包括:基板;第一类型阱与第二类型阱,所述第一类型阱与所述第二类型阱在所述基板上彼此接触;以及击穿电压改善区,所述击穿电压改善区包括在所述第一类型阱与所述第二类型阱彼此接触的部分中从所述第一类型阱与所述第二类型阱的上表面垂直接触到所述基板的上表面的根据第一类型与第二类型的垂直高浓度掺杂区。

[0014] 所述击穿电压改善区可以包括在相互接触区域处的边界区,并且所述边界区与根据所述第一类型和所述第二类型的所述垂直高浓度掺杂区交叠,形成界面,或者部分交叠。

[0015] 所述击穿电压改善区的所述边界区可以形成为使得ΔW_{BS}具有-5(%)≤ΔW_{BS}(%)≤+7(%)的可允许范围,所述ΔW_{BS}被定义为所述边界区的宽度与所述垂直高浓度掺杂区的宽度之和的百分比,其中负值表示交叠,正值表示部分交叠。

[0016] 所述击穿电压改善区的所述垂直高浓度掺杂区可以形成为对称的。

[0017] 所述击穿电压改善区的所述垂直高浓度掺杂区的掺杂浓度可以高于所述第一类型阱与所述第二类型阱中的每一个的掺杂浓度并且低于源极和漏极掺杂区的掺杂浓度,所述源极和漏极掺杂区形成在所述第一类型阱与所述第二类型阱中的每一个的一部分中。

[0018] 所述垂直高浓度掺杂区中的每一个可以包括各自具有不同的掺杂浓度的多个垂直高浓度掺杂子区域。

[0019] 所述垂直高浓度掺杂区中的每一个可以包括掺杂浓度随着远离所述垂直高浓度掺杂区之间的界面而减小的多个垂直高浓度掺杂子区域。

[0020] 所述垂直高浓度掺杂区中的每一个包括可以第一垂直高浓度掺杂子区域、第二垂直高浓度掺杂子区域和第三垂直高浓度掺杂子区域,所述第一垂直高浓度掺杂子区域最靠近所述垂直高浓度掺杂区之间的界面,所述第二垂直高浓度掺杂子区域距所述界面最远,所述第一垂直高浓度掺杂子区域和所述第二垂直高浓度掺杂子区域分别具有高于第一类型阱与第二类型阱的第一掺杂浓度和第二掺杂浓度,所述第三垂直高浓度掺杂子区域插入在所述第一垂直高浓度掺杂子区域与所述第二垂直高浓度掺杂子区域之间并具有低于所述第一掺杂浓度和第二掺杂浓度的第三掺杂浓度。

[0021] 所述击穿电压改善区还可以包括在所述第一类型阱与所述第二类型阱和所述基板彼此接触的部分中,分别沿着所述第一类型阱与所述第二类型阱的下边缘与所述基板的上表面的至少一部分水平接触的根据所述第一类型与所述第二类型的水平高浓度掺杂区。

[0022] 所述击穿电压改善区还可以包括在所述第一类型阱与所述第二类型阱和所述基

板彼此接触的部分中，沿着所述第一类型阱与所述第二类型阱的整个边缘与所述基板的整个上表面接触的根据所述第一类型与所述第二类型的边缘高浓度掺杂区。

[0023] 所述击穿电压改善区可以包括垂直高浓度掺杂区、所述垂直高浓度掺杂区形成为与垂直接触的所述基板的上表面以特定厚度内的一部分交叠。

[0024] 所述晶体管还可以包括完全覆盖所述垂直高浓度掺杂区上部的上部结构，其中，根据所述第一类型与所述第二类型的垂直高浓度掺杂区形成为在所述基板与所述上部结构之间的第一类型阱与第二类型阱彼此接触的部分中，从所述基板的上表面垂直接触到所述上部结构的下表面。

[0025] 所述击穿电压改善区可以具有1.3μm至2.7μm的宽度，并且所述垂直高浓度掺杂区中的每一个具有0.75μm至1.25μm的宽度。

[0026] 所述第一类型阱与所述第二类型阱的宽度之和可以为15μm至25μm，并且所述击穿电压改善区的宽度对应于所述第一类型阱与所述第二类型阱的宽度之和的5％至15％。

[0027] 所述第一类型阱与所述第二类型阱中的每一个可以形成为具有$0.5x10^{16}cm^{-3}$至$1.5x10^{16}cm^{-3}$的掺杂浓度，并且所述击穿电压改善区包括各自形成为具有$2.0x10^{17}cm^{-3}$至$3.0x10^{17}cm^{-3}$的掺杂浓度的垂直高浓度掺杂区。

[0028] 所述垂直高浓度掺杂区可以通过根据每种类型的顺序注入掺杂形成。

[0029] 所述击穿电压改善区的厚度可以为所述源极和漏极掺杂区的厚度的400％至600％。

[0030] 所述击穿电压改善区可以具有1.5μm至2.5μm的厚度。

[0031] 在另一个实施方式中，一种晶体管，所述晶体管包括：基板；上部结构；第一类型阱与第二类型阱，所述第一类型阱与第二类型阱在所述基板与所述上部结构之间彼此接触；以及击穿电压改善区，所述击穿电压改善区包括在所述第一类型阱与所述第二类型阱彼此接触的部分中，从所述基板的上表面垂直接触到所述上部结构的下表面的根据第一类型与第二类型的垂直高浓度掺杂区。

[0032] 在另一个实施方式中，一种制造晶体管的方法，所述方法包括：制备基板；在所述基板上形成彼此接触的第一类型阱与第二类型阱；以及形成击穿电压改善区，所述击穿电压改善区包括在所述第一类型阱与所述第二类型阱彼此接触的部分中，从所述第一类型阱与所述第二类型阱的上表面垂直接触到所述基板的上表面的根据第一类型与第二类型的垂直高浓度掺杂区。

[0033] 技术效果

[0034] 所公开的技术可具有以下效果。然而，应该理解，特定实施方式应该包括以下全部效果或仅包括以下效果，因此所公开技术的范围不应被解释为限于此。

[0035] 根据本发明实施方式的基于碳化硅的晶体管及其制造方法可以通过在结构上防止穿通的发生来改善击穿电压并减小漏电流。

[0036] 根据本发明的实施方式的基于碳化硅的晶体管及其制造方法可以保持开关特性，同时考虑到由于穿通而引起的击穿电压和通过垂直高浓度掺杂区的雪崩击穿电压来增强击穿电压。

[0037] 根据本发明实施方式的基于碳化硅的晶体管及其制造方法可以确保互补金属氧化物半导体(CMOS)在高温下的操作稳定性，同时支持高击穿电压。

附图说明

[0038] 图1是示出根据本发明的实施方式的基于碳化硅的晶体管的结构的截面图。

[0039] 图2是例示制造图1中的基于碳化硅的晶体管的顺序过程的视图。

[0040] 图3示出了例示图1中的基于碳化硅的晶体管的结构的其他实施方式的截面图。

[0041] 图4是示出根据本发明实施方式的基于碳化硅的晶体管与现有技术的晶体管之间的差异的模拟曲线图。

具体实施方式

[0042] 本发明的描述仅是用于结构或功能说明的实施方式，因此本发明的范围不应被解释为受说明书中所描述的实施方式的限制。也就是说，实施方式可以以各种方式改进并具有各种形式，因此本发明的范围应该被理解为包括可以实现技术思想的等同物。另外，不是意图将本发明中提出的目的和效果包括在特定实施方式中，或者不是意图仅将效果包括在其中，因此不应将本发明的范围理解为受限于此。

[0043] 同时，本申请中所使用的术语应理解如下。

[0044] 诸如“第一”和“第二”的术语用于将一个组件与另一个组件区分开，并且本发明的范围不受这些术语的限制。例如，第一元件可以被称为第二元件，第二元件可以被称为第一元件。

[0045] 当将一个元件“联接”或“连接”到另一元件时，应该理解，在所述两个元件之间可以存在第三元件，尽管所述一个元件可以直接联接或连接到所述另一元件。当将一个元件“直接联接”或“直接连接”到另一元件时，应该理解在所述两个元件之间不存在元件。此外，用于描述元件之间的关系的其他表达(也就是“在...之间”，“直接在...之间”，“与.....相邻”，“与...直接相邻”等)应该以相同的方式来解释。

[0046] 除非上下文另有明确说明，否则以单数形式描述的元件旨在包括多个元件。另外，在本发明的说明书中，将进一步理解，术语“包括”和“包含”指明所述特征、整数、步骤、操作、元件、组件和/或其组合的存在，但是不排除一个或更多个其他特征、整数、步骤、操作、元件、组件和/或组合的存在或添加。

[0047] 在方法发明中，除非上下文另有明确说明，否则可以以与所描述的顺序不同的顺序执行步骤。也就是说，步骤可以以与所描述的顺序相同的顺序执行，基本上同时执行或以相反的顺序执行。

[0048] 应当注意，本发明中公开的大多数术语对应于本领域熟知的一般术语。通常使用的词典中定义的术语应该被解释为与现有技术的上下文含义一致，除非在本申请中明确定义，否则不能被解释为具有理想或过于正式的含义。

[0049] 图1是示出根据本发明的实施方式的基于碳化硅的晶体管的结构的截面图。

[0050] 参照图1，基于碳化硅的晶体管(下文中，称为晶体管)100包括基板110、第一类型阱与第二类型阱120以及击穿电压改善区130。

[0051] 基板110对应于半导体基板。在一个实施方式中，基板110可以对应于碳化硅半导体基板。例如，基板110可以由具有4H-SiC晶体多晶型的碳化硅单晶层形成，并且对应于具有掺杂外延层的n型晶片(wafer)。在另一个实施方式中，基板110可以由硅单晶层形成，并且对应于具有掺杂外延层的p型晶片。

[0052] 第一类型阱与第二类型阱120中的第一类型阱和第二类型阱各自形成在基板110的一端，并且对应于彼此具有相反极性的子基板。例如，第一类型阱120a可以对应于用于形成NMOS的P型阱，第二类型阱120b可以对应于用于形成PMOS的N型阱。

[0053] 第一类型阱与第二类型阱120在基板110上彼此接触。在一个实施方式中，第一类型阱120a可以在基板110的一端通过离子注入由N型或P型阱形成，第二类型阱120b可以由与第一类型阱120a不同的类型的阱形成，并且可以与第一类型阱120a的侧表面接触以在垂直方向上形成界面。这里，第一类型阱与第二类型阱120可以具有相同的宽度或不同的宽度。在一个实施方式中，第一类型阱与第二类型阱120可以在基板110与上部结构150之间彼此接触。

[0054] 在第一类型阱与第二类型阱120彼此接触的部分中可以由根据每种类型的垂直高浓度掺杂区132来限定击穿电压改善区130。更具体地说，击穿电压改善区130可以包括根据每种类型的垂直高浓度掺杂区，以在第一类型阱与第二类型阱120彼此接触的部分中从第一类型阱与第二类型阱120的上表面延伸到第一基板110的上表面。基于第一类型阱与第二类型阱120彼此接触的部分，击穿电压改善区130可以包括根据第一类型的垂直高浓度掺杂区132a和根据第二类型形成的高浓度掺杂区132b，根据第一类型的垂直高浓度掺杂区132a形成在第一类型阱120a的边缘处并且具有特定宽度，根据第二类型的高浓度掺杂区132b形成第二类型阱120b的边缘处并且具有特定宽度。这里，垂直高浓度掺杂区132可以使用与通过掺杂形成期间在第一类型阱与第二类型阱120中的每一个中使用的掺杂剂相同的掺杂剂，并且可以掺杂有掺杂浓度高于在第一类型阱与第二类型阱120中的每一个中使用的掺杂剂的掺杂剂。

[0055] 在一个实施方式中，每个垂直高浓度掺杂区132可以通过注入掺杂来形成。例如，可以根据通过离子注入来注入和沉积离子的工艺来形成每个垂直高浓度掺杂区132。

[0056] 在一个实施方式中，垂直高浓度掺杂区132可以通过顺序地注入根据每种类型的掺杂来形成。例如，可以首先通过离子注入形成根据第一类型的垂直高浓度掺杂区132a，然后，可以顺序地形成根据第二类型的垂直高浓度掺杂区132b。在另一个实施方式中，垂直高浓度掺杂区132可以通过同时注入根据每种类型的掺杂形成。例如，根据第一类型的第一垂直高浓度掺杂区132a和根据第二类型的第二垂直高浓度掺杂区132b可以通过离子注入同时形成。

[0057] 击穿电压改善区130可以包括从第一类型阱与第二类型阱120的第一表面122垂直形成到其第二表面124的垂直高浓度掺杂区132。也就是说，击穿电压改善区130可以包括分别形成在第一类型阱120a和第二类型阱120b中的垂直高浓度掺杂区132，并且每个垂直高浓度掺杂区132可以形成为在其中不具有空间(其中，水平断开)。因此，击穿电压改善区130可以抑制引起穿通的耗尽区的水平延伸，从而显著增强击穿电压。

[0058] 击穿电压改善区130可以包括在第一类型阱与第二类型阱彼此接触的部分处的边界区134。这里，边界区134可以与垂直高浓度掺杂区132交叠，可以形成界面136，或者可以是部分交叠(underlap)。更具体地说，边界区134可以是垂直高浓度掺杂区132在通过掺杂形成垂直高浓度掺杂区132的过程中交叠特定宽度或更小的区域，可以是其中垂直高浓度掺杂区132与其间插入的间隙交叠特定宽度或更小以在其中形成本征区的区域，或者可以形成单个界面136而没有交叠或部分交叠。

[0059] 击穿电压改善区130可以形成边界区134，边界区134具有一定的可允许范围的ΔW_{BS}，其被定义为边界区134的宽度与垂直高浓度掺杂区132的宽度之和的百分比。在一个实施方式中，ΔW_{BS}具有$-5(\%) \leq \Delta W_{BS}(\%) \leq +7(\%)$的可允许范围。这里，负值表示交叠，正值表示部分交叠。更具体地说，击穿电压改善区130可以在边界区134的交叠和部分交叠的每一个中和在与垂直高浓度掺杂区132对应的每个宽度中，具有非对称的ΔW_{BS}的可允许范围。

[0060] 在一个实施方式中，击穿电压改善区130可以包括对称的垂直高浓度掺杂区132。例如，在击穿电压改善区130中，垂直高浓度掺杂区132可以具有相同的宽度。因此，击穿电压改善区130可以简化制造过程，减小寄生电容的差异，并且防止雪崩击穿电压因耗尽区的不对称而相对降低。

[0061] 在另一个实施方式中，击穿电压改善区130可包括不对称的垂直高浓度掺杂区132。例如，当耗尽区的宽度由于击穿电压改善区130内的第一类型阱与第二类型阱120中的每一个中的掺杂剂和浓度的差异而不同时，垂直高浓度掺杂区132可以考虑到差异而具有不对称宽度，以改善因穿通而引起的击穿电压并保持其他开关(switching)特性。

[0062] 在一个实施方式中，击穿电压改善区130可以包括垂直高浓度掺杂区132，使得掺杂浓度随着远离垂直高浓度掺杂区132的边界区134减小。因此，雪崩击穿电压由于因垂直高浓度掺杂区132的形成而减小的耗尽区而减少的现象可以得到缓解，并且可以保持开关特性，同时通过优化因穿通引起的击穿电压和雪崩击穿电压来改善整体的击穿电压。

[0063] 在击穿电压改善区130中，垂直高浓度掺杂区132可以形成为具有高于第一类型阱与第二类型阱120中的每一个的掺杂浓度且低于形成在第一类型阱与第二类型阱120中的每一个的一部分中的源极和漏极掺杂区140的掺杂浓度。例如，在击穿电压改善区130中，可以通过根据第一类型(其掺杂有高于第一类型阱120a的掺杂浓度并且掺杂有低于源极和漏极掺杂区140a的掺杂浓度)的垂直高浓度掺杂区132a有效地限制耗尽区的水平延伸，从而改善因穿通而引起的击穿的发生。

[0064] 在一个实施方式中，第一类型阱与第二类型阱120中的每一个可以掺杂有$0.5x10^{16}cm^{-3}$至$1.5x10^{16}cm^{-3}$的掺杂浓度，并且在击穿电压改善区130中根据每种类型的垂直高浓度掺杂区132可以具有$2.0x10^{17}cm^{-3}$至$3.0x10^{17}cm^{-3}$的掺杂浓度。这里，源极和漏极掺杂区140可以具有$0.5x10^{19}cm^{-3}$至$1.5x10^{19}cm^{-3}$的掺杂浓度。优选地，第一类型阱与第二类型阱120、垂直高浓度掺杂区132以及源极和漏极掺杂区140的平均掺杂浓度分别为$1.0x10^{16}cm^{-3}$、$2.5x10^{17}cm^{-3}$和$0.5x10^{19}cm^{-3}$。

[0065] 在一个实施方式中，击穿电压改善区130可以具有大约1.3μm至2.7μm的宽度，并且各个垂直高浓度掺杂区132可以具有0.75μm至1.25μm的宽度。优选地，击穿电压改善区130、根据第一类型的垂直高浓度掺杂区132a和根据第二类型的垂直高浓度掺杂区132b分别具有2μm、1μm和1μm的宽度。

[0066] 击穿电压改善区130可以具有对应于单元间距的特定百分比或第一类型阱与第二类型阱的宽度之和的宽度。在一个实施方式中，第一类型阱与第二类型阱120的宽度之和可以是15μm至25μm，并且击穿电压改善区130可以具有与第一类型阱与第二类型阱120的宽度之和的5％至15％相对应的宽度。

[0067] 击穿电压改善区130可以具有与源极和漏极掺杂区140的厚度的特定百分比相对应的厚度。在一个实施方式中，击穿电压改善区130的厚度可以为源极和漏极掺杂区140的

厚度的400％至600％。例如，源极和漏极掺杂区140中的每一个可以具有0.4μm的厚度，并且击穿电压改善区130可以具有1.5μm至2.5μm的厚度。因此，通过在施加高电压时经由模拟等预测来自源极和漏极掺杂区140的耗尽区的水平和垂直延伸，基于可设计和制造击穿电压改善区130以及第一类型阱与第二类型阱120的哪种厚度，可以对制造成本和因穿通而引起的击穿改善进行折衷。

[0068] 晶体管100可以包括源极和漏极掺杂区140以及形成在第一类型阱与第二类型阱120中的每一个的端部的防闩锁掺杂区145。源极和漏极掺杂区140可以根据针对各个类型的具有相反极性的类型通过离子注入形成，并且当作为CMOS晶体管操作时可以用作源极和漏极。防闩锁掺杂区145可以根据每种类型的第一或第二类型阱120通过离子注入形成，并且可以形成在第一或第二类型阱120的一端以消除体电压以防止闩锁。

[0069] 晶体管100还可以包括完全覆盖垂直高浓度掺杂区132的上部的上部结构150。上部结构150可以包括多个栅极绝缘膜、栅极、氧化物膜和中间连接金属。

[0070] 各个栅极绝缘膜可以形成在第一类型阱与第二类型阱120中的每一个的上部。栅极绝缘膜可以用作电绝缘体，其由具有高介电常数的绝缘材料(例如，SiO_2)形成。

[0071] 栅极可以分别形成在栅极绝缘膜的上部，并且当从外部施加电压时，栅极可以通过栅极绝缘膜在第一类型阱与第二类型阱120的一部分中形成沟道和耗尽区。栅极可以通过栅极绝缘膜与包括有源极和漏极掺杂区140的第一或第二类型阱120绝缘。

[0072] 氧化物膜(其是用作绝缘膜的氧化物层)可以形成在第一或第二类型阱120之间的上部，并且还可以用于在制造集成电路的过程器件隔离元件，以及用作电绝缘体。

[0073] 图2是例示制造图1中的基于碳化硅的晶体管的顺序过程的视图。

[0074] 在基板110上形成彼此接触的晶体管100的第一类型阱120a和第二类型阱120b(步骤(a))。在一个实施方式中，P型阱120a可以通过P型注入掺杂形成在已制备的碳化硅基板110上，N型阱120b可以通过N型注入掺杂顺序形成，使得N型阱120b和P型阱120a在二者的侧部彼此接触。在一个实施方式中，第一类型阱与第二类型阱120可以通过扩散工艺、离子注入工艺或外延生长工艺形成。

[0075] 根据第一类型的垂直高浓度掺杂区132a形成在第一类型阱与第二类型阱120在晶体管100中彼此接触的部分处(步骤(b))。更具体地说，可以使用硬掩模对第一类型阱与第二类型阱120的上部执行图案化工艺，以首先形成用于掺杂的图案化空间，并且可以使用注入掺杂形成根据第一类型的垂直高浓度掺杂区132a。因此，根据第一类型的垂直高浓度掺杂区132a可以从第一类型阱120a的一端到第一类型阱及第二类型阱120彼此接触的部分水平地形成，并且从晶体管100中的第一类型阱120a的表面122至其第二表面124垂直地形成。

[0076] 根据第二类型的垂直高浓度掺杂区132b形成在第一类型阱与第二类型阱120在晶体管100中彼此接触的部分处(步骤(c))。更具体地说，可以使用硬掩模在第一类型阱与第二类型阱120的上部对执行图案化工艺以再次形成用于掺杂的图案化空间，并且可以使用注入掺杂来形成根据第二类型的垂直高浓度掺杂区132b，使得根据第二类型的垂直高浓度掺杂区132b与根据第一类型的垂直高浓度掺杂区132a相接触。

[0077] 源极和漏极掺杂区140以及防闩锁掺杂区145可以形成在晶体管100中的第一类型阱与第二类型阱120中的每一个的一端处(步骤(d))。更具体地说，根据(具有与第一类型相反极性的)第二类型的源极和漏极掺杂区140a可以通过在第一类型阱120a的一端处的注入

掺杂来形成，并且根据第一类型的防闩锁掺杂区145b可以在第一类型阱120a的一端形成。而且，根据(具有与第二类型相反极性的)第一类型的源极和漏极掺杂区140b可以通过在第二类型阱120b的一端处的注入掺杂来形成，并且根据第二类型的防闩锁掺杂区145a可以在第二类型阱120b的一端形成。

[0078] 可以在晶体管100中进一步在第一类型阱与第二类型阱120和垂直高浓度掺杂区132的上部形成包括多个栅极绝缘膜、栅极、氧化物膜和中间连接金属中的至少一个的上部结构150。例如，栅极绝缘膜可以沉积在第一类型阱与第二类型阱120的上部，并且栅极可以沉积在栅极绝缘膜的上部且可以通过化学机械抛光(CMP)来平坦化。

[0079] 图3示出了例示图1中的基于碳化硅的晶体管的结构的其他实施方式的截面图。

[0080] 图3a或图3b示出了其中图1的击穿电压改善区包括多个垂直高浓度掺杂子区域的实施方式。

[0081] 在图3a和图3b中，击穿电压改善区130具有根据每种类型的垂直高浓度掺杂区132，并且每个垂直高浓度掺杂区132可以包括多个垂直高浓度掺杂子区域，每个子区域具有不同的掺杂浓度。

[0082] 在图3a中，每个垂直高浓度掺杂区132可以包括多个垂直高浓度掺杂子区域，其具有随着远离垂直高浓度掺杂区132之间的界面136而减小的掺杂浓度。例如，根据第一类型的垂直高浓度掺杂区132a可以具有三个垂直高浓度掺杂子区域，并且最靠近垂直高浓度掺杂区132之间的界面136的第一垂直高浓度掺杂子区域可以具有$2.5x10^{17}cm^{-3}$至$3.0x10^{17}cm^{-3}$的掺杂浓度，比第一垂直高浓度掺杂子区域更远的第二垂直高浓度掺杂子区域可以具有低于第一垂直高浓度掺杂子区域的$2.0x10^{17}cm^{-3}$至$2.5x10^{17}cm^{-3}$的掺杂浓度，并且比第二垂直高浓度掺杂子区域更远的第三垂直高浓度掺杂子区域可以具有低于第二垂直高浓度子区域但是高于第一类型阱120a的$1.5x10^{17}cm^{-3}$至$2.0x10^{17}cm^{-3}$的掺杂浓度。

[0083] 在图3b中，每个垂直高浓度掺杂区132可以具有第一垂直高浓度掺杂子区域、第二垂直高浓度掺杂子区域和第三垂直高浓度掺杂子区域，第一垂直高浓度掺杂子区域最靠近垂直高浓度掺杂区132之间的界面136，所述第一垂直高浓度掺杂子区域和所述第二垂直高浓度掺杂子区域分别具有高于相应类型阱的第一掺杂浓度和第二掺杂浓度，第三垂直高浓度掺杂子区域插入在第一垂直高浓度掺杂子区域和第二垂直高浓度掺杂子区域之间且具有低于第一掺杂浓度和第二掺杂浓度的第三掺杂浓度。例如，垂直高浓度掺杂区132b可以具有三个垂直高浓度掺杂子区域，最靠近垂直高浓度掺杂区132之间的界面136的第一垂直高浓度掺杂子区域以及距该第一垂直高浓度掺杂子区域最远的第二垂直高浓度掺杂子区域可以分别具有$2.5x10^{17}cm^{-3}$至$3.0x10^{17}cm^{-3}$以及$2.0x10^{17}cm^{-3}$至$2.5x10^{17}cm^{-3}$的掺杂浓度，并且被插入在第一垂直高浓度掺杂子区域和第二垂直高浓度掺杂子区域之间的第三垂直高浓度掺杂子区域可以具有$1.5x10^{17}cm^{-3}$至$2.0x10^{17}cm^{-3}$的掺杂浓度，该掺杂浓度低于第一垂直高浓度掺杂子区域和第二垂直高浓度掺杂子区域的掺杂浓度但高于第二类型阱120b的掺杂浓度。

[0084] 图3c和图3d例示了其中图1的击穿电压改善区包括水平高浓度掺杂区或边缘高浓度掺杂区的实施方式。

[0085] 在图3c和图3d，击穿电压改进区域130还可以包括根据每种类型的水平高浓度掺杂区138，其从第一类型阱与第二类型阱120和基板110彼此接触的部分开始沿着第一类型

阱与第二类型阱120的下边缘，以与基板110的上表面的至少一部分水平接触。

[0086] 在图3c中，水平高浓度掺杂区138可以在水平方向上形成，以便与第一类型阱与第二类型阱的除了根据每种类型的垂直高浓度掺杂区132和基板110的上部彼此接触的区域之外的其他区域中与基板110的整个上表面接触。

[0087] 在图3d中，水平高浓度掺杂区138可以在水平方向上形成，以便在第一类型阱与第二类型阱的除了根据每种类型的垂直高浓度掺杂区132和基板110的上部彼此接触的区域之外的其他区域中从与根据每种类型的垂直高浓度掺杂区接触的区域开始在预定特定宽度内与基板110的上部接触。例如，根据第一类型的水平高浓度掺杂区138a可以形成为与基板110的上部接触(从根据第一类型的垂直高浓度掺杂区132a和基板彼此接触的部分开始)，以具有比击穿电压改善区130的宽度大3.0μm至4.0μm的宽度。

[0088] 在图3e中，击穿电压改进区域130还可以包括根据每种类型的边缘高浓度掺杂区139，其从第一类型阱120a或第二类型阱120b与基板110彼此接触的部分开始沿着第一或第二类型阱120a的整个边缘与基板110的整个上表面接触。例如，沿着第一类型阱120a的边缘形成第一类型边缘高浓度掺杂区139a，使得第一类型阱120a和基板110可以通过根据第一类型的边缘高浓度掺杂区139a彼此连接。

[0089] 在上述实施方式中，根据每种类型的水平高浓度掺杂区138或根据每种类型的边缘高浓度掺杂区139可以形成为与基板110的上部水平接触并且通过在形成根据每种类型的垂直高浓度掺杂区132之后调节用于离子注入的能级的离子注入工艺具有特定宽度。

[0090] 图3f示出了其中图1的击穿电压改善区包括与基板交叠的垂直高浓度掺杂区的实施方式。

[0091] 在图3f中，击穿电压改善区130可以包括垂直高浓度掺杂区132，其与垂直接触的基板110的上表面在特定厚度内的部分交叠。例如，根据每种类型的垂直高浓度掺杂区132可以比根据相应类型的阱的深度更深交叠2.0μm至3.0μm，并且垂直高浓度掺杂区132a和132b可以是对称的。

[0092] 图4是示出根据本发明实施方式的基于碳化硅的晶体管与现有技术的晶体管之间的差异的模拟曲线图。

[0093] 图4的(a)示出了实现为基于碳化硅的CMOS晶体管并且具有改进的击穿电压改善区130的晶体管100和现有技术的第一晶体管实现为基于硅的CMOS晶体管的击穿电压的模拟结果。

[0094] 在图4的(a)中，第一模拟曲线图410示出了关于根据本发明实施方式且具有260V的击穿电压的晶体管100的模拟结果，并且第二模拟曲线图420示出了关于具有13V的击穿电压第一晶体管的模拟结果。结果，通过在结构上防止在器件的阱区中发生的穿通现象，晶体管100具有显著改善的击穿电压。

[0095] 图4的(b)示出了包括与基板110垂直接触的击穿电压改进区域130的晶体管100的模拟结果，以及仅在一个阱区的一部分中形成高浓度掺杂区的现有技术的第二晶体管的击穿电压。

[0096] 在图4的(b)中，第三模拟曲线图430示出了关于根据本发明实施方式的晶体管100的模拟结果，第四模拟曲线图440示出了关于第二晶体管的模拟结果。这里，相应的仿真图是使用Synopsys的TCAD仿真工具实现的仿真结果，仿真中使用的材料模型是通常使用的

4H-SiC模型。这里,除了击穿电压改善区之外的其他条件(n+厚度、p+厚度、高掺杂区宽度、漂移层厚度等)被设定为相同的值。

[0097] 在图4的(b)中,关于晶体管100的第三模拟曲线图430表示,与关于第二晶体管的第四模拟曲线440相比,击穿电压提高了大约10V并且漏电流减小到大约1/10。这些结果显示出对击穿电压和漏电流的影响的显著差异。

[0098] 在一个实施方式中,晶体管100可以显著减小漏电流,因为一个因素显著影响CMOS晶体管的待机功率的损失,并且同时改善了击穿电压。

[0099] 在一个实施方式中,晶体管100可以通过完全防止在器件的阱区中发生的穿通现象并且显著减少在具有相对低的掺杂浓度的阱区中发生的漏电流来显著改善击穿电压。

[0100] 因此,本发明的技术范围不应局限于由实施方式提供的技术范围,并且应当注意,不仅所附权利要求而且所有那些等同于所附权利要求或可被视为与其相同的修改都属于本发明的技术范围。

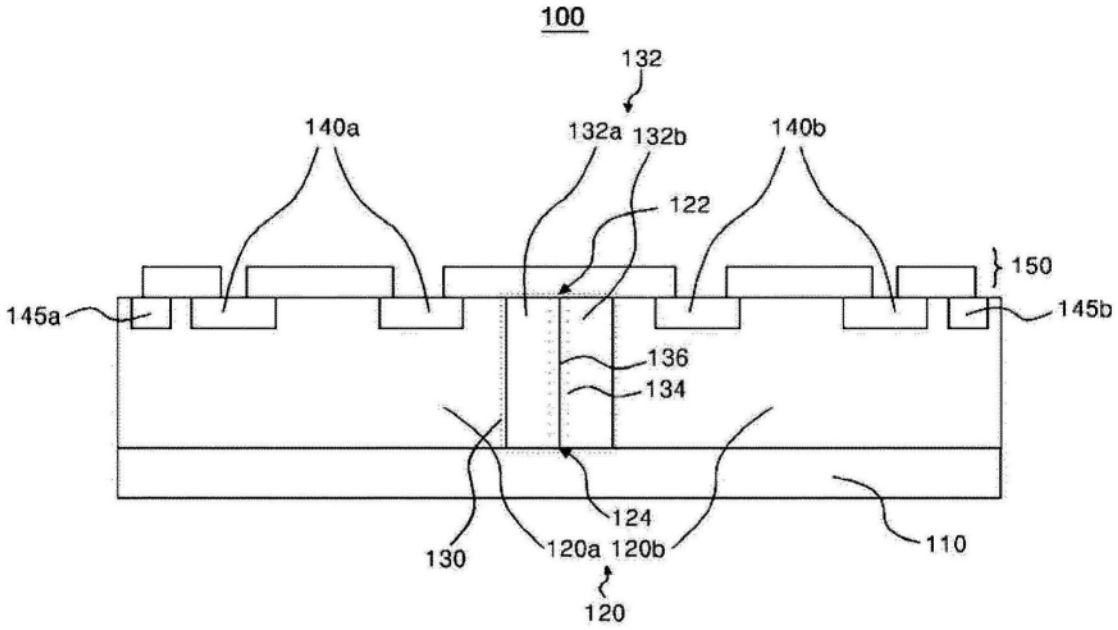

100
132
140a
132a
132b
140b
122
150
145a
145b
136
134
124
130
120a
120b
110
120

图1

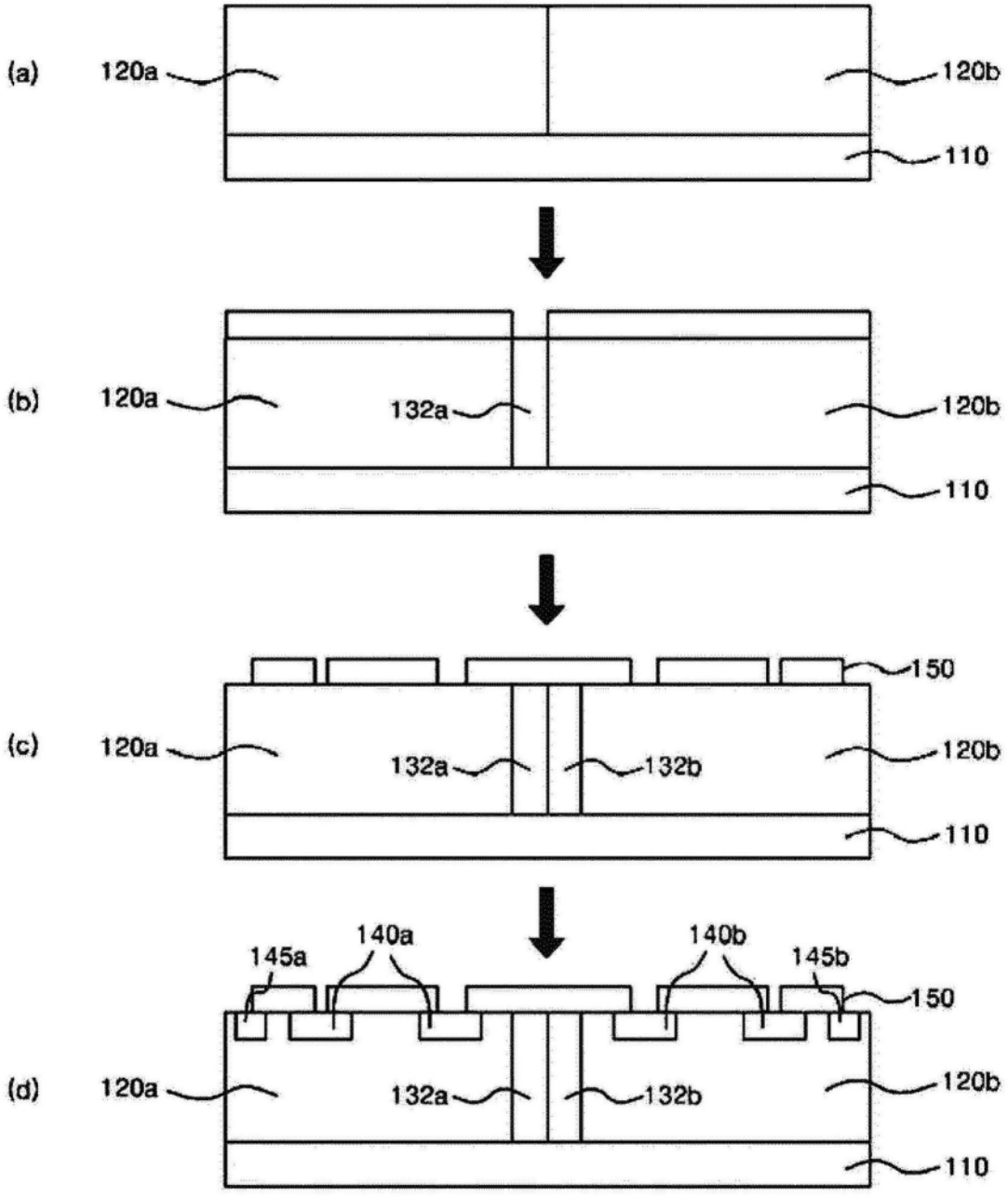

(a)
120a
120b
110
(b)
120a
132a
120b
110
(c)
150
120a
132a
132b
120b
110
(d)
145a
140a
140b
145b
150
120a
132a
132b
120b
110

图2

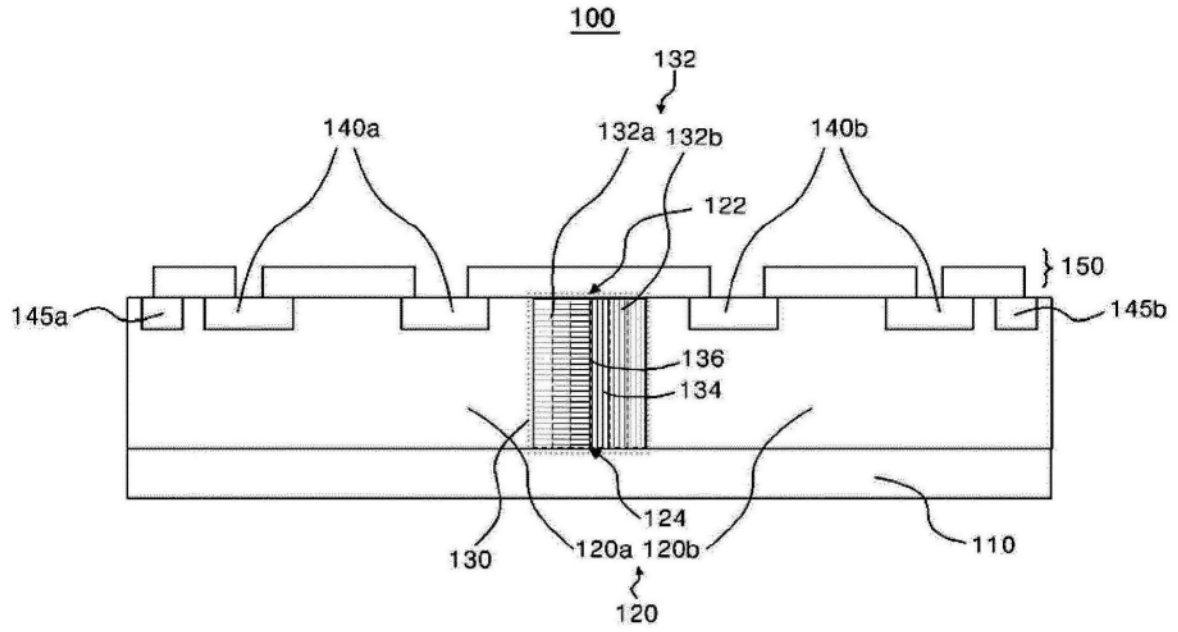

100
132
140a
132a
132b
140b
122
150
145a
145b
136
134
124
130
120a
120b
110
120

图3a

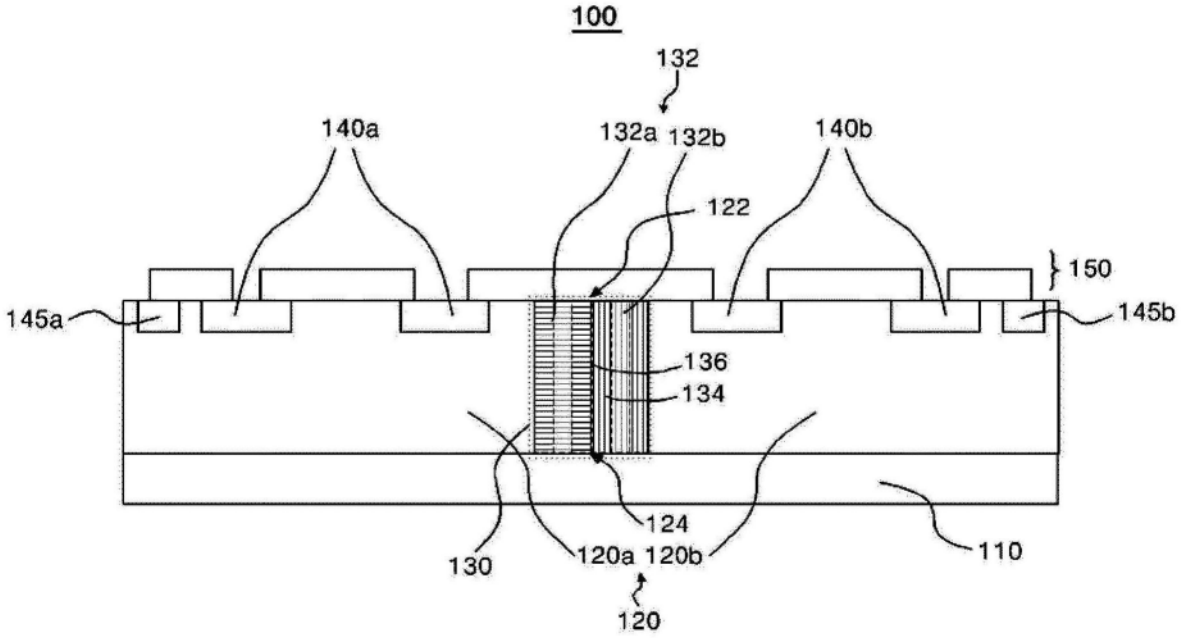

100
132
140a
132a
132b
140b
122
150
145a
145b
136
134
124
130
120a
120b
110
120

图3b

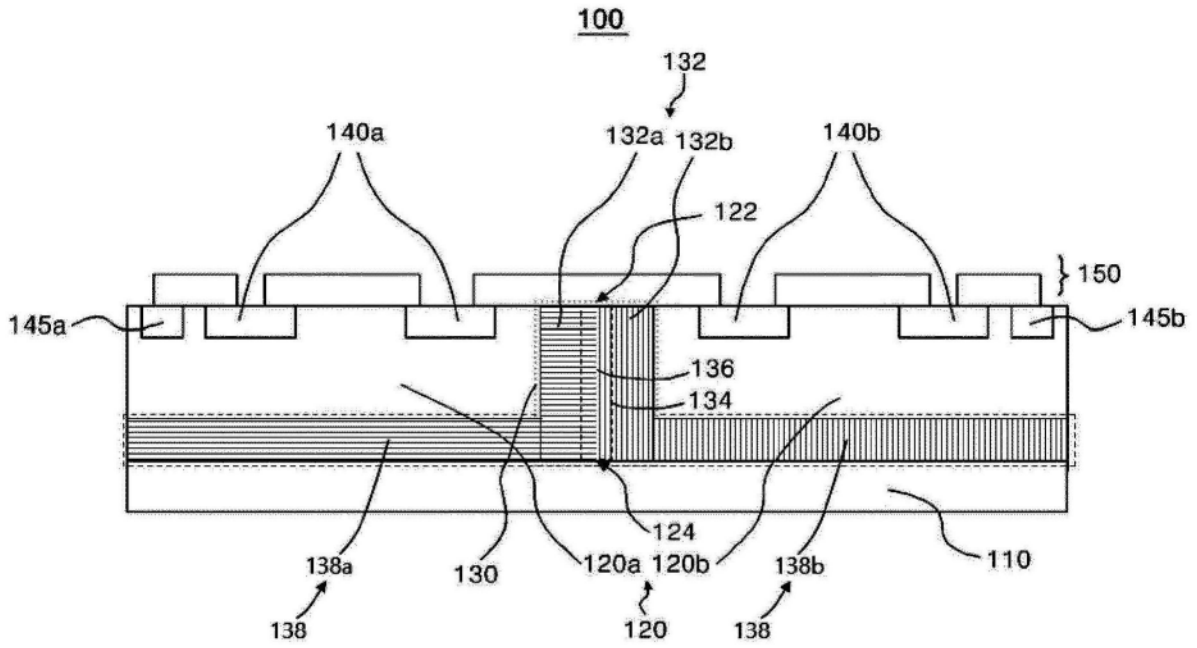

100
132
140a
132a
132b
140b
122
150
145a
145b
136
134
124
138a
130
120a
120b
138b
110
138
120
138

图3c

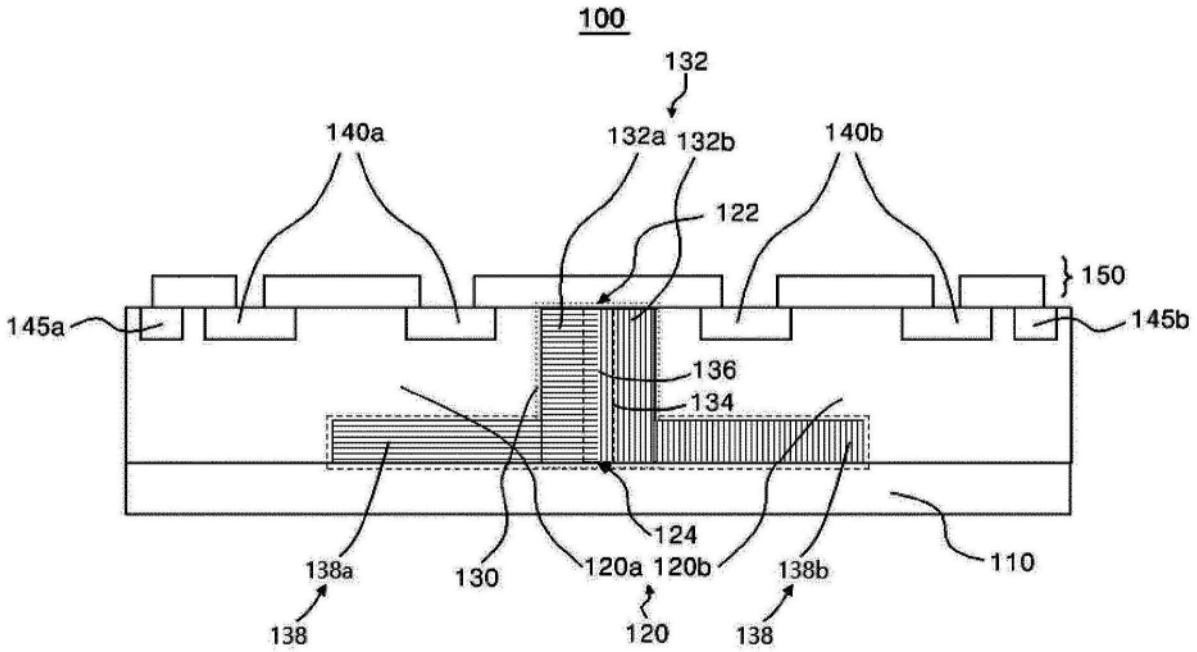

100
132
140a
132a
132b
140b
122
150
145a
145b
136
134
124
138a
130
120a
120b
138b
110
138
120
138

图3d

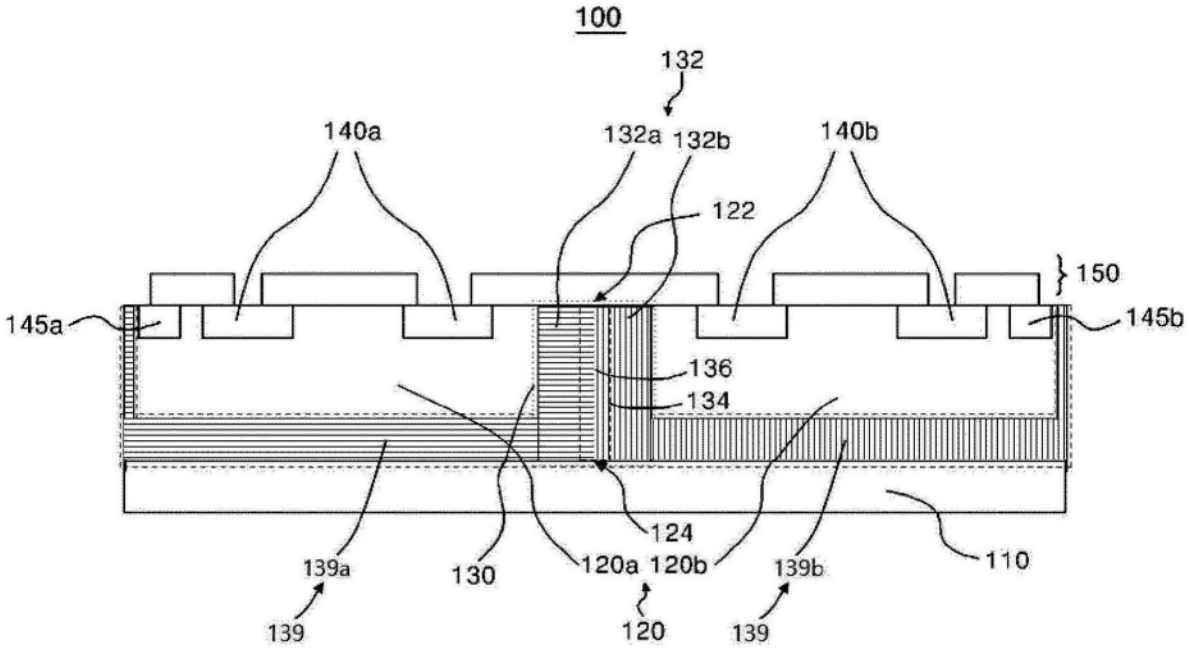

100
132
140a
132a
132b
140b
122
150
145a
145b
136
134
124
139a
130
120a
120b
139b
110
139
120
139

图3e

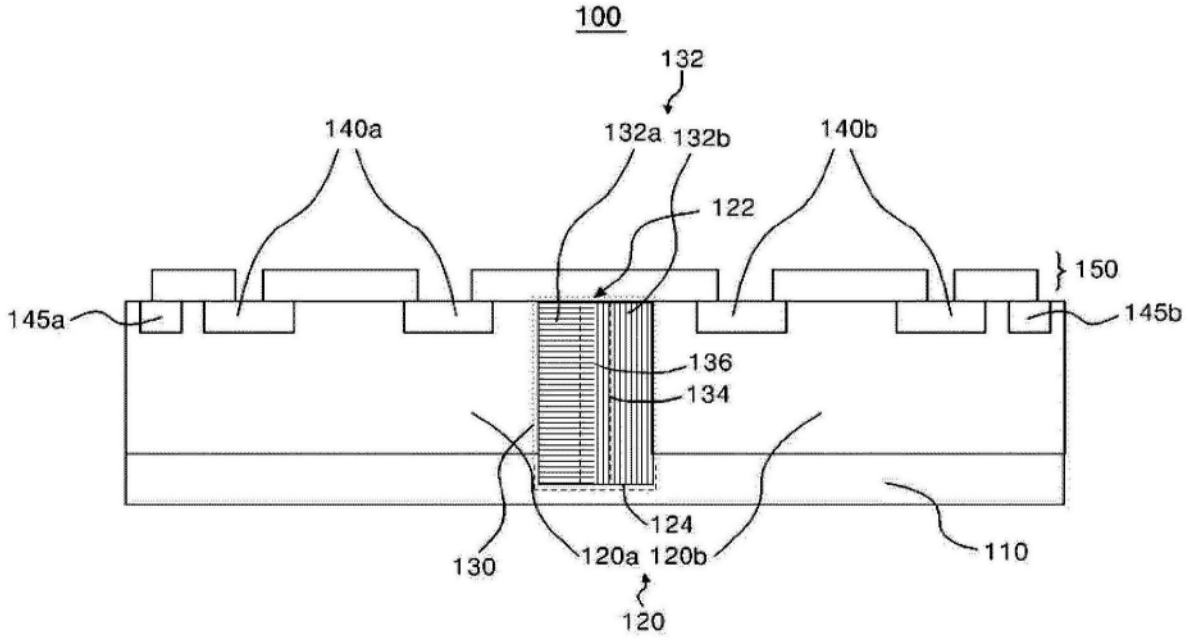

100
132
140a
132a
132b
140b
122
150
145a
145b
136
134
124
130
120a
120b
110
120

图3f

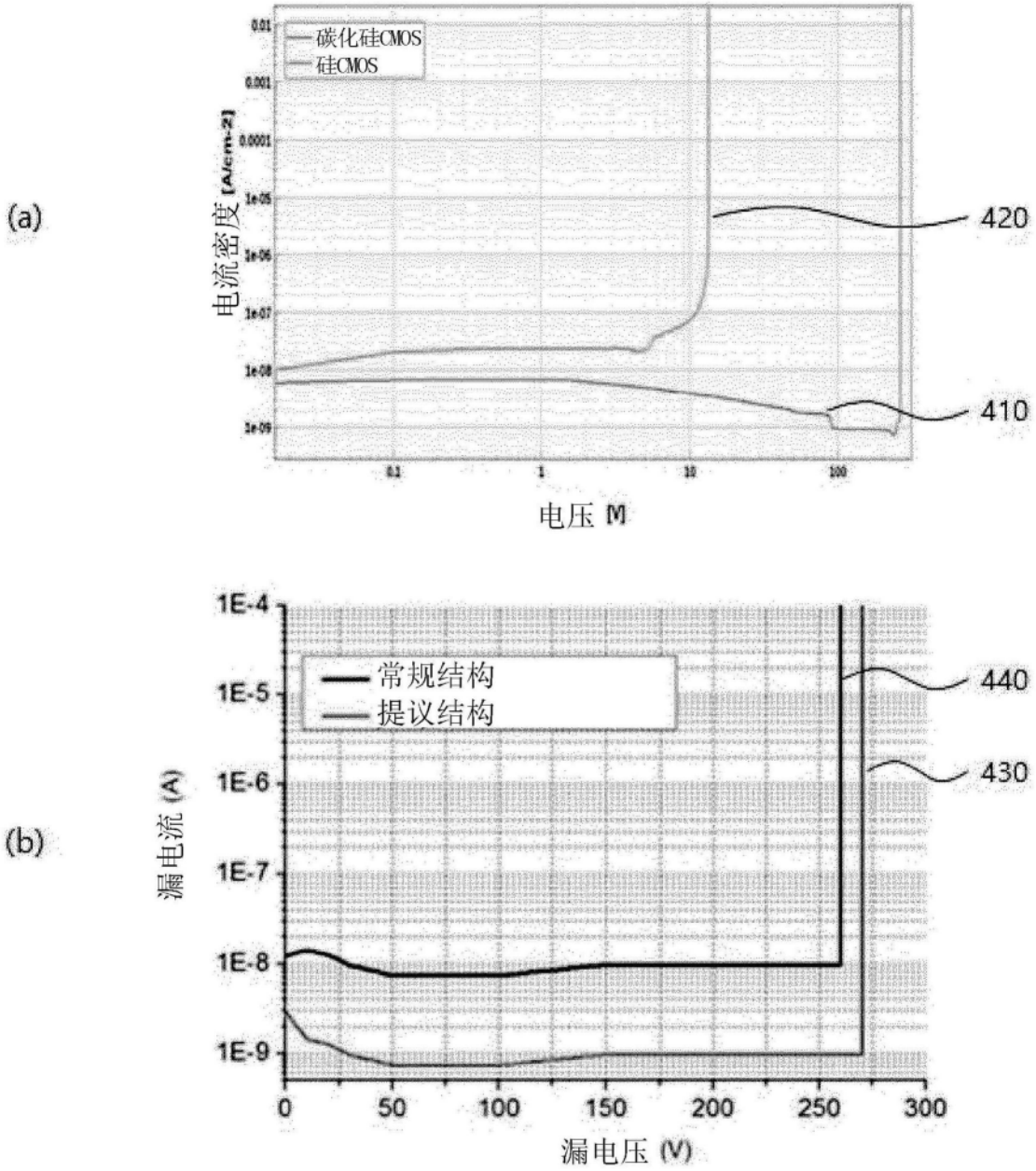

(a)
碳化硅CMOS
硅CMOS
电流密度 [A/cm-2]
0.01
0.001
0.0001
1e-05
1e-06
1e-07
1e-08
1e-09
0.1
1
10
100
电压 [V]
420
410
(b)
常规结构
提议结构
漏电流 (A)
1E-4
1E-5
1E-6
1E-7
1E-8
1E-9
0
50
100
150
200
250
300
漏电压 (V)
440
430

图4