



(21)申請案號：111138209

(22)申請日：中華民國 111 (2022) 年 10 月 07 日

(51)Int. Cl. : H01L21/02 (2006.01)

(30)優先權：2021/11/10 世界智慧財產權組織 PCT/US21/58734

(71)申請人：美商微軟技術授權有限責任公司(美國) MICROSOFT TECHNOLOGY LICENSING, LLC (US)
美國

(72)發明人：德拉赫曼 艾思爵恩席內特克里夫 DRACHMANN, ASBJORN CENNET CLIFF (DK)；馬庫斯 查爾斯馬薩梅德 MARCUS, CHARLES MASAMED (US)

(74)代理人：李世章；彭國洋

申請實體審查：無 申請專利範圍項數：21 項 圖式數：3 共 30 頁

(54)名稱

製造具有鈍化層的元件的方法

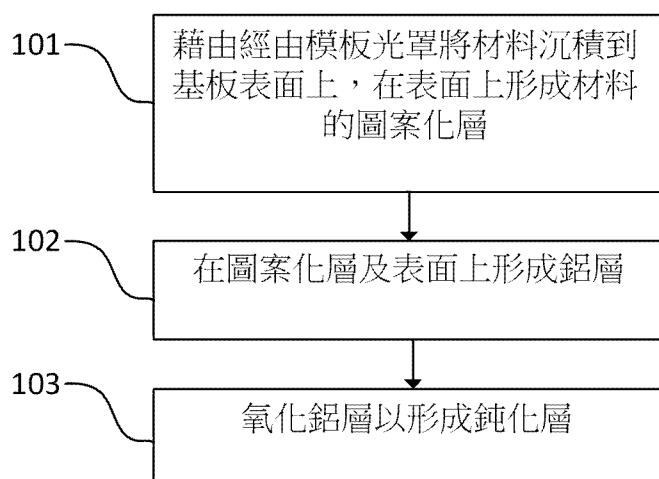
(57)摘要

一種製造元件的方法包含：藉由經由模板光罩將材料沉積到基板的表面上，在此表面上形成此材料的圖案化層；及在此圖案化層及此表面上形成鈍化層；其中此方法在密封設備中進行，且將此基板保持在真空下直到已形成此鈍化層之後。

A method of fabricating a device comprises: forming a patterned layer of a material on a surface of a substrate by depositing the material onto the surface through a stencil mask; and forming a passivating layer over the patterned layer and the surface; wherein the method is performed in a sealed apparatus, and the substrate is maintained under a vacuum until after the passivating layer has been formed.

指定代表圖：

符號簡單說明：



101:方塊

102:方塊

103:方塊

第1圖

【發明摘要】

【中文發明名稱】製造具有鈍化層的元件的方法

【英文發明名稱】METHOD OF FABRICATING A DEVICE HAVING A
PASSIVATING LAYER

【中文】

一種製造元件的方法包含：藉由經由模板光罩將材料沉積到基板的表面上，在此表面上形成此材料的圖案化層；及在此圖案化層及此表面上形成鈍化層；其中此方法在密封設備中進行，且將此基板保持在真空下直到已形成此鈍化層之後。

【英文】

A method of fabricating a device comprises: forming a patterned layer of a material on a surface of a substrate by depositing the material onto the surface through a stencil mask; and forming a passivating layer over the patterned layer and the surface; wherein the method is performed in a sealed apparatus, and the substrate is maintained under a vacuum until after the passivating layer has been formed.

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

101：方塊

102：方塊

103：方塊

【特徵化學式】

無

【發明說明書】

【中文發明名稱】製造具有鈍化層的元件的方法

【英文發明名稱】METHOD OF FABRICATING A DEVICE HAVING A
PASSIVATING LAYER

【技術領域】

【0001】 本揭示案係關於製造具有鈍化層的元件的方法。

【先前技術】

【0002】 若條件合適，與超導體接近的半導體奈米線有望承載物質的拓撲相。這使得其成為容錯量子電腦構建模塊的有前途的候選者。

【0003】 拓撲相自身以奈米線末端的一對馬約拉那零模式(「Majorana zero mode, MZM」)的形式表現出來。沿著導線的主體，遠離末端，在單電子光譜中存在間隙。實驗通常使用奈米線末端的穿隧光譜術來偵測穿隧電導中的零偏壓峰(「zero-bias peak, ZBP」)。

【0004】 藉由形成此類奈米線網路，且在網路的部分引入拓撲狀態，就有可能產生可用於量子計算目的的量子位元。量子位元(亦稱為量子位)為可對其進行具有兩種可能結果的量測的元素，但在任何給定時間(當未被量測時)其實際上可處於與不同結果對應的兩種狀態的量子疊加。

【0005】 奈米線可採用半導體材料的細長部分的形式，其長度尺寸比其寬度及厚度大很多倍。奈米線為準一維系統。習知超導體層佈置在奈米線的至少一部分上。

【0006】 另一用於產生 MZM 的系統為基於二維電子氣 (「two-dimensional electron gas, 2DEG」) 的半導體奈米線，其與習知超導體接近耦合。超導體通常作為磊晶 2D 晶圓堆疊的一部分而生長，但亦可在製造期間的材料生長之後沉積。此材料平臺具有相當大的自旋軌道耦合及大的電子 g 因數，這是形成拓撲狀態的關鍵因素。

【0007】 為了誘導拓撲相，將元件冷卻至超導體（如鋁）表現出超導行為的溫度。超導體在相鄰的半導體中產生接近效應，由此，在與超導體的介面附近的半導體區域亦表現出超導特性，即，在相鄰半導體中誘導超導配對間隙。當施加磁場時，在半導體-超導體混合物的兩端形成 MZM。

【0008】 磁場的作用為提升半導體中的自旋簡併性。量子系統情形中的簡併性係指不同量子態具有相同能階的情況。提升簡併性意味著使這些狀態採用不同的能階。自旋簡併性係指不同自旋態具有相同能階的情況。自旋簡併性可藉助於磁場來提升，從而導致不同自旋極化電子之間的能階分裂。這被稱為則曼效應 (Zeeman effect)。則曼能量 (Zeeman energy)，即能階分裂的量值，應至少與超導間隙一樣大，以關閉微不足道的超導間隙且重新打開系統中的拓撲間隙。

【0009】 誘導 MZM 還可能涉及藉由用靜電勢閘控奈米線來調節奈米線中電荷載流子的靜電勢。使用閘電極施加靜電勢。施加靜電勢可操縱半導體部件的電導帶或價帶中的電荷載流子的數量。

【0010】 混合結構的特性在很大程度上取決於半導體部件與超導體部件之間介面的品質。關於實現半導體與超導體之間的初始耦合，已經取得了重大材料科學進展。一種混合平臺為在砷化銦上生長的鋁。

【0011】 K a n n e 等 人 (「 自 然 奈 米 技 術 」 (N a t u r e N a n o t e c h n o l o g y) , 第 1 6 卷 , 第 7 7 6 - 7 8 1 頁) 描 述 了 鉛 (P b) 在 汽 - 液 - 固 奈 米 線 上 的 生 長 。 鉛 具 有 比 鋁 大 得 多 的 超 導 間 隙 , 這 使 其 成 為 內 涵 於 混 合 結 構 中 具 有 吸 引 力 的 候 選 材 料 。 然 而 , 鉛 薄 膜 為 脆 弱 的 , 且 因 此 可 能 會 被 許 多 製 造 後 製 程 破 壞 。

【發明內容】

【0012】 在一個態樣中，提供了一種製造元件的方法。此方法包含：藉由經由模板光罩將材料沉積到基板的表面上，在此表面上形成此材料的圖案化層；及在此圖案化層及此表面上形成鈍化層。此方法在密封設備中進行，且將此基板保持在真空下直到已形成此鈍化層之後。

【0013】 藉由將此基板保持在真空下，可避免對此基板表面的污染及損壞。此外，由於模板光罩用於對沉積材料進行圖案化，因此無需在此基板上形成微影光罩，或進行非原位蝕刻。此方法可在低溫下進行，從而避免此基板及圖案化層的劣化。

【0014】 提供本發明內容係為了以簡化形式介紹一些概念，這些概念將在下面的實施方式中進一步描述。本發明內容不旨在識別請求標的的關鍵特徵或基本特徵，亦不旨

在用於限制請求標的的範疇。請求標的亦不限於解決本文所指出的任何或所有缺點的實施方案。

【圖式簡單說明】

【0015】 為了幫助理解本揭示案的實施例，且示出如何實施這些實施例，僅以實例方式參考隨附圖式，其中：

第1圖為概述製造元件的方法的流程圖；

第2A圖至第2C圖為在第1圖的方法的各個步驟中獲得的工件的示意性橫截面圖；及

第3圖為用於進行此方法的示例設備的方塊圖。

【實施方式】

【0016】 動詞「包含」在本文中用作「包括或由……組成」的簡寫。換言之，儘管動詞「包括」旨在為開放術語，但明確考慮將此術語替換為封閉術語「由……組成」，特定言之在與化學成分相關使用的情況下。

【0017】 此處使用了諸如「頂部」、「底部」、「左側」、「右側」、「上方」、「下方」、「水平」及「垂直」的方向性術語，以便於描述，且與相關圖式中所示的定向相關。為避免任何疑問，本術語不意欲限制外部參照系中的定向。

【0018】 如本文所用，術語「超導體」係指當冷卻到低於材料臨界溫度 T_c 的溫度時變成超導的材料。本術語的使用並非意欲限制元件的溫度。

【0019】 「奈米線」為一種細長構件，具有奈米級寬度，且長寬比至少為100，或至少為500，或至少1000。奈米

線的典型實例具有在 10 至 500 nm 範圍內的寬度，視情況為 50 至 100 nm 或 75 至 125 nm。長度通常為微米量級，例如至少 1 μ m 或至少 10 μ m。

【0020】 「半導體-超導體混合結構」包含半導體部件及超導體部件，且經配置使得超導體部件能夠在特定操作條件下藉由接近效應在半導體部件中誘導超導性。特定言之，此術語係指能夠顯示拓撲行為的結構，諸如馬約拉那零模式或其他對量子計算應用有用的激發。操作條件大體包含將結構冷卻到低於超導體部件的臨界溫度的溫度，向結構施加磁場，及向結構施加靜電閘控。大體上，半導體部件的至少部分與超導體部件緊密接觸。例如，超導體部件可在半導體部件上磊晶生長。然而，已提出了在半導體部件與超導體部件之間具有一或多個其他部件的某些元件結構。

【0021】 「拓撲絕緣體-超導體混合結構」與半導體-超導體混合結構的不同之處在於，半導體部件被拓撲絕緣體部件替換。通常不需要拓撲絕緣體-超導體混合結構的靜電閘控。此外，通常亦不需要施加磁場，因為自旋動量鎖定提供自旋極化。

【0022】 如本文所用，「真空」係指氣體壓力小於或等於 1×10^{-4} Pa 的環境。「中度真空」係指氣體壓力在 3 kPa 至 0.1 Pa 範圍內的環境。「超高真空」係指壓力小於或等於 100 奈帕斯卡的環境。

【0023】 本文提供了一種製造元件的方法，此元件包括基板上的圖案化薄膜。使用模板光罩或類似物，而不是經由使用非原位蝕刻或剝離，在對薄膜進行原位圖案化。隨後在薄膜上原位形成鈍化層。藉由圖案化膜且原位形成鈍化層，可獲得薄膜與基板之間的初始介面。鈍化層保護薄膜及基板表面在任何後續的製造後操作期間，特定言之在任何製造後蝕刻製程期間免受損壞。此外，在一些實施方案中，此方法可在低溫下進行，以防止薄膜自基板上脫濕。

【0024】 雖然將特別參考半導體-超導體混合結構的製造來描述此方法，其中基板包含半導體，且圖案化層包含超導體，但此方法可應用於其他材料組合及其他元件的製造。圖案化層可包含可在基板上生長的任何薄膜或薄膜的組合，例如超導體、半導體、金屬及/或鐵磁體。

【0025】 現將參考第1圖及第2A圖至第2C圖描述示例方法。第1圖為概述此方法的流程圖，且第2A圖至第2C圖示出在此方法的各個階段獲得的工件。

【0026】 在方塊101，藉由經由模板光罩將材料沉積到基板上，在基板上形成材料的圖案化層。此操作如第2A圖所示。

【0027】 基板210的性質沒有特別限制。基板210通常包括至少一晶圓，即一塊單晶材料。晶圓為其他部件提供實體支撐及生長介質。晶圓通常包含高帶隙半導體材料。晶圓材料的實例包括磷化銦、銻化銦、砷化銦、砷化鎵、磷化鎵及矽。

在同一設備中製備基板，可避免基板暴露於開放大氣。這可防止基板表面的污染及/或避免所用材料的化學降解，從而提高成品元件的品質。半導體-超導體混合元件的特性尤其對半導體部件與超導體部件之間的介面品質敏感。

【0037】 用於形成圖案化層220的材料性質沒有特別限制，前提是此材料可沉積在基板210上。

【0038】 圖案化層的材料可為金屬。

【0039】 金屬可為超導體。超導金屬的實例包括鋁及鉛。鋁及鉛均與式1的半導體材料具有良好的相容性。

【0040】 金屬可為普通金屬。例如，普通金屬可用於形成電連接器或接觸墊。普通金屬的實例包括鈦及金。另一實例為鉻/金雙層。

【0041】 鉛在某些實施方案中可能特別有用，因為其具有非常大的超導間隙 Δ 。因此，併入了鉛的混合元件可能具有大的拓撲間隙。這意味著在這種元件中形成的馬約拉那零模式可更好地防止熱變化等，從而允許更可靠的量子計算。水會腐蝕鉛，且鉛薄膜很容易因水蒸氣損壞。稍後在此方法中形成的鈍化層可保護鉛層免受損壞。

【0042】 在基板包括拓撲絕緣體的實例中，拓撲絕緣體為碲化合物，特定言之式2的化合物，材料可為鉬。據報導，當鉬沉積在式2化合物上時，在鉬層與拓撲絕緣體之間的介面處形成超導化合物 PdTe_2 。

【0043】 圖案化層的材料可為鐵磁絕緣體，例如選自 EuS 、 EuO 、 GdN 、 $\text{Y}_3\text{Fe}_5\text{O}_{12}$ 、 $\text{Bi}_3\text{Fe}_5\text{O}_{12}$ 、 YFeO_3 、

超導體材料層。

【0050】 當本方法用於形成超導體材料層時，可沉積兩層或更多層不同的超導體。例如，可先沉積鋁層，隨後在鋁層的頂部沉積鉛層。如 W O 2 0 2 1 / 1 1 3 7 4 6 A 1 所述，這可改善鉛層與基板的耦合。

【0051】 如第 2 A 圖所示，圖案化材料層 2 2 0 經由模板光罩 3 2 8 中的開口沉積。材料銲劑 F 1，例如來自蒸發器的材料束，穿過開口且到達基板的表面。

【0052】 模板光罩的使用允許對層進行圖案化，而無需基板表面施加抗蝕劑，如在諸如剝離或蝕刻微影術的比較技術中。因此，在其中製造層的生長腔室中實現圖案化。基板不暴露於開放的大氣，且基板表面保持初始狀態。這可允許獲得更高品質的元件。

【0053】 在沉積圖案化層期間，可將基板保持在低於或等於 2 7 3 K (0 ° C) 的溫度，例如 5 0 至 1 0 0 K 範圍內的溫度。若金屬薄膜的溫度過高，則其可能會自基板上脫濕。如本文所使用的，脫濕係指連續膜破裂成孤立區塊的過程。已經發現，當金屬膜低溫時，在金屬膜上施加鈍化層可減少脫濕，且可允許元件在隨後的處理步驟期間耐受更高的溫度。

【0054】 藉由定向沉積製程（通常為物理沉積製程）形成圖案化層。特定言之，圖案化層可藉由蒸發形成，視情況藉由分子束磊晶製程形成。對於許多材料而言，物理沉積到低溫基板（例如，溫度為 0 ° C 或更低的基板）上為可能的。

【0055】 形成圖案化層後，在圖案化層上及基板表面上形成鈍化層。在此實例中，鈍化層為在兩個操作中形成的氧化鋁層。

【0056】 在方塊 102，在圖案化層上及基板表面上形成鋁層。此操作如第 2 B 圖所示。

【0057】 鋁層 230 沉積在基板 210 的整個表面上，且覆蓋圖案化層。這可稱為「全局沉積」。沉積可包含藉由分子束磊晶生長鋁層。

【0058】 鋁層 230 可在與圖案化層相同的生長腔室中製造。為了實現這一點，模板光罩 328 可遠離基板移動，以便不干擾鋁的鍍劑 F2。例如，模板光罩可旋轉到垂直位置，或者放置到一側，或者經由氣匣自生長腔室移除。

【0059】 或者，鋁層 230 可在密封設備的不同生長腔室中製造。在此類實施方案中，基板在兩個生長腔室之間移動，同時將基板保持在真空中，較佳地超高真空。生長腔室可經由閥門耦合在一起，且視情況經由作為氣匣的緩衝腔室耦合在一起。

【0060】 在使用定向沉積製程生長鋁層的實施方案中，圖案化層可能會在部分基板表面上投射陰影。換言之，圖案化層可阻擋沉積材料束。鋁層因此可能具有不均勻的厚度。若圖案化層 220 的厚度大於約 10 nm，則可觀察到陰影。

【0061】 為了減少陰影的影響，在層的生長期間，鋁束相對於基板表面的方向可改變。基板可移動，例如旋轉或傾

斜。可移動束源。視情況，可同時或順序地自複數個不同方向施加複數個材料束。

【0062】 鋁層 230 的厚度可小於或等於 3 nm，例如在 2 至 3 nm 的範圍內。具有約 3 nm 或更小厚度的鋁層可藉由暴露於氧氣而方便完全氧化。

【0063】 在鋁沉積期間，基板的溫度可保持在低於或等於 273 K (0 °C) 的溫度，例如 50 至 100 K 範圍內的溫度。如上所述，將基板保持在低溫可幫助防止圖案化層自基板上脫濕。可假設基板的溫度等於固持基板的樣品臺的溫度。

【0064】 鋁層通常藉由物理沉積製程形成。特定言之，鋁層可藉由蒸發形成，視情況經由分子束磊晶製程形成。鋁在相對較低的溫度下蒸發，且發現鋁在低溫基板上的物理沉積進行良好。

【0065】 隨後，在方塊 103，將鋁層 230 氧化。這將鋁層轉化為氧化鋁的鈍化層 240，如第 2C 圖所示。

【0066】 氧化可包含將鋁層暴露於氧氣。氧氣的壓力可在 0.1 至 10 Pa 的範圍內，例如 0.5 至 1.5 Pa。在約 1 Pa 的壓力下將鋁暴露於氧氣提供了進行氧化的方便途徑。

【0067】 可藉由選擇氧氣壓力及進行氧化的溫度來控制氧化程度。通常，期望完全氧化在操作 102 沉積的鋁層 230。當暴露於氧氣中時，鋁將發生自限制性氧化。作為示例，當鋁暴露於大氣時，形成具有約 3 nm 深度的氧化鋁層。

【0068】 氧化通常在完成鋁層 230 的沉積之後不久開始，而基板仍低溫（例如，在低於 273 K，視情況低於 200 K

的溫度下)。例如，可在完成沉積的一小時內，視情況在30分鐘內，進一步視情況在10分鐘內，進一步視情況在5分鐘內開始氧化。由於基板保持在真空中，因此熱傳遞到基板大體很慢，此係因為幾乎沒有傳導或對流。

【0069】 保持基板低溫，直到鋁層至少部分氧化，可能有助於避免脫濕。

【0070】 在氧化製程期間，可允許基板的溫度升高，此係因為一旦形成初始氧化層，可保護圖案化層免受脫濕。基板的初始溫度可能在50至100 K的範圍內。最終溫度可能高達303 K (30°C)。允許溫度升高可增加鋁層氧化的深度。

【0071】 形成鋁層，且隨後原位氧化鋁層，允許形成鈍化層，而無需將基板暴露於高溫。這允許溫度敏感薄膜的鈍化。

【0072】 一旦形成，鈍化氧化鋁層240即可保護圖案化層220及基板210，包括任何半導體或拓撲絕緣體部件。這允許在不損壞圖案化層或基板且亦不使圖案化層與基板之間的介面劣化的情況下進行製造後操作。

【0073】 可對示例方法進行各種修改。

【0074】 雖然所述示例使用了氧化鋁鈍化層，但亦可使用由其他材料形成的鈍化層。

【0075】 例如，可修改方塊102以包含在基板上原位沉積介電材料層。在此類實施方案中，省去了方塊103的操作。若圖案化層及基板對溫度不敏感，則可進行介電材料的原

子層沉積。原子層沉積大體涉及將基板加熱至至少 350 K 的溫度。

【0076】 在另一實例中，可用不同的金屬代替在方塊 102 處形成的鋁層。在方塊 103，可使用任何合適的試劑（不一定為氧氣）將金屬轉化為鈍化材料。

【0077】 現將參考第 3 圖描述用於實施此方法的示例設備 300。第 3 圖為此設備的方塊圖。

【0078】 設備 300 包括一組真空腔室 310、320、330。這些真空腔室被稱為工作腔室。真空腔室各自經由各自閘閥 314、324、334 連接到緩衝腔室 350。這允許基板在真空腔室之間移動而不暴露於開放大氣。藉由經由緩衝腔室連接工作腔室，可防止試劑在工作腔室之間的不希望的轉移。

【0079】 在此實例中，第一工作腔室 310 可經配置為允許在晶圓上製造半導體部件，且與材料源 312 連通，以提供半導體材料或其合適的前驅物，用於在晶圓上沉積。

【0080】 第二工作腔室 320 經配置為允許進行第 1 圖中的方塊 102 及 103 的操作。第二工作腔室可為分子束磊晶腔室。第二工作腔室 320 經配置為提供超高真空環境。

【0081】 在此實例中，第二工作腔室 320 與兩個材料源 322、323 連通。第一材料源 322 可為蒸發器，其用於提供要沉積在圖案化層中的諸如鉛的材料。第二材料源 323 可為蒸發器，其用於提供用於形成鈍化層的材料，例如鋁。

【0082】 用於冷卻基板的冷卻板 3 2 6 佈置在第二工作腔室 3 2 0 中。冷卻板可包括一或多個管，且液氮可被泵送穿過管以冷卻基板。

【0083】 基板可安裝在樣品載體上。樣品載體可經配置為充當散熱器，即可包含具有相對高的比熱容的材料。這可能有助於在基板在腔室之間移動時將基板保持在低溫。

【0084】 模板光罩 3 2 8 亦佈置在第二工作腔室中。模板光罩可使用操縱器移動，使得模板光罩在需要時可定位在基板上。模板光罩用於圖案化材料層，如參考第 1 圖的方塊 1 0 1 所述。

【0085】 本實例的第三工作腔室 3 3 0 經配置為用於氧化鋁層的氧化腔室，如參考第 1 圖的方塊 1 0 3 所述。第三真空腔室連接到氧氣供應器 3 3 2。第三真空腔室及氧氣供應器 3 3 2 可一起配置成提供具有 0.1 至 10 帕斯卡、視情況 0.5 至 5 帕斯卡的氧氣壓力的環境。在此腔室中提供用於在氧化期間控制基板溫度的冷卻板 3 3 6。

【0086】 可對示例設備進行各種修改。

【0087】 此設備可包括兩個單獨的工作腔室，各自用於製造圖案化層及鋁層。

【0088】 在除氧化鋁以外的材料用作鈍化層的變體中，可省去氧化腔室 3 3 0。

【0089】 設備中可包括用於製備基板的額外腔室。

【0090】 應當理解，僅藉助於實例描述上述實施例。

【0091】 更一般地，根據本文揭示的一個態樣，提供了一種製造元件的方法。此方法包含藉由經由模板光罩將材料沉積到基板表面上，在此表面上形成材料的圖案化層；及在圖案化層及表面上形成鈍化層。此方法在密封設備中進行，且將基板保持在真空下直到形成鈍化層之後。

【0092】 此方法特別適用於量子電腦部件的製造。

【0093】 例如，此元件可包括半導體-超導體混合結構及/或拓撲絕緣體-超導體混合結構。由於本方法可允許圖案化層與基板之間的初始介面，因此此方法可允許獲得更高品質的混合結構。鈍化層亦可在任何製造後處理（例如添加閘電極）期間為混合結構提供良好的保護。

【0094】 此元件可包括超導電路。此元件可包括一或多個約瑟夫界面(Josephson junction)。

【0095】 藉由將基板保持在真空下，可避免基板表面的污染。亦可避免對可能被空氣或水蒸氣化學劣化的材料造成損壞。真空可為氣體壓力小於或等於 1×10^{-4} Pa 的環境。沉積操作通常在超高真空下進行。可在中度真空下進行氧化操作。

【0096】 由於模板光罩用於對沉積材料進行圖案化，因此無需在基板上形成微影光罩。亦避免使用蝕刻。這可避免圖案化層及基板表面的劣化及/或污染。

【0097】 在不向基板施加抗蝕劑的情況下形成圖案化層及鈍化層。在不使用蝕刻的情況下形成圖案化層及鈍化層。

在不使用電子束微影術的情況下形成圖案化層及鈍化層。
在不使用剝離製程的情況下形成圖案化層及鈍化層。

【0098】 圖案化層可藉由材料的物理沉積（例如蒸發）形成。

【0099】 鈍化層可藉由物理沉積（例如蒸發）形成。鈍化層可藉由前驅物（例如鋁）的物理沉積，隨後將前驅物原位轉化（例如氧化）為鈍化材料（例如氧化鋁）來形成。使用物理沉積可允許在此方法期間將基板保持在低溫。

【0100】 形成鈍化層可包括在圖案化層及表面上形成鋁層；及氧化鋁層以形成鈍化層。鋁層可藉由蒸發沉積。例如，可藉由分子束磊晶在圖案化層及基板表面上生長鋁層。有用的為，鋁可在相對較低的溫度下蒸發。這可允許在形成鋁層期間將基板保持在低溫，這可有助於防止圖案化層自基板上脫濕。鋁層的氧化亦可在低溫下進行。

【0101】 氧化鋁層可包含將鋁層暴露於壓力在 0.1 Pa 至 3 kPa ，視情況 0.1 Pa 至 10 Pa ，進一步視情況 0.5 Pa 至 5 Pa 範圍內的氧氣。氣體壓力在 0.1 Pa 至 3 kPa 範圍內的環境被視為中度真空。氧化可在低於或等於 30°C 的溫度下進行。

【0102】 鋁層的氧化可在基板低溫時進行。在氧化期間，基板的溫度可能會升高。基板的初始溫度可在 50 至 150 K 的範圍內。在氧化期間，基板的最終溫度通常小於或等於 30°C （ 303 K ），且視情況小於或等於 0°C （ 273 K ）。將基板保持在低溫直到鋁層至少部分氧化可防止圖案化層的脫濕。

【0103】 鋁層的厚度可小於或等於 3 nm，視情況小於或等於 2 nm。例如，鋁層的厚度可在 1 至 3 nm 的範圍內，視情況 1 至 2 nm。

【0104】 形成鈍化層的材料供應方向可在鈍化層的形成期間改變。例如，此方法可進一步包含在鈍化層的形成期間旋轉及/或傾斜基板。這可允許獲得具有更均勻厚度的鈍化層。

【0105】 圖案化層的材料可為超導體材料。超導體材料可選自鉛及鋁。

【0106】 鉛的超導間隙約為鋁超導間隙尺寸的 6 倍。對於混合元件的超導體部件來說，大的超導間隙為可期望的特性。然而，鉛薄膜非常容易損壞，且例如可被水侵蝕。本方法允許在鉛上原位形成鈍化層。鈍化層可例如在任何製造後製程期間保護鉛層。

【0107】 據報導，鋁與式 1 的半導體材料緊密耦合。耦合的強度可取決於鋁層的厚度而變化。厚度可在例如 4 至 10 nm 的範圍內。當暴露於高溫時，薄膜可能容易脫濕。本文提供的方法可在低溫下進行，這可減少或避免脫濕。

【0108】 形成圖案化層可包含藉由分子束磊晶生長圖案化層。

【0109】 圖案化層及鈍化層均可在相同真空腔室中進行。這可減少污染圖案化層及基板表面的風險。

【0110】 或者，圖案化層可在密封設備的第一真空腔室中形成，且此方法可進一步包含在形成圖案化層之後且在形

成鈍化層之前將基板自第一真空腔室轉移到第二真空腔室。

【0111】 圖案化層的厚度沒有特別限制。由於可在不將基板暴露於高溫的情況下進行本方法，因此此方法對於在暴露於過熱時可能容易脫濕的薄圖案化層特別有用。例如，圖案化層可具有小於或等於 10 nm，視情況小於或等於 5 nm 的厚度。

【0112】 在鈍化層形成之前，可將基板保持在低於或等於 273 K (0 °C) 的溫度。特定言之，基板可保持在 50 至 100 K 範圍內的溫度。將基板保持在低溫，至少直到沉積鈍化層之後，可防止圖案化層的脫濕。

【0113】 當基板處於 50 至 100 K 範圍內的溫度時，可形成圖案化層。當基板處於 50 至 100 K 的溫度時可沉積鋁層。當基板處於小於或等於 273 K 的溫度時，可進行鋁層的氧化。

【0114】 基板可包括半導體部件。例如，基板可包含晶圓及佈置在晶圓上的半導體部件。

【0115】 在存在半導體部件的實施方案中，此方法可進一步包含在形成圖案化層之前，在密封設備中製造半導體部件。這可避免半導體部件表面的污染，從而允許在半導體部件與待形成的圖案化層之間形成更好的介面。模板光罩可用於控制半導體部件的生長。

【0116】 半導體部件可包含一或多個奈米線。奈米線可為 S A G 奈米線。

【0122】 形成鈍化層之後，可自密封設備中移除基板。鈍化層可保護圖案化層及基板表面免受空氣或水蒸氣的劣化。可進行製造後製程。例如，可向元件添加閘電極。鈍化層可保護圖案化層及基板表面在製造後製程期間免受損壞。例如，鈍化層可保護圖案化層及基板表面免受任何製造後蝕刻製程的損壞。

【0123】 一旦給出本文的揭示案，所揭示技術的其他變體或用例對於熟習此項技術者而言可能變得顯而易見。本揭示案的範疇不受所描述實施例的限制，而僅受所附發明申請專利範圍的限制。

【符號說明】

【0124】

- 1 0 1 : 方塊
- 1 0 2 : 方塊
- 1 0 3 : 方塊
- 2 1 0 : 基板
- 2 2 0 : 圖案化層
- 2 3 0 : 鋁層
- 2 4 0 : 鈍化層
- 3 0 0 : 設備
- 3 1 0 : 真空腔室
- 3 1 2 : 材料源
- 3 1 4 : 閘閥
- 3 2 0 : 真空腔室

3 2 2 : 材 料 源

3 2 3 : 材 料 源

3 2 4 : 閘 閥

3 2 6 : 冷 卻 板

3 2 8 : 模 板 光 罩

3 3 0 : 真 空 腔 室

3 3 2 : 氧 氣 供 應 器

3 3 4 : 閘 閥

3 3 6 : 冷 卻 板

3 5 0 : 緩 衝 腔 室

F 1 : 材 料 銲 劑

F 2 : 銲 劑

【生物材料寄存】

國 內 寄 存 資 訊 (請 依 寄 存 機 構 、 日 期 、 號 碼 順 序 註 記)

無

國 外 寄 存 資 訊 (請 依 寄 存 國 家 、 機 構 、 日 期 、 號 碼 順 序 註 記)

無

【發明申請專利範圍】

【請求項1】 一種製造一元件的方法，該方法包含以下步驟：

藉由經由一模板光罩將一材料沉積到一基板的一表面上，在該表面上形成該材料的一圖案化層；及

在該圖案化層及該表面上形成一鈍化層；

其中該方法在一密封設備中進行，且將該基板保持在一真空下直到已形成該鈍化層之後。

【請求項2】 如請求項1所述之方法，其中形成該鈍化層之步驟包含以下步驟：在該圖案化層及該表面上形成一鋁層；及氧化該鋁層以形成該鈍化層。

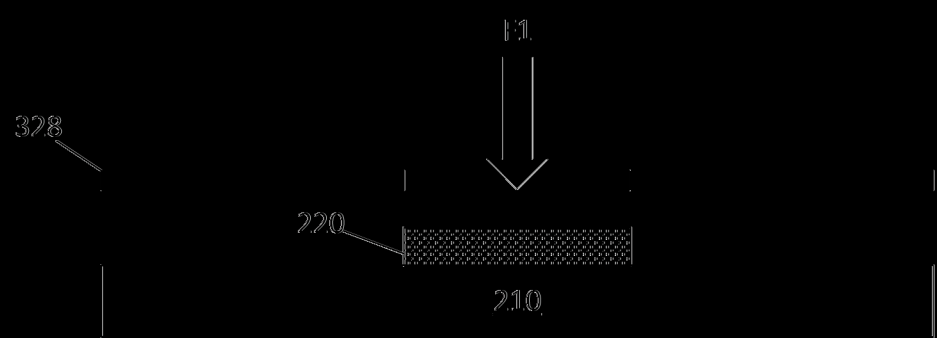
【請求項3】 如請求項2所述之方法，其中該鋁層的一厚度在1至3 nm的範圍內。

【請求項4】 如任一前述請求項所述之方法，其中形成該圖案化層之步驟包含以下步驟：由分子束磊晶生長該圖案化層。

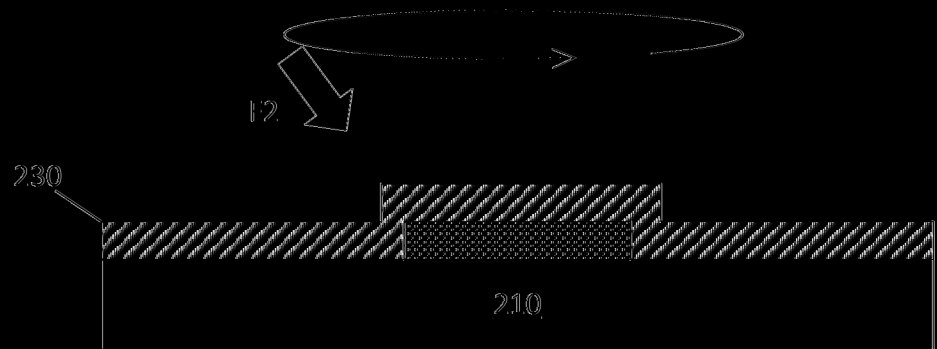
【請求項5】 如任一前述請求項所述之方法，其中形成該圖案化層之步驟及形成該鈍化層之步驟均在同一真空腔室中進行。

【請求項6】 如請求項1至4中任一項所述之方法，其中該圖案化層在該密封設備的一第一真空腔室中形成，且該方法還包含以下步驟：在形成該圖案化層之後且在形成該鈍化層之前將該基板自該第一真空腔室轉移到一第二真空腔室。

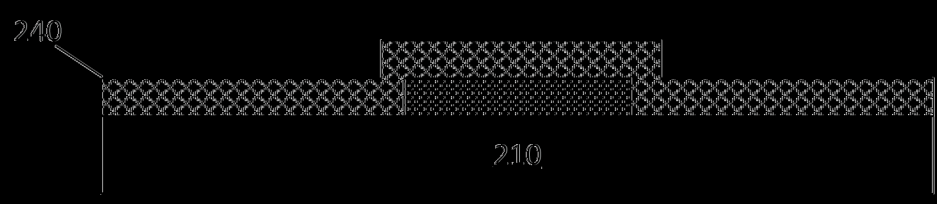
- 【請求項 7】 如任一前述請求項所述之方法，其還包含以下步驟：在該鈍化層的該形成期間旋轉及/或傾斜該基板。
- 【請求項 8】 如任一前述請求項所述之方法，其中該基板保持在小於或等於 0°C 的一溫度。
- 【請求項 9】 如請求項 7 所述之方法，其中該基板保持在 50 至 100 K 範圍內的一溫度。
- 【請求項 10】 如任一前述請求項所述之方法，其中該圖案化層的一厚度小於或等於 10 nm ，視情況小於或等於 5 nm 。
- 【請求項 11】 如任一前述請求項所述之方法，其中該材料為一超導體材料。
- 【請求項 12】 如請求項 11 所述之方法，其中該超導體材料選自鉛及鋁。
- 【請求項 13】 如任一前述請求項所述之方法，其中該基板包括一半導體部件。
- 【請求項 14】 如請求項 13 所述之方法，其還包含以下步驟：在形成該圖案化層之前，在該密封設備中製造該半導體部件。
- 【請求項 15】 如請求項 13 或請求項 14 所述之方法，其中該半導體部件包含一或多個奈米線。
- 【請求項 16】 如請求項 13 至 15 中任一項所述之方法，其中該半導體部件包含經配置為容納一二維電子氣或一二維電洞氣的一異質結構。



第2A圖



第2B圖



第2C圖

