

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5217359号
(P5217359)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月15日(2013.3.15)

(51) Int. Cl. F I
B 4 1 J 2/355 (2006.01) B 4 1 J 3/20 1 1 4 B

請求項の数 12 (全 21 頁)

(21) 出願番号	特願2007-275185 (P2007-275185)	(73) 特許権者	000002369
(22) 出願日	平成19年10月23日(2007.10.23)		セイコーエプソン株式会社
(65) 公開番号	特開2009-101585 (P2009-101585A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成21年5月14日(2009.5.14)	(74) 代理人	100090479
審査請求日	平成22年10月22日(2010.10.22)		弁理士 井上 一
		(74) 代理人	100104710
			弁理士 竹腰 昇
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	齋藤 忠守
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	牧島 元

最終頁に続く

(54) 【発明の名称】 サーマルヘッドドライバ、サーマルヘッド、電子機器及び印刷システム、並びにサーマルヘッドドライバ及びサーマルヘッドのレイアウト方法

(57) 【特許請求の範囲】

【請求項1】

複数の発熱素子を駆動するための複数のドライバブロックから構成されるサーマルヘッドドライバであって、

各ドライバブロックが、

所与のシフト方向に画素データがシフトされるシフトレジスタを構成するフリップフロップと、

前記フリップフロップに保持された画素データをラッチするためのラッチと、

発熱素子を駆動する出力ドライバを含み、

前記複数のドライバブロックのうちの第1のドライバブロックの前記出力ドライバが、
 前記第1のドライバブロックに対応した発熱素子を、ストロープ信号と前記ラッチからの第1の画素データとに基づいて駆動し、

前記複数のドライバブロックのうちの第2のドライバブロックの前記出力ドライバが、
 前記第2のドライバブロックに対応した発熱素子を、ストロープ信号を遅延反転回路により遅延させ、かつ反転させた遅延反転ストロープ信号と前記ラッチからの第2の画素データとに基づいて駆動し、

前記第2のドライバブロックで、前記遅延反転回路は、1つのインバータで構成される、

前記第1のドライバブロックで、前記ストロープ信号が正論理である場合、前記ラッチの出力は、正論理であり、前記ストロープ信号が負論理である場合、前記ラッチの出力は

10

20

、負論理であり、

前記第2のドライバブロックで、前記遅延反転ストロープ信号が正論理である場合、前記ラッチの出力は、正論理であり、前記遅延反転ストロープ信号が負論理である場合、前記ラッチの出力は、負論理である、サーマルヘッドドライバ。

【請求項2】

請求項1において、

各ドライバブロックで、前記ラッチの出力が正論理である場合、出力ドライバは、論理積回路によって制御され、前記ラッチの出力が負論理である場合、出力ドライバは、論理和回路によって制御される、
サーマルヘッドドライバ。

10

【請求項3】

請求項2において、

前記1つのインバータは、第1および第2の導電型のトランジスタを含み、
前記第1の導電型の前記トランジスタの能力は、前記フリップフロップ及びノ又は前記ラッチを構成する少なくとも1つのトランジスタであって、前記第1の導電型と同じ導電型の少なくとも1つのトランジスタの能力より低く、
前記第2の導電型の前記トランジスタの能力は、前記フリップフロップ及びノ又は前記ラッチを構成する少なくとも1つのトランジスタであって、前記第2の導電型と同じ導電型の少なくとも1つのトランジスタの能力より低い、サーマルヘッドドライバ。

20

【請求項4】

複数の発熱素子を駆動するための複数のドライバブロックから構成されるサーマルヘッドドライバであって、
各ドライバブロックが、発熱素子を駆動する出力ドライバを含み、
各ドライバブロックが、
隣接するドライバブロックからのストロープ信号をそのまま、又は該ストロープ信号を遅延反転回路により遅延させ、かつ反転させて出力し、
前記複数のドライバブロックのうちの第1のドライバブロックが、
前記第1のドライバブロックに対応した発熱素子を、隣接するドライバブロックからのストロープ信号と第1の画素データとに基づいて駆動し、
前記複数のドライバブロックのうちの第2のドライバブロックが、
前記第2のドライバブロックに対応した発熱素子を、隣接するドライバブロックからのストロープ信号を遅延反転回路により遅延させ、かつ反転させた遅延反転ストロープ信号と第2の画素データとに基づいて駆動し、
前記第2のドライバブロックで、前記遅延反転回路は、1つのインバータで構成される、サーマルヘッドドライバ。

30

【請求項5】

複数の発熱素子を駆動するための複数のドライバブロックから構成されるサーマルヘッドドライバであって、
各ドライバブロックが、発熱素子を駆動する出力ドライバを含み、
前記複数のドライバブロックのすべてが、
各ドライバブロックに対応した発熱素子を、ストロープ信号を遅延反転回路により遅延させ、かつ反転させた遅延反転ストロープ信号と画素データとに基づいて駆動し、
各ドライバブロックで、前記遅延反転回路は、1つのインバータで構成される、サーマルヘッドドライバ。

40

【請求項6】

一端に所与の電源電圧が供給される複数の発熱抵抗素子と、
前記複数の発熱抵抗素子の各発熱抵抗素子の他端に各出力ドライバの出力が電氣的に接続される請求項1乃至5のいずれか記載のサーマルヘッドドライバと、
を備えるサーマルヘッド。

【請求項7】

50

請求項 1 乃至 5 のいずれか記載のサーマルヘッドドライバを備えるサーマルヘッド。

【請求項 8】

請求項 1 乃至 5 のいずれか記載のサーマルヘッドドライバと、
印刷用紙の印刷対象部分を紙送り手段とを含むことを特徴とする電子機器。

【請求項 9】

請求項 6 又は 7 記載のサーマルヘッドと、
印刷用紙の印刷対象部分を紙送り手段とを含むことを特徴とする電子機器。

【請求項 10】

請求項 8 又は 9 記載の電子機器と、
前記電子機器に対して印刷データを供給する制御部と、
を備える印刷システム。

10

【請求項 11】

N 個の発熱素子を駆動するための N 個のドライバブロックから構成されるサーマルヘッドドライバのレイアウト方法であって、

前記サーマルヘッドドライバの中を流れるストローク信号の 1 ラインの総遅延時間を準備すること、

1 つのドライバブロックで、1 つのインバータによって、ストローク信号を遅延させることが可能な第 1 の遅延量を準備すること、

前記 1 ラインの総遅延時間 / (N - 1) < 前記第 1 の遅延量の場合、前記 1 ラインの総遅延時間を前記第 1 の遅延量で除算したときの商を超えない数のドライバブロックを前記 N 個のドライバブロックの中から選択すること、

20

前記選択されたドライバブロックのそれぞれに、ストローク信号を遅延させ、かつ反転させた遅延反転ストローク信号を出力する 1 つのインバータと、前記遅延反転ストローク信号に基づいて制御される出力ドライバと、を配置すること、

前記選択されなかった残りのドライバブロックのそれぞれに、ストローク信号に基づいて制御される出力ドライバを配置すること、

を含むサーマルヘッドドライバのレイアウト方法。

【請求項 12】

M 個のサーマルヘッドドライバを含むサーマルヘッドのレイアウト方法であって、

M 個のサーマルヘッドドライバのそれぞれを請求項 11 に記載の方法によってレイアウトすること、

30

を含むサーマルヘッドのレイアウト方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、サーマルヘッドドライバ、サーマルヘッド、電子機器及び印刷システム、並びにサーマルヘッドドライバ及びサーマルヘッドのレイアウト方法に関する。

【背景技術】

【0002】

40

サーマルプリンタは、発熱体により得られた熱エネルギーを用いて媒体に印刷する方式のプリンタである。例えば物品を購入したときに渡されるレシートを印刷する目的のプリンタや、デジタルカメラ等で撮影した画像を印刷する目的のプリンタとして、このサーマルプリンタが採用されることがある。

【0003】

図 1 に、サーマルプリンタの原理の 1 例を説明する図を示す。

【0004】

サーマルプリンタは、サーマルヘッド 12 を含む。サーマルヘッド 12 には、複数の発熱体が配列されており、サーマルヘッド 12 に搭載されたサーマルヘッドドライバにより発熱させる発熱体を選択される。サーマルヘッド 12 の発熱体の熱エネルギーがシート (

50

感熱シート) 14 に伝えられると、例えばシート 14 のインクが溶融(溶融型)、又は該インクが気化(昇華型)して用紙 16 に画像を印刷する。

なお、用紙 16 が感熱紙である場合には、シート 14 は不要であり、サーマルヘッド 12 は、感熱紙 16 に画像を直接印刷する。

【0005】

発熱させる発熱体を例えば 1 ライン毎にサーマルヘッドドライバが選択して 1 ライン分の画像を印刷し、その後、用紙 16 の紙送りを行うことを繰り返す。こうすることで、1 つの画像を用紙 16 に印刷させることができる。

【0006】

サーマルヘッド 12 の発熱体は発熱抵抗体により構成されており、サーマルヘッドドライバが、発熱抵抗体を選択し、選択した発熱抵抗体に電流を流す制御を行う。ところが、印刷画像の高精細化のために発熱体の数が増加し、1 ライン毎に発熱体に流す電流量が大きくなる傾向にある。その結果、電源電圧のサージ電圧として現れ、ノイズを発生させる。このノイズは、サーマルヘッドドライバの誤動作の原因となっている。

10

【0007】

例えば特許文献 1 には、このようなサージ電圧を抑える技術が開示されている。特許文献 1 には、複数のドライバ IC (Integrated Circuit) でサーマルヘッドの発熱抵抗体に電流を流す場合に、電流を流すタイミングを規定するストローク信号をずらして各ドライバ IC に供給するように構成された制御装置が開示されている。更に、ストローク信号を遅延させる間に、次の行のデータを取り込むためのラッチ信号が入力されることを防止す

20

【特許文献 1】特開 2001-301211 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献 1 では、予めドライバ IC 内に搭載されたストローク遅延回路により遅延させたストローク信号の種類が限定される。発熱抵抗体に同時に流れる電流量を減らすことでサージ電圧を低減できるため、予めドライバ IC 内のストローク遅延回路で生成される種類のストローク信号では、十分にサージ電圧を低減させることができない場合がある。

30

【0009】

また、サージ電圧は、専らサーマルヘッドの構成に依存し、ドライバ IC 側だけではサージ電圧を低減できないことがある。例えばドライバ IC の出力数(発熱抵抗体の数)が多くなると、ドライバ IC のストローク遅延回路で予め生成されたストローク信号ではサージ電圧の低減ができないことがある。従って、サーマルヘッドドライバの互いに遅延しているストローク信号の数は、該サーマルヘッドドライバが搭載されるサーマルヘッドに依存して決定できることが望ましい。

【0010】

更に、近年、印刷画像の高精細化が要求される一方、サーマルプリンタの小型化及び低コスト化の要求も高い。そのため、サーマルヘッドを小型化するために、IC 化されたサーマルヘッドドライバのチップサイズを縮小させる必要がある。しかしながら、サーマルヘッドドライバの製造プロセスを高密度プロセスにすると耐圧マージンが少なくなり、従来の製造プロセスでは問題がなかったサージ電圧が、この耐圧を超える可能性が出てきている。

40

【0011】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、チップサイズを増大させることなくサージ電圧を低減させると共に、高密度プロセスで製造可能なサーマルヘッドドライバ、サーマルヘッド、電子機器及び印刷システムを提供することにある。

【課題を解決するための手段】

50

【 0 0 1 2 】

上記課題を解決するために本発明は、

発熱素子を駆動するためのサーマルヘッドドライバ(30)であって、

ストロープ信号(STB₁)の変化タイミングに同期して第1の画素データに基づいて第1の発熱素子を駆動する第1の出力ドライバ(OD₁)と、

ストロープ信号(STB₁)を遅延させ、かつ反転させた遅延反転ストロープ信号(STB₂)を出力する遅延反転回路(DL₂)と、

遅延反転ストロープ信号(STB₂)の変化タイミングに同期して第2の画素データに基づいて第2の発熱素子を駆動する第2の出力ドライバ(OD₂)と、

を備え、

遅延反転回路(DL₂)は、1つのインバータ(DL₂)で構成される、サーマルヘッドドライバ(30)に関係する。

【 0 0 1 3 】

また本発明は、

複数の発熱素子を駆動するための複数のドライバブロック(DB₁、DB₂)から構成されるサーマルヘッドドライバ(30)であって、

各ドライバブロック(DB_j)が、発熱素子を駆動する出力ドライバ(OD_j)を含み、

複数のドライバブロック(DB₁、DB₂)のうちの第1のドライバブロック(DB₁)が、

第1のドライバブロックに対応した発熱素子を、ストロープ信号(STB_{j-1})と第1の画素データとに基づいて駆動し、

複数のドライバブロック(DB₁、DB₂)のうちの第2のドライバブロック(DB₂)が、

第2のドライバブロックに対応した発熱素子を、ストロープ信号を遅延反転回路(DL_j)により遅延させ、かつ反転させた遅延反転ストロープ信号(STB_j)と第2の画素データとに基づいて駆動し、

第2のドライバブロック(DB₂)で、遅延反転回路(DL_j)は、1つのインバータで構成される、サーマルヘッドドライバ(30)に関係する。

【 0 0 1 4 】

また本発明は、

複数の発熱素子を駆動するための複数のドライバブロック(DB₁、DB₂)から構成されるサーマルヘッドドライバ(30)であって、

各ドライバブロック(DB_j)が、発熱素子を駆動する出力ドライバ(OD_j)を含み、

各ドライバブロック(DB_j)が、

隣接するドライバブロック(DB_{j-1})からのストロープ信号(STB_{j-1})をそのまま、又は該ストロープ信号(STB_{j-1})を遅延反転回路(DL_j)により遅延させ、かつ反転させて出力し、

複数のドライバブロック(DB₁、DB₂)のうちの第1のドライバブロック(DB₁)が、

第1のドライバブロックに対応した発熱素子を、隣接するドライバブロック(DB_{j-1})からのストロープ信号(STB_{j-1})と第1の画素データとに基づいて駆動し、

複数のドライバブロック(DB₁、DB₂)のうちの第2のドライバブロック(DB₂)が、

第2のドライバブロックに対応した発熱素子を、隣接するドライバブロック(DB_{j-1})からのストロープ信号(STB_{j-1})を遅延反転回路(DL_j)により遅延させ、かつ反転させた遅延反転ストロープ信号(STB_j)と第2の画素データとに基づいて駆動し、

第2のドライバブロック(DB₂)で、遅延反転回路(DL_j)は、1つのインバータ

10

20

30

40

50

で構成される、サーマルヘッドドライバ(30)に係る。

【0015】

上記のいずれかの発明によれば、サーマルヘッドドライバが搭載されるサーマルヘッドの特性に応じて、互いに異なるタイミングで発熱素子を駆動できるようになる。しかも、遅延反転回路の回路規模が非常に小さく、サーマルヘッドドライバのチップサイズの大規模な増加を抑えることができる。そして、チップサイズを増大させることなくサージ電圧を低減させることができるので、高密度プロセスで製造可能なサーマルヘッドドライバを提供できる。

【0016】

また本発明に係るサーマルヘッドドライバでは、
各ドライバブロック(DB_j)が、
所与のシフト方向に画素データがシフトされるシフトレジスタを構成するフリップフロップ(DF_{Fj})と、
フリップフロップに保持された画素データをラッチするためのラッチ(LT_j)とを含み、
出力ドライバ(OD_j)が、
ラッチの出力とストローク信号(STB_{j-1})又は遅延反転ストローク信号(STB_j)とに基づいて発熱素子を駆動することができる。

10

【0017】

また本発明に係るサーマルヘッドドライバでは、
第1のドライバブロック(DB₁)で、ストローク信号(STB_{j-1})が正論理である場合、ラッチ(LT_j)の出力は、正論理であり(図7)、ストローク信号(STB_{j-1})が負論理である場合、ラッチ(LT_j)の出力は、負論理であり(図8)、
第2のドライバブロック(DB₂)で、遅延反転ストローク信号(STB_j)が負論理である場合、ラッチ(LT_j)の出力は、負論理であり(図9)、遅延反転ストローク信号(STB_j)が正論理である場合、ラッチ(LT_j)の出力は、正論理である(図10)ことができる。

20

【0018】

各ドライバブロック(DB_j)で、前記ラッチ(LT_j)の出力が正論理である場合、出力ドライバ(OD_j)は、論理積回路(OC_j)によって制御され(図7、図10)、
前記ラッチ(LT_j)の出力が負論理である場合、出力ドライバ(OD_j)は、論理和回路(OC_j)によって制御される(図8、図9)ことができる。

30

【0019】

また本発明に係るサーマルヘッドドライバでは、
1つのインバータ(DL_j)は、第1および第2の導電型のトランジスタを含み、
第1の導電型のトランジスタの能力は、フリップフロップ(DF_{Fj})及び/又はラッチ(LT_j)を構成する少なくとも1つのトランジスタであって、第1の導電型と同じ導電型の少なくとも1つのトランジスタの能力より低く、
第2の導電型のトランジスタの能力は、フリップフロップ(DF_{Fj})及び/又はラッチ(LT_j)を構成する少なくとも1つのトランジスタであって、第2の導電型と同じ導電型の少なくとも1つのトランジスタの能力より低くすることができる。

40

【0020】

また本発明は、
複数の発熱素子を駆動するための複数のドライバブロック(DB₁~DB_N)から構成されるサーマルヘッドドライバ(30)であって、
各ドライバブロック(DB_j)が、発熱素子を駆動する出力ドライバ(OD_j)を含み、
複数のドライバブロック(DB₁~DB_N)のすべてが、
各ドライバブロック(DB_j)に対応した発熱素子を、ストローク信号(STB_{j-1})を遅延反転回路(DL_j)により遅延させ、かつ反転させた遅延反転ストローク信号(

50

STB_J)と画素データとに基づいて駆動し、

各ドライバブロック(DB_J)で、遅延反転回路(DL_J)は、1つのインバータで構成される、サーマルヘッドドライバ(30)に関係する。

【0021】

また本発明は、

一端に所与の電源電圧が供給される複数の発熱抵抗素子と、

複数の発熱抵抗素子の各発熱抵抗素子の他端に各出力ドライバの出力が電氣的に接続される上記のいずれか記載のサーマルヘッドドライバとを含むサーマルヘッドに関係する。

【0022】

また本発明は、

上記のいずれか記載のサーマルヘッドドライバを含むサーマルヘッドに関係する。

10

【0023】

上記のいずれかの発明によれば、サージ電圧を低減させると共に、高密度プロセスで製造可能なサーマルヘッドドライバが適用されたサーマルヘッドを提供できるようになる。

【0024】

また本発明は、

上記のいずれか記載のサーマルヘッドドライバと、

印刷用紙の印刷対象部分を紙送り手段とを含む電子機器に関係する。

【0025】

また本発明は、

上記記載のサーマルヘッドと、

印刷用紙の印刷対象部分を紙送り手段とを含む電子機器に関係する。

20

【0026】

上記のいずれかの発明によれば、サージ電圧を低減でき、ノイズによる誤動作を防止する電子機器を提供できる。

【0027】

また本発明は、

上記記載の電子機器と、

電子機器に対して印刷データを供給する制御部とを含む印刷システムに関係する。

【0028】

本発明によれば、サージ電圧を低減でき、ノイズによる誤動作を防止する印刷システムを提供できる。

30

【0029】

また本発明は、

N個の発熱素子を駆動するためのN個のドライバブロック(DB₁~DB_N)から構成されるサーマルヘッドドライバ(30)のレイアウト方法であって、

前記サーマルヘッドドライバ(30)の中を流れるストローク信号(STB₀~STB_N)の1ラインの総遅延時間を準備すること、

1つのドライバブロック(DB_J)で、1つのインバータ(DL_J)によって、ストローク信号(STB_{J-1})を遅延させることが可能な第1の遅延量を準備すること、

40

前記1ラインの総遅延時間/(N-1)<前記第1の遅延量の場合、前記1ラインの総遅延時間を前記第1の遅延量で除算したときの商を超えない数のドライバブロック(DB₂)を前記N個のドライバブロック(DB₁~DB_N)の中から選択すること、

前記選択されたドライバブロック(DB₂)のそれぞれに、ストローク信号(STB_{J-1})を遅延させ、かつ反転させた遅延反転ストローク信号(STB_J)を出力する1つのインバータ(DL_J)と、前記遅延反転ストローク信号(STB_J)に基づいて制御される出力ドライバ(OD_J)と、を配置すること、

前記選択されなかった残りのドライバブロック(DB₁)のそれぞれに、ストローク信号(STB_{J-1})に基づいて制御される出力ドライバ(OD_J)を配置すること、

を含むサーマルヘッドドライバ(30)のレイアウト方法に関係する。

50

【0030】

また本発明は、M個のサーマルヘッドドライバ(30)を含むサーマルヘッド(20)のレイアウト方法に関係する。

M個のサーマルヘッドドライバ(30)のそれぞれは、前述のサーマルヘッドドライバ(30)のレイアウト方法によってレイアウトされる。

【0031】

上記のいずれかの発明によれば、サージ電圧を低減させると共に、高密度プロセスで製造可能なサーマルヘッドドライバが適用されたサーマルヘッドを提供できるようになる。

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0033】

1. サーマルヘッド

図2に、本実施形態におけるサーマルヘッドの構成例を示す。

【0034】

本実施形態におけるサーマルヘッド20は、セラミック板22の上に、複数のサーマル抵抗素子(広義には発熱素子、発熱抵抗体)が形成されている。図2では、セラミック板22の長辺の1つの縁部に、画素の間隔に合わせて複数のサーマル抵抗素子が配列されている。複数のサーマル抵抗素子の一端には、電源電圧V_Hが供給されている。この電源電圧は、サーマルヘッド20(セラミック板22)の外部から供給される、例えば24Vや18Vといった高電圧である。また、サーマルヘッド20は、第1~第M(Mは2以上の整数)のサーマルヘッドドライバ30₁~30_Mを含む。複数のサーマル抵抗素子の他端には、第1~第Mのサーマルヘッドドライバ30₁~30_Mの出力が電氣的に接続される。

【0035】

第1~第Mのサーマルヘッドドライバ30₁~30_Mの各サーマルヘッドドライバは、サーマル抵抗素子に接続される出力ドライバの出力を例えば接地電源電圧に設定することで、該サーマル抵抗素子に電流を流す(駆動する)ことができる。

【0036】

2. サーマルヘッドドライバ

次に、図2の第1~第Mのサーマルヘッドドライバ30₁~30_Mについて説明する。以下では、第1~第Mのサーマルヘッドドライバ30₁~30_Mの各サーマルヘッドドライバの構成がほぼ同様であるため、第1のサーマルヘッドドライバ30₁に適用される本実施形態におけるサーマルヘッドドライバを例に説明する。

【0037】

本実施形態におけるサーマルヘッドドライバは、複数の出力ドライバを有し、出力ドライバ毎に、発熱素子を駆動するタイミングをずらすことができる。即ち、本実施形態におけるサーマルヘッドドライバは、複数のドライバブロックのうち、第1の発熱素子を駆動する第1の出力ドライバを有する第1のドライバブロックと、第2の発熱素子を駆動する第2の出力ドライバを有する第2のドライバブロックとを含む。第1の出力ドライバは、ストローク信号の変化タイミングに同期して第1の画素データに基づいて第1の発熱素子を駆動する。更に、サーマルヘッドドライバは、ストローク信号を遅延させ、かつ反転させた遅延反転ストローク信号を出力する遅延反転回路を含み、第2の出力ドライバが、遅延反転ストローク信号の変化タイミングに同期して第2の画素データに基づいて第2の発熱素子を駆動する。この結果、サーマルヘッドドライバが搭載されるサーマルヘッドの特性に応じて、サージ電圧を低減させることができる。

【0038】

図3に、本実施形態におけるサーマルヘッドドライバの構成例を示す。

【 0 0 3 9 】

本実施形態におけるサーマルヘッドドライバ30は、複数のドライバブロック $DB_1 \sim DB_N$ (N は2以上の整数)を含む。ドライバブロック DB_j ($1 \leq j \leq N$ 、 j は整数)は、出力ドライバ OD_j と、遅延反転回路 DL_j と、ラッチ LT_j と、フリップフロップ DF_j とを含むことができる。

なお、図3において、ドライバブロック DB_1 は、遅延反転回路を含んでいないが、図示されない遅延反転回路 DL_1 を含んでもよい。また、図3において、複数のドライバブロック $DB_2 \sim DB_N$ は、対応する遅延反転回路 $DL_2 \sim DL_N$ を含むことを想定しているが、複数のドライバブロック $DB_2 \sim DB_N$ それぞれは、必ずしも、遅延反転回路 DL を含まなくてもよい。言い換えれば、複数のドライバブロック $DB_1 \sim DB_N$ は、遅延反転回路 DL を含まない第1のドライバブロックと、遅延反転回路 DL を含む第2のドライバブロックとで、構成されてもよい。

10

【 0 0 4 0 】

サーマルヘッドドライバ30には、クロック信号 CLK 、シリアルデータ SI 、ラッチ信号 LAT 及び反転ストロブ信号 $XSTROBE$ が入力される。画素データはシリアルデータ SI として、クロック信号 CLK に同期してシリアルに入力される。ラッチ信号 LAT は、ラッチ $LT_1 \sim LT_N$ に1ライン分の画素データを取り込むための信号である。反転ストロブ信号 $XSTROBE$ は、負論理の信号であり、例えば正論理のストロブ信号がドライバブロック DB_1 に供給される。

【 0 0 4 1 】

ドライバブロック $DB_1 \sim DB_N$ のフリップフロップ $DF_1 \sim DF_N$ は、シリアルデータ SI として入力される画素データがシフト方向 SDR にシフトされるシフトレジスタを構成する。シフトレジスタを構成する各フリップフロップは、クロック信号 CLK の変化タイミングに同期して、前段のフリップフロップの出力を取り込むと共に、フリップフロップに取り込んだデータを出力する。

20

【 0 0 4 2 】

ラッチ LT_j は、ラッチ信号 LAT が例えば H レベルのとき、フリップフロップ DF_j に取り込んだデータをラッチ(保持)する。ラッチ LT_j にラッチされたデータは、出力制御回路 OC_j に入力される。出力制御回路 OC_j は、出力ドライバ OD_1 の出力制御を行う出力制御信号 cnt_1 を生成する。

30

【 0 0 4 3 】

遅延反転回路 DL_j は、1つのインバータにより構成される。このインバータの入力には、隣接するドライバブロック DB_{j-1} からのストロブ信号 STB_{j-1} が入力される。そして、遅延反転回路 DL_j は、ストロブ信号 STB_{j-1} を遅延させ、かつ反転させた遅延反転ストロブ信号 $DSTB_j$ を生成する。出力制御回路 OC_j には、ストロブ信号 STB_{j-1} 又は遅延反転ストロブ信号 $DSTB_j$ が、ストロブ信号 STB_j として出力される。

【 0 0 4 4 】

図4に、図3の遅延反転回路 DL_j の説明図を示す。

【 0 0 4 5 】

図4に示すとおり、ドライバブロック DB_j の遅延反転回路 DL_j の入力には、隣接するドライバブロック DB_{j-1} からのストロブ信号 STB_{j-1} が入力される。そして、遅延反転回路 DL_j は、ストロブ信号 STB_{j-1} を遅延させ、かつ反転させた遅延反転ストロブ信号 $DSTB_j$ を出力する。隣接するドライバブロック DB_{j+1} には、遅延反転ストロブ信号 $DSTB_j$ が、ストロブ信号 STB_j として出力される。

40

【 0 0 4 6 】

遅延反転回路 DL_j は、1つのインバータで構成され、このインバータは、たとえば、 P および N の型のトランジスタ($CMOS$ トランジスタ)で構成される。遅延反転回路 DL_j を構成する P 型のトランジスタの能力(電流駆動能力)は、フリップフロップ DF_j 及び/又はラッチ LT を構成する少なくとも1つの P 型のトランジスタの能力より低い。

50

また、遅延反転回路 DL_j を構成する N 型のトランジスタの能力は、フリップフロップ DF 及び / 又はラッチ LT を構成する少なくとも 1 つの N 型のトランジスタの能力より低い。

なお、遅延反転回路 DL_j の能力が低く設定される程、遅延反転回路 DL_j は、ストローク信号 STB_{j-1} を、より遅延させることができる。

【0047】

以下、1 つのインバータで構成される遅延反転回路 DL_j の遅延量を、たとえば $0.1 [ns]$ に設定する 1 例を説明する。たとえば、遅延反転回路 DL_j の P 型のトランジスタのチャンネル長およびチャンネル幅がそれぞれ $L_{p1} (= 0.8 [\mu m])$ および $W_{p1} (= 12 [\mu m])$ であり、N 型のトランジスタのチャンネル長およびチャンネル幅がそれぞれ $L_{n1} (= 0.8 [\mu m])$ および $W_{n1} (= 6 [\mu m])$ である。

10

【0048】

ところで、遅延反転回路 DL_j は、偶数個のインバータで構成される遅延回路で、置き換えることも考えられる。この遅延回路は、未公開の日本出願である、特願 2006-347012 号に述べられている。未公開の遅延回路では、少なくとも 2 個のインバータが必要となる。

以下、2 個のインバータで構成される未公開の遅延回路の遅延量を、たとえば $0.1 [ns]$ に設定する 1 例を説明する。たとえば、未公開の遅延回路の各 P 型のトランジスタのチャンネル長およびチャンネル幅がそれぞれ $L_{p2} (= 0.8 [\mu m])$ および $W_{p2} (= 24 [\mu m])$ であり、N 型のトランジスタのチャンネル長およびチャンネル幅がそれぞれ $L_{n2} (= 0.8 [\mu m])$ および $W_{n2} (= 12 [\mu m])$ である。

20

したがって、同じ遅延量を設定する場合には、遅延反転回路 DL_j は、未公開の遅延回路よりも小さいサイズを有する。また、遅延反転回路 DL_j の 1 つインバータは、未公開の遅延回路の 1 つのインバータと比較しても、小さいサイズを有するので、遅延反転回路 DL_j の小サイズ化効果は、大きい。

【0049】

なお、1 つのインバータで構成される遅延反転回路 DL_j の遅延量を、たとえば $1 [ns]$ に設定する場合、たとえば、遅延反転回路 DL_j の P 型および N 型のトランジスタのチャンネル幅が、デザインルールの最小値 (たとえば、 $1 [\mu m]$) に固定される場合もある ($W_{p1} (= 1 [\mu m])$ 、 $W_{n1} (= 1 [\mu m])$)。この例において、遅延反転回路 DL_j の P 型および N 型のトランジスタのチャンネル長は、たとえば、 $L_{p1} (= 4 [\mu m])$ 、 $L_{n1} (= 8 [\mu m])$ である。2 個のインバータで構成される未公開の遅延回路の遅延量を、たとえば $1 [ns]$ に設定する場合、たとえば、未公開の遅延回路の各 P 型のトランジスタのチャンネル長およびチャンネル幅がそれぞれ $L_{p2} (= 2 [\mu m])$ および $W_{p2} (= 1 [\mu m])$ であり、N 型のトランジスタのチャンネル長およびチャンネル幅がそれぞれ $L_{n2} (= 4 [\mu m])$ および $W_{n2} (= 1 [\mu m])$ である。このようにトランジスタのチャンネル幅が、デザインルールの最小値に固定される場合、遅延反転回路 DL_j のゲート面積は、未公開の遅延回路のゲート面積とほぼ同じになる一方、遅延量が $0.1 [ns]$ の前述の例と比べてゲート面積が小さくなると、その他の面積 (接続コンタクト、配線、トランジスタのスペースなど) の方が、ゲート面積よりも大きくなる。したがって、1 つのインバータで構成される遅延反転回路 DL_j は、たとえば、2 つのインバータで構成される未公開の遅延回路の 60% 程度の大きさであり、小さいサイズを有する。

30

40

【0050】

図 3 に戻って説明を続ける。

【0051】

出力ドライバ OD_j は、N 型金属酸化膜半導体 (Metal Oxide Semiconductor: MOS) トランジスタ (以下、単に MOS トランジスタと略す) により構成される。この MOS トランジスタのドレインが、ドライバ出力 DO_j となる。ドライバブロック $DB_1 \sim DB_N$ の出力ドライバ $OD_1 \sim OD_N$ を構成する MOS トランジスタのソースには、接地電源電圧 GND が供給される。出力ドライバ OD_j を構成する MOS トランジスタのゲートには

50

、出力制御回路 OC_j からの出力制御信号 cnt_j が供給される。図 3 では、出力制御信号 cnt_j により、出力ドライバ OD_j を構成する MOS トランジスタのソース・ドレイン間が電氣的に導通することで、ドライバ出力 DO_j が接地電源電圧 GND に設定される。

【 0 0 5 2 】

ドライバブロック DB_j は、ドライバブロック DB_{j-1} からのストローク信号をそのまま、又はドライバブロック DB_{j-1} からのストローク信号を遅延させ、かつ反転させた遅延反転ストローク信号を、隣接するドライバブロック DB_{j+1} に供給する。

【 0 0 5 3 】

出力制御回路 OC_j は、隣接するドライバブロック DB_{j-1} からのストローク信号 STB_{j-1} 、又は該ストローク信号を遅延させ、かつ反転させた遅延ストローク信号 $DSTB_j$ と、ドライバブロック DB_j に対応した画素データ（ラッチ LT_j にラッチされた画素データ）とに基づいて、出力制御信号 cnt_j を生成する。

【 0 0 5 4 】

図 5 及び図 6 に、図 3 のサーマルヘッドドライバ 30 の動作例のタイミング図を示す。

【 0 0 5 5 】

図 5 は、シフトレジスタを構成するフリップフロップ $DFF_1 \sim DFF_N$ にシリアルデータ SI として入力された画像データが格納されるタイミングを示す。クロック信号 CLK に同期してシリアルに画像データ P_1 、 P_2 、 P_3 、 \dots 、 P_N がシリアルデータ SI として入力される。例えば画像データ P_1 はドライバブロック DB_1 のドライバ出力 DO_1 に対応し、画像データ P_2 はドライバブロック DB_2 のドライバ出力 DO_2 に対応し、 \dots 、画像データ P_N はドライバブロック DB_N のドライバ出力 DO_N に対応している。フリップフロップ DFF_1 は、クロック信号 CLK の変化点に同期してシリアルデータ SI の画像データ P_1 を取り込む。フリップフロップ DFF_2 は、クロック信号 CLK の変化点に同期してシリアルデータ SI の画像データ P_2 を取り込む。フリップフロップ DFF_N は、クロック信号 CLK の変化点に同期してシリアルデータ SI の画像データ P_N を取り込む。

【 0 0 5 6 】

図 6 は、ラッチ $LT_1 \sim LT_N$ に保持された画像データを用いたドライバ出力のタイミングを示す。図 6 では、ドライバ出力 DO_1 、 DO_2 を示すが、他のドライバ出力も同様である。

【 0 0 5 7 】

ラッチ信号 LAT が H レベルのときに、フリップフロップ DFF_1 に保持された画像データ P_1 がラッチ LT_1 に取り込まれる。このとき、同様にフリップフロップ $DFF_2 \sim DFF_N$ に保持された画像データ $P_2 \sim P_N$ がラッチ $LT_2 \sim LT_N$ に取り込まれる。従って、ラッチ信号 LAT により、1 ライン分の画像データ $P_1 \sim P_N$ をラッチ $LT_1 \sim LT_N$ に取り込むことができる。

【 0 0 5 8 】

図 3 では、ストローク信号 STB_0 がストローク信号 STB_1 としてそのまま出力される。遅延反転回路 DL_2 は、ストローク信号 STB_1 を遅延させ、かつ反転させた遅延反転ストローク信号 $DSTB_2$ を出力する。遅延反転ストローク信号 $DSTB_2$ は、ストローク信号 STB_2 として、隣接するドライバブロック DB_3 に対して出力される。

【 0 0 5 9 】

ここで、図 3 に示すように、ドライバブロック DB_1 の出力ドライバ OD_1 は、ストローク信号 STB_1 とラッチ LT_1 に保持された画像データ P_1 とに基づいて、ドライバ出力 DO_1 に接続されるサーマル抵抗素子を駆動することができる。より具体的には、ラッチ LT_1 に保持された画像データ P_1 が「1」、且つストローク信号 STB_1 が H レベルのとき、出力制御信号 cnt_1 が H レベルとなり、出力ドライバ OD_1 の MOS トランジスタのドレインは接地電源電圧 GND に設定される。従って、出力ドライバ OD_1 に接続されるサーマル抵抗素子に電流が流れる。

10

20

30

40

50

【0060】

一方、画像データP₁が「0」、又はストローク信号STB₁がLレベルのとき、出力制御信号cnt₁がLレベルのまま、出力ドライバOD₁のMOSトランジスタのドレイン・ソース間は電氣的に遮断される。その結果、出力ドライバOD₁に接続されるサーマル抵抗素子に電流が流れない。

【0061】

また図3に示すように、ドライバブロックDB₂の出力ドライバOD₂は、ストローク信号STB₂とラッチLT₂に保持された画像データP₂とに基づいて、ドライバ出力DO₂に接続されるサーマル抵抗素子を駆動することができる。なお、後述するように、ラッチLT₂の出力は、負論理であり、保持された画像データP₂が反転されたデータが、
10

ドライバ出力DO₂に供給される。
より具体的には、ラッチLT₂に保持された画像データP₂が「1」（したがって、ラッチLT₂の出力が「0」）、且つストローク信号STB₂がLレベル（すなわち、ストローク信号STB₁がHレベル）のとき、出力制御信号cnt₂がHレベルとなり、出力ドライバOD₂のMOSトランジスタのドレインは接地電源電圧GNDに設定される。従って、出力ドライバOD₂に接続されるサーマル抵抗素子に電流が流れる。

【0062】

一方、画像データP₂が「0」（したがって、ラッチLT₂の出力が「1」）、又はストローク信号STB₂がHレベル（すなわち、ストローク信号STB₁がLレベル）のとき、出力制御信号cnt₂がLレベルのまま、出力ドライバOD₂のMOSトランジスタのドレイン・ソース間は電氣的に遮断される。その結果、出力ドライバOD₂に接続されるサーマル抵抗素子に電流が流れない。
20

【0063】

そして、ストローク信号STB₁、STB₂の遅延差によって、ドライバ出力DO₁、DO₂も遅延差が生じる。その結果、ドライバ出力DO₁に接続されるサーマル抵抗素子に流れる電流I₁と、ドライバ出力DO₂に接続されるサーマル抵抗素子に流れる電流I₂とに時間差が生じる。図6では、ドライバ出力DO₁、DO₂について説明したが、他のドライバ出力についても時間差を設けることで、発生するサージ電圧を抑えることにより電源電圧VHのレベルの変動と発生ノイズを抑えることが可能となる。
30

【0064】

好ましくは、ドライバ出力DO₁～DONのそれぞれが互いに異なるタイミングで、サーマル抵抗素子に電流を流す、あるいは遮断することで、サージ電圧を最小に抑えることができる。しかし、1ライン分の遅延時間に制約がある場合には、複数のタイミングのいずれかでドライバ出力DO₁～DONに接続されるサーマル抵抗素子に流れる電流を流す、あるいは遮断するタイミングをずらすようにしてもよい。この場合でも、サージ電圧を低減させることが可能となる。
40

【0065】

2.1 ドライバブロックDBの構成例

なお、サーマルヘッドドライバ30の各ドライバブロックは、図3の構成に限定されるものではない。
40

【0066】

図7は、ドライバブロックDB内の出力制御回路OC及びラッチLTを構成する第1の例を示す。

上述のとおり、複数のドライバブロックDB₁～DB_Nは、遅延反転回路DLを含まない第1のドライバブロックDB₁と、遅延反転回路DLを含む第2のドライバブロックDB₂とで、構成することができる。

図7に示されるドライバブロックDB_jは、第1のドライバブロックDB₁に属する。すなわち、図7に示されるドライバブロックDB_jは、隣接するドライバブロックDB_{j-1}からのストローク信号STB_{j-1}をそのまま、ストローク信号STB_jとして出力する。なお、図7に示されるドライバブロックDB_jが、初段のドライバブロックDB₁
50

である場合、ドライバブロック DB_1 は、ストローク信号 STB_0 をそのまま、ストローク信号 STB_1 として出力する。

図7に示されるドライバブロック DB_j において、ストローク信号 STB_j が正論理である場合、ラッチ LT_j の出力は、正論理であり、出力ドライバ OC_j は、AND回路(論理積回路)で構成される。なお、AND回路 OC_j は、NAND回路とインバータとで構成することができる。

【0067】

図8は、ドライバブロック DB 内の出力制御回路 OC 及びラッチ LT を構成する第2の例を示す。

図8に示されるドライバブロック DB_j も、第1のドライバブロック DB_1 に属する。すなわち、図8に示されるドライバブロック DB_j は、隣接するドライバブロック DB_{j-1} からのストローク信号 STB_{j-1} をそのまま、ストローク信号 STB_j として出力する。なお、図8に示されるドライバブロック DB_j が、初段のドライバブロック DB_1 であってもよい。また、図8に示されるドライバブロック DB_j は、複数のドライバブロック $DB_2 \sim DB_N$ のいずれかであってもよい。

図8に示されるドライバブロック DB_j において、ストローク信号 STB_j が負論理である場合、ラッチ LT_j の出力は、負論理であり、出力ドライバ OC_j は、NOR回路(論理和回路)で構成される。

【0068】

図9は、ドライバブロック DB 内の出力制御回路 OC 及びラッチ LT を構成する第3の例を示す。

図9に示されるドライバブロック DB_j は、第2のドライバブロック DB_2 に属する。すなわち、図9に示されるドライバブロック DB_j は、隣接するドライバブロック DB_{j-1} からのストローク信号 STB_{j-1} を遅延反転回路 DL_j により遅延させ、かつ反転させて、ストローク信号 STB_j として出力する。なお、図7に示されるドライバブロック DB_j が、初段のドライバブロック DB_1 であり、図9に示されるドライバブロック DB_j が、その次段のドライバブロック DB_2 である場合、図9において、隣接するドライバブロック DB_{j-1} からのストローク信号 STB_{j-1} は、正論理であり、したがって、ドライバブロック DB_j からのストローク信号 STB_j は、負論理である。

図9に示されるドライバブロック DB_j において、ストローク信号 STB_j が負論理である場合、ラッチ LT_j の出力は、負論理であり、出力ドライバ OC_j は、NOR回路(論理和回路)で構成される。

【0069】

図10は、ドライバブロック DB 内の出力制御回路 OC 及びラッチ LT を構成する第4の例を示す。

図10に示されるドライバブロック DB_j も、第2のドライバブロック DB_2 に属する。すなわち、図10に示されるドライバブロック DB_j は、隣接するドライバブロック DB_{j-1} からのストローク信号 STB_{j-1} を遅延反転回路 DL_j により遅延させ、かつ反転させて、ストローク信号 STB_j として出力する。なお、図7に示されるドライバブロック DB_j が、初段のドライバブロック DB_1 であり、図9に示されるドライバブロック DB_j が、その次段のドライバブロック DB_2 であり、図10に示されるドライバブロック DB_j が、その次段のドライバブロック DB_3 である場合、図10において、隣接するドライバブロック DB_{j-1} からのストローク信号 STB_{j-1} は、負論理であり、したがって、ドライバブロック DB_j からのストローク信号 STB_j は、正論理である。

図10に示されるドライバブロック DB_j において、ストローク信号 STB_j が正論理である場合、ラッチ LT_j の出力は、正論理であり、出力ドライバ OC_j は、AND回路(論理積回路)で構成される。

【0070】

ところで、上述のとおり、好ましくは、ドライバ出力 $DO1 \sim DON$ のそれぞれが互いに異なるタイミングで、サーマル抵抗素子に電流を流すことで、サージ電圧を最小に抑え

10

20

30

40

50

ることができる。すなわち、ドライバブロック $DB_1 \sim DB_N$ のそれぞれにおいて、ストロブ信号 $STB_1 \sim STB_N$ は、順次に遅延されることが好ましい。しかしながら、サーマルヘッドドライバ 30 の中を流れるストロブ信号の 1 ラインの総遅延時間（ストロブ信号 STB_N とストロブ信号 STB_0 との間の遅延量）に制約がある場合には、複数のタイミングのいずれかでドライバ出力 $DO_1 \sim DO_N$ に接続されるサーマル抵抗素子に流れる電流を流すタイミングをずらすようにしてもよい。すなわち、ドライバブロック $DB_1 \sim DB_N$ の中から遅延反転回路 DL を含むドライバブロックを選択してもよい。

なお、図 2 のサーマルヘッド 20 を参照すれば、サーマルヘッド 20 は、第 1 ～ 第 M のサーマルヘッドドライバ $30_1 \sim 30_M$ を備える。したがって、第 1 ～ 第 M のサーマルヘッドドライバ $30_1 \sim 30_M$ のそれぞれにおいて、ドライバブロック $DB_1 \sim DB_N$ の中から遅延反転回路 DL を含むドライバブロックを選択してもよい。

10

【0071】

具体的には、図 3 に示される 1 つのサーマルヘッドドライバ 30 の中を流れるストロブ信号の 1 ラインの総遅延時間（DT）は、1 ライン分の画素データを取り込む周期より短く設定される。1 つの遅延反転回路 DL（すなわち、1 つのインバータ）によって、ストロブ信号を遅延させることが可能な遅延量を D_1 とすると、 $DT / (N - 1) > D_1$ である場合、ドライバブロック DB_1 を除き、ドライバブロック $DB_2 \sim DB_N$ のそれぞれが、遅延反転回路 DL を備えることができる。

言い換えれば、 $DT / (N - 1) < D_1$ である場合、ドライバブロック $DB_2 \sim DB_N$ のすべては、遅延反転回路 DL を備えることができず、ドライバブロック $DB_2 \sim DB_N$ の一部が、遅延反転回路 DL を備えることができる。

20

【0072】

$DT / (N - 1) < D_1$ である場合、ドライバブロック $DB_1 \sim DB_N$ の中で、好ましくは、ドライバブロック $DB_2 \sim DB_N$ の中で、遅延反転回路 DL を備えることができるドライバブロックの最大の個数は、DT を D_1 で除算したときの商に等しい数である。したがって、DT を D_1 で除算したときの商を超えない数のドライバブロックを選択し、選択されたドライバブロックのそれぞれは、遅延反転回路 DL を備え、残りのドライバブロックは、遅延反転回路 DL を備えない。

【0073】

たとえば、図 3 において、偶数番目のドライバブロックのみが遅延反転回路 DL を備える場合、1 番目のドライバブロック DB_1 は、図 7 のドライバブロック DB で構成され、2 番目のドライバブロック DB_2 は、図 9 のドライバブロック DB で構成され、3 番目のドライバブロック DB_3 は、図 8 のドライバブロック DB で構成され、4 番目のドライバブロック DB_4 は、図 10 のドライバブロック DB で構成され、5 番目のドライバブロック DB_5 は、図 7 のドライバブロック DB で構成される。

30

このように、 J 番目のドライバブロック DB_j は、隣接するドライバブロック DB_{j-1} からのストロブ信号 STB_{j-1} の論理符号に応じて、構成される。

【0074】

図 11 は、図 3 に示されるラッチ LT_j の具体例を示す。

図 11 に示されるように、ラッチ LT_j は、たとえば、5 個の N 型のトランジスタ $N_{11} \sim N_{15}$ と、5 個の P 型のトランジスタ $P_{11} \sim P_{15}$ とで、構成される。トランジスタ P_{12} 、 N_{12} のゲートは、フリップフロップ DF_j 内で保持するデータを受け取る。トランジスタ P_{13} 、 N_{13} のドレインは、ラッチ信号（LAT）または反転ラッチ信号（XLAT）の変化タイミングに同期して、ラッチ LT_j 内で保持するデータを出力制御回路 OC_j に出力する。トランジスタ P_{13} 、 N_{13} のドレインは、正論理出力である。また、図 11 に示されるように、ラッチ LT_j は、トランジスタ P_{12} 、 N_{12} のドレインにおいて、負論理に従って出力することができる。

40

したがって、図 7 ～ 図 10 に示されるラッチ LT_j の出力の論理符号に応じて、出力制御回路 OC_j は、トランジスタ P_{13} 、 N_{13} のドレイン、または、トランジスタ P_{12} 、 N_{12} のドレインと接続される。

50

【 0 0 7 5 】

3 . 電子機器

次に、本実施形態におけるサーマルヘッドが適用される電子機器としてのプリンタ装置（サーマルプリンタ）と、該プリンタ装置が適用される印刷システムについて説明する。

【 0 0 7 6 】

図 1 2 に、本実施形態におけるプリンタ装置の説明図を示す。

【 0 0 7 7 】

図 1 2 は、本実施形態におけるプリンタ装置 1 2 0 の縦断面の主要部分のみを示す縦断面図である。プリンタ装置 1 2 0 内には、感熱紙がロール紙 1 2 2 としてセットされる様に構成されている。ロール紙 1 2 2 の印刷対象部分は、所与の紙送り機構（紙送り手段）により 1 ラインずつ紙送り方向 1 2 3 の方向に送り出される。そして、この印刷対象部分は、ハウジング 1 2 4 内で印刷ヘッド 1 2 5 の方に導かれる。印刷ヘッド 1 2 5 は、図 2 のサーマルヘッド 2 0 を搭載する。ロール紙 1 2 2 の印刷対象部分が、印刷ヘッド 1 2 5 及びプラテン 1 2 6 の間を通過する際に、印刷ヘッド 1 2 5 により該印刷対象部分に所定の印刷が行われる。

10

【 0 0 7 8 】

紙送り機構は、印刷対象部分を更に紙送り方向 1 2 3 に送り出し、カッター 1 2 7 によりロール紙 1 2 2 が切断されて、切断後の用紙がレシート 1 2 8 として取り出し可能となる。

【 0 0 7 9 】

またハウジング 1 2 4 内には、印刷ヘッド 1 2 5 の前段に、用紙エンドセンサ 1 2 9 が設けられており、ロール紙 1 2 2 が紙送り方向 1 2 3 に送られる際にロール紙 1 2 2 の端を検知できる。

20

【 0 0 8 0 】

本実施形態におけるプリンタ装置によれば、サージ電圧を低減でき、ノイズによる誤動作を防止できる。

【 0 0 8 1 】

図 1 3 に、図 1 2 のプリンタ装置 1 2 0 が適用される印刷システムの構成例を示す。

【 0 0 8 2 】

本実施形態における印刷システム 1 3 0 は、ホストコンピュータ 1 3 2（広義には制御部）と、レシート 1 2 8 等を発行するプリンタ装置 1 2 0 とを含む。ホストコンピュータ 1 3 2 は、本体 1 3 4 と、表示装置 1 3 6 と、キーボード 1 3 7 と、ポインティングデバイスとしてのマウス 1 3 8 とを含む。

30

【 0 0 8 3 】

図 1 4 に、図 1 3 のホストコンピュータ 1 3 2 の構成例のブロック図を示す。

【 0 0 8 4 】

ホストコンピュータ 1 3 2 では、CPU (Central Processing Unit) 1 4 1 に、バスライン 1 4 2 を介して、プログラムデータ等が格納された ROM (Read Only Memory) 1 4 3、データ処理の作業エリアや印刷データがバッファリングされる RAM (Random Access Memory) 1 4 4、プリンタ装置 1 2 0 に印刷データや印刷コマンド等を送信する通信インタフェース 1 4 5、表示装置 1 3 6 を駆動制御して表示データに対応する文字等を表示させるディスプレイコントローラ 1 4 6、キーボード 1 3 7 から入力キーに対応するキー信号を取り込むキーボードコントローラ 1 4 7、マウス 1 3 8 とのデータ等のやり取りを制御するマウスコントローラ 1 4 8 が接続されている。また、プリンタ装置 1 2 0 は、通信インタフェース 1 4 5 からの印刷データ等を受信する通信インタフェース 1 4 9 を含む。

40

【 0 0 8 5 】

CPU 1 4 1 は、ROM 1 4 3 又は RAM 1 4 4 に格納されたプログラムに従って所定の印刷処理を実行し、印刷データを RAM 1 4 4 に展開したり、RAM 1 4 4 の印刷データを、通信インタフェース 1 4 5 を介してプリンタ装置 1 2 0 に転送したりすることがで

50

きる。

【0086】

本実施形態における印刷システムによれば、サージ電圧を低減でき、ノイズによる誤動作を防止できる。

【0087】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、遅延反転回路 DL_j がドライバブロック DB_j 内になくてもよい。

【0088】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

10

【図面の簡単な説明】

【0089】

【図1】サーマルプリンタの原理の1例を説明する図。

【図2】本実施形態におけるサーマルヘッドの構成例を示す図。

【図3】本実施形態におけるサーマルヘッドドライバの構成例を示す図。

【図4】図3の遅延反転回路 DL_j の説明図。

【図5】図3のサーマルヘッドドライバの動作例のタイミング図。

【図6】図3のサーマルヘッドドライバの動作例のタイミング図。

20

【図7】ドライバブロック内の出力制御回路 OC 及びラッチ LT を構成する第1の例。

【図8】ドライバブロック内の出力制御回路 OC 及びラッチ LT を構成する第2の例。

【図9】ドライバブロック内の出力制御回路 OC 及びラッチ LT を構成する第3の例。

【図10】ドライバブロック内の出力制御回路 OC 及びラッチ LT を構成する第4の例。

【図11】図3に示されるラッチ LT_j の具体例。

【図12】本実施形態におけるプリンタ装置の説明図。

【図13】図12のプリンタ装置が適用される印刷システムの構成例を示す図。

【図14】図13のホストコンピュータの構成例のブロック図。

【符号の説明】

【0090】

30

20 サーマルヘッド、 22 セラミック板、

30₁ ~ 30_M 第1 ~ 第Mのサーマルヘッドドライバ、

30 サーマルヘッドドライバ、 120 プリンタ装置、 122 ロール紙、

123 紙送り方向、 124 ハウジング、 125 印刷ヘッド、

126 プラテン、 127 カッター、 128 レシート、 130 印刷システム、

132 ホストコンピュータ、 134 本体、 136 表示装置、

137 キーボード、 138 マウス、 CLK クロック信号、

DB_1 ~ DB_N ドライバブロック、 DF_1 ~ DF_N フリップフロップ、

DL_1 ~ DL_N 遅延反転回路、 DO_1 ~ DO_N ドライバ出力、

$DSTB_1$ ~ $DSTB_N$ 遅延ストロブ信号、 LT_1 ~ LT_N ラッチ、

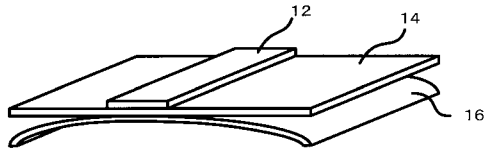
40

LAT ラッチ信号、 OC_1 ~ OC_N 出力制御回路、

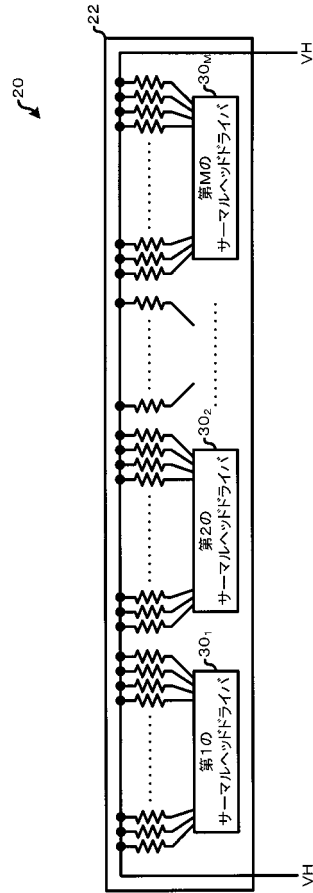
OD_1 ~ OD_N 出力ドライバ、 STB_0 ~ STB_N ストロブ信号、

SI シリアルデータ

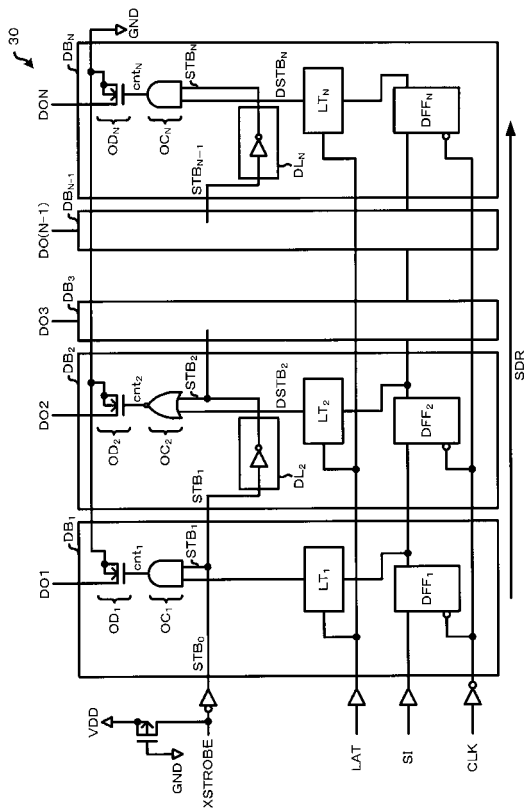
【図1】



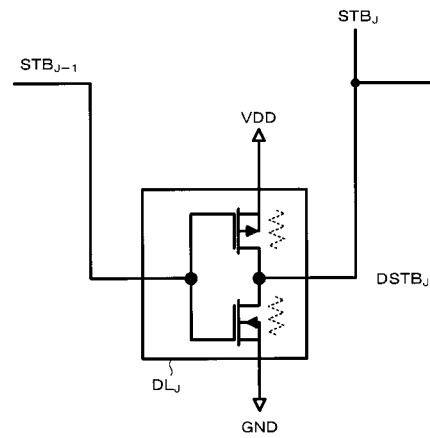
【図2】



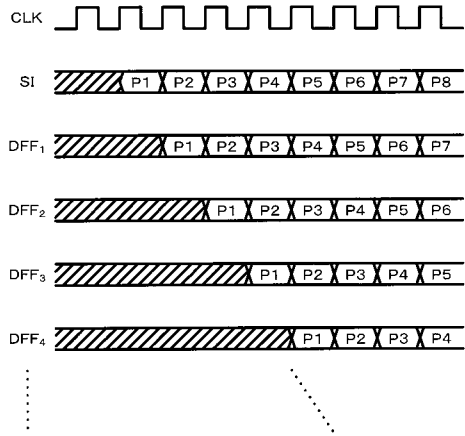
【図3】



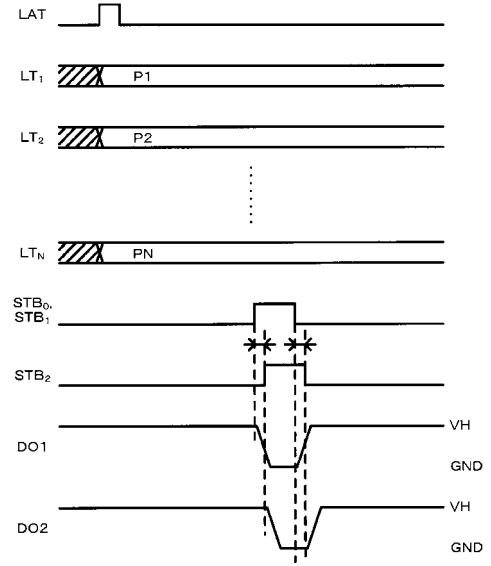
【図4】



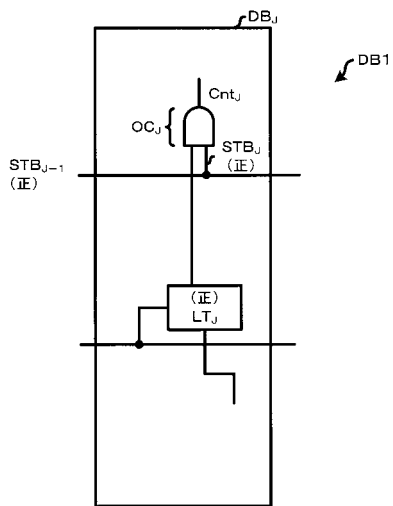
【 図 5 】



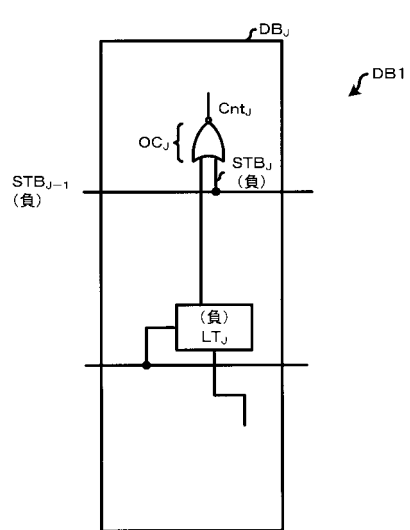
【 図 6 】



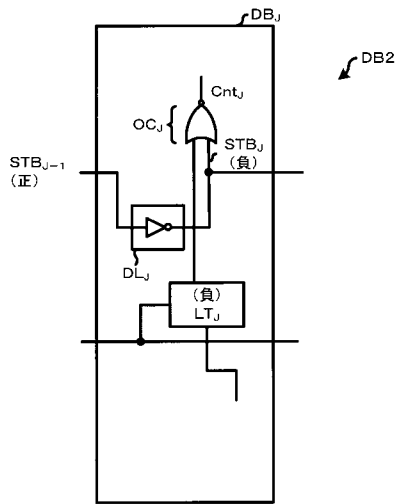
【 図 7 】



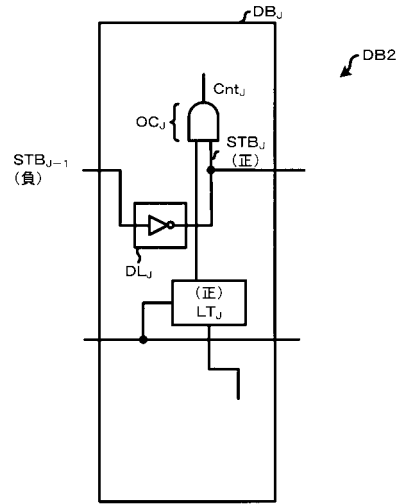
【 図 8 】



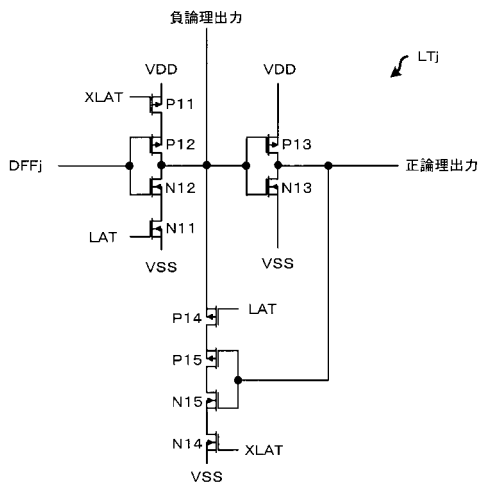
【図9】



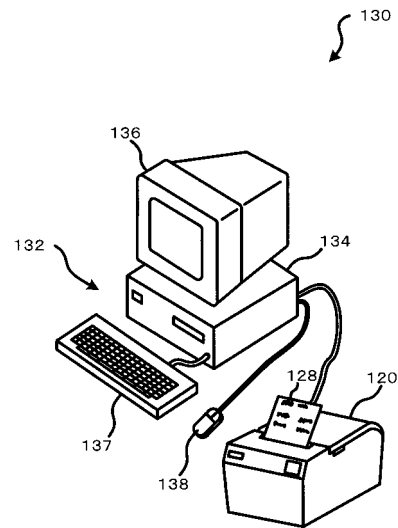
【図10】



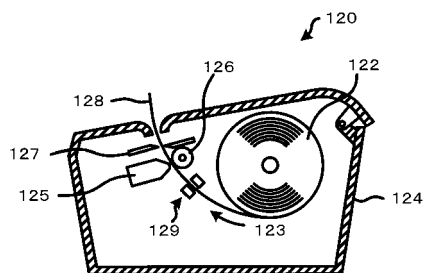
【図11】



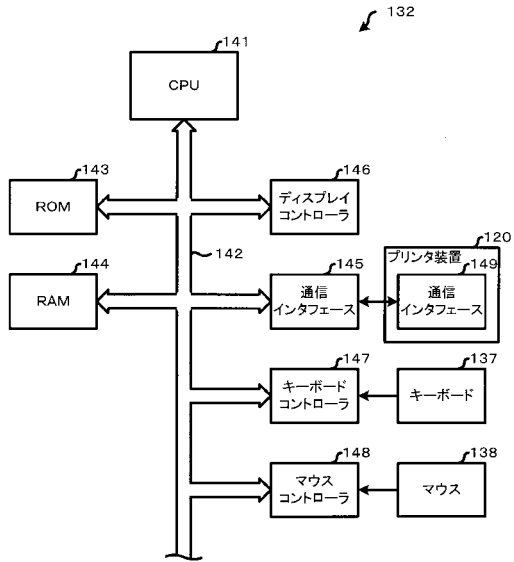
【図13】



【図12】



【図14】



フロントページの続き

- (56)参考文献 特開平07 - 304201 (JP, A)
特開2000 - 185423 (JP, A)
特開2000 - 094730 (JP, A)
特開2000 - 246938 (JP, A)
特開平03 - 278967 (JP, A)
特開昭61 - 277224 (JP, A)
特開2005 - 149313 (JP, A)
特開2000 - 089729 (JP, A)
特開2004 - 185608 (JP, A)
特開2008 - 155491 (JP, A)

(58)調査した分野(Int.Cl., DB名)

B41J 2/355